

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200580047542.3

[43] 公开日 2008 年 2 月 13 日

[51] Int. Cl.
G06F 11/10 (2006.01)
G06F 12/02 (2006.01)

[11] 公开号 CN 101124544A

[22] 申请日 2005.12.15

[21] 申请号 200580047542.3

[30] 优先权

[32] 2004.12.21 [33] US [31] 11/022,350

[86] 国际申请 PCT/US2005/045909 2005.12.15

[87] 国际公布 WO2006/068993 英 2006.6.29

[85] 进入国家阶段日期 2007.7.31

[71] 申请人 桑迪士克股份有限公司

地址 美国加利福尼亚州

[72] 发明人 安德鲁·汤姆林

[74] 专利代理机构 北京律盟知识产权代理有限责任公司
代理人 刘国伟

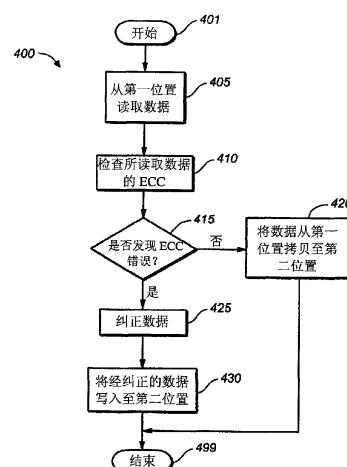
权利要求书 5 页 说明书 13 页 附图 12 页

[54] 发明名称

用于在可重编程非易失性存储器中拷贝数据的方法

[57] 摘要

本发明提供用于改良数据重定位作业的方法。在一个方面中，并非在每一重定位作业中依据数据的相关联错误纠正码(ECC)检查所述数据的质量，而是确定是否依据预定的选择标准检查 ECC，且如果不选择 ECC 检查，则使存储器执行将所述数据从第一位置拷贝至第二位置的芯片上拷贝。如果选择 ECC 检查，则将所述数据传送至控制器并对其进行检查；当发现错误时，执行纠正作业，且当未发现错误时，执行芯片上拷贝。所述预定的选择标准可包括取样机制，所述取样机制可为基于随机性的或是确定性的。在另一方面中，引入数据传送旗标以指示数据已被纠正并应被传送回所述存储器。再一方面分别考虑标头及用户数据是否各自具有不同的相关联 ECC。



1、一种用于在包括控制器及可编程非易失性存储器的存储器系统中将数据从所述存储器的第一位置重定位至所述存储器的第二位置的方法，所述方法包括：

将所述数据从所述第一位置读入所述存储器上的寄存器；

在所述控制器中确定是否对所述数据执行错误检测及纠正作业；及

响应于确定不对所述数据执行错误检测及纠正作业，将所述数据从所述寄存器写入至所述第二位置。

2、一种用于在包括控制器及可编程非易失性存储器的存储器系统中将数据从所述存储器的第一位置重定位至所述存储器的第二位置的方法，所述方法包括：

将所述数据从所述第一位置读入所述存储器上的寄存器；

在所述控制器中确定是否对所述数据执行错误检测及纠正作业；

响应于确定对所述数据执行错误检测及纠正作业，将所述数据的拷贝传送至所述控制器，同时将所述数据保持在所述寄存器中；及

对所述控制器中的所述数据执行错误纠正及检测作业。

3、如权利要求 2 所述的方法，其中所述数据包括关联的错误纠正码（ECC）且所述错误纠正及检测作业包括：

依据所述相关联的 ECC 确定所述数据是否含有错误；及

响应于确定所述数据含有错误，对所述数据执行纠正作业。

4、如权利要求 3 所述的方法，其中如果成功地完成所述错误纠正作业，则所述方法进一步包括：

将所述经纠正的数据从所述控制器传送至存储器；及

将所述经纠正的数据写入至所述第二位置。

5、如权利要求 3 所述的方法，其中如果未成功完成所述错误纠正，则所述方法进一步包括：

设定与所述数据相关联的错误旗标。

6、如权利要求 5 所述的方法，其中所述数据包括标头部分及用户数据部分，并将所述错误旗标写入所述标头部分。

7、如权利要求 1 或 2 中任一权利要求所述的方法，其中所述确定是否执行错误检测及纠正作业是确定性机制。

8、如权利要求 1 或 2 中任一权利要求所述的方法，其中所述确定是否执行错误检测及纠正作业是基于随机或伪随机的。

9、如权利要求 1 或 2 中任一权利要求所述的方法，其中所述确定是否执行错误检测及纠正作业是基于取样机制。

10、如权利要求 9 所述的方法，其中所述取样机制是基于与所述数据相关联的开

销数据。

11、如权利要求 10 所述的方法，其中所述取样机制包括将与所述数据相关联的时间戳与所述数据的逻辑地址信息进行比较。

12、如权利要求 2 所述的方法，其进一步包括：

依据是否已作为所述执行错误检测及纠正作业的一部分纠正了所述数据来设定旗标值；

如果所述旗标值经设定以指示所述数据已被纠正，则将所述经纠正的数据传送回所述寄存器；及

随后将寄存器的内容写入至所述第二存储器位置。

13、如权利要求 12 所述的方法，其中所述数据具有相关联的错误纠正码（ECC）且所述错误检测及纠正作业包括：

依据所述相关联的 ECC 确定所述数据是否含有错误；及

使用所述相关联的 ECC 纠正所述数据，

其中响应于成功地完成所述纠正来设定所述旗标值。

14、如权利要求 13 所述的方法，其进一步包括：

响应于未成功地完成所述纠正，设定与所述数据相关联的错误旗标。

15、如权利要求 14 所述的方法，其中所述数据包括开销部分及用户数据部分，且将所述错误旗标写入所述开销部分。

16、如权利要求 12 所述的方法，其中所述数据包括用户数据部分及开销部分，且其中所述用户数据具有相关联的错误纠正码（ECC）且所述开销部分具有不同的相关联错误纠正码（ECC），其中所述传送所述数据的拷贝及所述执行错误检测及纠正作业

将所述数据的开销部分的拷贝从所述寄存器传送至所述控制器，同时将所述数据保持在所述寄存器中；及

依据所述相关联的开销 ECC 在所述控制器中对所述数据的开销部分执行错误检测及纠正作业，并响应于对所述数据的开销部分完成地成功纠正作业，将所述经纠正的开销部分传送回所述寄存器；

及，响应于对所述数据的开销部分的成功错误检测及纠正作业，

将所述数据的用户部分的拷贝从所述寄存器传送至所述控制器，同时将所述数据保持在所述寄存器中；及

依据所述相关联的用户数据 ECC 在所述控制器中对所述数据的用户部分执行错误检测及纠正作业，

其中依据是否已纠正所述用户数据部分来设定所述旗标值。

17、一种用于在包括控制器及可编程非易失性存储器的存储器系统中将数据从所述存储器的第一位置重定位至所述存储器的第二位置的方法，其中所述数据包括用户数据部分及开销部分，且其中所述用户数据具有相关联的错误纠正码（ECC）且所述

开销部分具有不同的相关联错误纠正码（ECC），所述方法包括：

将所述数据从所述第一位置读入所述存储器上的寄存器；

随后将所述数据的标头部分的拷贝传送至所述控制器，同时将所述数据保持在所述寄存器中；

依据所述相关联的开销 ECC 在所述控制器中对所述开销部分执行错误纠正及检测作业；

如果对所述开销部分的所述错误纠正及检测作业需要纠正所述开销部分，则随后响应于成功地完成对所述开销的所述错误纠正及检测作业将所述经纠正的开销传送回所述寄存器；及

在所述对所述开销部分执行错误纠正及检测作业之后，在所述控制器中确定是否对所述数据的用户数据部分执行错误检测及纠正作业。

18、如权利要求 17 所述的方法，其中所述确定是否对所述数据的用户数据部分执行错误检测及纠正作业包括：

响应于确定所述开销部分需要纠正，将所述用户数据部分的拷贝传送至所述控制器，同时将所述数据保持在所述寄存器中；及

在所述控制器中对所述用户数据部分执行错误纠正及检测作业。

19、如权利要求 17 所述的方法，其进一步包括：

响应于确定不对所述用户数据部分执行错误检测及纠正作业，将所述数据从所述寄存器写入至所述第二位置。

20、如权利要求 17 所述的方法，其进一步包括：

响应于确定对所述用户数据部分执行错误检测及纠正作业，将所述用户数据部分的拷贝传送至所述控制器，同时将所述数据保持在所述寄存器中；及

在所述控制器中对所述用户数据部分执行错误纠正及检测作业。

21、如权利要求 18 或 20 中任一权利要求所述的方法，其中对所述用户数据部分的所述错误纠正及检测作业包括：

依据所述相关联的用户部分 ECC 确定所述用户数据部分是否含有错误；及

响应于确定所述用户数据部分含有错误，对所述数据执行纠正作业。

22、如权利要求 21 所述的方法，其中如果成功地完成对所述用户数据部分的所述错误纠正作业，则所述方法进一步包括：

将所述经纠正的用户数据部分从所述控制器传送至所述存储器；及

将所述经纠正的数据写入至所述第二位置。

23、如权利要求 21 所述的方法，其中如果未成功地完成对所述用户数据部分的所述错误纠正，则所述方法进一步包括：

设定与所述数据相关联的错误旗标。

24、如权利要求 23 所述的方法，其中将所述错误旗标写入所述开销部分。

25、如权利要求 19 或 20 中任一权利要求所述的方法，其中所述确定是否对所述

用户数据部分执行错误检测及纠正作业是确定性机制。

26、如权利要求 19 或 20 中任一权利要求所述的方法，其中所述确定是否对所述用户数据部分执行错误检测及纠正作业是基于随机或伪随机的。

27、如权利要求 19 或 20 中任一权利要求所述的方法，其中所述确定是否对所述用户数据部分执行错误检测及纠正作业是基于取样机制。

28、如权利要求 27 所述的方法，其中所述取样机制是基于与所述数据相关联的所述开销数据。

29、如权利要求 28 所述的方法，其中所述取样机制包括将与所述数据相关联的时间戳与所述数据的逻辑地址信息进行比较。

30、如权利要求 20 所述的方法，其进一步包括：

依据是否已作为所述执行错误检测及纠正作业的一部分纠正了所述数据来设定旗标值；

如果所述旗标值经设定以指示所述数据已被纠正，则将所述经纠正的数据传送回所述寄存器；及

随后将所述寄存器的内容写入至所述第二存储器位置。

31、如权利要求 30 所述的方法，其中所述数据具有相关联的错误纠正码（ECC）且所述错误检测及纠正作业包括：

依据所述相关联的 ECC 确定所述数据是否含有错误；及

使用所述相关联的 ECC 纠正所述数据，

其中响应于成功地完成所述纠正来设定所述旗标值。

32、如权利要求 31 所述的方法，其进一步包括：

响应于未成功地完成所述纠正来设定与所述数据相关联的错误旗标。

33、如权利要求 32 所述的方法，其中所述数据包括开销部分及用户数据部分，且将所述错误旗标写入所述开销部分。

34、如权利要求 30 所述的方法，其中所述数据包括用户数据部分及开销部分，且其中所述用户数据具有相关联的错误纠正码（ECC）且所述开销部分具有不同的相关联错误纠正码（ECC），其中所述传送所述数据的拷贝及所述执行错误检测及纠正作业

将所述数据的开销部分的拷贝从所述寄存器传送至所述控制器，同时将所述数据保持在所述寄存器中；及

依据所述相关联的开销 ECC，在所述控制器中对所述数据的开销部分执行错误检测及纠正作业，并响应于完成对所述数据的开销部分的成功纠正作业而将所述经纠正的开销部分传送回所述寄存器；

及，响应于对所述数据的开销部分的成功错误检测及纠正作业，

将所述数据的用户部分的拷贝从所述寄存器传送至所述控制器，同时将所述数据保持在所述寄存器中；及

依据所述相关联的用户数据 ECC，在所述控制器中对所述数据的用户部分执行错误检测及纠正作业，

其中依据是否已纠正所述用户数据部分来设定所述旗标值。

35、一种用于在拷贝作业期间避免将具有相关联错误纠正码（ECC）的数据从可重编程非易失性存储器的第一位置传送至存储器控制器的方法，其包括：

应用取样方法来使正被拷贝的数据的降级最小化；

以预定频率检查所述数据的 ECC，其中所述频率足以避免所述数据的质量显著降级。

36、如权利要求 35 所述的方法，其中预定的选择标准包括取样机制。

37、如权利要求 36 所述的方法，其中所述取样机制是基于随机性的。

38、如权利要求 36 所述的方法，其中所述取样机制是确定性的。

39、如权利要求 36 所述的方法，其中所述取样机制包括：

将与所述可重编程非易失性存储器内逻辑扇区的编号相关联的多个位与时间戳进行比较以产生比较结果；及

根据所述比较结果来选择检查 ECC。

40、一种用于将具有相关联错误纠正码（ECC）的数据从包括存储器控制器的系统的可重编程非易失性存储器的第一位置拷贝至第二位置的方法，所述方法包括：

将所述数据从所述第一位置读入所述存储器上的高速缓存；

确定是否依据预定的选择标准检查所述 ECC，且如果未选择 ECC 检查，则使所述存储器将所述数据从所述高速缓存拷贝至所述第二位置；及

如果选择 ECC 检查，则在所述控制器中检查关于所述所读取数据的所述 ECC；其包括：

如果发现 ECC 错误，则在所述控制器中纠正关于所述所读取数据的所述 ECC 错误，并使所述控制器将所述经纠正的数据写入至所述存储器的第二位置；及

如果未发现 ECC 错误，则使所述存储器将所述数据从所述高速缓存拷贝至所述第二位置。

41、如权利要求 40 所述的方法，其中所述预定的选择标准包括取样机制。

42、如权利要求 41 所述的方法，其中所述取样机制是基于随机性的。

43、如权利要求 41 所述的方法，其中所述取样机制是确定性的。

44、如权利要求 41 所述的方法，其中所述取样机制包括：

将与所述可重编程非易失性存储器内逻辑扇区的编号相关联的多个位与时间戳进行比较以产生比较结果；及

根据所述比较结果选择检查 ECC。

用于在可重编程非易失性存储器中拷贝数据的方法

技术领域

本发明大体而言涉及可重编程非易失性存储器系统及其作业，且更具体而言涉及用于拷贝数据的技术。

背景技术

现今可重编程非易失性存储器产品在商业上获得成功且随处可得到，特别是小形体因数卡形式的非易失性存储器产品，例如由包括 SanDisk 公司在内的各商家制造的小型闪速存储器卡（CF）、安全数字卡（SD）、多媒体卡（MMC）及记忆棒卡。这些卡通常使用闪速电可擦可编程只读存储器（EEPROM）存储器单元阵列。闪速 EEPROM 存储器单元阵列通常制造成 NOR 阵列或 NAND 阵列。

NOR 阵列

在典型的 NOR 阵列中，各存储器单元连接于在列方向上延伸的相邻位线源极与漏极扩散区之间，且控制栅极连接至沿存储器单元行延伸的字线。一种典型的存储器单元在源极与漏极扩散区之间具有“分裂式沟道”。存储器单元的电荷存储元件位于所述沟道的一部分上，而字线（也称作控制栅极）位于另一沟道部分上及所述电荷存储元件上。此会有效地构成一具有两个串联晶体管的单元，其中一个晶体管（存储器晶体管）使用所述电荷存储元件上的电荷量与所述字线的电压的组合来控制可流经其沟道部分的电流量，另一晶体管（选择晶体管）则仅具有字线用作其栅极。字线在一行电荷存储元件上延伸。这些单元的实例、其在存储器系统中的应用及其制造方法在第 5,070,032 号、第 5,095,344 号、第 5,315,541 号、第 5,343,063 号、及第 5,661,053 号美国专利中及在 1999 年 1 月 27 日提出申请且同在申请中的第 09/239,073 号美国专利申请案中给出。

此种分裂沟道式闪速 EEPROM 单元的一修改形式是增加一位于电荷存储元件与字线之间的导引栅极。阵列中的每一导引栅极均垂直于字线在一列电荷存储元件上延伸。其作用是在读取或编程选定单元时无需使字线同时执行两种功能。这两种功能是：

(1) 用作选择晶体管的栅极，因此需要一适当的电压来导通或关断选择晶体管，及(2) 通过耦合于字线与电荷存储元件之间的电场（容性）将电荷存储元件的电压驱动至所期望电平。通常难以使用单一电压以最佳方式同时执行这两种功能。在增加导引栅极后，字线仅需要执行功能(1)，而由所增加的导引栅极来执行功能(2)。例如，在第 5,313,421 号及第 6,222,762 号美国专利中即对导引栅极在闪速 EEPROM 阵列中的使用

予以说明。

目前有各种编程技术用于将电子从衬底通过栅极电介质注入至浮动栅极存储元件上。最常见的编程机理阐述于一本由 Brown 及 Brewer 编辑的书“非易失性半导体存储器技术 (*Nonvolatile Semiconductor Memory Technology*)”(IEEE 出版社, 第 1.2 部分, 第 9-25 页 (1998 年)) 中。一种称作沟道“热电子注入”的技术 (第 1.2.3 部分) 将电子从单元的沟道注入浮动栅极毗邻所述单元的漏极的一区域内。另一种称作“源极侧注入”的技术 (第 1.2.4 部分) 则以一种方式沿存储器单元沟道的长度控制衬底表面电位, 以在沟道的远离漏极的区域中给电子注入创造条件。源极侧注入还阐述于一篇由 Kamiya 等人所著的论文“具有高栅极注入效率的 EPROM 单元 (EPROM Cell with High Gate Injection Efficiency)”(IEDM Technical Digest, 1982 年, 第 741-744 页) 及第 4,622,656 号和第 5,313,421 号美国专利中。

在上文所述的两种类型的 NOR 存储器单元阵列中均使用两种用于从电荷存储元件移除电荷以擦除存储器单元的技术。其中一种技术是通过向源极、漏极及另一 (些) 栅极施加致使电子隧穿存储元件与衬底间的一部分介电层的适当电压来擦除至衬底。另一种擦除技术是通过位于存储元件与另一栅极之间的隧道介电层将电子从存储元件传送至另一栅极。在上文所述的第一种类型的单元中, 出于该目的而设置第三擦除栅极。在上述因使用导引栅极而已具有三个栅极的第二种类型的单元中, 是将电荷存储元件擦除至字线, 而无需增加第四栅极。尽管所述后一种技术又重新增加由字线执行的第二功能, 然而, 这些功能是在不同的时间执行, 因而不必因这两种功能而需要做出折中。当使用这两种擦除技术中的任一种时, 将大量的存储器单元组合在一起, 以便以“闪速”方式同时擦除。在一种方法中, 所述群组包含足够的存储器单元, 以存储磁盘扇区中所存储的用户数据量 (即 512 个字节) 加上某些开销数据。在另一种方法中, 每一群组包含足够的单元, 以保存数千个字节的用户数据, 这等于许多个扇区的数据。在第 5,297,148 号美国专利中即说明了多块擦除、缺陷管理及其它闪速 EEPROM 系统特征。

如同在大多数集成电路应用中一样, 闪速 EEPROM 系统也存在缩小为构建某些集成电路功能所需的硅衬底区域的压力。人们不断地期望增加可存储在硅衬底的既定区域中的数字数据量, 以增大既定大小存储器卡及其它类型封装的存储容量, 或者既增大容量又减小大小。一种增大数据存储密度的方法是每一存储单元存储多于一位数据。此通过将一存储元件电荷电平电压范围窗口划分成多于两种状态来实现。使用四个此种状态能够使每一单元存储两位数据, 使用八种状态能够每一单元存储三位数据, 依此类推。多状态闪速 EEPROM 结构及作业阐述于美国专利第 5,043,940 号及第 5,172,338 号中。

另一种类型的存储器单元包括两个存储元件, 其也可在每一存储元件上以多种状态工作。在此种类型的单元中, 在源极扩散区与漏极扩散区之间的其沟道上包含两个存储元件, 且其中间具有一选择晶体管。沿每一列存储元件包含一导引栅极, 且沿每

一行存储元件在所述导引栅极上提供一字线。当存取既定存储元件以读取或编程时，含有所涉及存储元件的单元中的另一存储元件上方的导引栅极升至足够高，以导通所述另一存储元件下方的沟道，而无论其上面所存在的电荷电平如何。此可有效地消除另一存储元件作为读取或编程相同存储器单元的所涉及存储元件中的一因素。例如，此时，流经所述单元的电流量（可用于读取其状态）是所涉及存储元件上电荷量的函数，但不是同一单元中另一存储元件上的电荷量的函数。此种单元阵列架构及操作技术的实例阐述于第 5,712,180 号、第 6,103,573 号及第 6,151,248 号美国专利中。

NAND 阵列

另一种闪速 EEPROM 架构则利用 NAND 阵列，其中由多于两个存储单元（例如 16 个或 32 个）构成的串联串连同一个或多个选择晶体管连接于各单独位线与一参考电位之间以构成单元列。各字线延伸跨过大量的这些列内的单元。在编程期间，通过如下方式来读取及验证一列中的单个存储单元：强导通所述串中的其余单元，以使流经一个串的电流取决于所寻址的单元中所存储电荷的电平。在第 5,570,315 号、第 5,774,397 号及第 6,046,935 号美国专利中可找到 NAND 架构阵列及其作为存储系统一部分的作业的实例。

当前闪速 EEPROM 阵列的及上文所提及专利及文章中所述的电荷存储元件是最常用的导电性浮动栅极，其通常由经掺杂的多晶硅材料制成。适用于闪速 EEPROM 系统的另一种类型的存储器单元利用非导电性介电材料取代导电性浮动栅极以非易失性方式存储电荷。此一单元阐述于由 Chan 等人所著的论文“真正的单晶体管氧化物—氮化物—氧化物 EEPROM 器件 (A True Single-Transistor Oxide-Nitride-Oxide EEPROM Device)”(IEEE 电子器件通讯 (IEEE Electron Device Letters), 第 EDL-8 卷, No.3, 1987 年 3 月, 第 93-95 页) 中。一由氧化硅、氮化硅及氧化硅 (“ONO”) 形成的三层电介质被夹于导电性控制栅极与存储器单元沟道上方的半导电性衬底的表面之间。存储单元是通过将电子从单元沟道注入氮化物内来编程，其中电子被陷获并存储于有限区域中。然后，该所存储的电荷以一可检测方式改变单元沟道的一部分的阈电压。单元是通过将热空穴注入氮化物内来得到擦除。也参见由 Nozaki 等人所著的“用于半导体碟片应用的具有 MONOS 存储单元的 1-Mb EEPROM (A 1-Mb EEPROM with MONOS Memory Cell for Semiconductor Disk Application)”(IEEE 固态电路杂志 (IEEE Journal of Solid-State Circuits) 第 26 卷, No.4, 1991 年 4 月, 第 497-501 页)，其阐述一种具有分裂栅极构造的类似单元，其中一经掺杂的多晶硅栅极延伸于存储器单元沟道的一部分上方以形成一单独的选择晶体管。

第 5,851,881 号美国专利阐述在存储器单元沟道上方使用两个彼此毗邻定位的存储元件，其中一个存储元件为此一介电元件，而另一元件为导电性浮动栅极。可存储两位数据，其中一位存储于介电元件中，而另一位存储于浮动栅极中。通过将这两个栅极中的每一栅极编程于两个不同电荷电平范围之一中，将存储单元编程于四个不同阈电平组合之一中，从而表示四种存储状态之一。

另一种利用介电存储元件在每一单元中存储两个位的方法由 Eitan 等人阐述于“NROM: 一种新颖的局部化陷获, 2-位非易失性存储单元 (NROM:A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell)” (IEEE 电子器件通信 (IEEE Electron Device Letters), 第 21 卷, 第 11 号, 2000 年 11 月, 第 543-545 页) 中。一 ONO 介电层延伸跨越源极扩散区与漏极扩散区之间的沟道。一个数据位的电荷集中在毗邻漏极的介电层中, 另一数据位的电荷则集中在毗邻源极的介电层中。多状态数据存储是通过分别读取电介质内空间上分离的电荷存储区域的二进制状态来实现。

大擦除块

典型非易失性闪速阵列的存储器单元被划分成可一同擦除的分立单元块。换句话说, 所述块是擦除单位。每一块通常存储一个或多个数据页, 页是编程和读取单位, 虽然在单次作业中可编程或读取多于一个页。每一页通常存储一个或多个数据扇区, 扇区的尺寸由主机系统界定。其一实例是一扇区有 512 个字节的用户数据 (遵循一关于磁盘驱动器建立的标准) 加上一定数量字节的关于用户数据及/或存储所述用户数据的块的开销信息。

有时, 需要擦除块以腾出块用于写入作业。在此种情况下, 在擦除原始块之前, 合并所要擦除块内的有效数据页 (原始块) 并将其拷贝至另一块 (更新块)。所述过程被称作“垃圾收集”。在垃圾收集过程中, 来自原始块的其余有效数据页被从原始块拷贝至更新块。一旦完成拷贝作业, 即擦除原始块, 然后更新块变成原始块。

通常, 诸如上文所述的用于垃圾收集的拷贝作业需要存储器控制器参与。一种用于提高数据从一个位置拷贝至另一个位置的速度的技术是通过使用一称作芯片上拷贝的特征来减小控制器在拷贝作业中的参与。芯片上拷贝提供一可用以读取数据、修改数据并将数据写回所述存储器、而无需将所有数据传送至控制器并然后再传回存储器的特征。芯片上拷贝提供在存储器单元阵列中将数据从一个位置拷贝至另一个位置而无需将数据传送至所述控制器的功能性。此种技术阐述于美国专利第 6,266,273 号中并让与本发明的受让人 SanDisk 公司。

上文所提及的专利、专利申请案、文章及书籍部分均以引用方式明确地全文併入本背景技术部分中。

发明内容

大体而言, 本发明提供多种用于数据重定位作业的方法, 其中数据从第一存储器位置拷贝至可重编程非易失性存储器系统的第二存储器位置。数据被从所述第一位置读入所述存储器上的寄存器或缓冲存储器, 然后直接拷贝至第二位置或传送至所述系统的控制器, 以在此处可检查数据, 且如果需要可依据其相关联的错误纠正码 (ECC) 来纠正数据。在本发明的第一方面中, 为提高性能, 无需针对每一数据拷贝来检查 ECC。相反, 可依据预定的选择标准选择性地检查 ECC。如果未选择 ECC 检查, 则

使存储器执行数据从第一位置至第二位置的芯片上拷贝，反之，则依据是否找到 ECC 错误而按上文所述继续进行作业。预定选择标准可为取样机理，所述取样机理可以是基于随机的或是确定性的。

在本发明的可与第一方面组合使用或单独使用的另一方面中，使用一种传送旗标方法。依据是否将数据传送至所述控制器以用于错误检测及纠正作业，设定一传送旗标值。如果将数据传送至主机并确定无需纠正错误，则不设定旗标；如果需要并成功地执行一错误纠正作业，则设定所述传送旗标。然后，依据所述旗标值做出是否需要将一经更正形式的数据返回至所述存储器以便拷贝进所述第二位置的决定。

在本发明的再一方面中，当数据由用户数据部分及标头或开销部分组成且这些部分中的每一部分均具有其自身相关联的 ECC 时，可独立于用户数据部分处理开销部分的错误检测及纠正作业。在实例性实施例中，将开销首先传送至所述控制器用于错误检测及纠正。如果还要处理用户数据，则其跟随其后。具体而言，用于决定是否传送用户数据的取样机制的一个实例是基于开销内容。

本发明的其它方面、特征及优点包含于下文对具体代表性实施例的说明中，所述说明应结合如下图式来阅读。

附图说明

图 1 是一其中可实施本发明的第一非易失性存储器系统的方块图。

图 2 是一其中可实施本发明的第一非易失性存储器系统的方块图。

图 3 是一方块图，其显示一在图 1 或图 2 的任一存储器系统中用于拷贝具有相关联错误纠正码（ECC）的数据的实例性系统。

图 4 是一流程图，其显示一在图 1 或图 2 的任一存储器系统中用于拷贝具有相关联错误纠正码（ECC）的数据的实例性方法。

图 5 是一流程图，其显示一在图 1 或图 2 的任一存储器系统中用于拷贝具有相关联错误纠正码（ECC）的数据的实例性方法。

图 6 是一流程图，其显示一在图 1 或图 2 的任一存储器系统中用于拷贝具有相关联错误纠正码（ECC）的数据的实例性方法。

图 7 是一流程图，其显示一在图 1 或图 2 的任一存储器系统中用于拷贝具有相关联错误纠正码（ECC）的数据的实例性方法。

图 8 是一流程图，其显示一在图 1 或图 2 的任一存储器系统中用于拷贝具有相关联错误纠正码（ECC）的数据的实例性方法。

图 9 是一流程图，其显示一在图 1 或图 2 的任一存储器系统中用于拷贝具有相关联错误纠正码（ECC）的数据的实例性方法。

图 10 是一流程图，其显示在图 1 或图 2 的任一存储器系统中用于拷贝具有一包括标头及数据两者的相关联错误纠正码（ECC）的实例性方法。

具体实施方式

图 1 是一其中可实施本发明的第一非易失性存储器系统的方块图。大量可单独寻址的存储器单元 11 布置成一由行及列构成的规则阵列，但肯定也可具有其它单元实体布置方式。如上文在背景技术中及在并入本文中的参考文献中所述，该系统尤其适用于阵列 11 为 NOR 型。位线（在此处指定为沿单元阵列 11 的列延伸）通过线 15 与位线解码器及驱动器电路 13 电连接。字线（在本说明中指定为沿单元阵列 11 的行延伸）通过线 17 电连接至一字线解码器及驱动器电路 19。导引栅极（其沿阵列 11 的存储单元列延伸）通过线 23 电连接至导引栅极解码器及驱动器电路 21。每一解码器 13、19 及 21 均通过总线 25 从存储器控制器 27 接收存储器单元地址。所述解码器及驱动器电路也通过各自的控制及状态信号线 29、31 及 33 连接至控制器 27。施加至导引栅极及位线的电压通过一使解码器及驱动器电路 13 与 21 互连的总线 22 来协调。所述控制器包含各种类型的寄存器及其它存储器，包括易失性随机存取存储器（RAM）28。

控制器 27 可经由线 35 连接至主机装置（未图示）。所述主机可为个人计算机、笔记本计算机、数字照相机、音频播放器、各种其它手持式电子装置及类似装置。图 1 所示存储器系统将通常构建于一依据数种现行物理及电气标准之一（例如由 PCMCIA、CompactFlash™ 联合会、MMC™ 联合会及其它组织颁布的标准）的卡中。当呈一卡形式时，线 35 端接于卡上的一连接器中，所述连接器介接主机装置的互补连接器。许多卡的电接口遵循 ATA 标准，其中在主机看来，存储器系统仿佛是一磁盘驱动器。也存在其它存储器卡接口标准。作为卡形式的替代形式，图 1 所示类型的存储系统可永久性地嵌入主机装置中。

解码器及驱动器电路 13、19 及 21 根据各自的控制及状态线 29、31 及 33 内的控制信号，在阵列 11 中其相应的线（在总线 25 上寻址）中产生适当电压，以执行编程、读取及擦除功能。包括电压电平及其它阵列参数在内的任何状态信号均由阵列 11 通过相同的控制及状态线 29、31 及 33 提供至控制器 27。电路 13 内的多个读出放大器接收可表示阵列 11 内所寻址存储器单元状态的电流或电压电平，并在读取作业期间通过线 41 为控制器 27 提供关于这些状态的信息。为能够并行读取大量存储单元的状态，通常使用大量的读出放大器。在读取及编程作业期间，通常通过电路 19 每次寻址一行单元，以便存取所寻址行中由电路 13 及 21 选择的多个单元。在一擦除作业期间，通常将许多行的每一行中的所有单元作为一个块一同寻址以便同时擦除。

例如图 1 所示的存储器系统的作业进一步阐述于在上文背景技术部分的 NOR 阵列章节中所标明的专利及文章中，以及让与本申请案的受让人—SanDisk 公司的其它专利中。此外，在 2001 年 2 月 26 日提出申请的第 09/793,370 号美国专利申请案中说明一种数据编程方法，所述申请案以引用方式并入本文中。

图 2 是一其中可实施本发明的另一非易失性存储器系统的方块图。包括多个布置

成矩阵形式的存储器单元 M 的存储器单元阵列 1 由列控制电路 2、行控制电路 3、c-源极控制电路 4 及 c-p-阱控制电路 5 来控制。存储器单元阵列 1 可为上文在背景技术部分中及在以引用方式并入本文中的参考文献中所述的 NAND 型存储器单元阵列。控制电路 2 连接至存储器单元阵列 1 的位线 (BL)，以用于读取存储在存储器单元 (M) 中的数据、用于在编程作业期间确定存储器单元 (M) 的状态、及用于控制位线 (BL) 的电位电平以促进编程或禁止编程。行控制电路 3 连接至字线 (WL)，以选择其中一条字线 (WL)、施加读取电压、施加与由列控制电路 2 所控制的位线电位电平相组合的编程电压、及施加与上面形成有存储器单元 (M) 的 p-型区域的电压相耦合的擦除电压。c-源极控制电路 4 控制一连接至存储器单元 (M) 的公用源极线 (在图 2 中标记为“c-源极”)。c-p-阱控制电路 5 则控制 c-p-阱电压。

存储于存储器单元 (M) 中的数据由列控制电路 2 读出并经由 I/O 线及数据输入/输出缓冲器 6 输出至外部 I/O 线。拟存储于存储器单元中的编程数据经由外部 I/O 线输入至数据输入/输出缓冲器 6，并传送至列控制电路 2。外部 I/O 线连接至控制器 43。控制器 43 包括各种通常处于易失性随机存取存储器 (RAM) 50 中的各种类型的寄存器及其它存储器。

用于控制闪速存储器装置的命令数据输入至命令电路 7，命令电路 7 连接至与控制器 43 相连的外部控制线。命令数据通知闪速存储器所请求的是何种作业。输入命令被传送至状态机 8，所述状态机 8 控制列控制电路 2、行控制电路 3、c-源极电路 4、c-p-阱控制电路 5 及数据输入/输出缓冲器 6。状态机 8 可输出闪速存储器的状态数据，例如 READY/BUSY (准备就绪/忙) 或 PASS/FAIL (成功/失败)。状态机 8 还包括若干寄存器及其它易失性随机存取存储器 45。

控制器 43 连接或可连接一主机系统，例如个人计算机、数字照相机或个人数字助理。是由所述主机发起命令 (例如向存储器阵列 1 存储或从存储器阵列 1 读取数据的命令)，并分别提供或接收该数据。控制器将这些命令转换成可由命令电路 7 解译及执行的命令信号。控制器通常还包含用于将用户数据写入至存储器阵列或从存储器阵列读取用户数据的缓冲存储器。典型的存储器系统包含一个包含控制器 43 的集成电路芯片 47、及一个或多个分别包含存储器阵列及相关联控制电路、输入/输出电路及状态机电路的集成电路芯片 49。当然，目前的趋势是将系统的存储器阵列及控制器电路一同集成在一个或多个集成电路芯片上。

图 1 及图 2 的任一存储器系统均可嵌入作为主机系统的一部分，或者可包含于一可以抽换方式插入主机系统中一配合插座内的存储器卡中。此卡可包括整个存储器系统，或者可将带有相关联外围电路的控制器及存储器阵列设置于单独卡中。例如，在美国专利第 5,887,145 号中阐述数种卡实施方案，该专利的全文以引用方式明确地并入本文中。

图 3 是一方块图，其显示一在图 1 或图 2 的任一存储器系统中用于拷贝具有相关联错误纠正码 (ECC) 的数据的实例性系统。图 3 显示当将一页数据从一个位置写入

另一个位置时，控制器 27、43 与存储器块 320 之间的交互作用。存储器块 320 包括处于位置 310、315 及 325 的多个页。位置 325 处所示的页显示存储器内典型页的内容并包括用户数据 330 及开销 335。开销 335（也称作标头）含有标头 ECC 340 及数据 ECC 345。在其它实施例中，使用单个 ECC 涵盖标头与数据二者。开销 335 也包含关于用户数据或页或块特征（例如编程电压等）的额外数据 350。位置 310 及 315 处的页同样包含用户数据及开销数据，但为便于说明，不显示所述数据。

数据重定位作业由按照箭头 365 将一数据单元从存储器 320 内的第一位置移动至第二位置组成。在所述实例性实施例中，此由如箭头 365a 所示将所述数据页从位置 1 310 移动至存储器寄存器 390、然后如箭头 365b 所示返回位置 2 315 组成。如果不检查所述数据页，则所述数据将不发送至控制器。如果检查所述页，则在传送至寄存器之后，来自第一位置 310 内的页的数据被传送至控制器电路 27、43 内的缓冲器或高速缓存（28，50），在此处使用 ECC 电路 305 执行 ECC 检查。箭头 355 显示从存储器内第一位置至所述控制器的数据传送。图 1 及图 2 所示系统的控制器 27、43 与存储器阵列 11、1 之间的命令/状态信号分别提供用于执行事务的构件，并可构建于（例如）固件内。

如果存在 ECC 错误，则纠正所述错误，然后按箭头 360 所示将经纠正的数据传送至存储器内的第二位置 315，然后传送至第二位置 315 上。然而，如果无 ECC 错误，则可执行芯片上拷贝，从而避免必须将所读取的数据从所述控制器写回所述存储器。芯片上拷贝作业由箭头 365a 与 365b 显示，其中将位置 310 处的页拷贝至存储器阵列 1、11 的块 320 内的位置 315 处。（视所用架构而定，存储器上可存在数个此种寄存器或缓冲器 390；例如，每一存储器平面均可具有用于在读取及写入期间快取数据的主一从式布置。）

图 4 是一流程图 400，其显示当拷贝具有相关联的错误纠正码（ECC）的数据时，图 1 或图 2 的任一存储器系统的一实例性拷贝作业。流程图 400 显示一种方法，其用于将数据从第一位置拷贝至一包括存储器控制器 27、43 的系统的可重编程非易失性存储器的第二位置。所述数据具有相关联的错误纠正码（ECC）。在数据在存储器内传送期间，使用 ECC 纠正所发生的错误。

在 401 处开始拷贝作业，且在 405 处将所要拷贝的数据从第一存储器位置读入存储器寄存器，然后读入至所述控制器上。所述控制器内所读取的数据包含根据所述数据计算并与之一起编程的 ECC，ECC 可与所读取的数据处在同一页内或其它地方。在图 3 所示的实例性系统中，将 ECC 编程在相同页中，然而，也可将 ECC 存储于他处。在 410 处检查所读取数据上的 ECC 以显露可能的 ECC 错误。在 415 处，确定是否已找到 ECC 错误。如果发现 ECC 错误，则在 425 处纠正控制器内所读取数据中的错误，并在 430 处使控制器将所纠正的数据写入至所述存储器的第二位置，从而在 499 处完成所述拷贝作业。如果不能纠正所述错误，则中断所述拷贝作业或在中断之前可进行多次再试。如果未发现 ECC 错误，则在 420 处使存储器将所述数据从所述第一位置拷

贝至所述第二位置。因此，如果无 ECC 错误且所述数据无需纠正，则可将保留在存储器上的拷贝直接写入至所述第二位置。此提供了在将数据写回至所述存储器的过程中无需控制器参与的优点，因此使得拷贝作业更快，同时仍保留检查 ECC 的优点。

本发明具有诸多会进一步改良数据重定位过程的方面。这些方面及其各种组合显示于图 5-10 的各流程中。图 5 添加不在每一重定位作业中而仅针对一重定位子集来检查 ECC 的方面。可在例如确定性或随机（伪随机）基础上确定所述子集。此便无须针对每一正重定位的数据集合将数据传送至所述控制器。图 6 利用如图 3 中所示对每一扇区内的用户数据及开销使用单独 ECC 码的情况。此允许单独地处理标头 ECC 及数据 ECC。图 7 添加诸多特征至图 6 以改良其性能，包括引入一旗标结构以指示所述数据是否将从所述控制器传送到所述主机。图 8 将取样机制添加至图 6 的实施例以进一步改良性能。取样机制是图 5 所示技术的改变形式，其中是依据取样来决定是否检查数据 ECC。图 9 组合图 7 与图 8 的过程。最后，图 10 类似于图 8，只是仅对整个扇区使用单个 ECC；因此，除依据取样来决定是否检查一既定数据集合外，图 10 也与图 5 类似。

所有所述重定位方法均可通过含纳 2004 年 5 月 13 日申请的美国专利申请案第 10/846,289 号的技术而得以进一步改良，所述申请案以引用方式并入本文中。此外，虽然根据图 1 及图 2 中所示的实例性 Flash EEPROM 存储器来提供本发明的各个方面，但这些方面更一般地适用于在 2004 年 5 月 7 日申请的美国专利申请案第 10/841,379 号中所述的各种非易失性存储器系统，所述申请案也以引用方式并入本文中。

图 5 是一流程图 500，其显示当拷贝具有相关联 ECC 的数据时，图 1 或图 2 的任一存储器系统的实例性拷贝作业。拷贝作业提供如下额外功能：在 535 处决定在将数据从所述第一位置读取 405 至所述数据寄存器后是否检查 ECC。可依据预定选择标准做出决定 535。在本发明的一实例性实施例中，预定选择标准可是一取样机制。可使用基于随机性的或确定性的算法来构建所述取样机制。例如，基于随机性的取样机制可使用基于随机的算法以随机间隔提供对 ECC 的检查。这些基于随机性的算法众所周知，参见例如美国专利第 6,345,001 号，该专利以引用方式并入本文中，且其中在一略微不同的情形中将这些算法应用于非易失性存储器。对于确定性取样，取样机制可每（例如）四次拷贝作业检查一次 ECC。另一选择为，可每一拷贝作业检查一次 ECC。每一拷贝作业均检查 ECC 会提供高可靠性并防止拷贝错误，但在性能速度方面涉及到折衷。

在本发明的一实例性实施例中，取样机制可使用可供用于所述系统的位，例如包含在开销数据 335 内的位及旗标。在图 3 所示的实例中，用户数据 ECC 及标头数据 ECC 包括在开销数据 335 内，但除 ECC 外，开销数据还包括一部分 350。开销数据部分 350 包括逻辑块地址（LBA）及时间戳，并可包括各种旗标，例如：数据旗标、块类型旗标、应用专用旗标及块旗标。LBA 包括页卷标及逻辑块编号（LBN）。所述页卷标指示块内的逻辑页，并可与一平面或存储器子阵列有关。LBN 是一用于将物理块

中的数据链接至其逻辑块地址的字段。此允许主机系统查找并撷取先前写入的数据。时间戳指示数据的相对年龄并与逻辑块地址字段相关联。每当将一逻辑块指配给一新物理块时，即为该块增加所述时间戳。该值可用于区别具有相同逻辑块地址的块中哪一个块是最近写入的块。可将与块或页相关联的其它信息用于取样目的，包括（例如）热计数及关于需如何频繁地擦除所述块的信息。另一选择为，取样机制可涉及不包括有实际数据且单独存储但仍与所述页相关联的跟踪机制。

在本发明的一实例性实施例中，所述取样机制将 LBA 的最后两个位与时间戳的最后两个位相比较。然后根据所述比较结果选择 ECC 检查。此有效地提供四分之一取样，从而每四次拷贝作业检查一次 ECC。此取样进一步改良存储器性能。

如果使用取样机制，则在 535 处决定是否检查与所读取数据相关联的 ECC。如果在 535 处的决定指示将不检查 ECC，则在 420 处使存储器将数据从所述第一位置拷贝至所述第二位置，从而于 599 处完成所述拷贝作业。如果在 535 处所述决定指示将要检查 ECC，则按照上文在图 4 中 410、415、425 及 430 处所述继续进行处理。

图 6 是一流程图 600，其显示当拷贝具有相关联的 ECC 的数据时图 1 或图 2 的任一存储器系统的实例性拷贝作业。在该实例中，所述可重编程非易失性存储器内第一位置与第二位置的内容包括用户数据及与所述用户数据相关联的标头数据，其中所述标头数据包括与所述用户数据相关联的信息，例如 ECC 信息。用户数据 ECC 及标头数据 ECC 可存储于所述页内或其它地方，但在该特定实例中，用户数据 ECC 与标头数据 ECC 两者均如图 3 所示及上文所述存储于所述页的开销部分内。注意，虽然该特定实例阐述单独的标头与数据 ECC，然而，所述技术同等地适用于单一 ECC 涵盖标头与数据两者的情况。在图 6-9 所示的实例中，单独检查标头数据的 ECC(作为一开始步骤)以确定所述用户数据的 ECC 是否值得检查；下文针对图 10 论述这些技术如何适用于标头及数据共用 ECC 的情况的实例。在图 1 及图 2 中所示存储器系统的实例中，如果发现标头数据具有无法纠正的 ECC 错误，则假设与该标头数据相关联的用户数据无效。

在 601 处开始流程图 600 中所示的拷贝作业，并在 605 处发出一读取命令。读取命令被发送至控制器 27、43，以开始对存储器单元阵列 11、1 内第一位置的读取。所述第一位置的内容可包括用户数据及与所述用户数据相关联的标头数据。控制器 27、43 解释所述读取命令并将所述标头数据传送至控制器 27、43 的随机存取存储器（RAM）28、50。所述控制器的 RAM 是用作所要拷贝的位置的内容的临时存储位置。以此方式使用的控制器 RAM 也称作暂存 RAM 或 SPR。

在 615 处检查标头数据以确定在标头数据中是否存在 ECC 错误，如果存在错误，则于 620 处确定所述标头数据 ECC 错误是否可纠正。如果所述标头数据 ECC 错误不可纠正，则于 650 处设定一指示符以通知所述控制器所述用户数据无效。此一指示符的一实例是因应所述用户数据是有效还是无效来设定或清除的数据旗标位。所述数据旗标位可包含于开销部分 335 或可存储在其它地方。

如果所述标头数据 ECC 错误可纠正，则于 623 处纠正所述错误，且于 625 处将用户数据读入或传送至所述控制器 RAM。在一标准芯片上拷贝作业中，用户数据从存储器阵列 1、11 中的第一位置拷贝至存储器阵列 1、11 中的第二位置，而非被传送至控制器 27、43。在多次芯片上拷贝作业后，数据会随时间变差而包括足够数量的无法使用 ECC 纠正的多位错误。

在 625 处将用户数据传送至控制器 RAM 28、50 会产生关于用户数据的 ECC 状态。此处将使用 ECC 状态检查来防止存储于一存储器位置的用户数据在未曾被读取且未对所述用户数据进行任何 ECC 检查的情况下而被拷贝多次。

如果在 630 处发现关于所述用户数据的 ECC 错误，则于 635 处确定所述 ECC 错误是否可纠正。如果所述 ECC 错误不可纠正，则于 650 处设定一指示符以通知所述控制器所述用户数据无效。如上所述，所述指示符是一用于实现该目的的数据旗标位。根据所述用户数据状态是有效或无效来设定或清除所述数据位（反之亦然）。

如果所述 ECC 错误可纠正，则于 637 处纠正所述用户数据，且然后于 640 处传回所述存储器芯片。在 640 处，可使所述控制器完成在 640 处将数据传回所述存储器芯片的传送。在数据传送之后，在 645 处将一新标头传回所述存储器芯片。在其可能已作为拷贝作业的结果得到更新的意义上，所述标头数据为新的。即使在 620 或 635 处所述 ECC 错误不可纠正，仍于 645 处将所述新标头拷贝回去，这是因为其将含有在 650 处经设定以指示所述错误的数据旗标位。此允许将所述错误旗标存储于缺陷扇区中，以便当存取所述扇区时所述信息可供使用。在于 699 处完成当前拷贝作业之前，在 646 处发出新的寻址及写入命令。

如果于 630 处确定未发现关于所述用户数据的 ECC 错误，则用户数据不被写回至所述存储器。如果未发现 ECC 错误则不将用户数据部分写回至所述存储器的一个原因是利用芯片上拷贝作业的优点。

图 7 是一流程图 700，其显示当拷贝具有相关联错误纠正码（ECC）的数据时图 1 或图 2 的任一存储器系统的实例性拷贝作业。流程图 700 给流程图 600 中所示的方法提供额外的功能，包括多次尝试 ECC 检查的再试机制及指示何时将数据传回所述存储器芯片的旗标设定/清除机制。

在 721 处，再试机制提供一其中检查一再试计数值的决定点。如果于 620 处标头 ECC 错误不可纠正或于 635 处用户数据 ECC 错误不可纠正，则到达所述决定点 721。如果于 721 处再试次数用完，则于 650 处继续进行处理，在此处设定一数据旗标位以指示无效数据。否则，如果再试次数未用完，则于 722 处增加再试计数，且在 605 处继续对另一读取命令进行处理。再试计数值在确定标头 ECC 不可纠正时提供多次再试。再试计数值可为预定的或基于适合于拷贝作业的某个标准。

如果于 630 处发现关于用户数据的错误，则于 635 处确定所述用户数据 ECC 错误是否可纠正。如果所述 ECC 错误不可纠正，则于 721 处检查所述再试计数值，且如果再试次数已用完，则于 650 处设定一指示符以通知所述控制器所述数据无效。上文

对数据无效指示符予以进一步阐述。如果于 635 处确定所述数据 ECC 错误可纠正，则于 736 处纠正所述 ECC 错误，并于 756 处设定一数据传送旗标。数据传送旗标为一指示数据正确并应传送回所述存储器芯片的指示符。数据传送旗标可作为所述代码旗标之一存储于所述控制器中或可存储于他处。然后于 645 处将新的或经更新的标头传送回所述存储器芯片。然后于 755 处检查数据传送旗标。如果于 755 处设定所述数据传送旗标，则于 640 处将数据传送回所述存储器芯片。如果正拷贝多个扇区，则接下来在 741 处确定是否存在更多要处理的扇区，且如果存在，则于 610 处将下一扇区的标头传送至控制器 RAM 内。然后按照上文所述处理下一扇区。如果于 741 处未发现有更多扇区，则处理于 799 处结束。

如果于 630 处未发现数据 ECC 错误，则于 757 处清除一数据传送旗标以指示所述数据不应被传送回存储器芯片。在未发现数据 ECC 错误的情况下于 757 处清除所述数据传送旗标可通过无需将数据传送回所述存储器芯片来提供性能优化。如果不存在关于所述数据的 ECC 错误，则被拷贝的数据可能在一芯片上拷贝中是正确的，此处使所述存储器将数据从第一位置拷贝至第二位置通常即可。通过在事务中不牵涉控制器且转而通过使用所述芯片将所述数据从所述第一位置拷贝至所述芯片上的第二位置来改良性能。

图 8 是一流程图 800，其显示当拷贝具有相关联错误纠正码（ECC）的数据时图 1 或图 2 的任一存储器系统的实例性拷贝作业。流程图 800 添加对可纠正标头进行优化的特征并执行一取样机制以确定是否检查 ECC。这些特征将于下文中予以更详细说明。另外，流程图 800 包括上述流程图 700 中的诸多特征，例如再试机制，但不包括旗标设定/清除机制以指示何时将数据传送回所述存储器芯片。下文将仅详细阐述所述额外特征。关于进一步的信息，参见上文对图 6-7 的论述。

如果于 620 处确定所述标头 ECC 错误是可纠正的，则于 723 处纠正所述标头 ECC。此处，可于 870 处做出对一可纠正标头进行优化的决定。如果所述标头可纠正，则可假设不必每一单次拷贝作业均检查 ECC 并可使用一取样机制来提供最佳性能。如果于 870 处选择所述标头优化，则将不在每一拷贝作业期间均检查数据 ECC，而是根据一取样机制予以检查，下文将进一步阐述所述取样机制。在所述实例性实施例的一变化中，即使于 620 处所述标头不可纠正，所述数据可仍被传送至所述控制器以用于错误检测/纠正作业，这是因为可重建所述扇区的标头。

如果于 870 处选择标头优化，则于 875 处检查一再试阈值。可根据结合 721 及 722 所论述的再试计数值在处理中的一不同点执行该再试阈值，并可依据何种条件适合而将所述再试阈值设定至不同数值。875 处的再试阈值的一个用途是视需要防止拷贝过程在错误条件中的标头优化。再试阈值可是预定的或基于某一适合于拷贝作业的标准。875 处的再试阈值检查是用于确定是否于 860 处应用一取样机制。如果于 875 处超过再试阈值，则不选择取样机制，且于 625 处，处理继续将所述数据传送至控制器 RAM。

如果于 870 处选择所述标头优化，且于 875 处尚未超过再试阈值，则于 860 处执

行一取样机制。取样机制是预定选择标准的一实例，其可用于确定是否检查关于所述数据的 ECC。所述取样机制可是基于随机性的或是确定性的，并在图 5 的论述中更详细地予以阐述。

检查应用取样机制的结果，并于 865 处确定是否需要检查数据 ECC。如果于 875 处确定需要检查所述数据 ECC，则于 625 处，处理继续将所述数据传送至控制器 RAM。如果于 865 处将不检查数据 ECC，则于 625 处不存在数据传送至所述控制器存储器或从控制器存储器的传送，这是因为在此种情况下不在检查数据 ECC。如果需要检查所述数据 ECC，则无需将所述数据传送至所述控制器。

其余的处理步骤类似于上文论述图 6-7 中所说明的那些步骤。

图 9 是一流程图 900，其显示当拷贝具有相关联错误纠正码（ECC）的数据时图 1 或图 2 的任一存储器系统的实例性拷贝作业。流程图 900 通过组合上文所述图 6-8 的特征来提供改良的性能，所述特征包括选择性芯片上拷贝及其中可使用一取样机制确定何时执行所述 ECC 检查的选择性 ECC 检查。更具体而言，其将图 8 的步骤 860、865、870 及 875 的优化及取样添加至图 7 的流程。

图 6-9 全部是针对对标头及用户数据使用单独 ECC 的情况。引入图 7-9 中的诸多特征也可应用于组合 ECC 的情况（或具有未利用的单独 ECC 的情况）。例如，图 10 引入在图 8 中所见的诸多特征，但仅使用单个 ECC。

更具体而言，所述过程在 1001 处以发出一读取命令开始，其中再试计数值在 605 处被设定为 0。在 860 处使用取样机制以于 865 处确定是否检查正被重定位的扇区。如果不检查，则执行所述扇区的一芯片上拷贝，且所述过程在 741 处转至其它扇区（如果存在更多扇区），或在 1099 处终止（如果不存在更多扇区）。如果确定需要检查所述扇区，则于 610/625 处将标头及用户数据两者从所述存储器寄存器传送至所述控制器。除一起处理标头及用户数据而非单独处理标头 ECC 外，所述过程的其余部分跟在 615/630 后，如同其跟随在图 8 中 630 后一样。

尽管已针对具体实例性实施例阐述了本发明的各个方面，但应了解，本发明在随附权利要求书的整个范畴内受到保护。上文所涉及的专利、专利申请案、文章及书籍部分的全文均特此以引用方式明确地并入本背景技术部分中。

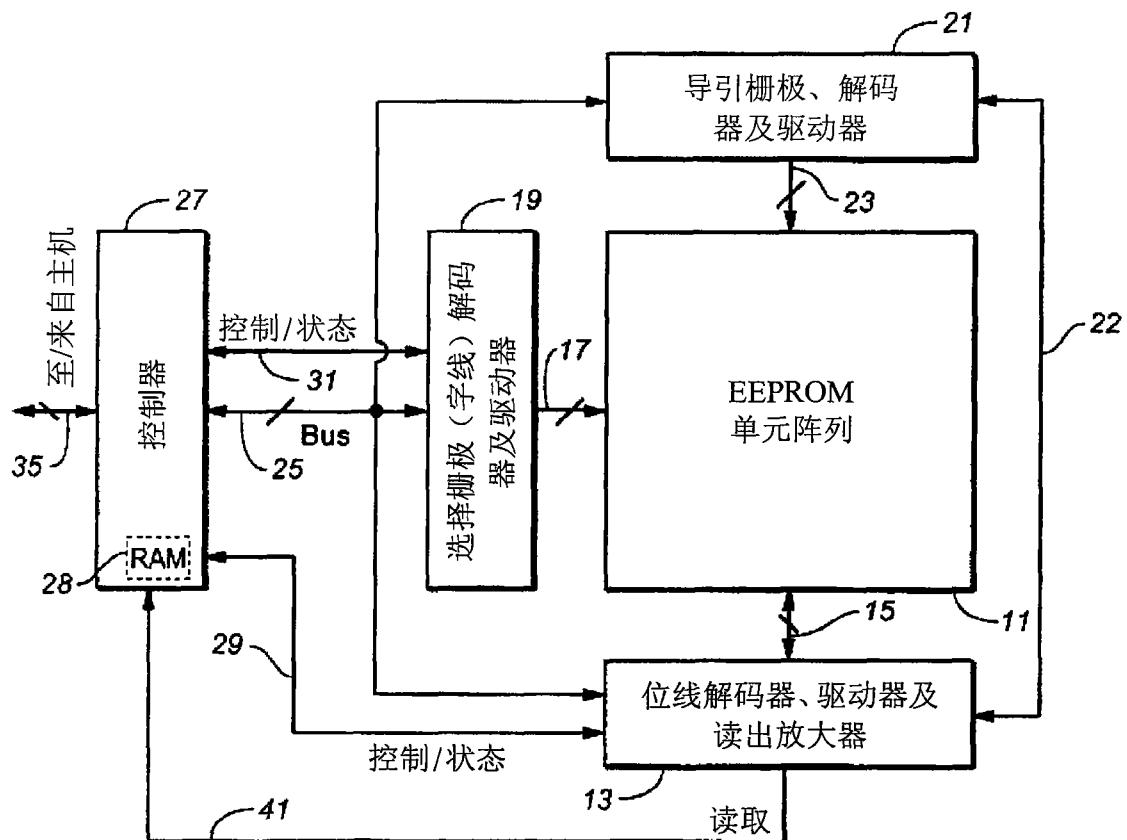


图 1

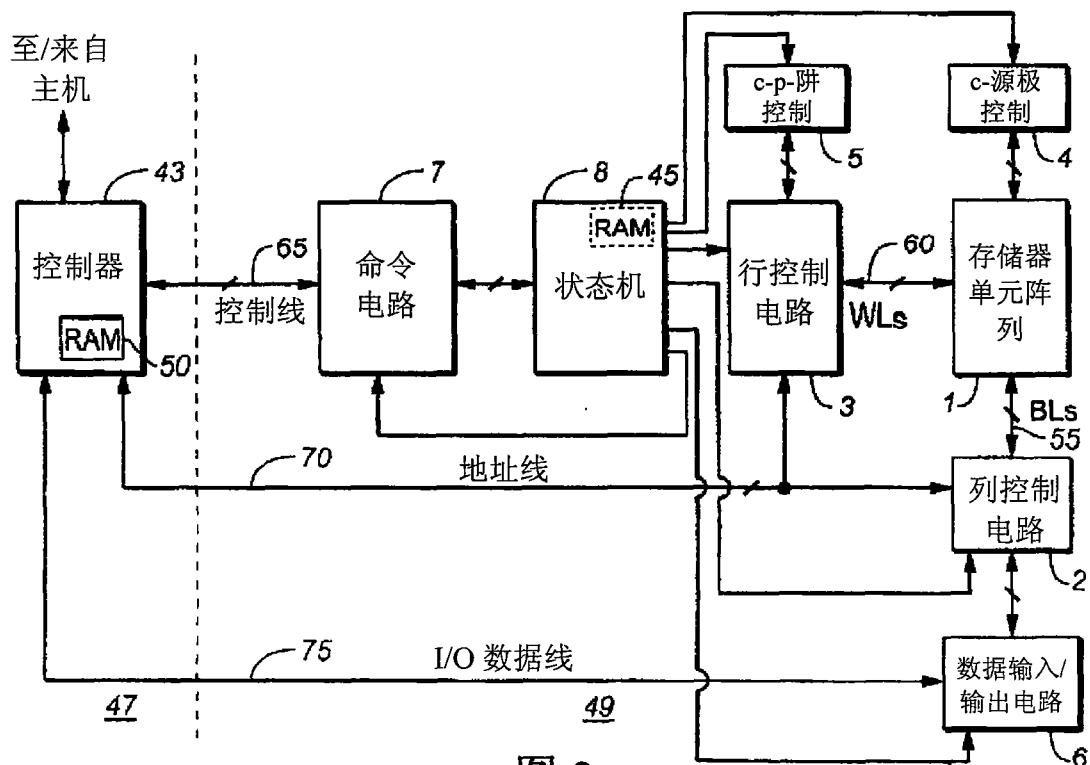


图 2

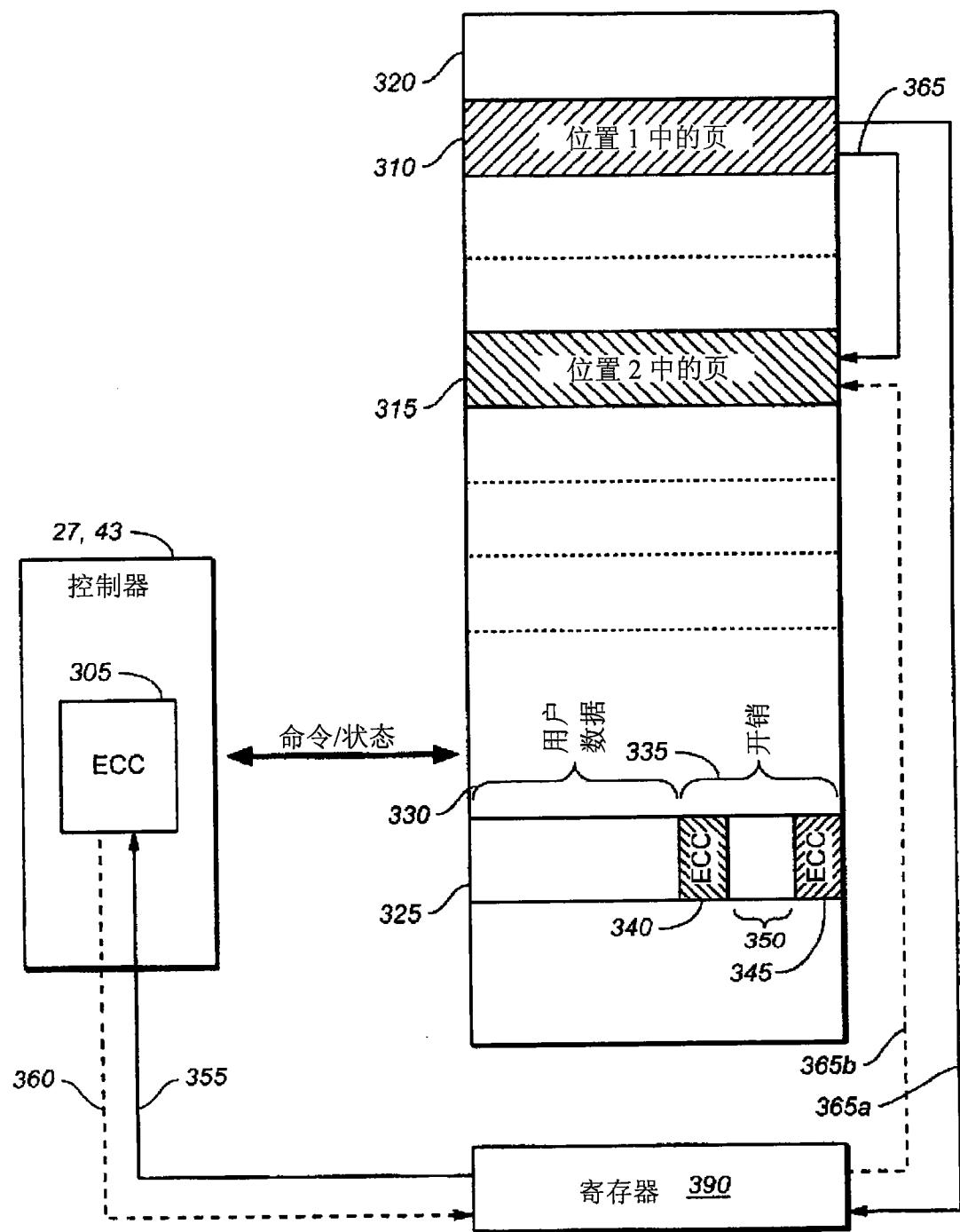


图 3

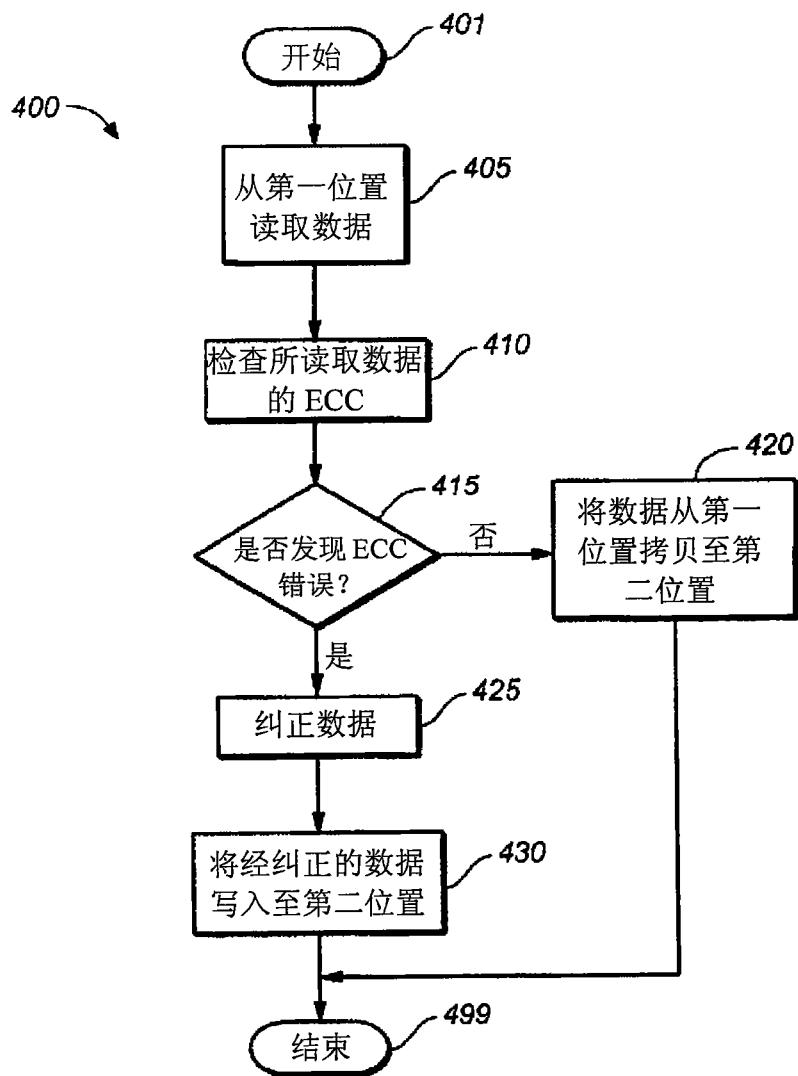


图 4

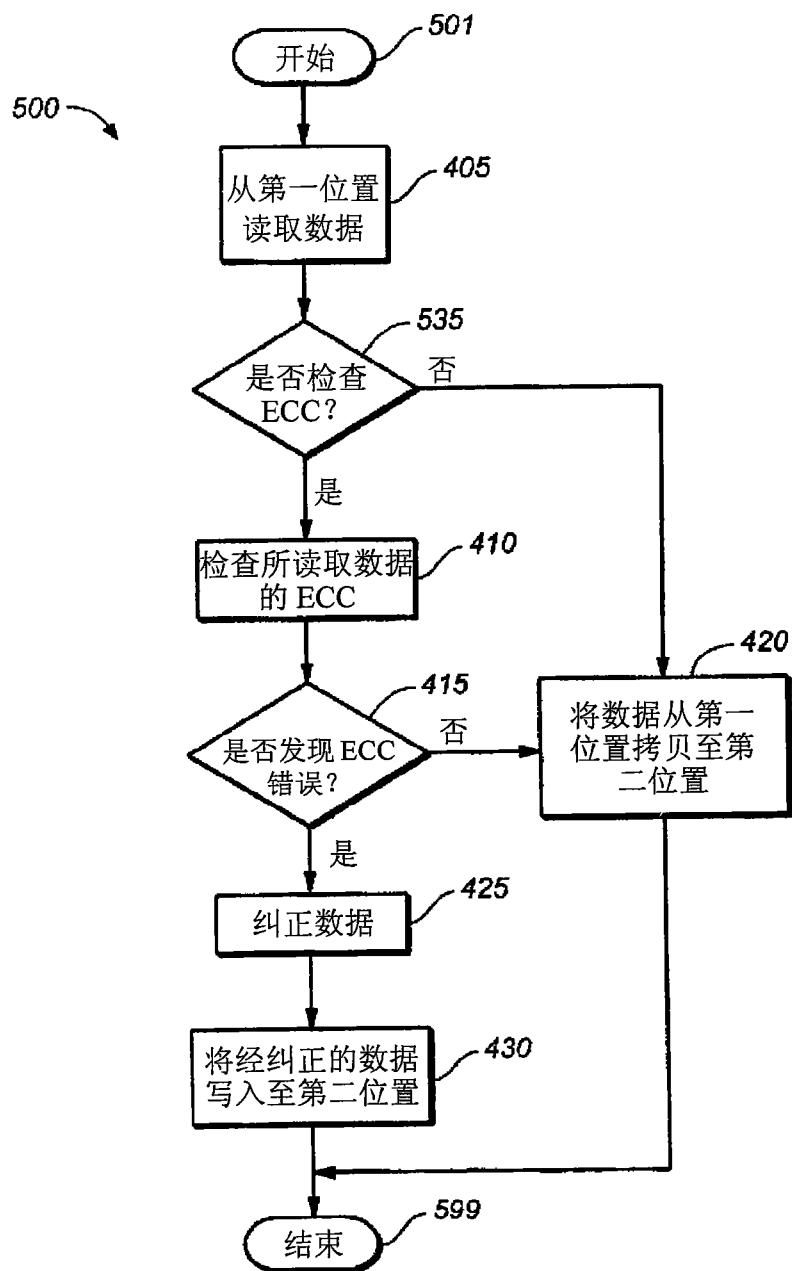


图 5

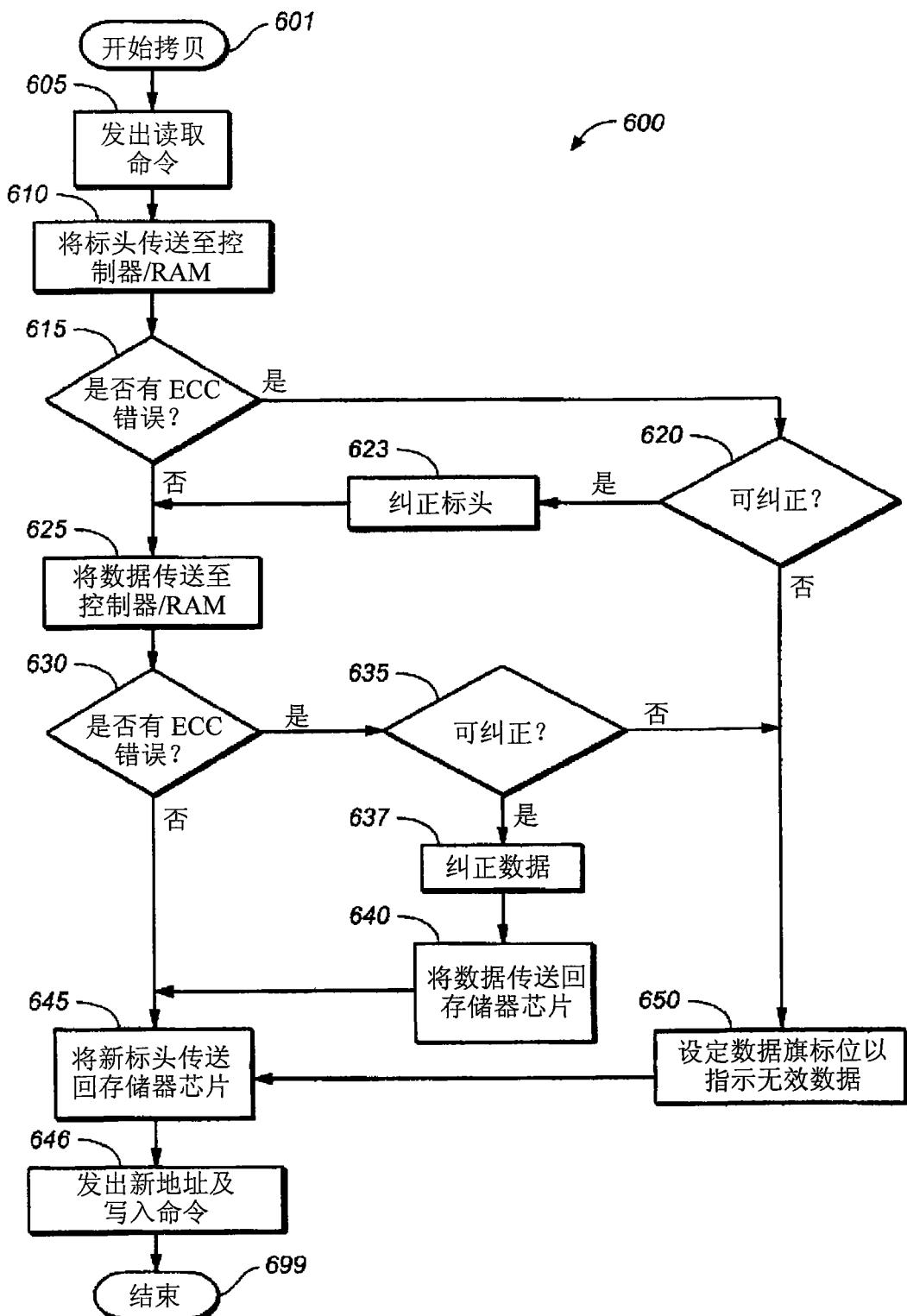


图 6

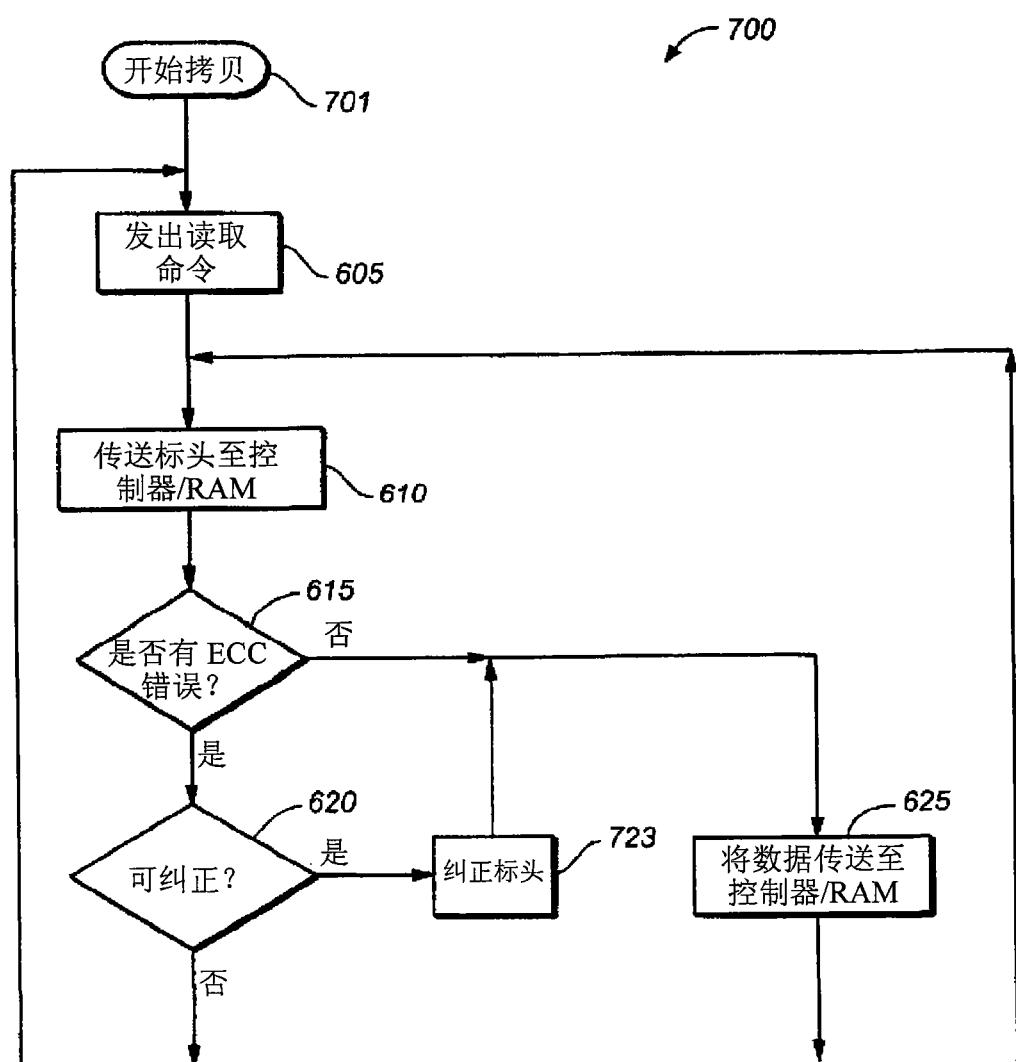
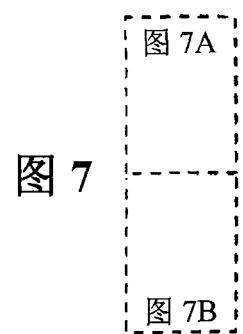


图 7A

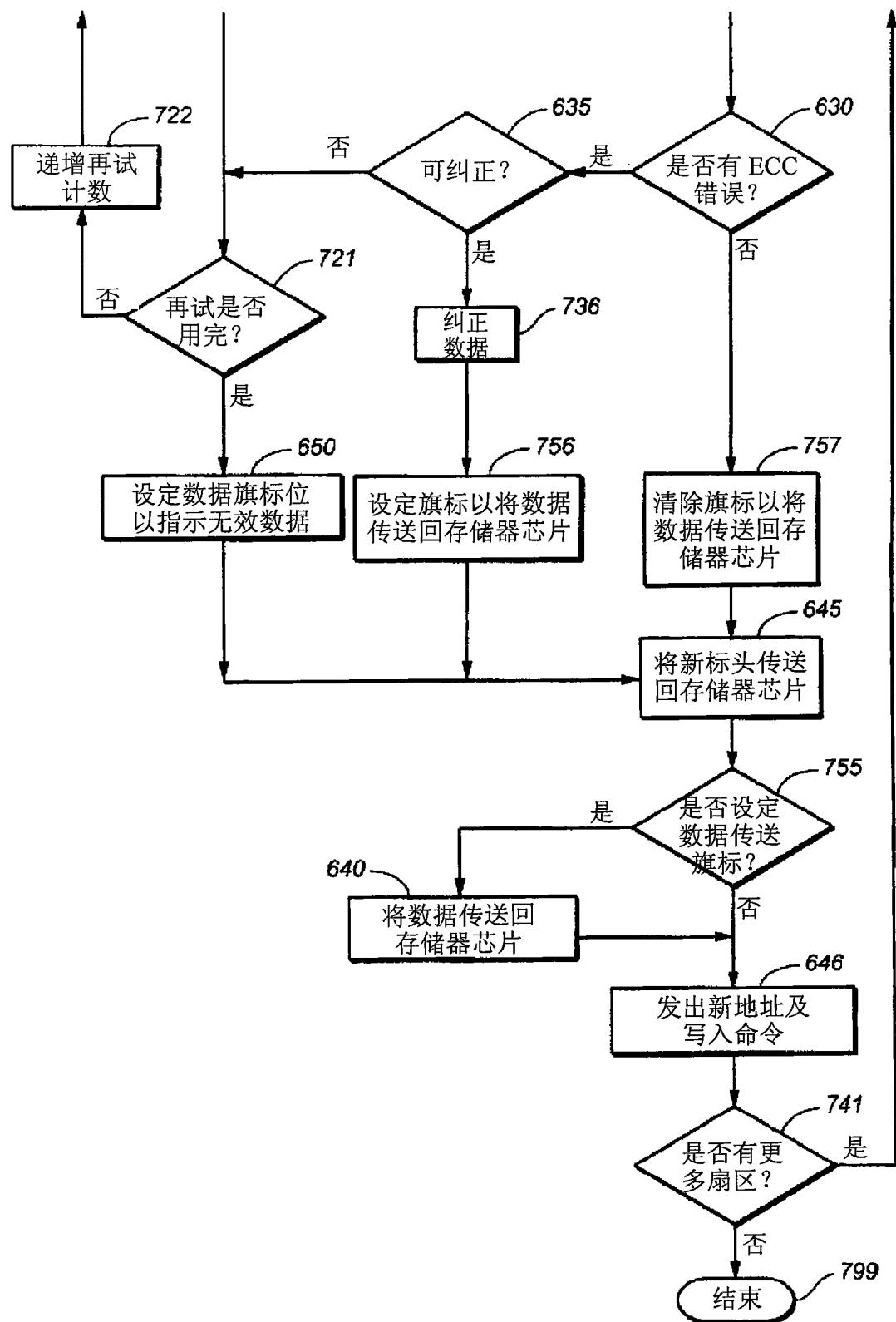
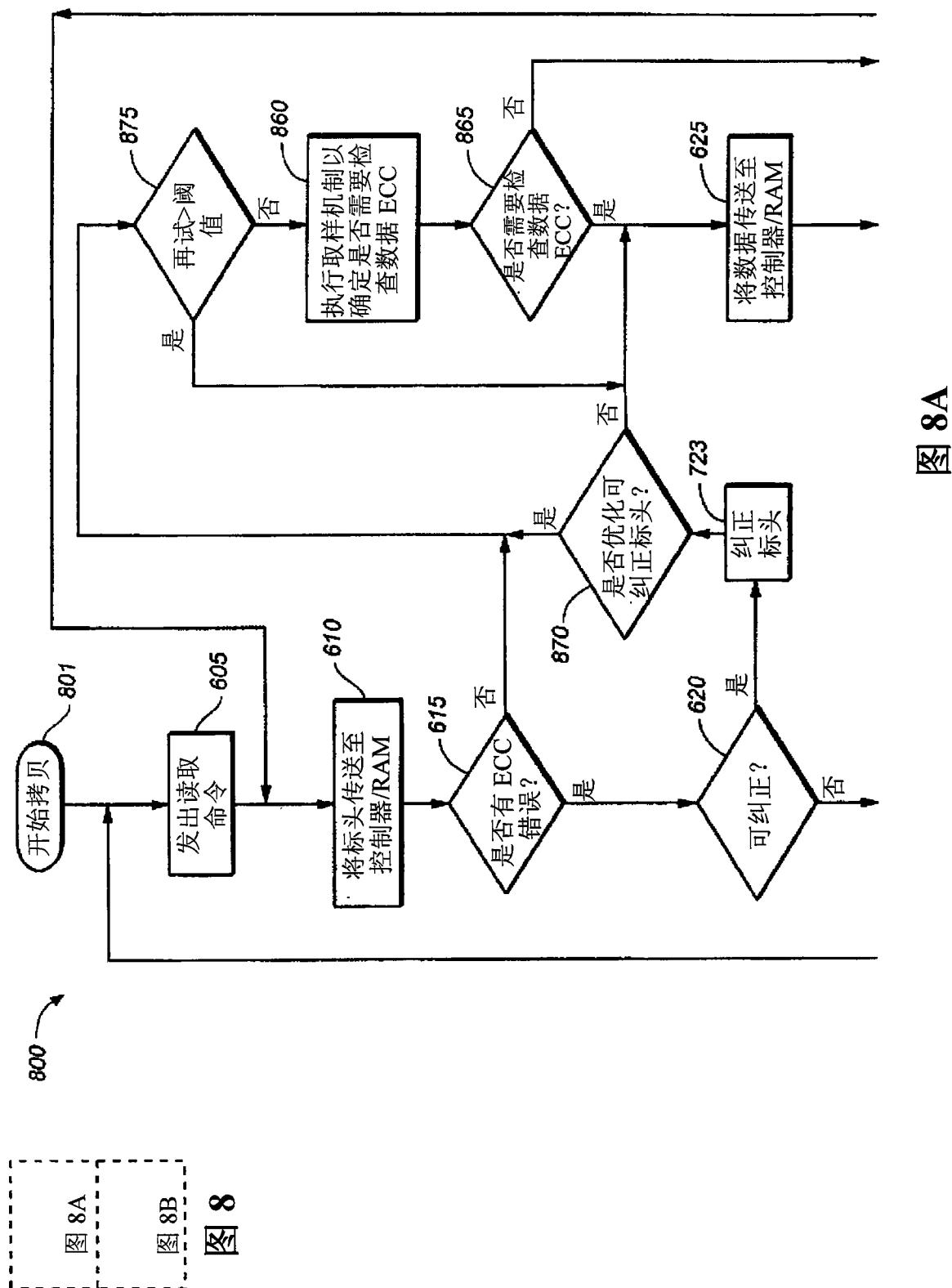


图 7B



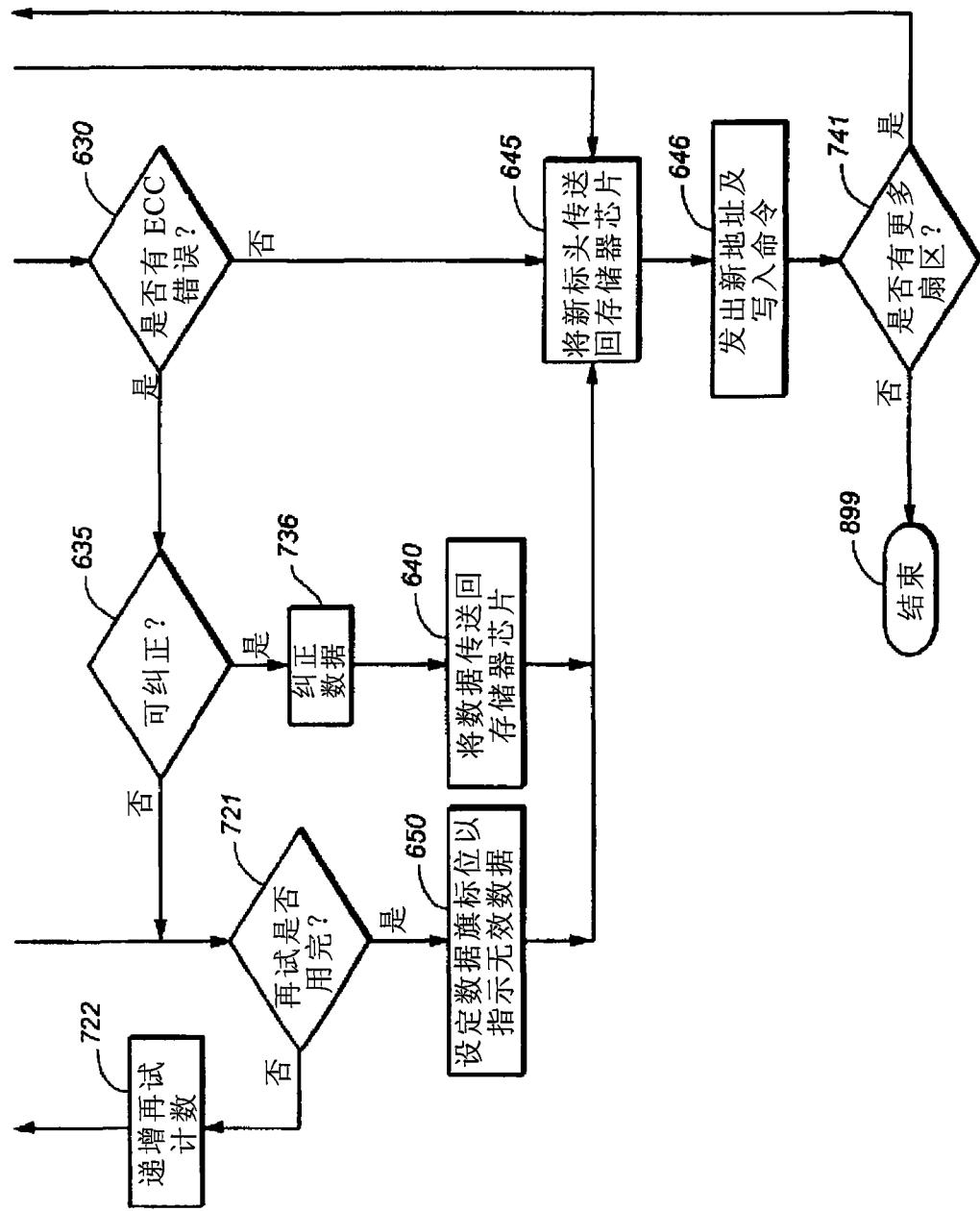
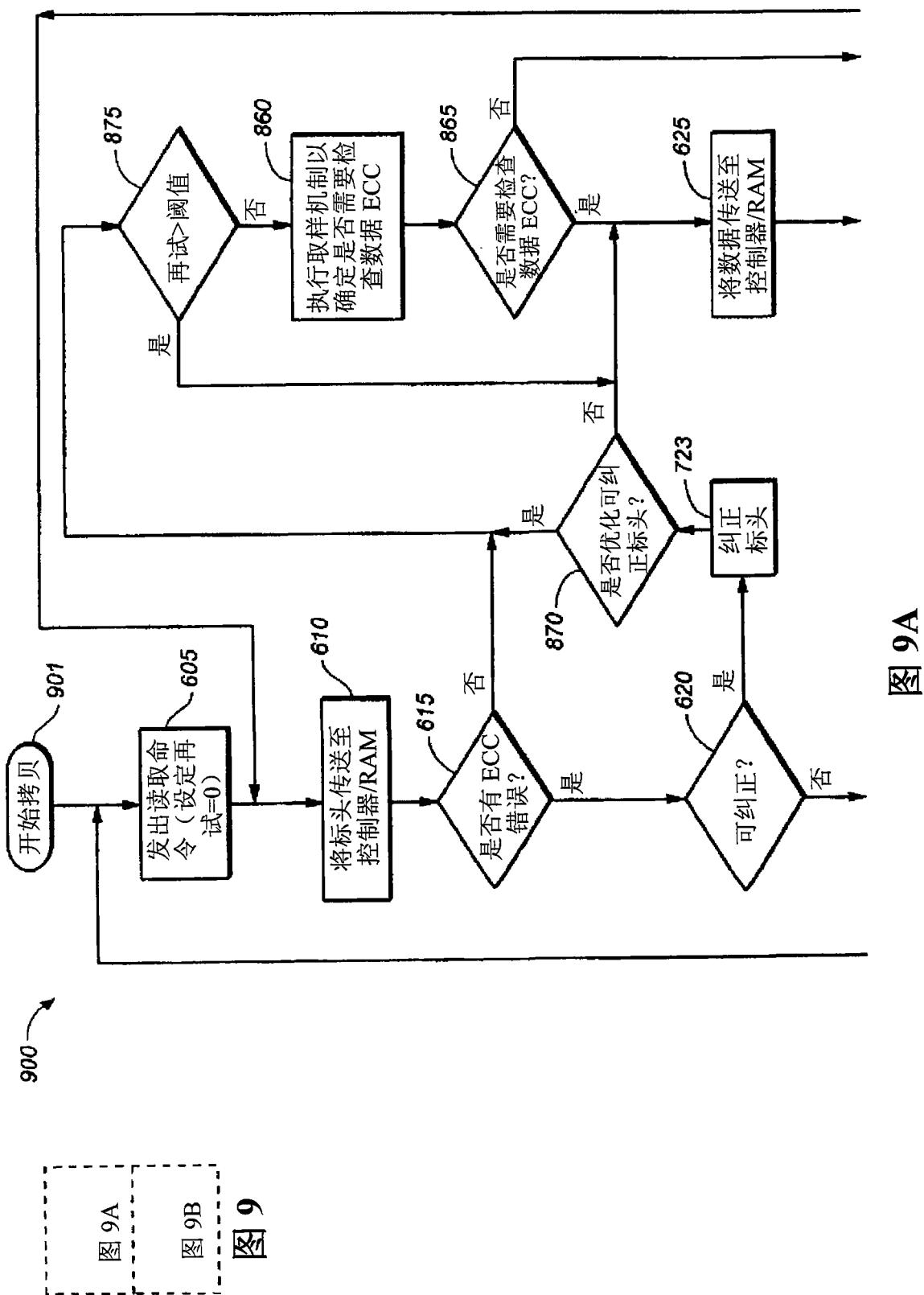
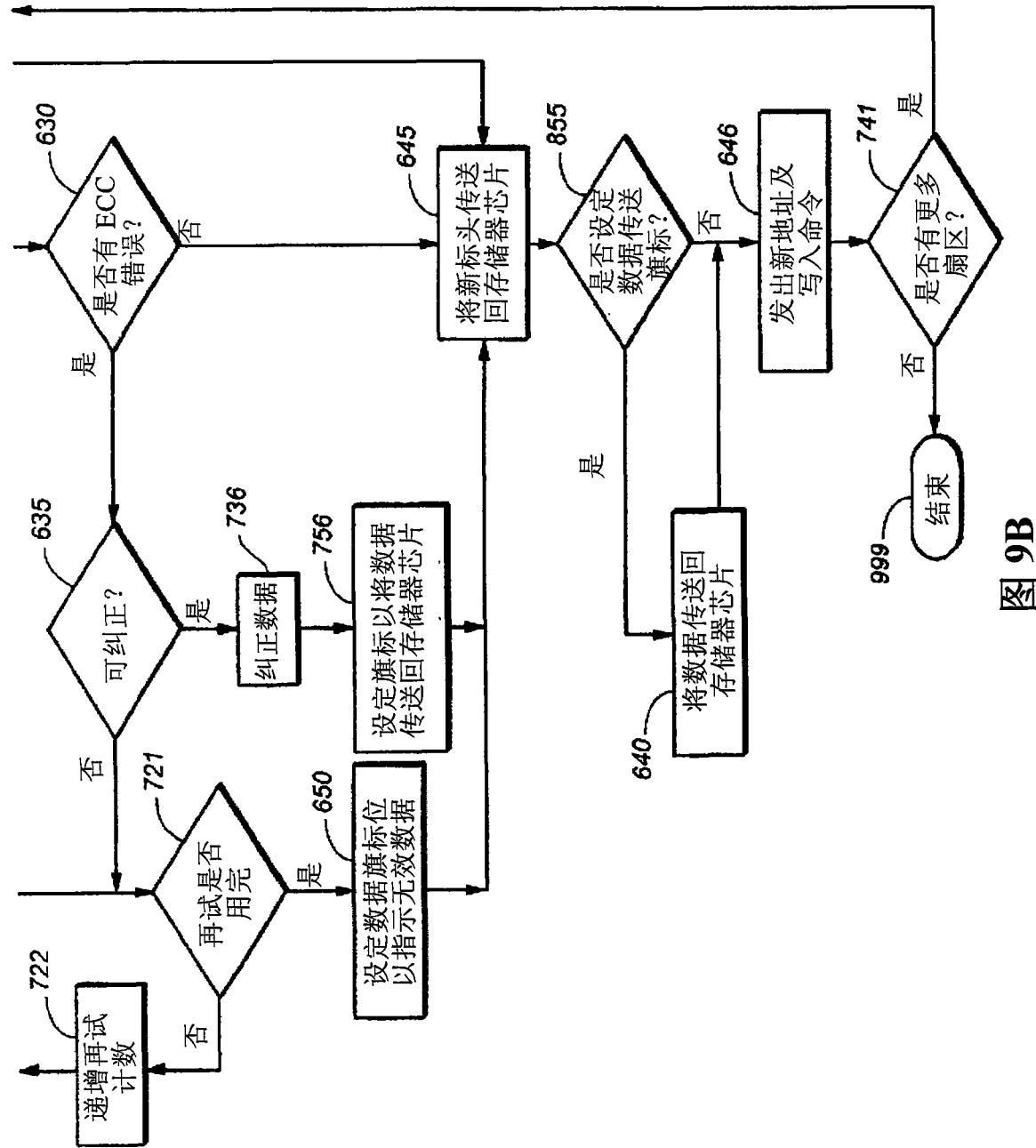


图 8B





9B

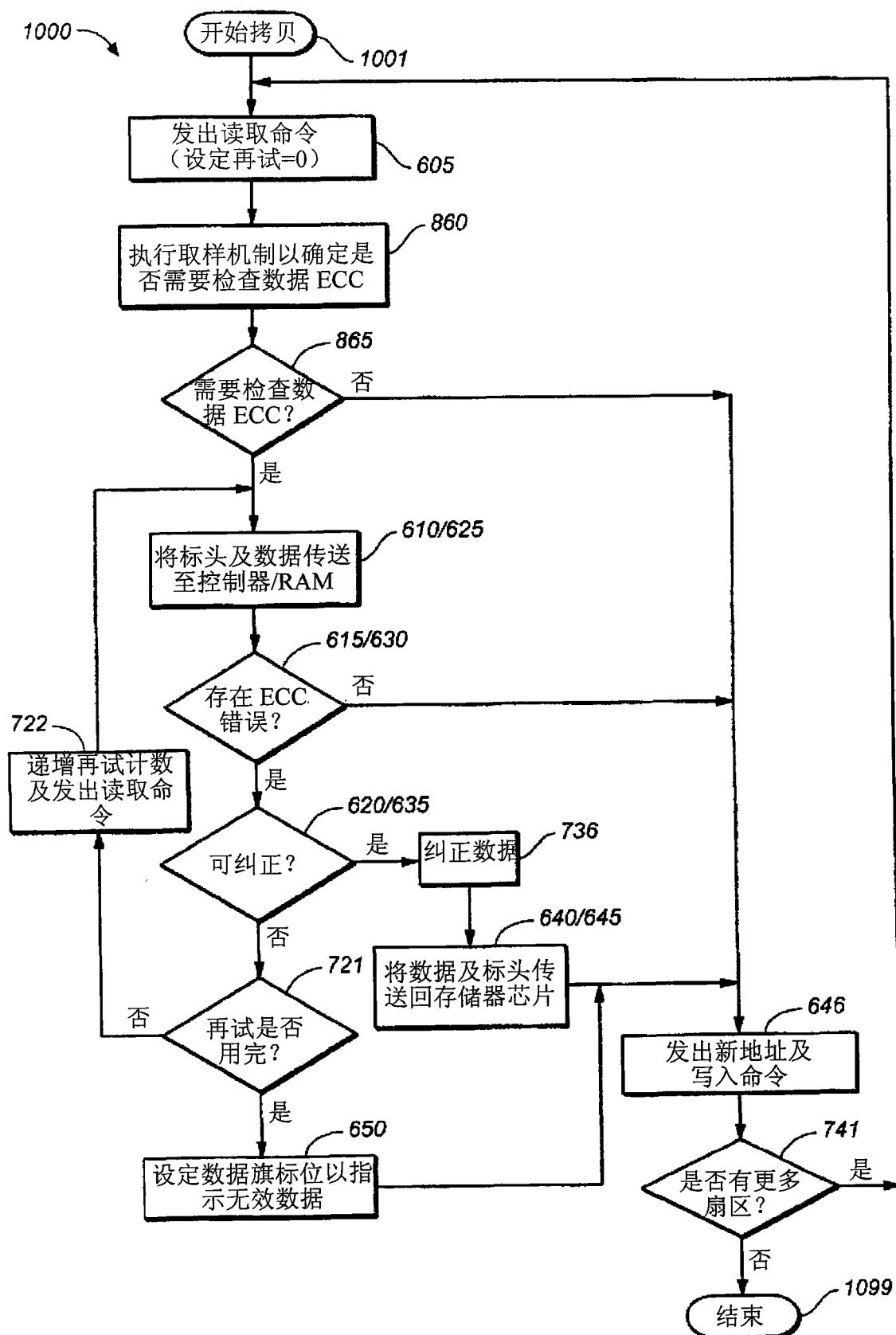


图 10