



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I671636 B

(45)公告日：中華民國 108 (2019) 年 09 月 11 日

(21)申請案號：107110110 (22)申請日：中華民國 106 (2017) 年 03 月 15 日

(51)Int. Cl. : G06F13/14 (2006.01) G06F1/04 (2006.01)

(30)優先權：2016/03/16 日本 2016-052000

(71)申請人：日商東芝記憶體股份有限公司 (日本) TOSHIBA MEMORY CORPORATION (JP)
日本

(72)發明人：藤本曜久 FUJIMOTO, AKIHISA (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201602792A EP 2249227A1

WO 2016/009692A1

審查人員：郭彥鋒

申請專利範圍項數：11 項 圖式數：23 共 84 頁

(54)名稱

主機設備及擴充裝置

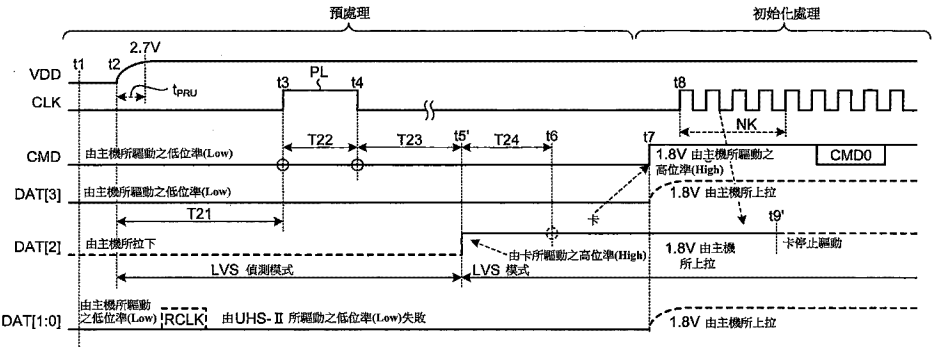
(57)摘要

依據一實施例，第一電源供應電壓係施加至 I/O 訊胞，連接到時脈終端的 I/O 訊胞係初始地設定至第二電壓信令的臨限值，連接到命令終端的 I/O 訊胞及連接到資料終端的 I/O 訊胞係初始地設定為輸入，以及當時脈控制單元偵測出一個時脈脈波的接收且信號電壓控制單元偵測出使用該第二電壓信令的主機時，信號電壓控制單元在第二電源供應電壓被施加至 I/O 訊胞後，驅動第一資料終端的 I/O 訊胞至高位準，且第二電壓信令的臨限值被設定至該時脈、命令、及資料終端的 I/O 訊胞。

According to one embodiment, a first power-supply voltage is applied to I/O cells, an I/O cell connected to a clock terminal is initially set to a threshold of a second voltage signaling, an I/O cell connected to a command terminal and I/O cells connected to data terminals are initially set as an input, and when a clock control unit detects receipt of one clock pulse and a signal voltage control unit detects a host using the second voltage signaling, a signal voltage control unit drives the I/O cell of a first data terminal high level after a second power-supply voltage is applied to I/O cells and the threshold of a second voltage signaling is set to I/O cells of the clock, command and data terminals.

指定代表圖：

第 17 圖



發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

主機設備及擴充裝置

Host apparatus and extension device

[相關申請案之對照]

[0001] 此申請案係根據 2016 年 3 月 16 日所申請之日本專利申請案第 2016-52000 號且主張該申請案的優先權；該申請案的全部內容將結合於本文以供參考。

【技術領域】

[0002] 在此所敘述之實施例大致有關主機設備及擴充裝置。

【先前技術】

[0003] 關於較精密的半導體積體電路（IC），已需要有更低的 IC 電壓及 I/O 信號電壓。同時，在其中分佈與高電源供應電壓相容之主機設備及擴充裝置的情勢中，與高電源供應電壓介面及低電源供應電壓介面相容的主機設備及擴充裝置可被混合使用。

[0004] 當輸入緩衝器的輸入係在浮動狀態中，或中間電壓被輸入至輸入緩衝器之內時，流通電流可流入至該輸入緩衝器內。尤其，低電壓信令的高位準可係高電壓信

令的中間電壓。因而，當在不同信號電壓下操作的主機設備及擴充裝置被連接時，流通電流可流入至輸入緩衝器內。在下文中，高電壓信令將被表示為 HVS，以及低電壓信令將被表示為 LVS。

引例表

專利文獻

[0005]

[PTL 1] WO2006/057340

【圖式簡單說明】

[0006] 第 1 圖係依據第一實施例之主機設備及擴充裝置的概要方塊圖。HVS 主機表示藉由高電壓信令而開始通訊的主機 1，LVS 主機表示藉由低電壓信令而開始通訊的主機 2，HVS 裝置表示藉由高電壓信令而開始通訊的擴充裝置 3，以及 LVS 裝置表示根據主機設備的種類來選擇高電壓信令或低電壓信令而開始通訊的擴充裝置 4；

[0007] 第 2 圖係描繪第 1 圖中所描繪之 LVS 主機及 LVS 裝置之更詳細組態的方塊圖；

[0008] 第 3A 圖係描繪當將 LVS 裝置附著至第 1 圖中所描繪的 HVS 主機時之資料線 DAT〔3〕的連接之方塊圖，及第 3B 圖係描繪當將 LVS 裝置附著至第 1 圖中所描繪的 LVS 主機時之資料線 DAT〔3〕的連接之方塊圖；

[0009] 第 4 圖係當將 LVS 裝置附著至第 1 圖中所描

繪的 LVS 主機時之預處理序列的時序圖；

[0010] 第 5 圖係當將 HVS 裝置附著至第 1 圖中所描繪的 LVS 主機時之預處理序列的時序圖；

[0011] 第 6A 圖係描繪低電壓信令輸出之高位準變成高電壓信令輸入之中間電壓的圖式，及第 6B 圖係描繪其中當中間電壓被輸入至第 1 圖中所描繪的 HVS 裝置之內時，流通電流發生之狀態的方塊圖；

[0012] 第 7 圖係描繪依據第一實施例之由主機所傳送的 LVS SD 卡中之 CMD8 之內容的圖式；

[0013] 第 8 圖係依據第一實施例之主機的預處理及初始化序列的流程圖；

[0014] 第 9 圖係依據第一實施例之擴充裝置的預處理及初始化序列的流程圖；

[0015] 第 10 圖係依據第一實施例之擴充裝置的初始化序列的流程圖；

[0016] 第 11 圖係依據第二實施例之當將 LVS 裝置附著至 LVS 主機時之預處理序列的時序圖；

[0017] 第 12 圖係依據第二實施例之當將 HVS 裝置附著至 LVS 主機時之預處理序列的時序圖；

[0018] 第 13 圖係依據第二實施例之當將 LVS 裝置附著至 HVS 主機時之預處理序列的時序圖；

[0019] 第 14 圖係依據第二實施例之當將 LVS 裝置附著至 HVS 主機時之預處理序列的另一實例之時序圖；

[0020] 第 15 圖係描繪依據第三實施例之使用於 LVS

裝置中的輸入/輸出緩衝器之組態實例的方塊圖；

[0021] 第 16A 圖係說明依據第四實施例之 LVS 識別模式之週期的時序圖，及第 16B 圖係在 LVS 識別序列中藉由 HVS 主機所發出之初始化及時脈時由該 HVS 主機所供應之時脈的時序圖；

[0022] 第 17 圖係說明依據第五實施例之當將 LVS 裝置附著至 LVS 主機時之 LVS 識別序列的時序圖；

[0023] 第 18 圖係說明依據第五實施例之當將 HVS 裝置附著至 LVS 主機時之 LVS 識別序列的時序圖；

[0024] 第 19 圖係依據第五實施例的擴充裝置之 LVS 識別序列及初始化序列的流程圖；

[0025] 第 20 圖係依據第五實施例的擴充裝置之 LVS 識別序列及初始化序列的流程圖；

[0026] 第 21 圖係依據第五實施例的主機之 LVS 識別序列及初始化序列的流程圖；

[0027] 第 22 圖係依據第五實施例的主機之 LVS 識別序列及初始化序列的流程圖；以及

[0028] 第 23 圖係描繪依據第六實施例之當將 LVS 裝置附著至 LVS 主機時之資料線 DAT〔2〕的連接之方塊圖。

【發明內容及實施方式】

[0029] 大致地，依據一實施例，擴充裝置係供應以來自主機的第一電源電壓，且經由時脈、命令/回應、和

資料的信號而與該主機通訊。做為上述信號之輸入/輸出信號位準的第一電壓信令及低於該第一電壓信令的第二電壓信令係可使用於該通訊。該擴充裝置包含：電源/接地終端，其係供應以來自該主機的功率；時脈終端，其輸入該時脈；命令終端，其接收該命令及傳送該回應；複數個資料終端，其執行該資料的輸入及輸出；I/O 訊胞單元，其係連接至該時脈終端、該命令終端、及該等資料終端；時脈控制單元，其能決定所輸入至該時脈終端內之時脈的數目；以及信號電壓控制單元，其控制該 I/O 訊胞單元之輸入/輸出信號的位準，及控制用以決定該等輸入信號之高位準（High）/低位準（Low）的臨限值。連接到時脈終端的 I/O 訊胞係初始地設定至第二電壓信令的臨限值，以及連接到命令終端的 I/O 訊胞及連接到資料終端的 I/O 訊胞係初始地設定以第一電壓信令做為輸入而操作。當時脈控制單元偵測出一個時脈脈波的接收時，信號電壓控制單元以其中第一資料終端之電壓位準被反轉的方向驅動該第一資料終端的 I/O 訊胞。

[0030] 主機設備及擴充裝置的代表性實施例將參照附圖而予以詳細解說於下文。本發明並未受限於以下之實施例。此處之擴充裝置有關可藉由被附著到主機設備中之擴充槽而外部地添加其功能至該主機設備的裝置。該功能的外部添加可係主機設備所不具有之功能的添加，或可係主機設備所具有之功能的加強。擴充裝置僅當被連接至主機設備時才操作，且無法以自主的方式單獨地操作。也就

是說，擴充裝置可接收來自主機設備的功率、時脈、及命令，以及送回對該等命令的回應或傳送及接收資料。擴充槽可包含電源終端、時脈終端、命令終端、及資料終端。時脈終端、命令終端、及資料終端可被使用做為信號終端。附著擴充裝置至主機設備可增進該主機設備之功能的多樣性和靈活性。

[0031] 擴充裝置可係記憶卡或 I/O 卡。I/O 卡的功能可包含例如，GPS、相機、Wi-Fi（註冊商標）、FM 收音機、乙太網（註冊商標）、讀碼機、藍牙（註冊商標）、及其類似物。主機設備具有擴充槽，做為擴充裝置的接受體，且可經由該擴充槽而發送功率、時脈、及命令，接收對該等命令的回應，及傳送和接收資料。主機設備可係個人電腦、諸如智慧型手機之行動資訊終端機、諸如印表機或影印機之周邊裝置、或諸如冰箱或微波爐之家庭資訊用具。惟，本發明並未受限於該等實施例。

[0032]

（第一實施例）

第 1 圖係依據第一實施例之主機設備及擴充裝置的概要方塊圖。第 1 圖描繪具有它們個別介面單元之提取的主機 1 及 2 以及擴充裝置 3 及 4，透過該等介面，主機 1、2 及擴充裝置 3、4 可經由電源、時脈、命令/回應、及資料之匯流排介面信號而通訊。

[0033] 請參閱第 1 圖，擴充裝置 3 及 4 係可拆卸地附著至主機 1 及 2。主機 1 可使用擴充裝置 3 及 4。主機

1 可發送命令至擴充裝置 3 及 4 以初始化該等裝置，以及接收來自擴充裝置 3 及 4 的回應。主機 2 可使用擴充裝置 4，但無法使用擴充裝置 3。主機 2 可發送命令至擴充裝置 4 以初始化該裝置，以及接收來自擴充裝置 4 的回應。主機 1 與擴充裝置 3 及 4 可藉由高電壓信令而彼此互相通訊，以及主機 2 與擴充裝置 4 可藉由低電壓信令而通訊。

[0034] 例如，高電壓信令可被設定為接近 3.3V，以及低電壓信令可被設定為接近 1.8V。高電壓信令係在高電壓下所通訊的信號，以及低電壓信令係在低電壓下所通訊的信號。該等信號可包含時脈 CLK、資料 DAT [3:0]、及命令 CMD。電源供應電壓係經由電源線 VDD 而從主機 1 及 2 供應至擴充裝置 3 及 4。該電源供應電壓可被設定為高電源供應電壓。例如，該電源供應電壓可被設定為 3.3V (2.7 至 3.6V)。

[0035] 擴充裝置 3 藉由高電壓信令而在初始化的開始時操作，且可在該初始化的中間從高電壓信令切換信號位準到低電壓信令。主機 1 及擴充裝置 3 可依照例如，用於 SD 卡的 UHS-I 標準而操作。與高電壓信令 (HVS) 相容的主機及裝置將在下文中被稱作 HVS 主機及 HVS 裝置。主機 2 及擴充裝置 4 的組合可藉由低電壓信令而從初始化的開始連續地操作，無需使用高電壓信令。與低電壓信令 (LVS) 相容的主機及裝置將在下文中被稱作 LVS 主機及 LVS 裝置。

[0036] 主機 1 包含電源供應單元 1A、電源開關 1B、

信號電壓控制單元 1C、VDDIO 選擇器 1D（VDDIO 係用於 I/O 訊胞的電源）、時脈產生單元 1E、命令控制單元 1F、資料控制單元 1G、及 I/O 訊胞 1H。主機 2 包含電源供應單元 2A、電源開關 2B、時脈產生單元 2E、命令控制單元 2F、資料控制單元 2G、I/O 訊胞 2H、及 LVS 控制單元 2J。

[0037] 電源供應單元 1A 及 2A 產生電源供應電壓 VD1、VD2、及 VDDL。例如，電源供應電壓 VD1 可被設定為 3.3V（2.7 至 3.6V），電源供應電壓 VD2 可被設定為 1.8V，以及電源供應電壓 VDDL 可被設定為 1.2V。電源供應電壓 VDDL 可被使用做為用於邏輯電路的電源。電源開關 1B 及 2B 開啟及關閉電源供應電壓 VD1 對電源線 VDD 的供應。電源開關 1B 及 2B 可包含將輸出電壓下拉至接地電位的拉下電路。

[0038] 信號電壓控制單元 1C 指示用以在初始化順序中將信號位準從高電壓切換至低電壓。VDDIO 選擇器 1D 選擇電源供應電壓 VD1 及 VD2 的任一者做為訊胞電源供應 VDDIO，且將其供應至 I/O 訊胞 1H。時脈產生單元 1E 及 2E 產生預定頻率的時脈 CLK。命令控制單元 1F 發送命令 CMD 至擴充裝置 3 及 4，或從擴充裝置 3 及 4 接收對該命令 CMD 的回應。

[0039] 資料控制單元 1G 及 2G 傳送資料 DAT〔3：0〕至擴充裝置 3 及 4，以及從擴充裝置 3 及 4 接收資料 DAT〔3：0〕。I/O 訊胞 1H 依據由訊胞電源供應 VDDIO

所指明之電源供應電壓 VD1 及 VD2 的任一者，而設定時脈 CLK、命令 CMD、對命令 CMD 之回應、及資料 DAT [3 : 0] 的信號位準。I/O 訊胞 2H 依據由電源供應 VDDIO 所指明之電源供應電壓 VD2，而設定時脈 CLK、命令 CMD、對命令 CMD 之回應、及資料 DAT [3 : 0] 的信號位準。

[0040] LVS 控制單元 2J 決定擴充裝置 3 及 4 是否係 HVS 裝置或 LVS 裝置。LVS 控制單元 2J 可包含裝置偵測單元，其偵測裝置是否可藉由低電壓信令通訊。依據決定結果，LVS 控制單元 2J 控制時脈 CLK、命令 CMD、對命令 CMD 之回應、及資料 DAT [3 : 0] 的序列及信號位準。該等信號位準可從高位準 (High) 驅動、低位準 (Low) 驅動、上拉、拉下、及輸出三態 (輸入狀態) 之中被選擇。

[0041] 用以決定擴充裝置 3 及 4 是否係 HVS 裝置或 LVS 裝置之藉由主機 2 而予以執行的處理 (在下文中，亦稱作預處理)，可在初始化處理之前被執行。在預處理中，LVS 主機可藉由驅動資料 DAT [3] 的電壓至低位準 (Low) 而指示其係 LVS 主機。當 LVS 裝置被附著時，HVS 主機可設定資料 DAT [3] 至高位準 (High) (詳細說明將於稍後參照第 3 圖而予以給定)。LVS 主機亦可監測資料 DAT [2] 的電壓。

[0042] 當上拉資料 DAT [2] 時，主機 2 可在當資料 DAT [2] 的電壓係低位準 (Low) 時決定裝置做為 LVS

裝置，且在當資料 DAT〔2〕的電壓係高位準（High）時決定裝置做為 HVS 裝置。當決定該裝置做為 LVS 裝置時，主機 2 移至初始化處理。當決定該裝置做為 HVS 裝置時，主機 2 停止驅動 I/O 訊胞輸出，關閉該裝置，且拒絕該 HVS 裝置。

[0043] 擴充裝置 3 包含重設電路 3A、調整器 3B、信號電壓控制單元 3C、VDDIO 選擇器 3D、時脈接收單元 3E、命令控制單元 3F、資料控制單元 3G、及 I/O 訊胞 3H。擴充裝置 4 包含重設電路 4A、調整器 4B、信號電壓控制單元 4C、VDDIO 選擇器 4D、時脈接收單元 4E、命令控制單元 4F、資料控制單元 4G、I/O 訊胞 4H、及 LVS 控制單元 4J。

[0044] 重設電路 3A 及 4A 決定電源供應電壓 VD1 是否在操作電壓範圍內被供應，以及輸出重設信號 RES 以重設邏輯電路。調整器 3B 及 4B 轉換電源供應電壓 VD1 成為電源供應電壓 VD2 及 VDDL。信號電壓控制單元 3C 及 4C 指示用以將信號位準從高電壓切換到低電壓。VDDIO 選擇器 3D 及 4D 選擇電源供應電壓 VD1 及 VD2 之任一者做為訊胞電源供應 VDDIO，且分別供應其至 I/O 訊胞 3H 及 4H。時脈接收單元 3E 及 4E 接收時脈 CLK 且分配其至邏輯電路。命令控制單元 3F 及 4F 接收來自主機 1 及 2 的命令 CMD，且發送對該命令 CMD 的回應至主機 1 及 2。當命令 CMD 被輸入時，命令控制單元 3F 及 4F 可解碼命令號碼、辨識將被執行的功能、及送回回應至主機

1 及 2。

[0045] 資料控制單元 3G 及 4G 傳送資料 DAT [3 : 0] 至主機 1 及 2，以及從主機 1 及 2 接收資料 DAT [3 : 0]。I/O 訊胞 3H 及 4H 依據由訊胞電源供應 VDDIO 所指明之電源供應電壓 VD1 及 VD2 的任一者，而設定時脈 CLK、命令 CMD、對命令 CMD 之回應、及資料 DAT [3 : 0] 的信號位準。LVS 控制單元 4J 決定主機 1 及 2 是否係 HVS 主機或 LVS 主機。然後，依據決定結果，LVS 控制單元 4J 控制時脈 CLK、命令 CMD、對命令 CMD 之回應、及資料 DAT [3 : 0] 的序列及信號位準。該等信號位準可從高位準 (High) 驅動、低位準 (Low) 驅動、上拉、拉下、及輸出三態 (輸入狀態) 之中被選擇。

[0046] 用以決定主機 1 及 2 是否係 HVS 主機或 LVS 主機之藉由擴充裝置 4 而予以執行的處理 (在下文中，亦稱作預處理)，可在初始化處理之前被執行。初始地，訊胞電源供應 VDDIO 連接至電源供應電壓 VD1。在預處理中，LVS 裝置可監測資料 DAT [3] 的電壓。因為資料 DAT [3] 係由第 3B 圖中所描繪之裝置偵測電阻器 R4 所上拉，所以當資料 DAT [3] 的電壓係低位準 (Low) (低位準 (Low) 驅動) 時，該裝置可決定該主機做為 LVS 主機，以及當資料 DAT [3] 的電壓係高位準 (High) 時，該裝置可決定該主機做為 HVS 主機。

[0047] 當決定該主機做為 LVS 主機時，擴充裝置 4 驅動資料 DAT [2] 的電壓至低位準 (Low)，且開啟調

整器 4B，用以產生電源供應電壓 VD2。在電源供應電壓 VD2 變穩定之後，擴充裝置 4 可切換訊胞電源供應 VDDIO 至電源供應電壓 VD2。當決定該主機做為 HVS 主機時，擴充裝置 4 在電源供應電壓 VD1 下保持訊胞電源供應 VDDIO。HVS 主機並不驅動資料 DAT〔2〕。

[0048] 電源供應單元 1A、2A，電源開關 1B、2B，調整器 3B、4B，及 I/O 訊胞 1H 至 4H 可由類比電路所形成。重設電路 3A、4A，信號電壓控制單元 1C，VDDIO 選擇器 1D、3D、及 4D，時脈產生單元 1E 至 4E，命令控制單元 1F 至 4F，及資料控制單元 1G 至 4G 可由邏輯電路所形成。命令控制單元 1F 至 4F，資料控制單元 1G 至 4G，以及 LVS 控制單元 2J 及 4J 可透過藉由處理器的韌體處理而予以實施。

[0049] 假定擴充裝置 3 係連接到主機 1。主機 1 藉由電源供應電壓 VD1 來開啟電源開關 1B，用以經由電源線 VDD 而供應電源供應電壓 VD1 至擴充裝置 3。主機 1 上拉命令 CMD 及資料 DAT〔2:0〕的電壓。擴充裝置 3 之裝置偵測電阻器上拉資料 DAT〔3〕的電壓。當電源供應電壓 VD1 變穩定時，主機 1 開始初始化處理。此時，主機 1 發送時脈 CLK 及發出命令 CMD 至擴充裝置 3。

[0050] 擴充裝置 3 送回對命令 CMD（排除命令 CMD0）的回應至主機 1。在此情況中，主機 1 發出命令 CMD8 做為電壓檢查命令。命令引數 0001b 係設定至命令 CMD8 的欄 VHS。在收到命令 CMD8 後，擴充裝置 3 檢查

該命令引數。當該命令引數係 0001b 時，擴充裝置 3 送回對命令 CMD8 的回應至主機 1。在收到對命令 CMD8 的回應後，主機 1 辨識出可進一步持續該初始化。

[0051] 假定擴充裝置 4 係連接到主機 1。主機 1 藉由電源供應電壓 VD1 來開啟電源開關 1B，用以經由電源線 VDD 而供應電源供應電壓 VD1 至擴充裝置 4。主機 1 上拉命令 CMD 及資料 DAT [2 : 0] 的電壓。擴充裝置 4 之裝置偵測電阻器上拉資料 DAT [3] 的電壓。當電源供應電壓 VD1 變穩定時，擴充裝置 4 監測資料 DAT [3] 的電壓。當資料 DAT [3] 的電壓係高位準 (High) 時，擴充裝置 4 決定主機 1 做為 HVS 主機。當決定該主機 1 做為 HVS 主機時，擴充裝置 4 在電源供應電壓 VD1 下保持訊胞電源供應 VDDIO，且不驅動資料 DAT [2]。

[0052] 主機 1 開始初始化處理。此時，主機 1 發送時脈 CLK 及發出命令 CMD 至擴充裝置 4。擴充裝置 4 送回對命令 CMD (排除命令 CMD0) 的回應至主機 1。在此情況中，主機 1 發出命令 CMD8 做為電壓檢查命令。命令引數 0001b 係設定至命令 CMD8 的欄 VHS。在收到命令 CMD8 後，擴充裝置 4 檢查該命令引數。當該命令引數係 0001b 且到目前為止並未發生錯誤時，擴充裝置 4 送回對命令 CMD8 的回應至主機 1。在收到對命令 CMD8 的回應後，主機 1 辨識出可藉由高電壓信令而持續該初始化處理。

[0053] 假定擴充裝置 3 係連接到主機 2。此時，主機

2 驅動時脈 SDCLK 及資料 DAT〔3〕至低位準（Low）。此防止資料 DAT〔3〕的電壓經由擴充裝置 3 之裝置偵測電阻器而被上拉至電源供應電壓 VD1。此外，主機 2 藉由電源供應電壓 VD1 來開啟電源開關 2B，用以經由電源線 VDD 而供應電源供應電壓 VD1 至擴充裝置 3。命令 CMD 及資料 DAT〔2：0〕的電壓係藉由主機 2 的上拉電阻器而予以拉下。此時，並沒有上拉的電壓被施加至上拉電阻器。選擇性地，主機 2 可驅動命令 CMD 及資料 DAT〔2：0〕的電壓至低位準（Low）。

[0054] 當電源供應電壓 VD1 穩定後，LVS 裝置的建立時間過去時，主機 2 供應上拉電壓，用以經由上拉電阻器而上拉資料 DAT〔2〕。然後，當資料 DAT〔2〕的電壓係高位準（High）時，主機 2 決定擴充裝置 3 做為 HVS 裝置。此時，因為資料 DAT〔2〕的電壓並未由擴充裝置 3 所驅動，所以當資料 DAT〔2〕的電壓被上拉時，資料 DAT〔2〕的電壓自低位準（Low）移轉至高位準（High）。當決定擴充裝置 3 做為 HVS 裝置時，主機 2 停止上拉電壓的供應，停止 I/O 訊胞輸出的驅動，並拒絕擴充裝置 3。

[0055] 假定擴充裝置 4 係連接到主機 2。此時，主機 2 驅動時脈 SDCLK 及資料 DAT〔3〕至低位準（Low）。此防止資料 DAT〔3〕的電壓經由擴充裝置 4 之裝置偵測電阻器而被上拉至電源供應電壓 VD1。此外，主機 2 藉由電源供應電壓 VD1 來開啟電源開關 2B，用以經由電源線

VDD 而供應電源供應電壓 VD1 至擴充裝置 4。命令 CMD 及資料 DAT〔2：0〕的電壓係藉由主機 2 的上拉電阻器而予以拉下。此時，並沒有上拉的電壓被施加至上拉電阻器。選擇性地，主機 2 可驅動命令 CMD 及資料 DAT〔2：0〕的電壓至低位準（Low）。

[0056] 當電源供應電壓 VD1 穩定後，LVS 裝置的建立時間過去時，主機 2 供應上拉電壓，用以經由上拉電阻器而上拉資料 DAT〔2〕。然後，當資料 DAT〔2〕的電壓係低位準（Low）時，主機 2 決定擴充裝置 4 做為 LVS 裝置。此時，因為資料 DAT〔2〕的電壓係藉由擴充裝置 4 而被驅動至低位準（Low），所以即使資料 DAT〔2〕的電壓被上拉，仍可保持資料 DAT〔2〕的電壓在低位準（Low）。

[0057] 與此同時，擴充裝置 4 監測資料 DAT〔3〕的電壓。當資料 DAT〔3〕的電壓係低位準（Low）時，擴充裝置 4 決定主機 2 做為 LVS 主機。當決定該主機 2 做為 LVS 主機時，擴充裝置 4 驅動資料 DAT〔2〕的電壓至低位準（Low），且開啟調整器 4B，用以產生電源供應電壓 VD2。在電源供應電壓 VD2 變穩定之後，擴充裝置 4 切換訊胞電源供應 VDDIO 至電源供應電壓 VD2。

[0058] 主機 2 上拉命令 CMD 及資料 DAT〔3：0〕。然後，主機 2 開始初始化處理。此時，主機 2 發送時脈 CLK 及發出命令 CMD 至擴充裝置 4。時脈 CLK 及命令 CMD 係由低電壓信令所發送。擴充裝置 4 送回對命令

CMD（排除命令 CMD0）的回應至主機 2。

[0059] 在此情況中，主機 2 發出命令 CMD8 做為電壓檢查命令。命令引數 0010b 係設定至命令 CMD8 的欄 VHS。在收到命令 CMD8 後，擴充裝置 4 檢查該命令引數。當該命令引數係 0010b 且到目前為止並未發生錯誤時，擴充裝置 4 送回對命令 CMD8 的回應至主機 2。此回應係由低電壓信令所發送。在收到對命令 CMD8 的回應後，主機 2 辨識出擴充裝置 4 可藉由低電壓信令而持續該初始化處理。

[0060] 在藉由主機 2 以決定擴充裝置 3 及 4 是否為 HVS 或 LVS 裝置的處理中，設定時脈 CLK、資料 DAT〔3：0〕、及命令 CMD 之電壓至低位準（Low）可防止中間電壓輸入至擴充裝置 3 及 4 的輸入緩衝器內，且可防止流通電流流入該等輸入緩衝器之內。

[0061] 資料 DAT〔2〕係在 LVS 裝置中激活至低位準（Low），以及資料 DAT〔2〕並不在 HVS 裝置中被激活。因而，主機 2 可藉由當上拉資料 DAT〔2〕時偵測該資料 DAT〔2〕的電壓，而決定擴充裝置 3 及 4 是否做為 HVS 裝置或 LVS 裝置。此時，因為資料 DAT〔2〕的電壓係在 LVS 裝置中保持低位準（Low），所以可防止中間電壓輸入至擴充裝置 4 的輸入緩衝器內，且可防止流通電流流入該輸入緩衝器之內。

[0062] 與此同時，在 HVS 裝置中，資料 DAT〔2〕的電壓變高，但主機 2 可立即停止擴充裝置 3 的驅動，用

以降低流通電流的影響，即使流通電流流至輸入緩衝器之內。該處理可以在邏輯電路的控制下被執行幾微秒。

[0063] 第 2 圖係描繪第 1 圖中所描繪之 LVS 主機及 LVS 裝置之更詳細組態的方塊圖。第 2 圖描繪其中第 1 圖中所描繪之擴充裝置 4 係與 LVS 相容的 SD 卡之實例。

請參閱第 2 圖，主機 2 包含電源供應單元 2A、電源開關 2B（其可具有拉下電路，但並未被描繪出）及 2L、I/O 訊胞 2H、以及邏輯電路 2K。邏輯電路 2K 可包含第 1 圖中所描繪之時脈產生單元 2E、命令控制單元 2F、資料控制單元 2G、及 LVS 控制單元 2J。主機 2 亦包含上拉電阻器 R0 至 R3、電源終端 TH1、時脈終端 TH2、命令終端 TH3、及資料終端 TH4 至 TH6。

[0064] 電源終端 TH1 連接至電源線 VDD。時脈終端 TH2 可被分配時脈 SDCLK。命令終端 TH3 可被分配命令 CMD 及對該命令的回應。資料終端 TH4 可被分配資料 DAT〔3〕。資料終端 TH5 可被分配資料 DAT〔2〕。資料終端 TH6 可被分配資料 DAT〔1:0〕。電源開關 2L 包含拉下電路 2P。I/O 訊胞 2H 包含輸出緩衝器 BH1、BH2、及 BH4 至 BH6，以及輸入緩衝器 BH3 及 BH7 至 BH9。

[0065] 輸出緩衝器 BH1、BH2、及 BH4 至 BH6 的輸入，以及輸入緩衝器 BH3 及 BH7 至 BH9 的輸出係連接至邏輯電路 2K。電源開關 2B 的輸出係連接至電源終端 TH1。輸出緩衝器 BH1 的輸出係連接至時脈終端 TH2。輸

出緩衝器 BH2 的輸出及輸入緩衝器 BH3 的輸入係連接至命令終端 TH3。輸出緩衝器 BH4 的輸出及輸入緩衝器 BH7 的輸入係連接至資料終端 TH4。輸出緩衝器 BH5 的輸出及輸入緩衝器 BH8 的輸入係連接至資料終端 TH5。輸出緩衝器 BH6 的輸出及輸入緩衝器 BH9 的輸入係連接至資料終端 TH6。命令終端 TH3 及資料終端 TH4 至 TH6 係經由上拉電阻器 R0 至 R3 而被分別連接至電源開關 2L。

[0066] 電源開關 2L 開啟及關閉做為對 I/O 訊胞 2H 的訊胞電源供應 VDDIO 之電源供應電壓 VD2 的供應。電源開關 2B 及 2L 可依據來自邏輯電路 2K 的控制信號，而開啟及關閉該電源供應電壓的供應。拉下電路 2P 可經由上拉電阻器 R0 至 R3，而分別拉下命令終端 TH3 及資料終端 TH4 至 TH6 的電位至接地電位。電源供應單元 2A 可供應電源供應電壓 VDDL 至邏輯電路 2K。在資料終端 TH6 中之資料 DAT [1 : 0] 的說明中，兩個信號被整體地顯示。特別地，具有兩個輸出緩衝器 BH6、兩個輸入緩衝器 BH9、及兩個上拉電阻器 R1，其係分別連接到資料 DAT [1] 及資料 DAT [0]。

[0067] 擴充裝置 4 包含重設電路 4A、調整器 4B、VDDIO 選擇器 4D、I/O 訊胞 4H、邏輯電路 4K、及記憶體 4R。邏輯電路 4K 可包含第 1 圖中所描繪之信號電壓控制單元 4C、時脈接收單元 4E、命令控制單元 4F、資料控制單元 4G、及 LVS 控制單元 4J。擴充裝置 4 亦包含裝置

偵測電阻器 R4、電源終端 TD1、時脈終端 TD2、命令終端 TD3、及資料終端 TD4 至 TD6。電源終端 TD1 連接至電源線 VDD。時脈終端 TD2 可被分配時脈 SDCLK。命令終端 TD3 可被分配命令 CMD 及對該命令的回應。資料終端 TD4 可被分配資料 DAT[3]。資料終端 TD5 可被分配資料 DAT[2]。資料終端 TD6 可被分配資料 DAT[1:0]。I/O 訊胞 4H 包含輸出緩衝器 BD2 及 BD4 至 BD6，以及輸入緩衝器 BD1、BD3、及 BD7 至 BD9。

[0068] 輸出緩衝器 BD2 及 BD4 至 BD6 的輸入，以及輸入緩衝器 BD1、BD3、及 BD7 至 BD9 的輸出係連接至邏輯電路 4K。重設電路 4A、調整器 4B、VDDIO 選擇器 4D、及記憶體 4R 的輸入係連接至電源終端 TD1。輸入緩衝器 BD1 的輸入係連接至時脈終端 TD2。輸出緩衝器 BD2 的輸出及輸入緩衝器 BD3 的輸入係連接至命令終端 TD3。

[0069] 輸出緩衝器 BD4 的輸出及輸入緩衝器 BD7 的輸入係連接至資料終端 TD4。輸出緩衝器 BD5 的輸出及輸入緩衝器 BD8 的輸入係連接至資料終端 TD5。輸出緩衝器 BD6 的輸出及輸入緩衝器 BD9 的輸入係連接至資料終端 TD6。資料終端 TD4 係經由裝置偵測電阻器 R4 而被連接至電源供應電壓 VD1。調整器 4B 可供應電源供應電壓 VDDL 至邏輯電路 4K。重設電路 4A 可輸出重設信號 RES 至邏輯電路 4K。記憶體 4R 係連接至邏輯電路 4K。

[0070] 第 3A 圖係描繪當將 LVS 裝置附著至第 1 圖

中所描繪的 HVS 主機時之資料線 DAT〔3〕的連接之方塊圖，以及第 3B 圖係描繪當將 LVS 裝置附著至第 1 圖中所描繪的 LVS 主機時之資料線 DAT〔3〕的連接之方塊圖。

請參閱第 3A 圖，擴充裝置 4 包含裝置偵測電阻器 R4。電性控制開關 SW2 係串聯連接至裝置偵測電阻器 R4，且可被斷接自 DAT〔3〕。裝置偵測電阻器 R4 的電阻值可予以設定為 10 至 90k Ω 。在裝置偵測電阻器 R4 之一端處的電位係連接到 I/O 訊胞電源供應 VDDIO，且被供應以 3.3V 做為初始值。因為開關 SW2 係在開啟（on）狀態中，所以資料 DAT〔3〕的電壓係經由裝置偵測電阻器 R4 而被上拉。此時，裝置偵測電阻器 R4 可由主機 1 及 2 所使用，用以辨識出該擴充裝置 4 係附著至該等主機 1 及 2。

[0071] 第 1 圖的主機 1 包含輸出緩衝器 BH4'、輸入緩衝器 BH7'、及資料終端 TH4'。輸出緩衝器 BH4'的輸出及輸入緩衝器 BH7'的輸入係連接至資料終端 TH4'。資料終端 TH4'可被分配資料 DAT〔3〕。資料終端 TH4'係經由開關 SW1 而被連接到上拉電阻器 R3。為進行裝置偵測，可將開關 SW1 關閉（off），用以自 DAT〔3〕斷接上拉電阻器 R3，而藉以消除在裝置偵測上的影響。

[0072] 此外，資料終端 TH4'係連接到拉下電阻器 R6。此時，電阻值被選擇以致使 R4 與 R6 之間所分割的電壓係在高（High）位準處。也就是說，滿足 $R6 \gg R4$ 的高值電阻可被使用做為拉下電阻器 R6 的電阻值。拉下電

阻器 R6 變成需要執行裝置偵測，且打算要在沒有裝置被連接時防止 DAT〔3〕進入浮動狀態。裝置的連接可藉由從低（Low）位準到高（High）位準之電壓中的改變，而予以偵測出。

[0073] 當不偵測擴充裝置 4 時，主機 1 經由上拉電阻器 R3 而上拉資料終端 TH4'。當偵測擴充裝置 4 時，主機 1 自上拉電阻器 R3 斷接資料終端 TH4'。當主機 1 並未被附著至擴充裝置 4 時，主機 1 經由拉下電阻器 R6 而拉下資料 DAT〔3〕的電壓，且資料 DAT〔3〕的電壓變成低位準（Low）。當主機 1 係附著至擴充裝置 4 時，資料 DAT〔3〕的電壓變成裝置偵測電阻器 R4 與拉下電阻器 R6 之間所分割的分割電壓。此時，因為 $R6 \gg R4$ ，所以資料 DAT〔3〕的電壓變成高位準（High）。即使開關 SW1 係開啟（on）且上拉電阻器 R3 被連接著，在該等電阻器之間的分割電壓仍將變成高（High）位準，且可予以使用以識別 HVS 主機。

[0074] 同時，請參閱第 3B 圖，假定擴充裝置 4 係附著至主機 2。主機 2 無法接收 3.3V 的高電壓信令。因而，為了要防止資料 DAT〔3〕的電壓經由裝置偵測電阻器 R4 而被上拉至如 3.3V 一樣的高電壓，主機 2 設定資料 DAT〔3〕的電壓至低位準（Low）。此時，擴充裝置 4 可監測資料 DAT〔3〕的電壓，用以決定 LVS 主機或 HVS 主機是否被附著至擴充裝置 4。當決定主機 2 為 LVS 主機或 HVS 主機時，擴充裝置 4 關閉開關 SW2，且自資料終

端 TD4 斷接裝置偵測電阻器 R4。因而，可防止 3.3V 的電壓被施加至 LVS 主機，即使 LVS 主機停止 DAT [3] 的低位準 (Low) 驅動。

[0075] 請參閱第 3A 及 3B 圖，該等開關 SW1 及 SW2 係由電晶體開關，而非機械開關所形成。藉由設定電晶體為關閉 (off)，裝置偵測電阻器 R4 可從資料終端 TD4 被斷接。

[0076] 第 4 圖係當將 LVS 裝置附著至第 1 圖中所描繪的 LVS 主機時之預處理序列的時序圖。

請參閱第 4 圖，在開啟擴充裝置 4 的電源之前 (t1)，主機 2 設定所有的信號至低位準 (Low)。由於並不將時脈 SDCLK 上拉，所以主機 2 必須藉由輸出緩衝器 BH1 而將時脈 SDCLK (TH2) 驅動至低位準 (Low)。此外，如第 3B 圖中所描繪地，主機 2 必須藉由輸出緩衝器 BH4 而將資料 DAT [3] (TD4) 驅動至低位準 (Low)，為了要防止資料 DAT [3] 的電壓經由裝置偵測電阻器 R4 而被上拉至如 3.3V 一樣的高電壓。

[0077] 至於其他信號，亦即，命令 CMD (TH3) 及資料 DAT [2 : 0] (TD5 及 TD6)，主機 2 可藉由輸出緩衝器 BH2、BH5、及 BH6 來將該等信號驅動至低位準 (Low)，或藉由上拉電阻器 R0 至 R2 來將該等信號拉下，而設定該等電壓至低位準 (Low)。該等信號可藉由拉下電路 2P 而被拉下，用以固定電源開關 2L 的輸出至大約 0V。該等操作係由邏輯電路 2K 所控制。

[0078] 當開啟擴充裝置 4 的電源時 (t_2)，主機 2 藉由電源供應電壓 VD1 來開啟電源開關 2B，用以經由電源線 VDD 而供應電源供應電壓 VD1 至擴充裝置 4。首先，因為電源供應電壓 VD1 係藉由 VDDIO 選擇器 4D 而被供應至訊胞電源供應 VDDIO，所以 I/O 訊胞 4H 可以與高電壓信令相容且可耐高電壓。當電源供應電壓 VD1 被供應至擴充裝置 4 時，重設電路 4A 輸出重設信號 RES 以重設邏輯電路 4K。

[0079] 當藉由重設電路 4A 而偵測出電源時，擴充裝置 4 在資料 DAT〔3〕變穩定後檢查電壓 (t_3)。時間 t_3 可被設定為晚於時間 T1 之預定週期的過去，因為電源供應電壓 VD1 已在開啟電源後到達最小值 $V_{DD}(\min)$ 。當資料 DAT〔3〕的電壓係低位準 (Low) 時，擴充裝置 4 決定主機 2 做為 LVS 主機，且當資料 DAT〔3〕的電壓係高位準 (High) 時，擴充裝置 4 決定主機 2 做為 HVS 主機。資料 DAT〔3〕的電壓可被檢查多次，用以防止偵測錯誤。

[0080] 當偵測出主機 2 做為 LVS 主機時，擴充裝置 4 驅動資料 DAT〔2〕的電壓至低位準 (Low) (t_4)。當決定主機 2 做為 LVS 主機時，擴充裝置 4 可開啟調整器 4B 而產生電源供應電壓 VD2，且自資料終端 TD4 斷接裝置偵測電阻器 R4。當來自調整器 4B 之電源供應電壓 VD2 的輸出變穩定時，VDDIO 選擇器 4D 自電源供應電壓 VD1 切換訊胞電源供應 VDDIO 至電源供應電壓 VD2 (t_5)。

此時，I/O 訊胞 4H 變成可與 1.8V 的低電壓信令相容。

[0081] 其次，在主機 2 側，電源開關 2L 經由上拉電阻器 R2 而上拉資料 DAT [2] (t6)。然而，當沒有驅動命令 CMD 以及 DAT [3] 及 DAT [1 : 0] 至低位準 (Low) 時，主機 2 並不上拉該命令 CMD 以及資料 DAT [3] 及 DAT [1 : 0] 的電壓。當擴充裝置 4 已驅動資料 DAT [2] 的電壓至低位準 (Low) 時，DAT [2] 的電壓不被上拉，但保持低位準 (Low)。時間 t6 可被設定為晚於時間 t5。例如，可將時間 T2 之預定週期的最小值設定為 45ms (毫秒)，以及可將時間 T3 之預定週期的最大值設定為 5ms (毫秒)。

[0082] 主機 2 檢查資料 DAT [2] 的電壓 (t7)。資料 DAT [2] 的電壓可被檢查多次，用以防止偵測錯誤。當資料 DAT [2] 的電壓係低位準 (Low) 時，擴充裝置 4 決定主機 2 做為 LVS 裝置且移到 LVS 裝置的初始化處理。在初始化處理中，主機 2 可以以 1.8V 的低電壓信令操作。

[0083] 此時，主機 2 上拉該命令 CMD 以及資料 DAT [3] 及 DAT [1 : 0] (t8)。主機 2 可驅動命令 CMD 至高位準 (High)，如圖式中所描繪地。接著，主機 2 輸出時脈 SDCLK (t9)。然後，主機 2 輸出時脈 SDCLK 的預定數目 NK 且發出命令 CMD0 (t10)。預定數目 NK 可被設定為例如，74 個時脈。在收到命令 CMD0 後，擴充裝置 4 停止資料 DAT [2] 之電壓的低位準 (Low) 驅動。

此時，擴充裝置 4 上拉資料 DAT [2] 的電壓 (t11) 。接著，主機 2 發出命令 CMD8 (t12) 。第 4 圖並未描繪命令 CMD8 之發出後的初始化處理。

[0084] 第 5 圖係當將 HVS 裝置附著至第 1 圖中所描繪的 LVS 主機時之預處理序列的時序圖。

請參閱第 5 圖，在開啟擴充裝置 3 的電源之前 (t1) ，主機 2 設定所有的信號至低位準 (Low) 。由於並不將時脈 SDCLK 上拉，所以主機 2 必須藉由輸出緩衝器 BH1 而將時脈 SDCLK (TH2) 驅動至低位準 (Low) 。此外，如第 3B 圖中所描繪地，主機 2 必須藉由輸出緩衝器 BH4 而將資料 DAT [3] (TD4) 驅動至低位準 (Low) ，為了要防止資料 DAT [3] 的電壓經由裝置偵測電阻器 R4 而被上拉至如 3.3V 一樣的高電壓。

[0085] 至於其他信號，亦即，命令 CMD (TH3) 及資料 DAT [2 : 0] (TD5 及 TD6) ，主機 2 可藉由輸出緩衝器 BH2、BH5、及 BH6 來將該等信號驅動至低位準 (Low) ，或藉由上拉電阻器 R0 至 R2 來將該等信號拉下，而設定該等電壓至低位準 (Low) 。該等信號可藉由拉下電路 2P 而被拉下，用以固定電源開關 2L 的輸出至大約 0V。該等操作係由邏輯電路 2K 所控制。

[0086] 當開啟擴充裝置 3 的電源時 (t2) ，主機 2 經由電源線 VDD 而供應電源供應電壓 VD1 至擴充裝置 3。此時，當 VDDIO 選擇器 3D 供應電源供應電壓 VD1 至 I/O 訊胞 3H 的 VDDIO 時，擴充裝置 3 可以與 3.3V 的高

電壓信令相容。

[0087] 主機 2 設定命令 CMD 及資料 DAT [3 : 0] 的電壓至低位準 (Low)，用以防止中間電壓輸入至擴充裝置 3 的輸入緩衝器內，且防止流通電流流入擴充裝置 3 的輸入緩衝器之內。此外，因為擴充裝置 3 不驅動命令 CMD 及資料 DAT [3 : 0]，所以主機 2 可決定命令 CMD 及資料 DAT [3 : 0] 的電壓。

[0088] 擴充裝置 3 偵測電源開啟，但不檢查資料 DAT [3 : 0] 的電壓 (t3)。因而，擴充裝置 3 不決定主機 2 是否係 LVS 主機或 HVS 主機 (t4)。

[0089] 接著，主機 2 的電源開關 2L 經由上拉電阻器 R2 而上拉資料 DAT [2] (t6)。此時，因為擴充裝置 3 並不驅動 DAT [2] 的電壓至低位準 (Low)，所以 DAT [2] 的電壓上升至高位準 (High)。為了要防止流通電流的產生，主機 2 必須控制命令 CMD 及 DAT [1 : 0]，使得在上拉的時候不會變高。

[0090] 主機 2 檢查資料 DAT [2] 的電壓 (t7)。資料 DAT [2] 的電壓可被檢查多次，用以防止偵測錯誤。當資料 DAT [2] 的電壓係高位準 (High) 時，主機 2 決定擴充裝置 3 做為 HVS 裝置。然後，主機 2 設定電源開關 2L 的輸出為 0V 以停止資料 DAT [2] 的上拉，且關閉電源 2B 以停止對擴充裝置 3 之電源供應電壓的供應 (t8)。進一步地，主機 2 停止資料 DAT [3] 之電壓的驅動 (t9)，且拒絕擴充裝置 3。

[0091] 第 6A 圖係描繪低電壓信令輸出之高位準變成高電壓信令輸入之中間電壓的圖式，以及第 6B 圖係描繪其中當中間電壓被輸入至第 1 圖中所描繪的 HVS 裝置之內時，流通電流發生之狀態的方塊圖。第 6A 圖描繪其中 VDD 係相當於電源供應電壓 VD1 且採取電源供應電壓 VD1 之最大值 3.6V 的情況。

[0092] 請參閱第 6A 圖，在高電壓信令輸入中，信號電壓的高範圍係設定在最大值 $V_{IH(max)}$ ($=VDD+0.3V$) 與最小值 $V_{IH(min)}$ ($=2.25V$) 之間，以及信號電壓的低範圍係設定在最大值 $V_{IL(max)}$ ($=0.675V$) 與最小值 $V_{IL(min)}$ ($=0V$) 之間。在低電壓信令輸出中，信號電壓的高範圍係設定在最大值 $V_{OH(max)}$ ($=2.00V$) 與最小值 $V_{OH(min)}$ ($=1.40V$) 之間，以及信號電壓的低範圍係設定在最大值 $V_{OL(max)}$ ($=0.45V$) 與最小值 $V_{OL(min)}$ ($=0V$) 之間。

[0093] 因而，在具有高電壓信令輸入及低電壓信令輸出之組合的情況中，低電壓信令輸出之高位準變成相對於高電壓信令輸入緩衝器的中間電位 V_{MID} 。

[0094] 此時，如第 6B 圖中所描繪地，假定擴充裝置 3 包含輸入緩衝器 BD0。當輸入緩衝器 BD0 以高電壓信令操作時，主機 2 施加低電壓信令輸出的高位準至輸入緩衝器 BD0，中間電位 V_{MID} 被施加而增加流通電流 I_h 流至輸入緩衝器 BD0 內的可能性（根據實施及條件）。

[0095] 在此實例中，如第 5 圖中所描繪地，主機 2 可藉由資料 DAT〔2〕的電壓而識別卡的種類，且當資料

DAT〔2〕的電壓係高位準（High）時，決定擴充裝置 3 做為 HVS 裝置。為此目的，主機 2 必須施加中間電壓。為了要使施加中間電流之期間的時間最小化，當決定擴充裝置 3 做為 HVS 裝置時，主機 2 企望控制當上拉資料 DAT〔2〕時的瞬間與當停止電源供應電壓之供應時的瞬間之間的時間，且使其最小化。此可忽視流通電流 I_h 短時間地流至輸入緩衝器 BD0 內的影響。

[0096] 下文將詳細敘述主機 2 及擴充裝置 4 之預處理後的初始化處理。初始化處理可補充預處理中之主機及擴充裝置的偵測。在初始化處理中，係使用命令 CMD8 及對其之回應。在預處理中之資料 DAT〔2〕及 DAT〔3〕之電壓的偵測中，由於主機及擴充裝置的操作環境、主機及擴充裝置的損壞及年齡劣化、及其他者所導致之錯誤偵測的機率係相當低，但並非零。

[0097] 此外，一些錯誤可在主機與擴充裝置彼此互相通訊的時候，發生在命令 CMD8 的接收與電源的供應之間，且為安全性，通訊必須在錯誤事件中被停止。錯誤的發生可不藉由送回 CMD8 或對其之回應而被通知至該主機。

[0098] 第 7 圖係描繪依據第一實施例之由主機所傳送的 LVS SD 卡中之 CMD8 之內容的圖式。

請參閱第 7 圖，習知之 CMD8 的欄 VHS 界定用以指示高電源供應電壓係 3.3V 的命令引數 0001b。同時，該欄界定高電壓指令被使用。因而，新的 CMD8 之欄

VHS=0001b 可界定高電源供應電壓係 3.3V，及高電壓信令被使用。此外，與 LVS 相容之 CMD8 的欄 VHS 可界定用以指示高電源供應電壓係 3.3V，及低電壓信令被使用的命令引數 0010b，用以指示主機係在該信號電壓下操作。

[0099] 在其中第 1 圖中所描繪之擴充裝置 4 係 LVS 卡的情況中，在收到來自主機 2 的 CMD8 後，擴充裝置 4 可識別命令引數 VHS=0010b，拷貝命令引數 0010b 的內容至回應，及送回對 CMD8 的回應至主機 2，除非已發生另一其他的錯誤。在收到來自擴充裝置 4 之對 CMD8 的回應後，主機 2 可辨識出擴充裝置 4 係 LVS 卡且沒有錯誤發生。

[0100] 與此同時，在其中第 1 圖中所描繪之擴充裝置 3 遵循 UHS-I 標準的情況中，在收到來自主機 2 的 CMD8 後，擴充裝置 3 無法識別命令引數 VHS=0010b，且不送回對 CMD8 的回應至主機 2。因而，主機 2 可辨識出擴充裝置 3 並非 LVS 卡且拒絕擴充裝置 3。

此外，不同的檢查模式可根據信號電壓是否係 1.8V 或 3.3V 而被設定。

[0101] 第 8 圖係依據第一實施例之主機的預處理及初始化序列的流程圖。第 8 圖描繪命令發出及回應接收做為一組。惟，CMD0 係不送回回應之例外的命令。

請參閱第 8 圖，主機 2 在初始化處理之前執行預處理。在預處理中，開啟裝置電源的步驟 S1 對應於第 4 及

5 圖中所描繪的時間 t_2 。步驟 S2A 對應於第 4 及 5 圖中所描繪的時間 t_7 。當資料 DAT [2] 的電壓係高位準 (High) 時，主機 2 決定該裝置做為 HVS 裝置，停止該 HVS 裝置的驅動，及拒絕該 HVS 裝置 (S2B)。步驟 S2B 對應於第 5 圖中所描繪的時間 t_8 。

[0102] 與此同時，當資料 DAT [2] 的電壓係低位準 (Low) 時，主機 2 決定該裝置做為 LVS 裝置，且移到該 LVS 裝置的初始化處理。在初始化處理中，主機 2 發出命令 CMD0 (S3)。步驟 S3 對應於第 4 圖中所描繪的時間 t_{10} 。此時，1.8V 的信號電壓係使用於時脈 CLK 及命令 CMD。其次，主機 2 設定命令引數 0010b 至 CMD8 的欄 VHS，且發出命令 CMD8 (S4)。步驟 S4 對應於第 4 圖中所描繪的時間 t_{12} 。

[0103] 接著，主機 2 檢查對命令 CMD8 之發出的回應 (S5)。在此實例中，該 LVS 裝置可送回其中與 VHS 相容的欄 VCA 係設定為 0010b 之回應。當沒有來自該 LVS 裝置的回應時，主機 2 拒絕該 LVS 裝置 (S6)。與此同時，當 VCA=0010b 在對命令 CMD8 之發出的回應之中時，主機 2 發出初始化命令 ACMD41 (S7)。此時，主機 2 設定初始化命令 ACMD41 的引數為 S18R=1，用以指示低電壓信令被使用。然後，主機 2 參考在對該初始化命令 ACMD41 之回應中的欄 D31，用以決定該 LVS 裝置是否係在忙碌狀態中 (S8)。

[0104] 當該 LVS 裝置並不在忙碌狀態之中時，主機

2 檢查對該 ACMD41 的回應之中所包含的位元 S18A (S9)。當 D31=1 時，主機 2 可在 S8 處自迴圈退出。與此同時，D31=0 保持在 S8 處的設定並重複 S7 及 S8 之迴圈，安裝在主機 2 之中的計時器偵測出時間已過且主機 2 決定錯誤發生。

[0105] 主機 2 檢查對該 ACMD41 的回應之中所包含的位元 S18A (S9)。當 LVS 裝置已切換信號位準至低電壓信令時，則 S18A=0 係確實地設定在該回應中，且電壓切換順序 (CMD=11) 被跨越。然後，執行命令 CMD2 及隨後步驟 (S11)。當在 S18A 上之檢查顯示 S18A=1 時，主機 2 決定錯誤發生 (S10) 並停止處理。

[0106] 第 9 及 10 圖係依據第一實施例之擴充裝置的預處理及初始化序列的流程圖。第 10 圖僅描繪 CMD 之後的命令接收且不描繪回應的發出。

請參閱第 9 圖，擴充裝置 4 在初始化處理之前執行預處理。

[0107] 在預處理中，當開啟電源時 (S21)，擴充裝置 4 檢查資料 DAT [3] 的電壓 (S22A)。步驟 S21 對應於第 4 圖中所描繪的時間 t2。步驟 S22A 對應於第 4 圖中所描繪的時間 t3。當資料 DAT [3] 的電壓係低位準 (Low) 時，擴充裝置 4 決定該主機做為 LVS 主機，當資料 DAT [3] 的電壓係高位準 (High) 時，擴充裝置 4 決定該主機做為 HVS 主機。

[0108] 當決定該主機做為 LVS 主機時，擴充裝置 4

開啟用於 1.8V 的調整器 4B，斷接裝置偵測電阻器 R4，以及在電源供應電壓 VD2 變成穩定後切換訊胞電源供應 VDDIO 至該電源供應電壓 VD2，且然後，切換 I/O 訊胞至低電壓信令（S22B）。當決定該主機做為 HVS 主機時，電源供應電壓 VD1 係已連接到訊胞電源供應 VDDIO，且擴充裝置 4 保持該狀態。在完成該預處理，擴充裝置 4 移到初始化處理。

[0109] 在初始化處理中，在收到來自主機 1 及 2 的命令 CMD0 後，擴充裝置 4 執行重設操作（S23）。接著，在收到來自主機 1 及 2 的命令 CMD8 後（S24），擴充裝置 4 檢查欄 VHS（S25）。當命令引數 0001b 或 0010b 並未被設定在欄 VHS 之中時，擴充裝置 4 沒有回應（S26）。與此同時，當命令引數 0001b 被設定在欄 VHS 之中時，擴充裝置 4 送回 VCA=VHS 之高電壓信令的回應至主機 1 及 2。當沒有錯誤且命令引數 0010b 被設定時，擴充裝置 4 送回 VCA=VHS 之低電壓信令的回應至該等主機（S27 及 S27'）。第 9 圖描繪從 S27 開始之 VHS = 0010b 的序列（第 7 圖）。

[0110] 其次，在收到命令 ACMD41 後，擴充裝置 4 檢查是否 S18R=1（S28）。然後，擴充裝置 4 設定 S18A=0 且送回對命令 ACMD41 的回應至主機（S29）。當完成該 ACMD41 的執行時，擴充裝置 4 送回 D31=1 的回應，且當持續該執行時，擴充裝置 4 送回 D31=0 的回應（S30）。S18A 的值在 D31=1 的時候變得有效。當藉

由低電壓信令而執行初始化命令時，擴充裝置 4 必須送回 $S18R=0$ 的回應。因而，擴充裝置 4 跨越電壓切換序列（ $CMD11$ ），且執行從命令 $CMD2$ 開始的步驟（ $S40$ ），如第 10 圖中所描繪地。

[0111] 與此同時，當命令引數 $0001b$ 係在 $S25$ 處設定在欄 VHS 之中時，擴充裝置 4 送回對 $CMD8$ 之高電壓信令的回應。之後，當主機 1 及 2 如第 10 圖中所描繪地發出命令 $ACMD41$ 時（ $S31$ ），擴充裝置 4 送回 $S18A=S18R$ 的回應至主機 1 及 2（ $S32$ ），因為擴充裝置 4 被假定為支援 $UHS-I$ 。接著，擴充裝置 4 決定是否 $D31=1$ （ $S33$ ）。當 $D31=0$ 時，擴充裝置 4 回到 $S31$ 以重複步驟 $S31$ 至 $S33$ 。 $S18A$ 的值在 $D31=1$ 的時候變的有效。

[0112] 與此同時，當 $D31=1$ 時，在完成 $ACMD41$ 的執行後，擴充裝置 4 之操作根據所送回到 $S18A$ 的值而變化（ $S34$ ）。當 $S18A=0$ 被送回時，擴充裝置 4 將在步驟 $S40$ 處接收下一個命令，且必須跨越電壓切換序列。當接收 $CMD11$ 時，擴充裝置 4 決定錯誤發生。

[0113] 與此同時，當送回 $S18A=1$ 時，擴充裝置 4 移到電壓切換序列。在電壓切換序列中，在收到來自主機 1 的命令 $CMD11$ 後（ $S35$ ），擴充裝置 4 送回對該命令 $CMD11$ 的回應（ $S36$ ），且自 $3.3V$ 切換信號電壓至 $1.8V$ （ $S37$ ）。接著，擴充裝置 4 進行錯誤決定（ $S38$ ）。當發生任何錯誤時，擴充裝置 4 停止處理（ $S39$ ），以及當沒

有錯誤發生時，則擴充裝置 4 成功切換到低電壓信令，並移到 S40。

[0114]

（第二實施例）

在一些 HVS 主機中，信號的初始位準並不統一，但資料 DAT〔3〕可被設定為低位準（Low）。因而，LVS 主機的偵測無法僅藉由一個位準檢查而予以可靠地進行。依據第二實施例，在發出命令之前的預處理中，信號係在不同的時序處檢查多次，用以允許 LVS 裝置及 LVS 主機之可靠的相互偵測。

[0115] 第 11 圖係依據第二實施例之當將 LVS 裝置附著至 LVS 主機時之預處理序列的時序圖。請參閱第 11 圖，時間 t1、t2、及 t5 至 t10 係由主機 2 所管理的時序，以及時間 t3'、t5'、t6'、t6"、t7'及 t10'係由擴充裝置 4 所管理的時序。低位準（Low）或高位準（High）驅動的信號係由實線所顯示，以及拉下的或上拉的信號係由點線所顯示。惟，對於其中高位準驅動持續之期間，因為該等信號並未被使用，所以該等信號可被上拉。

[0116] 當在低位準（Low）驅動或高位準（High）驅動與拉下或上拉之間具有衝突時，電壓位準的較高優先序係給定至低位準（Low）驅動或高位準（High）驅動，而非拉下或上拉。實線的圓圈表示由擴充裝置 4 所檢查之點，以及點線的圓圈係由主機 2 所檢查的點。每個圓圈被檢查多次，用以防止由於雜訊或其類似物所導致之錯誤的

偵測。例如，每個點係連續檢查三次是否保持著相同的位準。

[0117] 在開啟擴充裝置 4 電源之前 (t_1)，主機 2 僅拉下資料 DAT [2]，以及驅動其他者，亦即，時脈 CLK、命令 CMD、及資料 DAT [3]，至低位準 (Low)。支援 UHS-II 的主機 2 必須供應時脈至資料 DAT [1 : 0]，用以嘗試 UHS-II 模式中的初始化。當無法實施 UHS-II 模式中的初始化時，主機 2 藉由不晚於時間 t_5 而驅動資料 DAT [1 : 0] 至低位準 (Low)。當開啟擴充裝置 4 的電源時 (t_2)，主機 2 藉由電源供應電壓 VD1 來開啟電源開關 2B，用以經由電源線 VDD 而供應電源供應電壓 VD1 至擴充裝置 4。首先，因為電源供應電壓 VD1 係藉由 VDDIO 選擇器 4D 而被供應至訊胞電源供應 VDDIO，所以 I/O 訊胞 4H 可以與高電壓信令相容且可耐高電壓。

[0118] 當上升時間 t_{PRU} 已從開啟電源 (t_2) 過去時，重設電路 4A 輸出重設信號 RES 以重設邏輯電路 4K。上升時間 t_{PRU} 可根據主機 2 的電源供應設計，而被界定在 0.1 至 3.5ms (毫秒) 之很長的時間內。擴充裝置 4 可藉由電壓偵測電路或其類似者而偵測上升時間。在上升時間 t_{PRU} 過去後之電源線 VDD 的電壓位準可被設定為例如，2.7V。主機 2 可從其電源供應電路的特徵而預測上升時間 t_{PRU} 。當藉由邏輯電路 4K 而予以重設時，擴充裝置 4 可停止操作。

[0119] 當預定的時間週期 $T1$ 在擴充裝置 4 偵測出上升時間 t_{PRU} 之後已過去時，擴充裝置 4 係由邏輯電路 4K 的重設所釋放。然後，擴充裝置 4 檢查命令 CMD 以及資料 $DAT[2]$ 及 $DAT[3]$ 的電壓位準（此將被稱作第一檢查步驟）（ $t3'$ ）。預定的時間週期 $T1$ 可被設定為直到命令 CMD 以及資料 $DAT[2]$ 及 $DAT[3]$ 之電壓位準變穩定為止的時間週期。在擴充裝置 4 偵測出上升時間 t_{PRU} 後，藉由邏輯電路 4K 而重設擴充裝置 4 直到預定的時間週期 $T1$ 已過去，可在命令 CMD 以及資料 $DAT[2]$ 及 $DAT[3]$ 的電壓位準變穩定之後檢查它們的電壓位準，而藉以防止錯誤的偵測。

[0120] 當預定的時間週期 $T2$ 已從開啟電源（ $t2$ ）過去時，主機 2 上拉資料 $DAT[2]$ 且將資料 $DAT[2]$ 的電壓位準移轉到高位準（High）（ $t5$ ）。該預定的時間週期 $T2$ 可被設定為相等於或大於 $t_{PRU}+1\text{ ms}$ 。然後，當預定的時間週期 $T5$ 已從資料 $DAT[2]$ 之上拉的啟動（ $t5$ ）過去時，主機 2 檢查資料 $DAT[2]$ 的電壓位準（ $t6$ ）。

[0121] 預定的時間週期 $T5$ 可被設定為直到資料 $DAT[2]$ 之電壓位準變穩定為止的時間週期。主機 2 可藉由包含在該主機 2 中之上拉電阻器 $R2$ 的值，而預測從 $t5$ 到 $t6$ 的預定的時間週期 $T5$ ，但該預定的時間週期 $T5$ 可被設定為比由最大上拉電阻及最大負載容量所決定之上升時間更足夠大的值，例如， 10 至 $15\text{ }\mu\text{s}$ （微秒）。

[0122] 與此同時，當預定的時間週期 $T3$ 已從資料

DAT〔2〕之電壓位準的上升偵測 ($t5'$) 過去時，擴充裝置 4 檢查命令 CMD 以及資料 DAT〔2〕及 DAT〔3〕的電壓位準（此將在下文中被稱作第二檢查步驟）($t6'$)。

[0123] 當在第一檢查步驟處之命令 CMD 以及資料 DAT〔2〕及 DAT〔3〕的所有電壓位準係低位準 (Low) 時，擴充裝置 4 執行第二檢查步驟。預定的時間週期 T3 可被設定為直到資料 DAT〔2〕之電壓位準變穩定為止的時間週期。當在第一檢查步驟處之命令 CMD 以及資料 DAT〔2〕及 DAT〔3〕的電壓位準沒有一個係低位準 (Low) 時，則擴充裝置 4 決定該主機做為 HVS 主機且不需要執行第二檢查步驟。

[0124] 當在第二檢查步驟處之命令 CMD 及 DAT〔3〕的電壓位準係低位準 (Low) 以及資料 DAT〔2〕的電壓位準係高位準 (High) 時，則擴充裝置 4 決定主機 2 做為 LVS 主機。擴充裝置 4 將在其他的情勢中決定主機 2 做為 HVS 主機。當決定主機 2 做為 LVS 主機時，擴充裝置 4 驅動資料 DAT〔2〕的電壓至低位準 (Low) ($t6''$)。從資料 DAT〔2〕之電壓位準的上升偵測 ($t5'$) 到驅動資料 DAT〔2〕的電壓至低位準 (Low) 之預定的時間週期 T4，可被設定為例如， $20\mu s$ (微秒) 或以上。此係因為預定的時間週期 T5 被假定為 10 至 $15\mu s$ (微秒)。

[0125] 當偵測出主機 2 做為 LVS 主機時，擴充裝置 4 可開啟調整器 4B 而產生電源供應電壓 VD2，且自資料

終端 TD4 斷接裝置偵測電阻器 R4。當來自調整器 4B 之電源供應電壓 VD2 的輸出變穩定時，VDDIO 選擇器 4D 自電源供應電壓 VD1 切換訊胞電源供應 VDDIO 至電源供應電壓 VD2。此時，I/O 訊胞 4H 變成可與 1.8V 的低電壓信令相容。

[0126] 接著，主機 2 檢查資料 DAT[2] 的電壓位準 (t7)。當資料 DAT[2] 的電壓位準在時間 t6 係高位準 (High) 且資料 DAT[2] 的電壓位準在時間 t7 係低位準 (Low) 時，則主機 2 決定擴充裝置 4 做為 LVS 裝置。從資料 DAT[2] 之上拉的啟動 (t5) 到資料 DAT[2] 之電壓位準的檢查 (t7) 之預定的時間週期 T6，可被設定為例如，100 μ s (微秒) 或以上。

[0127] 當決定擴充裝置 4 做為 LVS 裝置時，主機 2 上拉命令 CMD 以及資料 DAT[3] 及 DAT[1:0] (t8)。如圖式中所描繪地，主機 2 可驅動命令 CMD 至高位準 (High)。然後，主機 2 轉移到 LVS 裝置的初始化處理。在初始化處理中，主機 2 可在 1.8V 的低電壓信令下操作。主機 2 亦輸出時脈 SDCLK (t9)。當接收到該時脈 SDCLK 時，擴充裝置 4 停止資料 DAT[2] 之電壓的低位準 (Low) 驅動。此時，主機 2 上拉資料 DAT[2] 的電壓 (t9')。

[0128] 接著，主機 2 輸出預定數目的時脈 SDCLK，以及發出命令 CMD0 (t10)。該預定數目可被設定為例如，74 個時脈。當接收到該命令 CMD0 時，擴充裝置 4

可停止資料 DAT〔2〕的低位準（Low）驅動。此時，主機 2 上拉資料 DAT〔2〕的電壓（t10'）。

[0129] 由於資料 DAT〔2〕的上升時間（t5 至 t6）根據上拉電阻器 R2 的值而變化，當偵測出資料 DAT〔2〕的上升時，擴充裝置 4 可參考時間 t5'而決定時間 t6'及 t6"。此將防止由於上拉電阻器 R2 之值中的變化所導致之錯誤偵測。在 LVS 裝置藉由電壓偵測電路或其類似物而偵測到從 1.8V 之低位準（Low）到高位準（High）的躍遷之時候的時間係 t6'。該電壓偵測電路可偵測出用於高信號電壓及低信號電壓二者之 1.8V 或以上的信號電壓。

[0130] 當在時間 t6'處辨識出 LVS 主機時，擴充裝置 4 必須切換 I/O 訊包 4H 不晚於時間 t8，以供從高電壓信令到低電壓信令的躍遷之用。從時間 t5 到時間 t8 之設定的時間週期可被設定為 5ms（毫秒）或以上。此可放電以在電源電路中所包含之 3.3V 所充電的平滑電容器，且可開啟調整器 4B 以確保直到 1.8V 電源變穩定為止的時間週期。在此時間週期之期間斷接裝置偵測電阻器 R4 將防止 3.3V 的電壓被施加至該 LVS 主機。為增進 LVS 主機之辨識的可靠度，擴充裝置 4 可額外地檢查時間 t3'及 t6'處是否時脈 SDCLK=低位準（Low）。

[0131] 當在第一檢查步驟處之命令 CMD 以及資料 DAT〔2〕及 DAT〔3〕的所有電壓位準係偵測為低位準（Low），以及在第二檢查步驟處之命令 CMD 及 DAT〔3〕的電壓位準係偵測為低位準（Low）且資料 DAT〔2〕

的電壓位準係偵測為高位準（High）時，擴充裝置 4 可辨識出主機 2 做為 LVS 主機。此時，LVS 主機不可不規律地操作，以便僅上拉驅動資料 DAT〔2〕至高位準（High）且驅動其他的信號至低位準（Low）。因而，即使 HVS 主機可設定資料 DAT〔3〕至低位準（Low），仍可在 HVS 主機與 LVS 主機之間作區分，而以可靠的方式識別該 LVS 主機。

[0132] 當資料 DAT〔2〕的電壓位準在時間 t_6 係高位準（High）且資料 DAT〔2〕的電壓位準在時間 t_7 係低位準（Low）時，主機 2 可決定擴充裝置 4 做為 LVS 裝置。此將防止由於短路及傳輸路徑或其類似者之斷接所導致的錯誤偵測。

[0133] 在以上說明中，當在第二檢查步驟處之命令 CMD 及 DAT〔3〕的電壓位準係低位準（Low），以及資料 DAT〔2〕的電壓位準係高位準（High）時，擴充裝置 4 決定主機 2 做為 LVS 主機，且在其他情勢中，決定主機 2 做為 HVS 主機。為增進 LVS 主機之識別的可靠度，擴充裝置 4 可額外地執行第三檢查步驟（ t_7' ）。在第三檢查步驟，擴充裝置 4 在主機 2 上拉命令 CMD 以及資料 DAT〔3〕及 DAT〔1:0〕之前，趕快檢查命令 CMD 及 DAT〔3〕的電壓位準。然後，當命令 CMD 及 DAT〔3〕的電壓位準係低位準（Low）時，擴充裝置 4 可決定主機 2 做為 LVS 主機，且在其他情勢中，可決定主機 2 做為 HVS 主機。

[0134] 第 12 圖係依據第二實施例之當將 HVS 裝置附著至 LVS 主機時之預處理序列的時序圖。

請參閱第 12 圖，從時間 t_1 到時間 t_5 之操作係與第 5 圖中所敘述的相同。之後，主機 2 的電源開關 2L 經由上拉電阻器 R2 而上拉資料 DAT〔2〕（ t_5 ）。此時，因為擴充裝置 3 並不驅動資料 DAT〔2〕至低位準（Low），所以資料 DAT〔2〕的電壓上升至高位準（High）。為防止流通電流的發生，主機 2 必須控制命令 CMD 及 DAT〔1：0〕，以便不會由於該上拉而變成高位準（High）。

[0135] 在檢查資料 DAT〔2〕的電壓位準（ t_6 ）之後，主機 2 再檢查資料 DAT〔2〕的電壓位準（ t_7 ）。然後，當資料 DAT〔2〕的電壓位準在時間 t_6 係高位準（High）且資料 DAT〔2〕的電壓位準在時間 t_7 係高位準（High）時，主機 2 決定擴充裝置 3 做為 HVS 裝置。主機 2 轉動電源開關 2L 的輸出至 0V 以停止資料 DAT〔2〕的上拉，且關閉電源 2B 以停止對擴充裝置 3 之電源供應電壓的供應（ t_{8B} ）。進一步地，主機 2 停止命令 CMD 及資料 DAT〔3〕之電壓的驅動（ t_9 ），且拒絕擴充裝置 3。此時，為降低流通電流，從資料 DAT〔2〕之上拉的啟動（ t_5 ）到對擴充裝置 3 之電源供應電壓的停止（ t_{8B} ）之設定的時間週期 T8，可被設定為 $200\mu s$ （微秒）或更少。

[0136] 第 13 圖係依據第二實施例之當將 LVS 裝置附著至 HVS 主機時之預處理序列的時序圖。

請參閱第 13 圖，從時間 t_1 到時間 t_5 之操作係與第 11 圖中所敘述的相同。之後，當預定的時間週期 T_3 已從資料 $\text{DAT}[2]$ 之電壓位準的偵測 (t_5') 過去時，擴充裝置 4 檢查命令 CMD 以及資料 $\text{DAT}[2]$ 及 $\text{DAT}[3]$ 的電壓位準 (t_6')。當命令 CMD 及 $\text{DAT}[3]$ 的電壓位準並非低位準 (Low) 時，擴充裝置 4 決定主機 2 做為 HVS 主機。此時，該 HVS 主機藉由上拉電阻器而上拉命令 CMD 及資料 $\text{DAT}[2:0]$ 。資料 $\text{DAT}[3]$ 係由上拉電阻器 R_4 所上拉，即使該主機的上拉電阻器被同時地連接。

[0137] 第 14 圖係依據第二實施例之當將 LVS 裝置附著至 HVS 主機時之預處理序列的另一實例之時序圖。

請參閱第 14 圖，在開啟擴充裝置 4 的電源之前 (t_1)，HVS 主機設定所有的信號至低位準 (Low)。當開啟擴充裝置 4 的電源時 (t_2)，該 HVS 主機上拉命令 CMD 、以及資料 $\text{DAT}[3]$ 、 $\text{DAT}[2]$ 、及 $\text{DAT}[1:0]$ 。資料 $\text{DAT}[3]$ 亦係由擴充裝置 4 所上拉。之後，擴充裝置 4 檢查命令 CMD 以及資料 $\text{DAT}[2]$ 及 $\text{DAT}[3]$ 的電壓位準 (t_3')。當命令 CMD 以及資料 $\text{DAT}[2]$ 及 $\text{DAT}[3]$ 之電壓位準的任一者係高位準 (High) 時，擴充裝置 4 決定該主機做為 HVS 主機。

[0138] 該 HVS 主機係現有主機且用於其之各種激活序列係可能的。首先，因為 LVS 裝置以高電壓信令操作，所以低電壓信令操作僅在其中滿足第 11 圖中所描繪之序列的情況中被允許，以及高電壓信令操作係在其他情

況中執行。也就是說，在第 12 至 14 圖中所描繪的操作僅係不適用於第 11 圖中所描繪之序列的三個操作實例，並且存在高電壓操作的其他序列。

[0139] 例如，對於在第 11 圖的情況中之非法操作的偵測，HVS 主機可具有時脈偵測電路，用以偵測時間 $t3'$ 至 $t9$ 之期間的時脈 SDCLK，或可具有電壓偵測電路，用以偵測命令 CMD 的電壓位準是否在時間 $t3'$ 至 $t8$ 之期間變成高位準 (High)，或可偵測命令 CMD 及時脈 SDCLK 的電壓是否在時間 $t8$ 至 $t9$ 之期間高於低電壓信令的最大高位準 (High) 值。

[0140]

(第三實施例)

第 15 圖係描繪依據第三實施例之使用於 LVS 裝置中的輸入/輸出緩衝器之組態實例的方塊圖。在第三實施例中，可使進入到資料 DAT[2] 之輸入 I/O 訊胞內的輸入失能以防止流通電流。

請參閱第 15 圖，取代第 2 圖中所描繪之擴充裝置 4 的輸出緩衝器 BD2 及輸入緩衝器 BD3，LVS 裝置包含輸出緩衝器 11、輸入緩衝器 12、及電壓偵測電路 13。輸出信號 OUT 係從邏輯電路 4K 輸入到輸出緩衝器 11 內，以及匯流排介面信號 BUS 係從輸出緩衝器 11 輸出。該匯流排介面信號 BUS 係資料 DAT[2]。致能控制信號 Enable 係輸入至輸入緩衝器 12 內。在致能的狀態中，匯流排介面信號 BUS 被轉移做為至邏輯電路 4K 的輸入信號 IN。

在使失能的狀態中，並不會產生流通電流，即使當該匯流排介面信號 BUS 進入於浮動狀態或中間電壓位準之中時。

[0141] 電壓偵測電路 13 決定該匯流排介面信號 BUS 的電壓位準是否係在臨限值之上或之下，且輸出決定結果 DET。因為匯流排介面信號 BUS 係輸入至電壓偵測電路 13 內，所以電壓偵測電路 13 可決定匯流排介面信號 BUS 的電壓位準，即使當使輸入緩衝器 12 失能時。具有第 15 圖中所描繪之組態，可防止高壓流過，即使其係由第 11 圖中所描繪之時間 t_5 所施加。除了資料 DAT[2] 之外，第 15 圖中所描繪之組態亦可應用至匯流排介面信號 BUS。

[0142] 在第二實施例中，命令 CMD 及資料 DAT[3:2] 的信號位準係組合而被使用，以供決定之用。該決定可以以至少兩個信號進行。該等信號的功能可被交換，且信號名稱不受限制。該等信號可予以自由地組合。

[0143]

(第四實施例)

第 16A 圖係說明依據第四實施例之 LVS 識別模式之週期的時序圖，以及第 16B 圖係說明第 16A 圖中所描繪的 LVS 識別序列之實例的時序圖。

請參閱第 16A 圖，在從開啟電源 (t_2) 起的上升時間 t_{PRU} 過去之後，擴充裝置 4 移到 LVS 識別模式。擴充裝置 4 依據 LVS 識別模式中之時間週期的期間之信號的程序，

而識別在 HVS 模式、LVS 模式、及 UHS-II 模式的何者之中的操作。然後，依據該模式，擴充裝置 4 選擇 I/O 訊胞的電源供應 VDDIO、輸入臨限值、及輸出信號電壓位準。在 LVS 識別模式中，擴充裝置 4 選擇與低電壓信令（1.8V）對應的臨限值，而接收高電壓信令（3.3V）及低電壓信令（1.8V）的時脈 CLK。

[0144] 如第 16B 圖中所描繪地，時脈 HCLK 可在從開啟電源（t2）到上升之加速的時間週期 T10 自 HVS 主機輸入。來自 HVS 主機之時脈 HCLK 的振幅係 3.3V，以及其頻帶係 100 至 400KHz。當頻率係 100KHz 時，週期 T11 變成 $10\mu s$ （微秒），其係最大值。在 LVS 識別模式中，LVS 主機輸出一時脈脈波的低電壓信令（1.8V）。

[0145] 藉由設定時脈 LCLK 的高位準（High）脈波寬度 T12 為 $15\mu s$ （微秒）或以上，可將時脈 LCLK 與時脈 HCLK 區分。例如，當高位準（High）脈波寬度係 $10\mu s$ （微秒）或允許邊緣之更少時，可決定該時脈做為時脈 HCLK，以及當高位準（High）脈波寬度係 $10\mu s$ （微秒）或以上時，則可決定該時脈做為時脈 LCLK。該 T12 的高位準（High）脈波寬度可被任意地設定，但至少需比時脈 HCLK 的高位準（High）脈波寬度更長。

[0146] 當在 LVS 識別模式中接收到兩個或更多個時脈，或接收到具有小於 $10\mu s$ （微秒）之小脈波寬度的時脈，或接收到具有 2V 或以上之振幅的時脈時，LVS 卡可辨識出 HVS 主機被連接。當辨識出 HVS 主機時，LVS 卡

設定 I/O 訊胞的電源供應 VDDIO 為 3.3V，且設定輸入臨限值為 3.3V，以進入 HVS 模式。當辨識出 LVS 主機時，LVS 卡設定 I/O 訊胞的電源供應 VDDIO 為 1.8V，且設定輸入臨限值為 1.8V，以進入 LVS 模式。

因而，即使當 HVS 主機在開啟電源之後馬上輸出時脈 HCLK 時，LVS 卡仍可區分 HVS 主機與 LVS 主機。

[0147]

（第五實施例）

第 17 圖係說明依據第五實施例之當將 LVS 裝置附著至 LVS 主機時之 LVS 識別序列的時序圖。

請參閱第 17 圖，參考符號 t1 至 t8 表示由主機 2 所管理的時序，以及 t5'至 t9'表示由擴充裝置 4 所管理的時序。不予以驅動但被上拉的信號係由點線所顯示，以及其他的信號係由實線所表示。當在低位準（Low）驅動或高位準（High）驅動與拉下或上拉之間具有衝突時，電壓位準的較高優先序係給定至低位準（Low）驅動或高位準（High）驅動，而非拉下或上拉。實線的圓圈表示由擴充裝置 4 所檢查之點，以及點線的圓圈係由主機 2 所檢查的點。

[0148] 在開啟擴充裝置 4 電源之前（t1），主機 2 僅拉下資料 DAT〔2〕，以及驅動其他者，亦即，時脈 CLK、命令 CMD、及資料 DAT〔3〕，至低位準（Low）。特別地，資料 DAT〔3〕的低位準（Low）驅動將防止該 DAT〔3〕由於附著至該擴充裝置的卡偵測電

阻器而被上拉。

[0149] 當驅動資料 DAT〔2〕至低位準（Low）時，主機 2 無需拉下電阻器。當拉下資料 DAT〔2〕時，主機 2 需要拉下電阻器。當主機 2 開啟擴充裝置 4 的電源時（ t_2 ），主機 2 之電源供應電壓 VD1 開啟電源開關 2B，用以經由電源線 VDD 而供應電源供應電壓 VD1 至擴充裝置 4。首先，因為電源供應電壓 VD1 係藉由 VDDIO 選擇器 4D 而被供應至訊胞電源 VDDIO，所以 I/O 訊胞 4H 可以與高電壓信令相容（除 CLK 之外）且可耐高電壓。

[0150] 當上升時間 t_{PRU} 已從開啟電源（ t_2 ）過去時，重設電路 4A 輸出重設信號 RES 以重設邏輯電路 4K。支援 UHS-II 的主機 2 嘗試使用 UHS-II。此時，主機 2 可供應時脈至資料 DAT〔1:0〕，用以在 UHS-II 模式中嘗試初始化。當在 UHS-II 模式中之初始化無法被執行時，主機 2 藉由不晚於時間 t_3 而驅動資料 DAT〔1:0〕至低位準（Low），且移到 LVS 識別序列。

[0151] 在其中 UHS-II 初始化不被執行的情況中，在至少預定的時間週期 T21 已從開啟電源（ t_2 ）過去時，主機 2 傳送一時脈脈波 PL 至擴充裝置 4（ t_3 至 t_4 ），做為時脈 CLK，用以啟動 LVS 識別序列。該預定的時間週期 T21 可被設定為例如， $t_{PRU}+1$ ms 或更長。該一時脈脈波 PL 的脈波寬度 T22 可被設定為 $15\mu s$ （微秒）或更大。例如，因為由主機 1 所供應之時脈的最小頻率係 100KHz，所以當該時脈以高位準（High）的寬度被識別時，脈波寬

度 T_{22} 的最小值可被設定為允許邊緣之 $15\ \mu\text{s}$ (微秒)。

[0152] 從而，當高位準 (High) 的寬度係小於 $10\ \mu\text{s}$ (微秒) 時，擴充裝置 4 可決定該主機做為主機 1，以及當高位準 (High) 的寬度係比 $10\ \mu\text{s}$ (微秒) 更長時，可決定該主機做為主機 2。因為該一時脈脈波 PL 的振幅對應於低電壓信令 (1.8V)，所以擴充裝置 4 必須要能接收高電壓信令及低電壓信令二者。此係藉由設定時脈輸入緩衝器 BD1 的臨限電壓至低電壓信令，而予以實現。

[0153] 擴充裝置 4 在該一時脈脈波 PL 之接收時序時檢查命令 CMD 的電壓位準。當命令 CMD 的電壓位準係低位準 (Low)，或該一時脈脈波 PL 的脈波寬度 T_{22} 係 $10\ \mu\text{s}$ (微秒) 或更大時，則擴充裝置 4 辨識出該主機 2 做為 LVS 主機。滿足該兩條件將更可靠地做成辨識。

[0154] 當備妥用於具有低電壓信令 (1.8V) 之操作的準備時，擴充裝置 4 藉由不晚於時間 t_5' 而斷接裝置偵測電阻器 R4。從時間 t_4 到時間 t_5' 的時間週期 T_{23} 可被設定為例如， 5ms (毫秒) 或更小，如在其中產生 3.3V 至 1.8V 之電源的調整器穩定之期間的時間週期一樣地。當辨識出所連接的主機係 LVS 主機且 LVS 模式就緒時，擴充裝置 4 藉由 t_5' 而驅動資料 DAT [2] 至高位準 (High)。

[0155] 在從時間 t_4 起之預定的時間週期 $T_{23}+T_{24}$ (t_6) 過去後，主機 2 在大於 $5\ \mu\text{s}$ (微秒) 過去之後檢查資料 DAT [2] 的電壓位準。當資料 DAT [2] 的電壓位

準係高位準（High）時，主機 2 辨識出擴充裝置 4 做為 LVS 裝置。

[0156] 當決定擴充裝置 4 做為 LVS 裝置時，主機 2 藉由低電壓信令而上拉命令 CMD 及資料 DAT〔3：0〕（t7）。主機 2 可在低電壓信令之下將命令 CMD 驅動至高位準（High），如圖式中所描繪地。然後，主機 2 移到 LVS 裝置的初始化處理。在初始化處理中，主機 2 可在 1.8V 的低電壓信令下操作。此外，主機 2 輸出時脈 SDCLK（t8）。在收到該時脈 CLK 後，擴充裝置 4 停止資料 DAT〔2〕的驅動。主機 2 上拉資料 DAT〔2〕的電壓（t7）。接著，當輸出預定數目的時脈 CLK 時，主機 2 發出命令 CMD0 且啟動該擴充裝置的初始化。

[0157] 在收到該一時脈脈波 PL 的時序時，擴充裝置 4 至少檢查命令 CMD 的電壓位準（可同樣地檢查任一 DAT〔3〕位準（低位準）），且主機 2 可決定用於該檢查的時序。此將消除為了要決定用以按時間檢查命令 CMD 的電壓位準之時序的需要。此外，因為主機 2 決定了用以檢查命令 CMD 的電壓位準之時序，所以可消除資料不穩定週期且可使標準簡化。

[0158] 第 18 圖係說明依據第五實施例之當將 HVS 裝置附著至 LVS 主機時之 LVS 識別序列的時序圖。

請參閱第 18 圖，從時間 t1 到時間 t5'的操作係與第 17 圖中所敘述之該等者相同。在其中擴充裝置 3 係 HVS 裝置的情況中，擴充裝置 3 並不驅動資料 DAT〔2〕的電

壓。因而，資料 DAT〔2〕的電壓位準係由主機 2 所拉下。

[0159] 接著，當預定的時間週期 $T_{23}+T_{24}$ (t_6) 已從時間 t_4 過去時，主機 2 檢查資料 DAT〔2〕的電壓位準。然後，當資料 DAT〔2〕的電壓位準係藉由主機 2 之拉下的低位準 (Low) 時，主機 2 辨識出擴充裝置 3 做為 HVS 裝置。接著，主機 2 停止對擴充裝置 3 之電源供應電壓的供應 (t_7)。進一步地，主機 2 停止命令 CMD 以及資料 DAT〔1:0〕及 DAT〔3〕之電壓的驅動 (t_8)，且拒絕擴充裝置 3。

[0160] 第 19 及 20 圖係依據第五實施例的擴充裝置之預處理及初始化序列的流程圖。

請參閱第 19 圖，當開啟電源時 (S51)，擴充裝置 4 檢查 UHS-II 模式 (S52)。在開啟擴充裝置 4 之電源時，I/O 訊包需要耐高電壓信令 (3.3V) 當作預設。因而，I/O 訊包需被供應以高電壓信令 (3.3V)。命令 CMD 及資料 DAT〔3:0〕係由主機所管理，且不藉由擴充裝置 3 及 4 而予以驅動 (惟，擴充裝置 4 可在 LVS 識別序列中驅動資料 DAT〔2〕 t_5')。

[0161] 當偵測出 UHS-II 模式時，擴充裝置 4 移到該 UHS-II 模式 (S53)。當未偵測出 UHS-II 模式時，擴充裝置 4 移到等待時脈 CLK 的狀態 (S53)。

接著，擴充裝置 4 檢查時脈高位準寬度及命令 CMD 的電壓位準 (S55)。當時脈高位準寬度係小於 $10\ \mu s$

（微秒），或命令 CMD 的電壓位準並非低位準（Low）時，則擴充裝置 4 辨識出 HVS 主機（主機 1）且移到 HVS 模式（S60）。

[0162] 與此同時，當時脈高位準寬度係大於 $10\mu s$ （微秒），且命令 CMD 的電壓位準係低位準（Low）時，則擴充裝置 4 辨識出 LVS 主機（主機 2），且準備以低電壓信令（1.8V）操作（S56）。

[0163] 然後，當在切換至低電壓信令（1.8V）之期間偵測出任何錯誤時，擴充裝置 4 設定 I/O 訊胞的電源供應（VDDIO）至電源供應電壓（3.3V），且移到 HVS 模式（S60）。與此同時，當進行用於以低電壓信令（1.8V）操作的準備時（S57），擴充裝置 4 斷接裝置偵測電阻器 R4（S58）。進一步地，擴充裝置 4 驅動資料 DAT〔2〕高位準（High），用以指示它移到 LVS 模式（S61）。

[0164] 其次，請參閱第 20 圖，擴充裝置 4 接收時脈 SDCLK 而移到初始化處理（S62）。在收到命令 CMD0 後，擴充裝置 4 執行重設操作（S63）。接著，在收到命令 CMD8 後（S64），擴充裝置 4 檢查欄 VHS（S65）。當命令引數 0010b 並未被設定於欄 VHS 之中時，擴充裝置 4 沒有回應（S66）且停止操作（S67）。

[0165] 當錯誤並未發生且命令引數 0010b 被設定時，擴充裝置 4 送回具有 VHS=0010b 的低電壓信令回應（S68）。

[0166] 接著，當以低電壓信令（1.8V）操作時，在收到命令 ACMD41 後，擴充裝置 4 不受 S18R 之設定所影響（S69）且設定 S18A=0，並送回對該命令 ACMD41 的回應（S70）。當命令 ACMD41 的執行被完成時，擴充裝置 4 送回 D31=1，以及當命令 ACMD41 的執行被持續時，擴充裝置 4 送回 D31=0。S18A 的值係當 D31=1 時有效。當初始化命令已由低電壓信令所執行時，擴充裝置 4 送回 S18=0。此時，主機 2 跨越電壓切換序列（CMD11），且執行從命令 CMD2 之發出後的步驟（S73）。

[0167] 第 21 及 22 圖係依據第五實施例的主機之預處理及初始化序列的流程圖。

請參閱第 21 圖，在開啟電源之前，主機 2 僅拉下資料 DAT〔2〕，以及驅動其他者，亦即，時脈 SDCLK 和命令 CMD 以及資料 DAT〔3〕和資料 DAT〔1:0〕，至低位準（Low）（S81）。在開啟電源後（S82），主機 2 等待直至擴充裝置 3 及 4 的電源變穩定為止（S83）。

[0168] 接著，主機 2 傳送一時脈脈波 PL 至擴充裝置 3 及 4，做為時脈 CLK（S84）。其次，在等待例如，超過 5ms（毫秒）之後（S85），主機 2 檢查資料 DAT〔2〕的電壓位準（S86）。然後，當資料 DAT〔2〕的電壓位準係低位準（Low）時，主機 2 停止電源（S87）且拒絕該裝置（S88）。

[0169] 與此同時，當資料 DAT〔2〕的電壓位準係高

位準 (High) 時，主機 2 辨識出擴充裝置 4 做為 LVS 裝置。此時，主機 2 上拉命令 CMD 及資料 DAT [3:0] (S89)，且移到 LVS 卡初始化 (S90)。

[0170] 其次，請參閱第 22 圖，主機 2 開始初始化處理。此時，主機 2 供應低電壓信令 (1.8V) 的時脈 SDCLK (S91)，且發出命令 CMD0 (S92)。接著，主機 2 設定命令引數 0010b 至 CMD8 的欄 VHS，且發出命令 CMD8 (S93)。在初始化序列中之隨後的命令並未被描繪於圖式中。

[0171] 接著，主機 2 檢查對該命令 CMD8 之發出的任何回應 (S94)。在此實例中，該 LVS 裝置可送回具有被設定在與 VHS 相容的欄 VCA 中之命令引數 0010b 的回應。當沒有來自該 LVS 裝置的回應時，主機 2 拒絕該 LVS 裝置且關閉該 LVS 裝置的電源 (S98)。與此同時，當在對該命令 CMD8 之發出的回應中之 VCA=0010b 時，主機 2 發出初始化命令 ACMD41 (S95)。

[0172] 然後，主機 2 參考對該初始化命令 ACMD41 之回應中的欄 D31，用以決定該裝置是否係在忙碌狀態中。當裝置並不在忙碌狀態之中時，主機 2 檢查被包含在對命令 ACMD41 之回應中的位元 S18A (S96)。當 LVS 裝置已切換信號位準至低電壓信令時，S18A=0 係設定至回應，以致使電壓切換序列 (CMD11) 被跨越。然後，主機 2 執行命令 CMD2 的發出之後的步驟 (S97)。當在 S18A 上的檢查顯示出 S18A=1 時，主機 2 決定此為錯

誤，且關閉該 LVS 裝置的電源（S98）。

[0173]

（第六實施例）

第 23 圖係描繪依據第六實施例之當將 LVS 裝置附著至 LVS 主機時之資料線 DAT〔2〕的連接之方塊圖。

主機 2 可在 DAT〔2〕上控制上拉電阻器（R2）及拉下電阻器（R7）。僅該上拉及拉下電阻器的任一者被激活，且該二者並不被同時地激活。拉下電阻器 R7 之值可予以設定在例如，1.5 至 15kΩ 的範圍內。

請參閱第 23 圖，其顯示當選擇拉下電阻器 R7 的時候。拉下電阻器 R7 之值可予以設定在例如，1.5 至 15kΩ 的範圍內。

[0174] 對於該拉下，所施加至拉下電阻器 R7 之電壓 V1 需被設定為小於 0.58V，其係低電壓信令之低位準的最大輸入電壓。在決定拉下電阻器的值之中的因子係漏電流及雜訊容限。在所描繪的情況中，當 12 μA（微安培）的電流流至 R7 之內，且 400mV（毫伏）的雜訊容限被獲得時，該拉下電阻器的關係式係 $12 \mu A * R7 + 400mV < 0.58V$ ，且結果 $R7 < 15K\Omega$ 係從不等式獲得。

[0175] 藉由提供拉下電阻器 R7，可在主機 2 開啟擴充裝置 4 的電源之前拉下資料 DAT〔2〕。此外，若 1.8V 信令被準備好時，擴充裝置 4 可在預定的週期時間 T23 內驅動資料 DAT〔2〕至高位準（High）。主機 2 可在預定的時間週期 T23+T24 從時間 t4 過去後，亦即，在 t6，檢

查資料 DAT〔2〕的電壓位準。當資料 DAT〔2〕的電壓位準係高位準（High）時，主機 2 可辨識出擴充裝置 4 做為 LVS 裝置。

[0176] 雖然已敘述某些實施例，但該等實施例僅藉實例而予以呈現，且不意圖要限制本發明之範疇。實際上，在此所描述之新穎的實施例可以以各種其他的方式而被實施；再者，在本文所敘述之該等實施例的形式中之種種省略、替代、和改變，可不背離本發明之精神而被進行。附錄之申請專利範圍及其等效範圍係打算要涵蓋該等形式或修正為落在本發明的範疇和精神內。

【符號說明】

[0177]

1, 2：主機

1A, 2A：電源供應單元

1B, 2B：電源開關

1C：信號電壓控制單元

1D：VDDIO 選擇器

1E, 2E：時脈產生單元

1F, 2F：命令控制單元

1G, 2G：資料控制單元

1H, 2H：I/O 訊包

2J：LVS 控制單元

2K：邏輯電路

2P：拉下電路

3, 4：擴充裝置

3A, 4A：重設單元

3B, 4B：調整器

R0--R3：上拉電阻器

R7：拉下電阻器

TH1：電源終端

TH2：時脈終端

TH3：命令終端

TH4--TH6：資料終端

BH1, BH2, BH4--BH6：輸出緩衝器

BH3, BH7--BH9：輸入緩衝器

I671636

發明摘要

【發明名稱】(中文/英文)

主機設備及擴充裝置

Host apparatus and extension device

【中文】

依據一實施例，第一電源供應電壓係施加至 I/O 訊胞，連接到時脈終端的 I/O 訊胞係初始地設定至第二電壓信令的臨限值，連接到命令終端的 I/O 訊胞及連接到資料終端的 I/O 訊胞係初始地設定為輸入，以及當時脈控制單元偵測出一個時脈脈波的接收且信號電壓控制單元偵測出使用該第二電壓信令的主機時，信號電壓控制單元在第二電源供應電壓被施加至 I/O 訊胞後，驅動第一資料終端的 I/O 訊胞至高位準，且第二電壓信令的臨限值被設定至該時脈、命令、及資料終端的 I/O 訊胞。

【英文】

According to one embodiment, a first power-supply voltage is applied to I/O cells, an I/O cell connected to a clock terminal is initially set to a threshold of a second voltage signaling, an I/O cell connected to a command terminal and I/O cells connected to data terminals are initially set as an input, and when a clock control unit detects receipt of one clock pulse and a signal voltage control unit detects a host using the second voltage signaling, a signal voltage control unit drives the I/O cell of a first data terminal high level after a second power-supply voltage is applied to I/O cells and the threshold of a second voltage signaling is set to I/O cells of the clock, command and data terminals.

【代表圖】

【本案指定代表圖】：第(17)圖。

【本代表圖之符號簡單說明】：無

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：
無

申請專利範圍

1. 一種主機設備，組構以將電源供應電壓供應至裝置並經由時脈、命令/回應、和資料的信號來與該裝置通訊，第一電壓信令及低於該第一電壓信令的第二電壓信令係可用作該等信號之輸入/輸出信號位準以供該通訊之用，該主機設備包含：

電源/接地終端，組構以將該電源供應電壓供應至該裝置；

時脈終端，組構以輸出該時脈；

命令終端，組構以傳送該命令及接收該回應；

複數個資料終端，包括第 1 資料終端至第 4 資料終端，各組構以執行該資料的輸入及輸出；

I/O 訊胞單元，連接至該時脈終端、該命令終端、及該等資料終端；以及

裝置偵測單元，組構以偵測該裝置是否可在該第二電壓信令下通訊，其中

該主機設備執行初始設定，其中該主機設備設定該時脈終端、該命令終端、該第 1 資料終端、該第 2 資料終端、及該第 4 資料終端之各者為低（Low）位準，及其中該主機設備設定該第 3 資料終端為低位準或在該第二電壓信令下經由電阻器而將該第 3 資料終端拉下，

該主機設備經由該電源/接地終端而將該電源供應電壓供應至該裝置，

該裝置偵測單元在從供應該電源供應電壓之開始起經

過第一某時間週期後輸出一個時脈脈波至該時脈終端，

當該第 3 資料終端的信號位準在從提供該一個時脈脈波起經過第二某時間週期後已被反轉時，該主機設備判定該裝置為 LVS（低電壓信令）裝置。

2. 如申請專利範圍第 1 項之主機設備，其中

當判定該裝置為該 LVS 裝置時，該主機設備設定該第 1 資料終端、該第 2 資料終端、及該第 4 資料終端之各者為高（High）位準或將該第 1 資料終端、該第 2 資料終端、及該第 4 資料終端之各者上拉以執行該裝置之初始化處理。

3. 如申請專利範圍第 2 項之主機設備，其中

於該初始化處理中，該主機設備輸出時脈以使得該裝置停止該第 3 資料終端之驅動。

4. 如申請專利範圍第 3 項之主機設備，其中

在該初始化處理中使得該裝置停止該第 3 資料終端之驅動後，該主機設備上拉該第 3 資料終端、以該第二電壓信令輸出預定數目的時脈至該裝置、及發出第一命令和第二命令。

5. 如申請專利範圍第 4 項之主機設備，其中

當無對該第二命令的回應被接收自該裝置時，該主機設備使得該裝置關閉。

6. 如申請專利範圍第 1 項之主機設備，其中

該一時脈之高位準週期係比預定值更長。

7. 如申請專利範圍第 1 項之主機設備，其中

當該第 3 資料終端的信號位準符合由該主機設備在從提供該一個時脈脈波起經過該第二某時間週期後所設定的位準時，該主機設備判定該裝置為 HVS（高電壓信令）裝置。

8. 如申請專利範圍第 7 項之主機設備，其中

當判定該裝置為該 HVS 裝置時，該主機設備停止上拉該第 3 資料終端並停止將該電源供應電壓供應至該裝置。

9. 如申請專利範圍第 8 項之主機設備，其中

在停止將該電源供應電壓供應至該裝置後，該主機設備停止該第 1 資料終端、該第 2 資料終端、及該第 4 資料終端之驅動。

10. 如申請專利範圍第 1 項之主機設備，其中

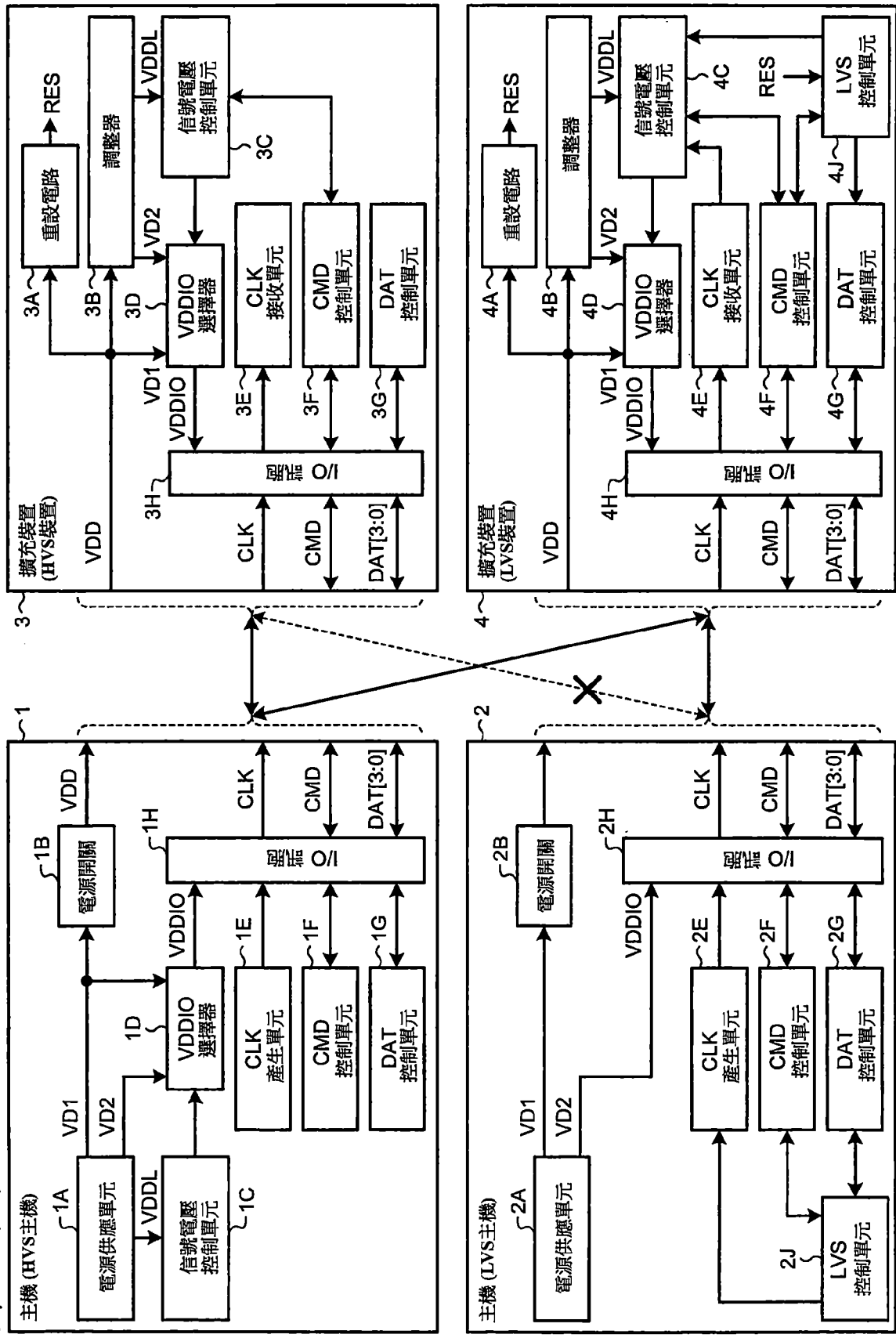
於該初始設定中，該主機設備在該第二電壓信令下經由該電阻器而將該第 3 資料終端拉下。

11. 如申請專利範圍第 1 項之主機設備，進一步包含電源開關，其中

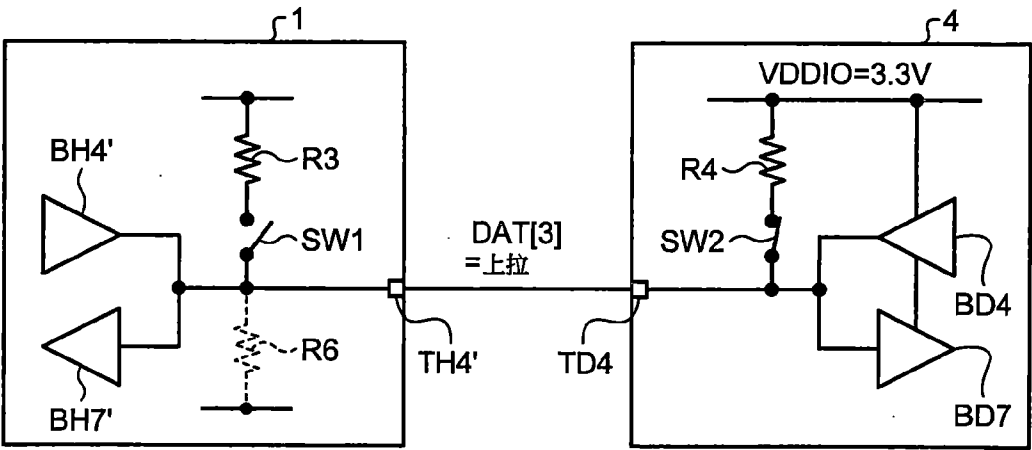
該主機設備開啟該電源開關以利該電源供應電壓從該主機設備被供應至該裝置。

圖式

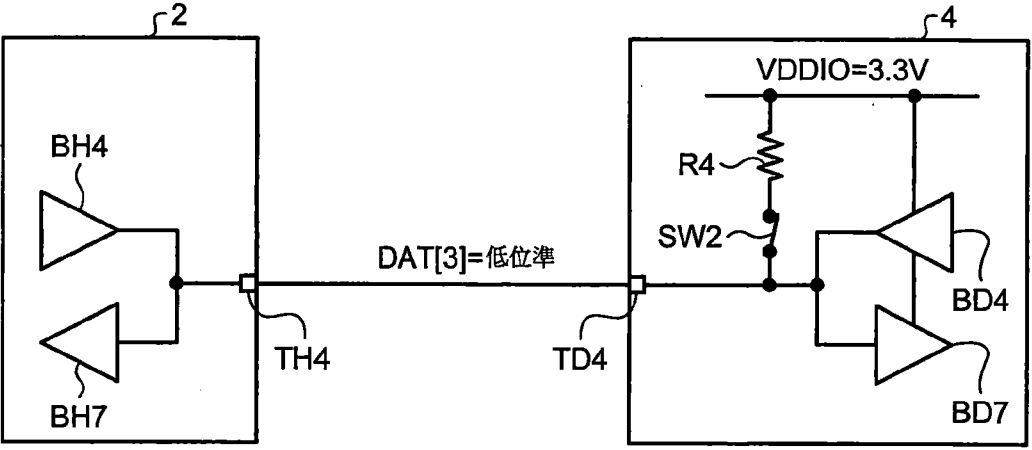
第1圖



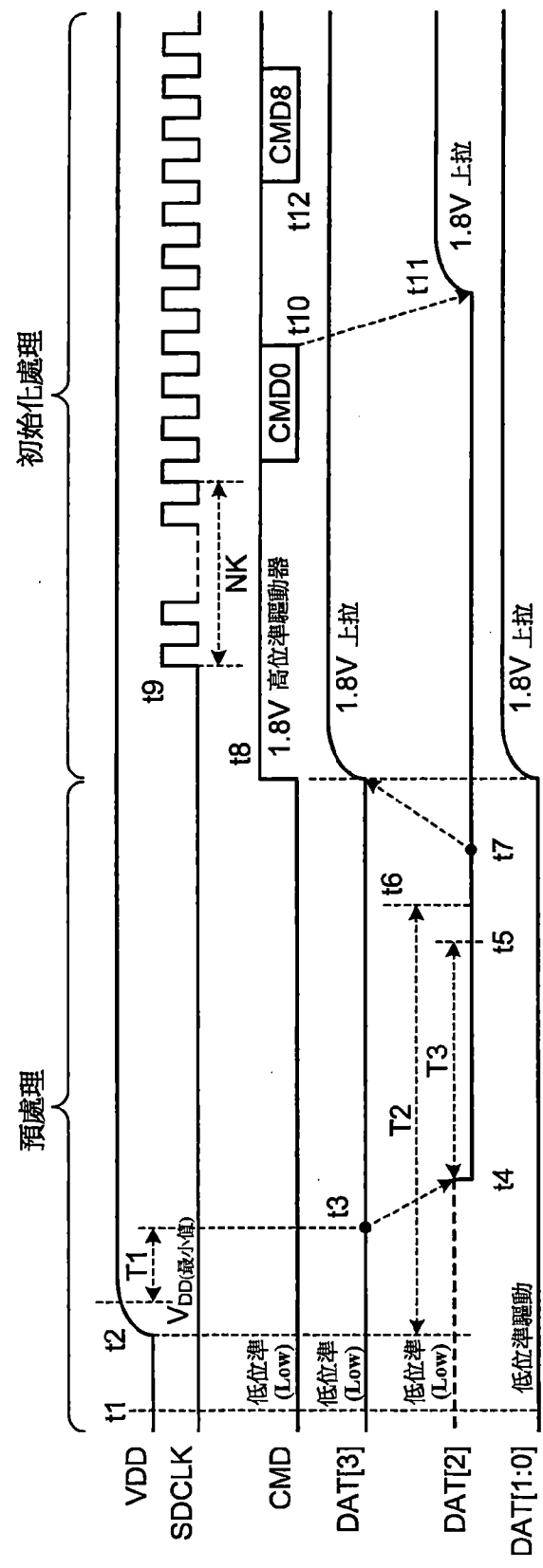
第 3A 圖



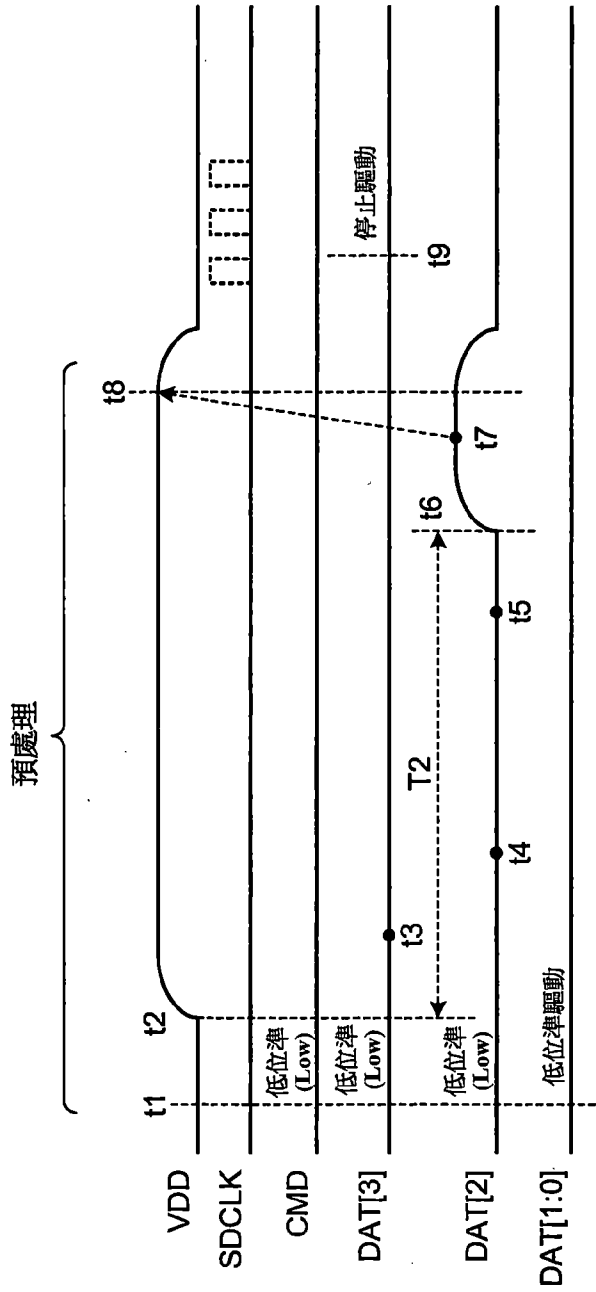
第 3B 圖



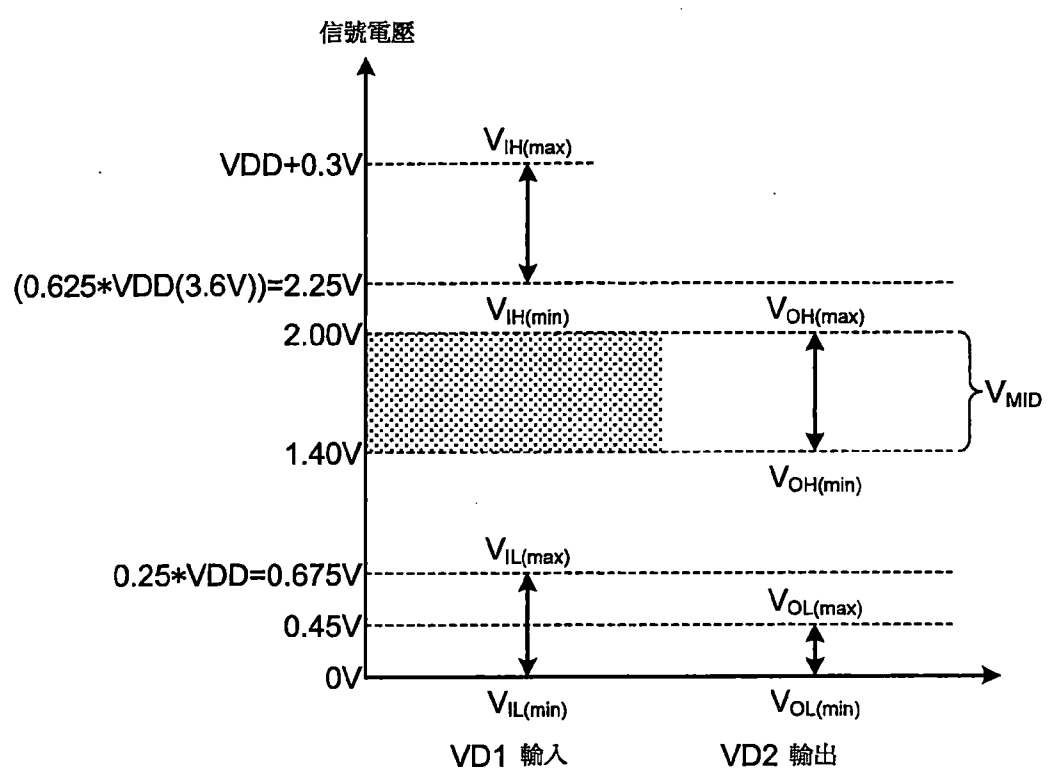
第4圖



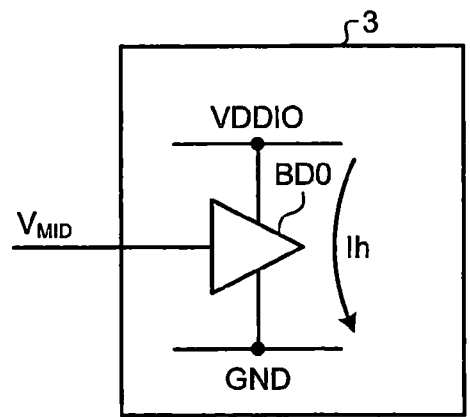
第5圖



第 6A 圖



第 6B 圖



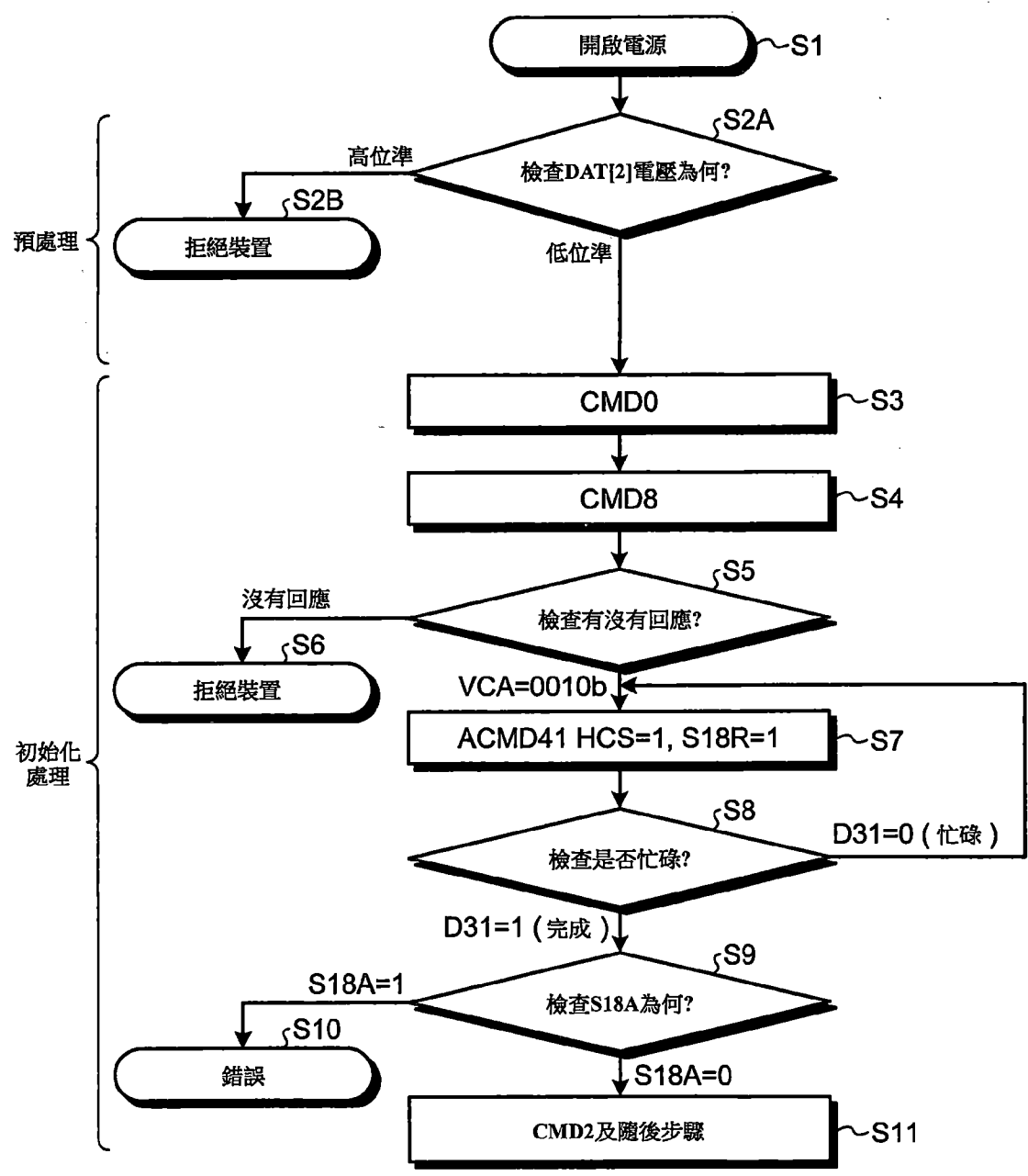
第 7 圖

47	46	45:40	39:20	19:16	15:08	07:01	00
S	T	索引	保留	VHS	檢查模式	CRC7	E
0	1	010100b	00000h	xxxxb	xxh	xx	1

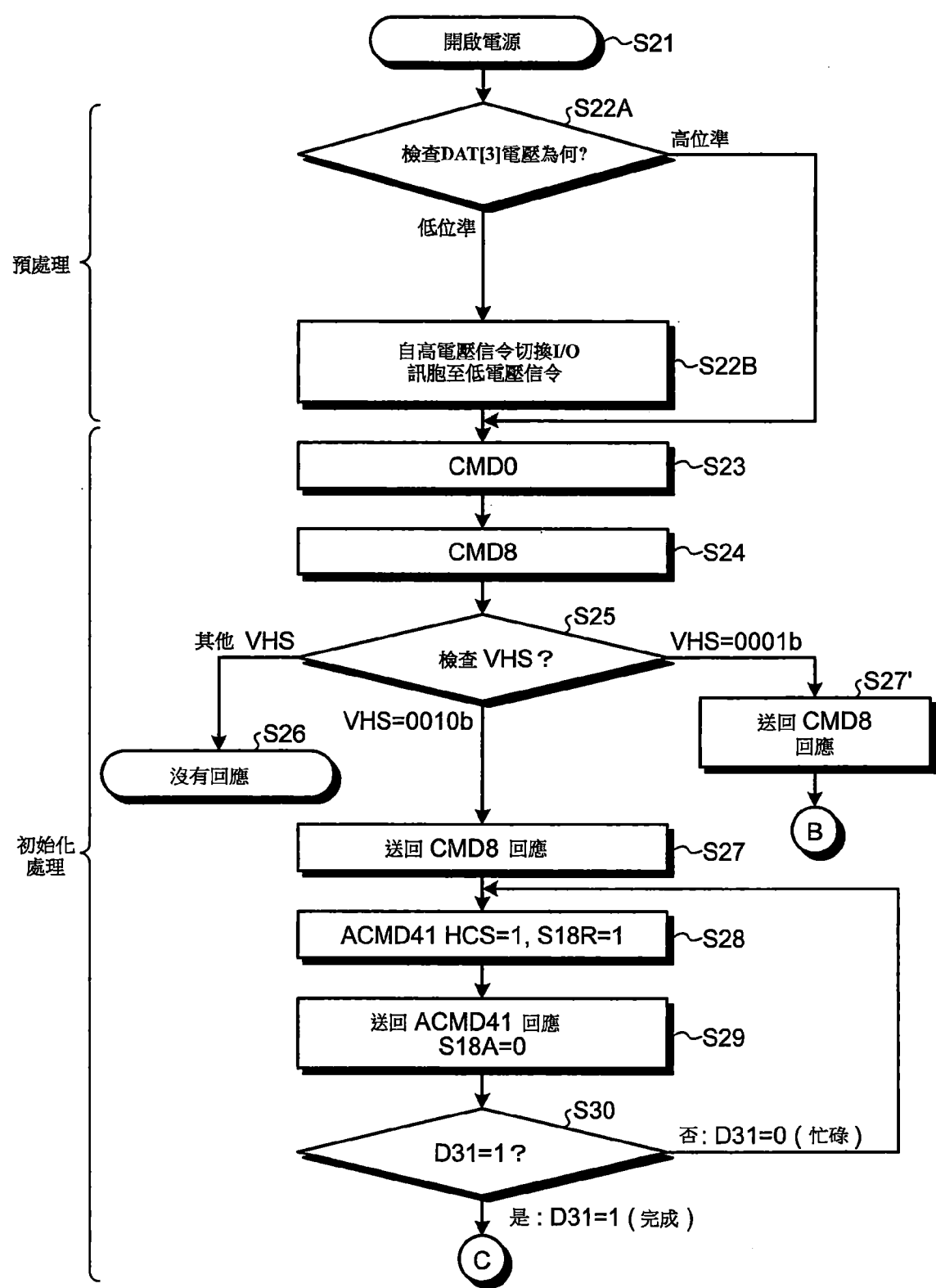
主機供應之電壓
0000b: 未界定
0001b: VDD:2.7V-3.6V, 3.3V 信令
0010b: VDD:2.7V-3.6V, 1.8V 信令
0100b: 保留
1000b: 保留
Others: 未界定

檢查模式
10101010b: VDD: 3.3V Rage, 3.3V 信令
10100101b: VDD: 3.3V Rage, 1.8V 信令

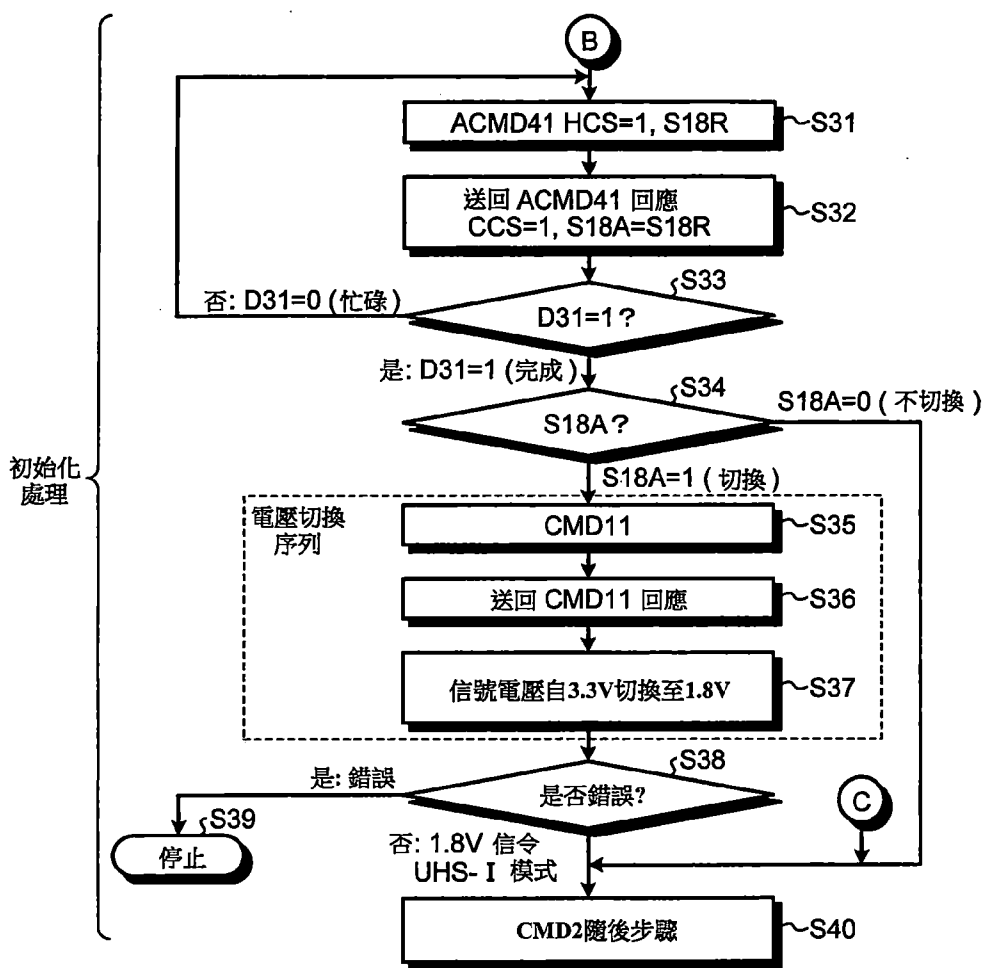
第 8 圖



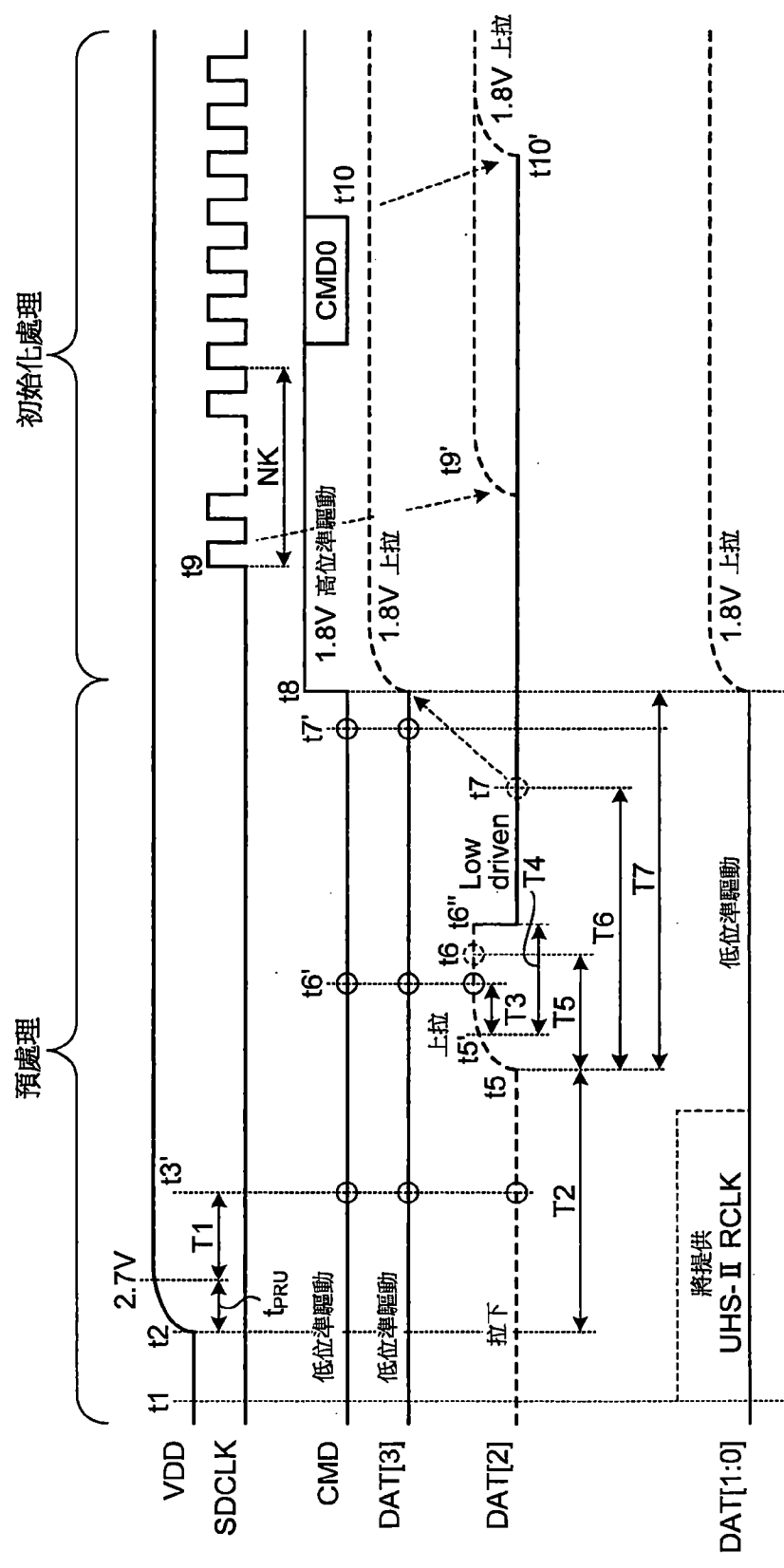
第 9 圖



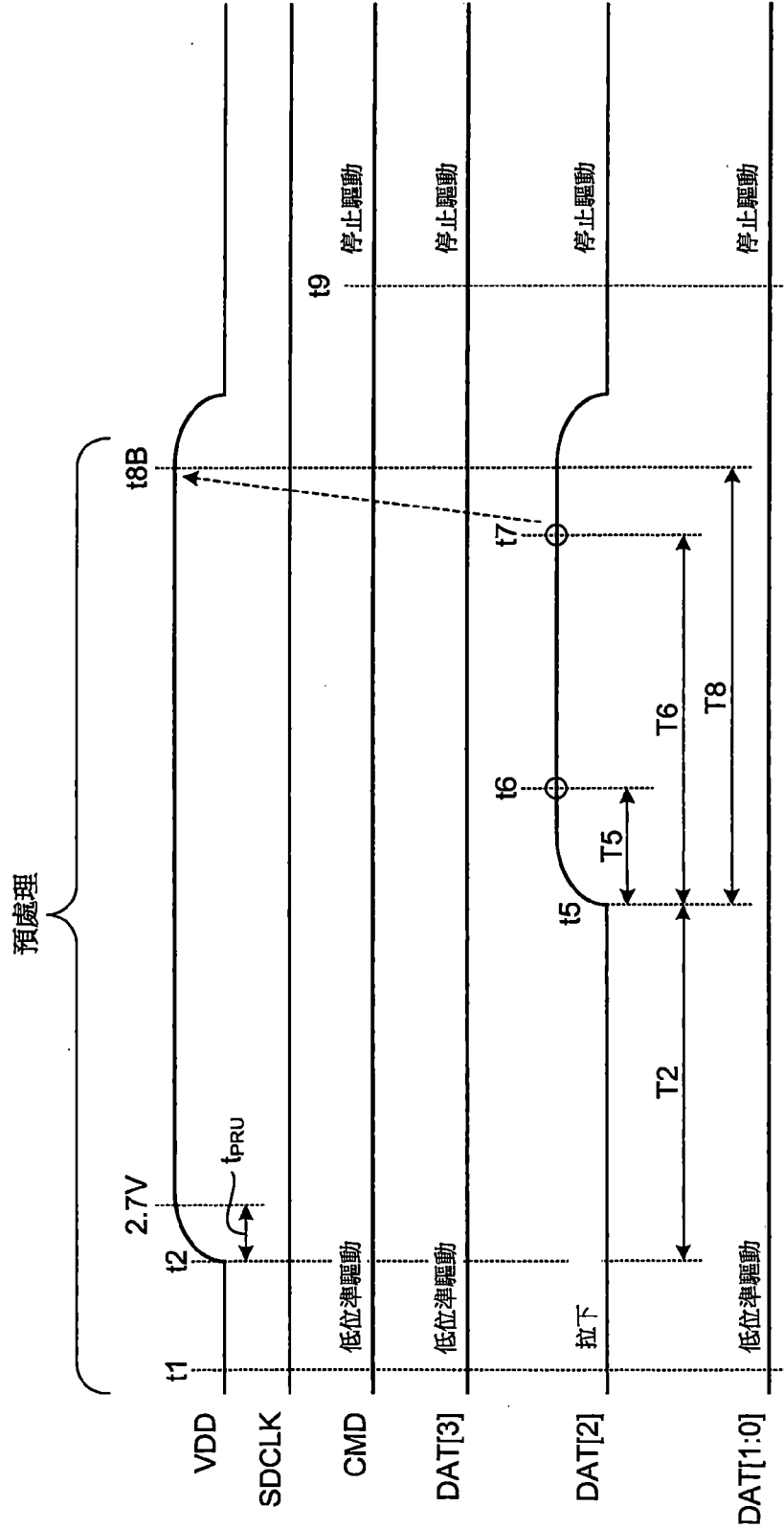
第 10 圖



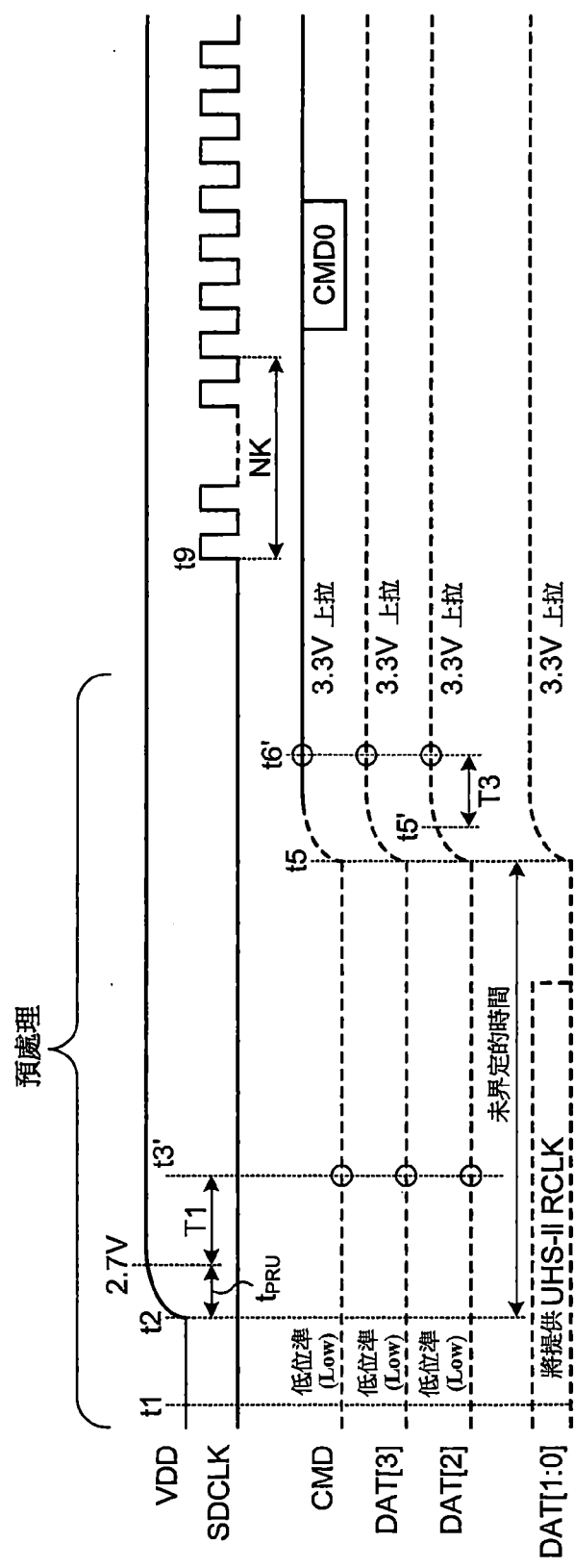
第 11 圖



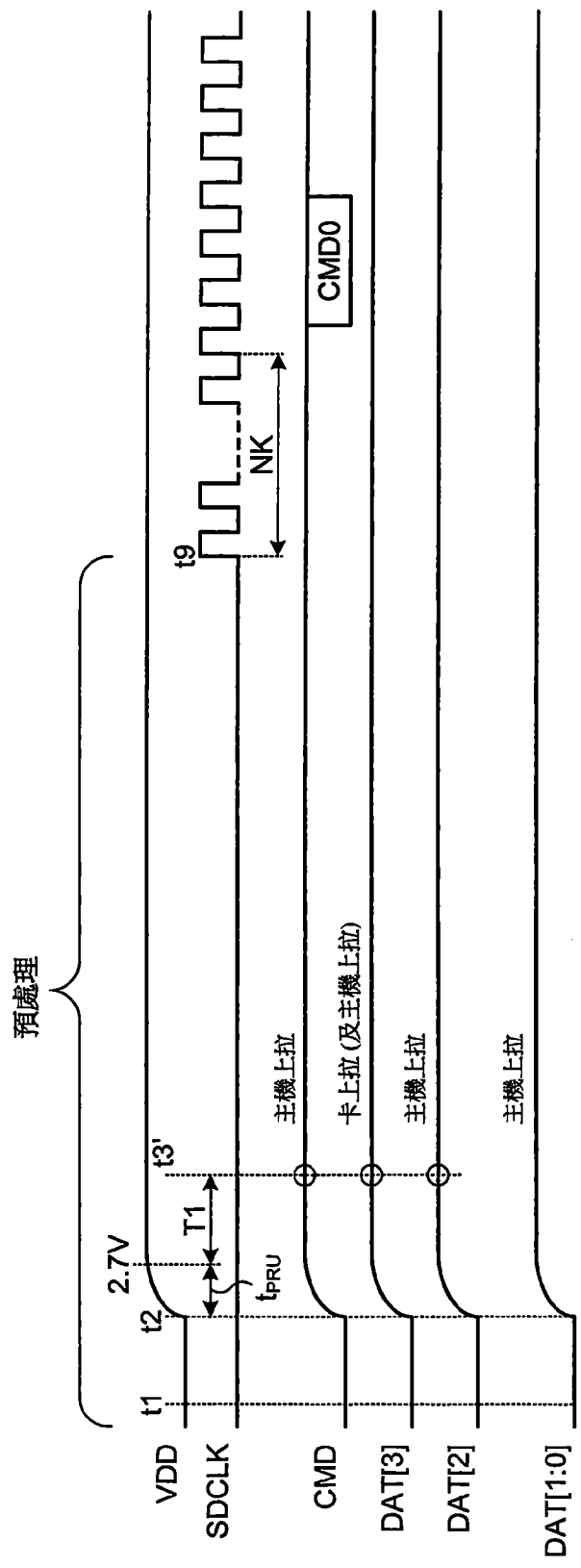
第12圖



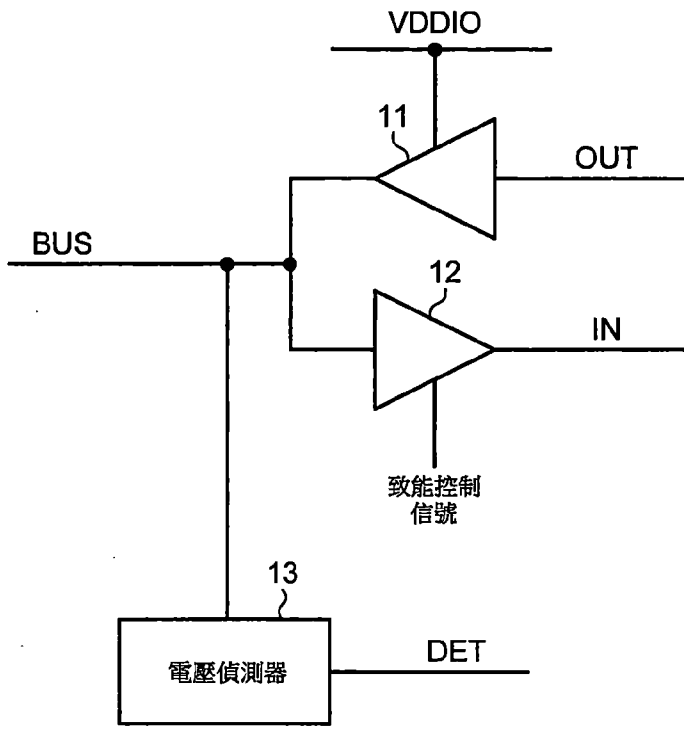
第13圖



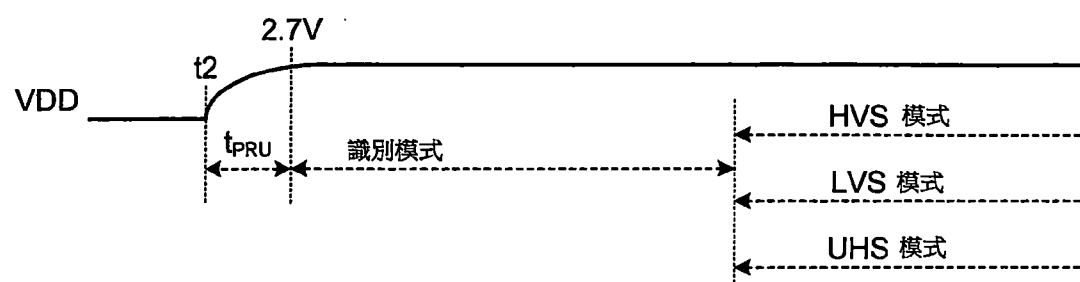
第14圖



第 15 圖



第 16A 圖



第 16B 圖

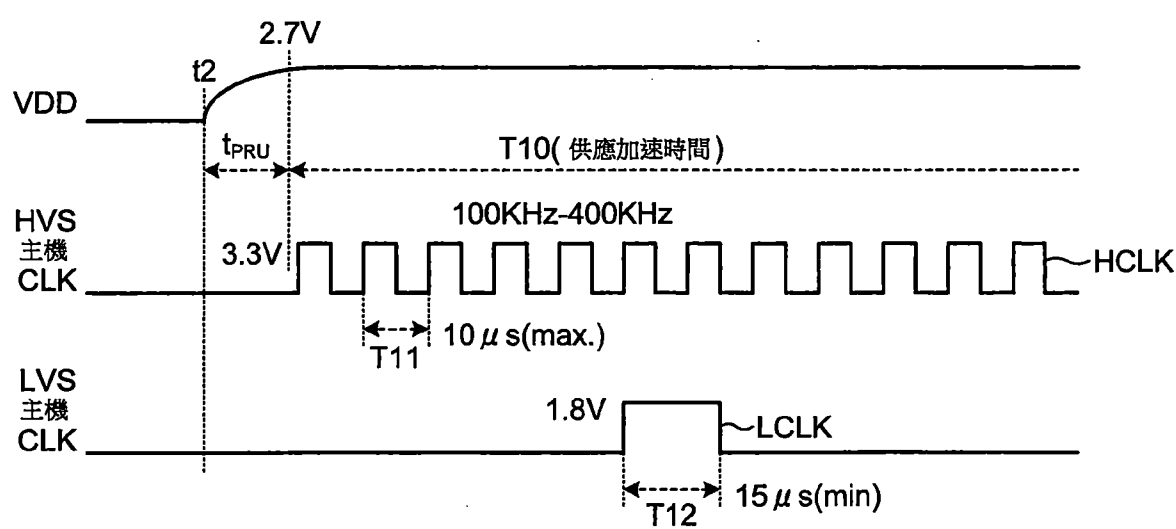
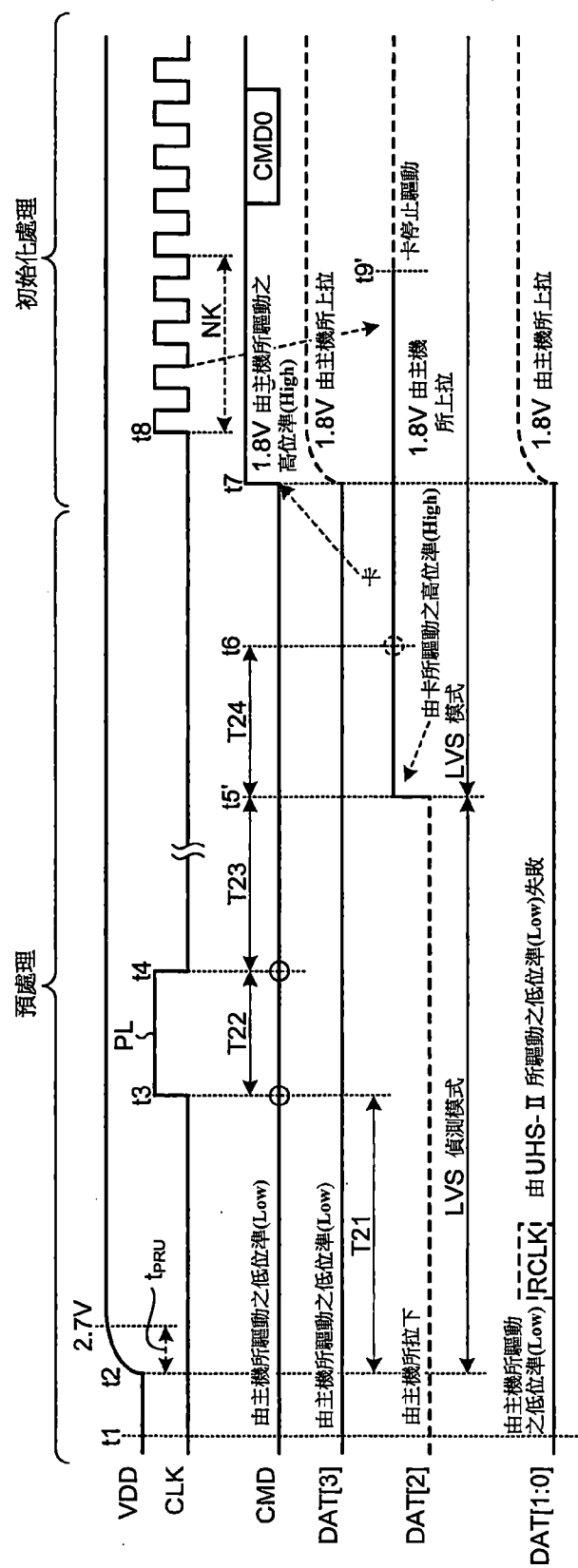
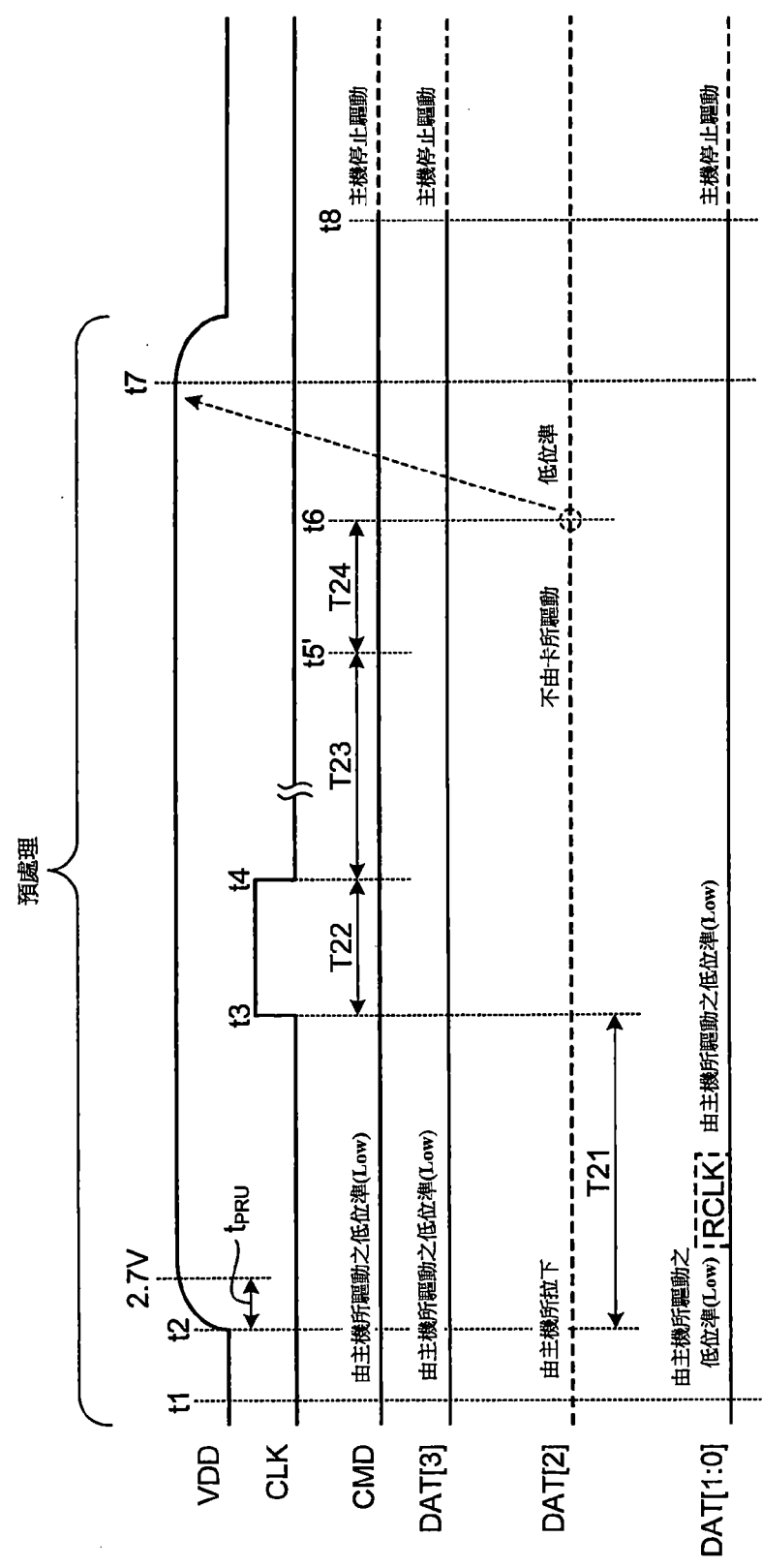


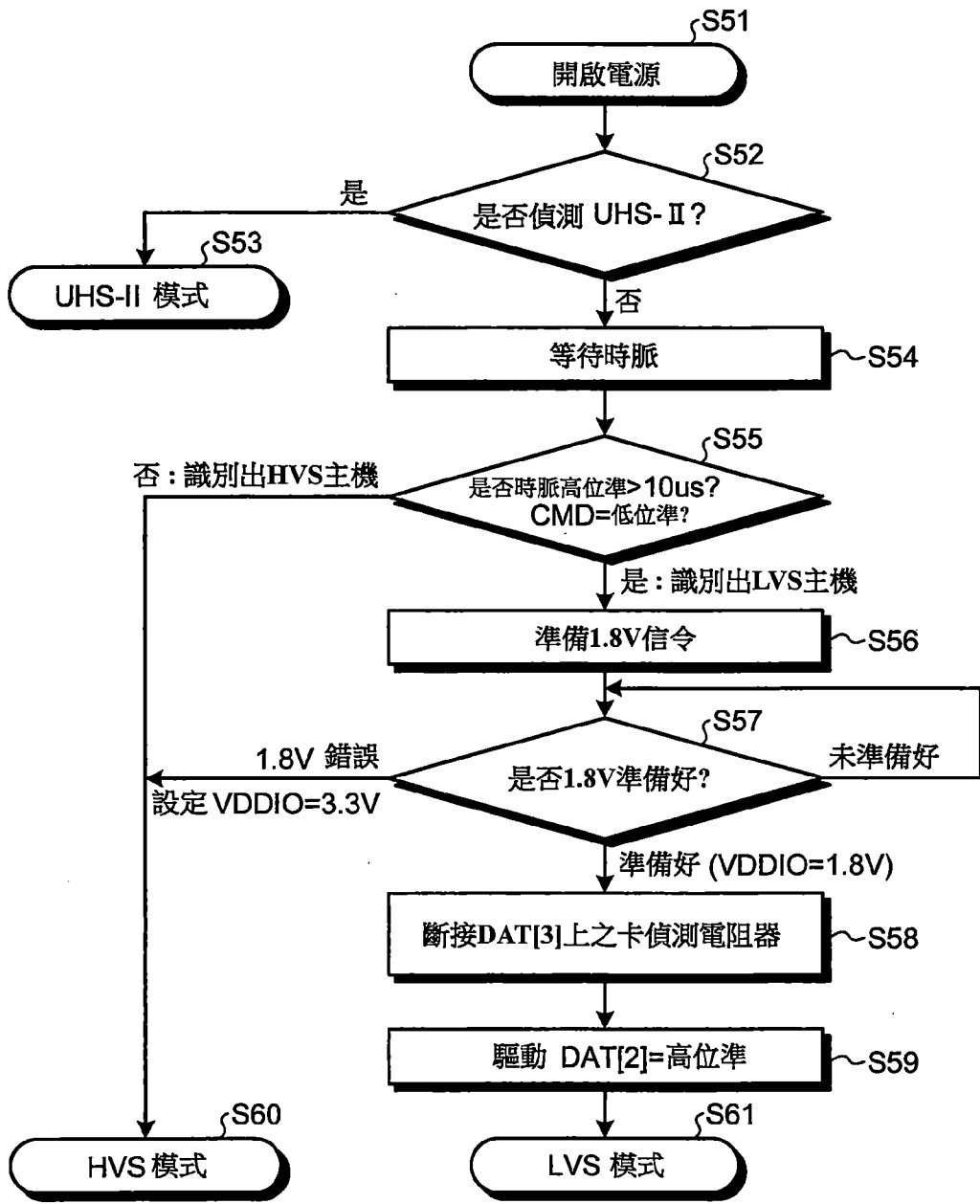
圖 17 策



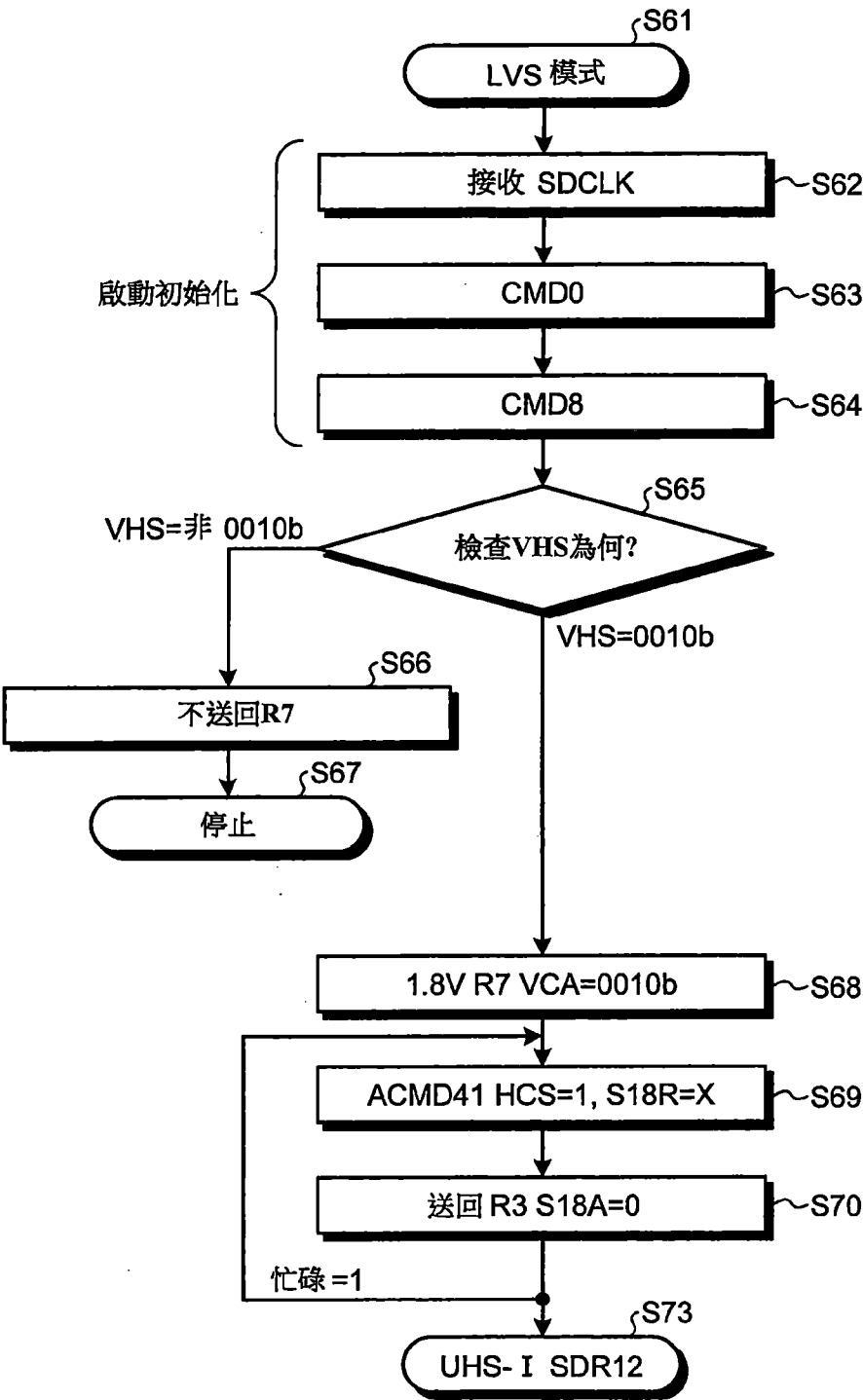
第18圖



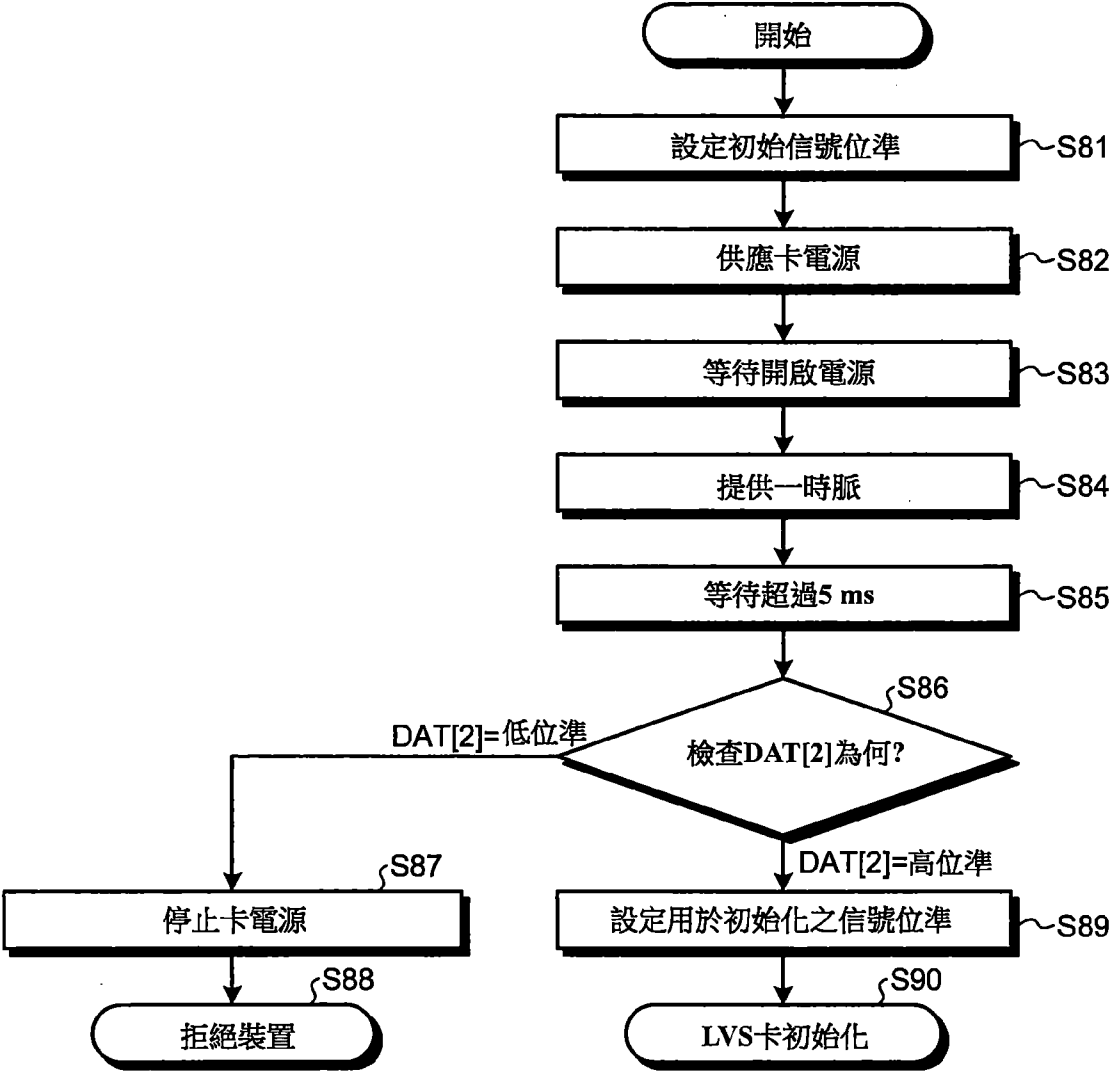
第 19 圖



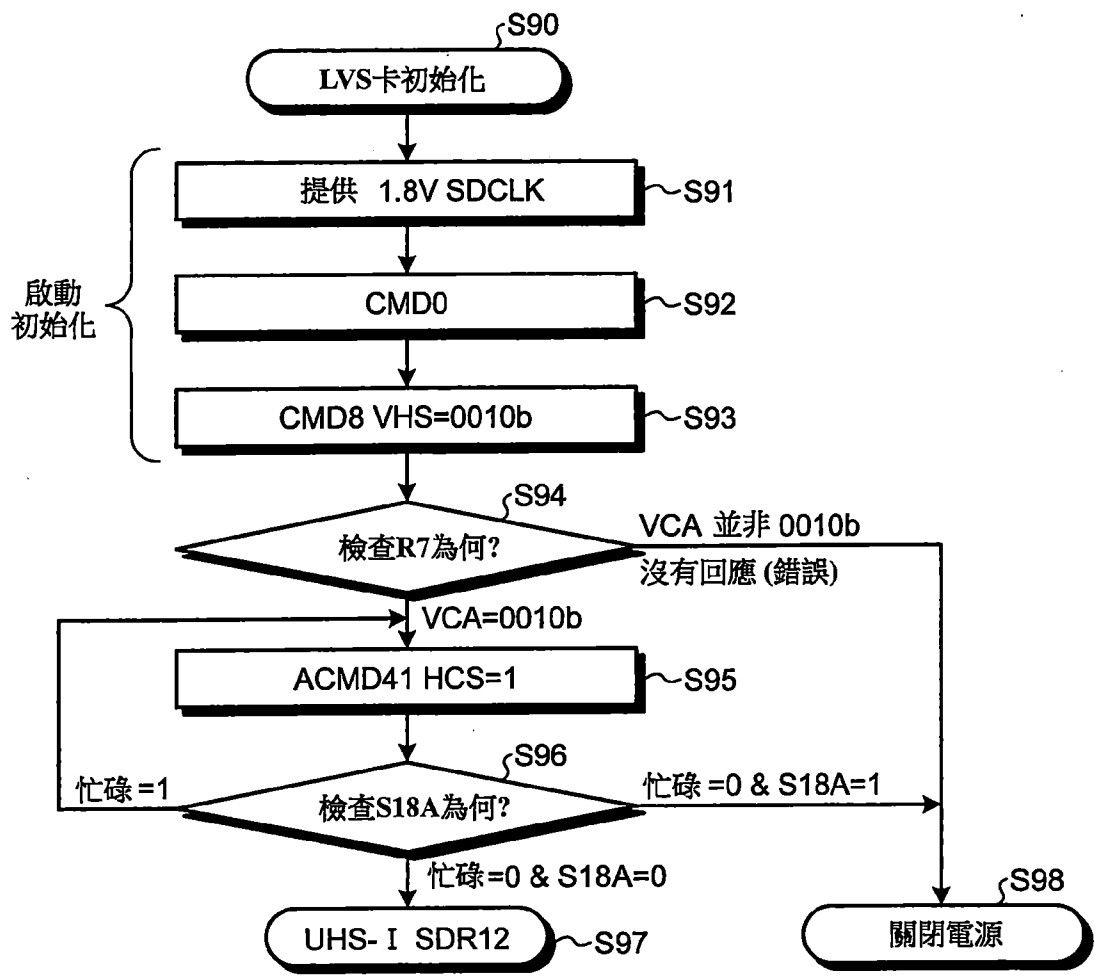
第 20 圖



第 21 圖



第 22 圖



第 23 圖

