



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0030652
(43) 공개일자 2009년03월25일

(51) Int. Cl.

H01L 21/20 (2006.01) H01L 33/00 (2006.01)

(21) 출원번호 10-2007-0096081

(22) 출원일자 2007년09월20일

심사청구일자 2007년09월20일

(71) 출원인

서울옵토디바이스주식회사

경기도 안산시 원시동 727-5(1-36)

(72) 발명자

최재빈

경기 안산시 단원구 원시동 1블럭 35호 727-5

(74) 대리인

이수완, 이 성 규, 조진태, 윤종섭

전체 청구항 수 : 총 9 항

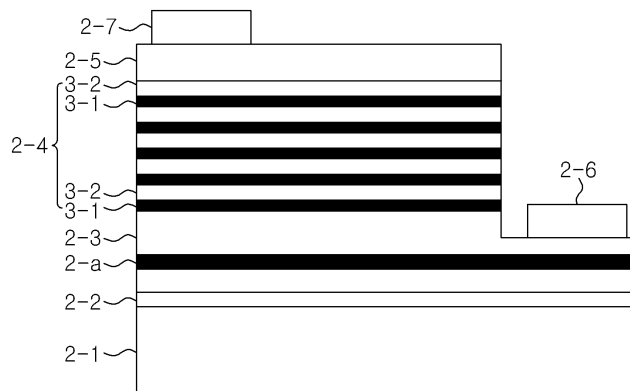
(54) 질화물계 발광소자

(57) 요약

본 발명은 기판, 버퍼층, n형 질화물 반도체층, 활성층 및 p형 질화물 반도체층 순으로 이루어진 질화물계 발광소자에 관한 것으로, 본 발명은 n형 질화물계 반도체층 사이에 $Al_{1-x}Si_xN$ 중간층(interlayer)을 삽입시키는 것을 특징으로 한다.

이를 통해 기판상에 성장하는 초기단계에서부터 발생하기 시작하는 전위결함(threading dislocation)을 감소시키는 동시에 텐사일 스트레인(tensile strain)을 완화시키는 것이 가능하며, 따라서 고신뢰성을 갖는 질화물계 발광소자를 구현할 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

기관 상에 버퍼층, n형 질화물 반도체층, 활성층 및 p형 질화물 반도체층으로 이루어진 질화물계 발광소자에 있어서,

상기 n형 질화물 반도체층 내에 $Al_{1-x}Si_xN$ 으로 이루어진 중간층을 갖는 것을 특징으로 하는 질화물계 발광소자.

청구항 2

제 1항에 있어서,

상기 중간층의 Si 조성비 x는 0.02~0.2의 범위를 갖는 것을 특징으로 하는 질화물계 발광소자.

청구항 3

제 2항에 있어서,

상기 중간층의 Si 조성비 x는 0.02~0.12의 범위를 갖는 것을 특징으로 하는 질화물계 발광소자.

청구항 4

제 1항에 있어서,

상기 중간층은 10~500nm의 두께를 갖는 것을 특징으로 하는 질화물계 발광소자.

청구항 5

제 1항에 있어서,

상기 중간층은 800~1000℃에서 성장된 것임을 특징으로 하는 질화물계 발광소자.

청구항 6

제 1항에 있어서,

상기 중간층은 상기 n형 질화물 반도체층 전체두께의 1/3~2/3에 해당하는 지점에 형성됨을 특징으로 하는 질화물계 발광소자.

청구항 7

제 1항에 있어서,

상기 중간층과 n형 질화물 반도체층은 중간층과 n형 질화물 반도체층이 반복 적층된 초격자 구조로 형성됨을 특징으로 하는 질화물계 발광소자.

청구항 8

제 7항에 있어서,

상기 중간층과 n형 질화물 반도체층의 두께비율은 1:10 내지 3:7인 것을 특징으로 하는 질화물계 발광소자.

청구항 9

제 7항에 있어서,

상기 중간층과 n형 질화물 반도체층의 초격자는 상기 중간층과 n형 질화물 반도체층이 2~10회 반복되어 형성됨을 특징으로 하는 질화물계 발광소자.

명 세 서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 질화물계 발광 소자에 관한 것으로서, n형 질화물 반도체층 사이에 중간층(interlayer)을 삽입함으로써, 상기 기판과 상기 n형 질화물계 반도체층 사이에서 발생하는 격자 불일치로 인해 성장 초기에서부터 발생하는 전위결함(threading dislocation)을 줄여주는 동시에 성장하면서 생성되는 텐사일 스트레인(tensile strain)을 감소시켜 내장전압 특성을 개선한 고품위 질화물계 발광 소자에 관한 것이다.

배경 기술

- <2> 일반적으로, 질화물계 반도체는 풀컬러 디스플레이, 교통 신호등, 일반조명 및 광통신기기의 광원으로 청/녹색 발광 다이오드(light emitting diode) 또는 레이저 다이오드(laser diode)에 널리 이용되고 있다. 이러한 질화물계 발광 소자는 n형 및 p형 질화물 반도체층 사이에 위치한 InGaN 계열의 다중양자우물 구조의 활성층을 포함하며, 상기 활성층에서 전자와 정공이 재결합하는 원리로 빛을 생성시켜 방출시킨다.
- <3> 사파이어 (Al₂O₃) 기판과 GaN 사이에는 약 14%의 격자부정합을 가지고 있다.
- <4> 이러한 격자부정합을 줄이기 위해 여러 버퍼층이 이용되고 있으나 여전히 사파이어 기판과 GaN 경계에는 $10^8 \sim 10^{10} \text{ cm}^{-2}$ 의 전위결함밀도를 포함하고 있다. 또한, 성장도중에 텐사일 스트레인(tensile strain)을 받기 때문에 wafer 표면에 크랙(crack)을 형성하게 된다. 이러한 현상들은 곧바로 내장전압의 특성 저하뿐 아니라 내부양자효율(internal quantum efficiency)의 감소를 초래하게 된다.

발명의 내용

해결 하고자하는 과제

- <5> 본 발명은 상술되어진 종래 기술의 문제를 해결하기 위한 것으로서, n형 질화물 반도체층 사이에 중간층을 삽입하여 사파이어 기판과 GaN 경계에서 발생하는 전위결함을 감소시켜 내장전압의 향상 등의 특성을 개선하는데, 그 목적이 있다.

과제 해결수단

- <6> 상기 목적을 달성하기 위한 본 발명은, 기판 상에 버퍼층, n형 질화물 반도체층, 활성층 및 p형 질화물 반도체층으로 이루어진 질화물계 발광소자에 있어서, 상기 n형 질화물 반도체층 내에 Al_{1-x}Si_xN으로 이루어진 중간층을 갖는 것을 특징으로 한다.
- <7> 상기 중간층의 Si 조성비 x는 0.02~0.2의 범위를 갖는 것이 바람직하며, 보다 바람직하게는 0.02~0.12의 범위를 갖는 것이다.
- <8> 또한, 상기 중간층은 10~500nm의 두께를 갖는 것이 바람직하며, 예를 들면 800~1000℃에서 성장될 수 있다.
- <9> 상기 중간층은 상기 n형 질화물 반도체층 전체두께의 1/3~2/3에 해당하는 지점에 형성될 수 있으며, 중간층과 n형 질화물 반도체층이 반복 적층된 초격자 구조로 형성될 수도 있다. 이 경우, 상기 중간층과 n형 질화물 반도체층의 두께비율은 1:10 내지 3:7인 것이 바람직하며, 예를 들어, 상기 중간층과 n형 질화물 반도체층의 초격자는 상기 중간층과 n형 질화물 반도체층이 2~10회 반복되어 형성될 수 있다.

효과

- <10> 상술한 바와 같이, 본 발명에 따르면 중간층은 상기 기판과 상기 n형 질화물계 반도체층 사이에서 발생하는 격자 불일치로 인해 야기되는 성장 초기에서부터 발생하는 전위결함(threading dislocation)을 줄여주는 동시에 성장하면서 생성되는 텐사일 스트레인(tensile strain) 문제를 감소시켜 내장전압 특성을 크게 개선할 수 있다.

발명의 실시를 위한 구체적인 내용

- <11> 이하, 첨부된 도면을 참조하여 본 발명을 보다 상세히 설명한다.
- <12> 도 1은 일반적인 실시형태에 따른 질화물 발광 소자의 단면도이며, 도 2는 본 발명의 실시형태에 따른 질화물 발광소자의 단면도이다.

- <13> 우선, 도 2를 참조하면, 상기 질화물계 반도체소자는 상기 기판(2-1)상에 버퍼층(2-2)을 형성한 다음 순차적으로 형성된 n형 질화물 반도체층(2-3), 활성층(2-4) 및 p형 질화물 반도체층(2-5)을 포함한다. 상기 n형 질화물 반도체층(2-3)의 노출된 상면에는 n층 전극(2-6)이 상기 p형 질화물 반도체층(2-5)의 노출된 상면에는 p층 전극(2-7)이 각각 제공된다.
- <14> 본 실시형태에서 사용되어진 $Al_{1-x}Si_xN$ 중간층(2-a)은, n형 질화물 반도체층 사이에 위치하여, 사파이어 기판과 GaN 계면에서 발생하는 전위결함을 감소시키기 위해, 적절한 두께와 조성을 갖도록 구성될 수 있다.
- <15> 본 발명에 따른 질화물계 발광 소자의 제 1 실시예는 다음과 같다.
- <16> 질화물계 발광소자의 성장 방법으로는 유기금속 화학 증착법(MOCVD; Metal Organic Chemical Vapor Deposition), 분자선 성장법(MBE; Molecular Beam Epitaxy) 및 수소화물 기상 성장법(HVPE; Hydride Vapor Phase Epitaxy)등을 포함한 다양한 방법을 사용할 수 있으며, 본 실시예에서는 유기금속 화학 증착법(MOCVD)을 사용한다.
- <17> 도 2를 참조하면, 기판(2-1)상에 버퍼층(2-2), n형 질화물 반도체층(2-3), n형 질화물 반도체층 사이에 위치한 $Al_{1-x}Si_xN$ 중간층(2-a), 활성층(2-4) 및 p형 질화물 반도체층(2-5)을 순차적으로 형성한다.
- <18> 상기 기판은 질화물계 발광소자를 제작하기 위한 웨이퍼를 지칭하는 것으로 사파이어(Al_2O_3), 실리콘카바이드(SiC), 실리콘(Si), 갈륨아세나이드(GaAs) 등의 이종기판을 사용하거나, GaN와 같은 동종기판 중 적어도 하나의 기판을 사용한다. 본 실시예에서는 사파이어로 구성된 결정 성장 기판을 사용한다.
- <19> 상기 버퍼층(2-2)은, 상기 기판 상에 결정 성장시 기판과 후속층들간의 격자 부정합을 줄이기 위한 것으로, InAlGaN 계열이나 SiC 또는 ZnO를 포함하여 형성할 수 있다. 본 실시예에서는 InAlGaN 계열로 구성된 버퍼층을 사용한다.
- <20> 상기 n형 질화물 반도체층(2-3)은 전자가 생산되어지는 층으로, Si이 도핑된 n형 질화물계 반도체층을 사용한다. 본 실시예는 상기 n형 질화물 반도체층으로 SiH_4 이나 Si_2H_4 등의 불활성 기체를 사용하거나, 혹은 DTBSi와 같은 MO 소스(source)를 이용하여 $1 \times 10^{17}/cm^3 \sim 5 \times 10^{19}/cm^3$ 의 불순물농도를 가지는 n형 질화물 반도체층을 $1.0 \sim 5.0 \mu m$ 의 두께로 형성할 수 있다.
- <21> 상기 n형 질화물 반도체층 사이에 위치하는 중간층(2-a)은 내정전압을 향상시키는 층으로 $Al_{1-x}Si_xN$ 를 사용한다. 본 실시예에서는 $800 \sim 1000^\circ C$ 의 NH_3 분위기에서, Al을 얻기 위한 TMAI(트리메틸알루미늄)의 MO 소스(source)와, Si를 얻기 위한 SiH_4 또는 Si_2H_4 등의 불활성 기체, 혹은 DTBSi와 같은 MO 소스(source)를 이용하여 $3 \times 10^{18}/cm^3 \sim 5 \times 10^{20}/cm^3$ 의 불순물농도를 가지는 $Al_{1-x}Si_xN$ 중간층을 $10 \sim 500 nm$ 의 두께로 형성할 수 있다.
- <22> 또한, 상기 $Al_{1-x}Si_xN$ 층의 혼합비율은 $0.02 < x < 0.2$ 의 조성으로 형성할 수 있으며, 보다 바람직하게는 $0.02 < x < 0.1$ 로 형성하는 것이다.
- <23> 또한, 상기 $Al_{1-x}Si_xN$ 중간층의 위치는 상기 n형 질화물 반도체층의 전체 두께의 1/3 내지 2/3에 해당하는 지점에 형성할 수 있다.
- <24> 또한, 상기 $Al_{1-x}Si_xN$ 중간층은 상기 n형 질화물 반도체층 사이에 1회 포함되는 경우와, $Al_{1-x}Si_xN$ 중간층과 상기 n형 질화물 반도체층 사이에 초격자 형태로 형성할 수 있다.
- <25> 이러한 경우, 상기 $Al_{1-x}Si_xN$ 중간층과 상기 n형 질화물 반도체층과의 두께 비율은 1:10 내지 3:7 사이의 두께 비율을 가질 수 있다.
- <26> 다음으로, 상기 활성층(2-4)을 형성하였다. 상기 활성층(2-4)은 $In_xGa_{1-x}N$ ($0.1 < x < 1$) 양자우물층(3-1)과 $In_yGa_{1-y}N$ ($0 < y < 0.5$) 양자장벽층(3-2)이 적어도 2회 이상 10회 이하의 반복으로 이루어진 다중양자우물구조를 형성하였다. 좀 더 바람직하게 각 양자우물층(3-1)은 $1 \sim 4 nm$ 두께 및 In 함량($0.1 < x < 0.4$)로 형성하였으며, 각 양자장벽층(3-2)은 $5 \sim 20 nm$ 두께 및 In 함량 ($0 < y < 0.2$)로 형성하였다.
- <27> 다음으로, 상기 활성층(2-4) 위에 Mg이 도핑된 p형 질화물 반도체층(2-5)을 형성한다. 여기서, Ga를 위한 소스 가스로는 트리메틸갈륨(TMGa) 또는 트리에틸갈륨(TEGa)을 사용할 수 있고, N을 위한 소스 가스로는

암모니아(NH₃), 디메틸히드라진(DMH₂)을 사용할 수 있고, Mg를 위한 소스 가스로는 CP2Mg 혹은 DMZn을 사용할 수 있다. 이를 이용하여 $3\sim 8 \times 10^{17}/\text{cm}^2$ 의 Mg 1~3 μm 의 두께를 가지는 p형 질화물 반도체층(2-5)을 형성한다. 이후 적절하게 메사에칭 한 후에 상기 n형 질화물 반도체층(2-3)의 노출된 상면에는 n층 전극(2-6)이 상기 p형 질화물 반도체층(2-5)의 노출된 상면에는 p층 전극(2-7)을 각각 형성한다.

<28> (비교예)

<29> 상기한 실시예와 동일한 조건으로 질화물 발광소자를 제조하되, 본 발명에서 채용한 Al_{1-x}Si_xN 중간층을 제외하였다. 이는 그림 1의 형태를 따른다.

<30> 상기한 실시예와 비교예에서 얻어진 질화물 발광소자의 내정전압을 -100V에서 -1kV까지 단계적으로 가함에 대한 ESD 결과를 도 3의 표에 나타내었다.

<31> 도 3에 나타난 바와 같이, 내정전압을 -100V에서 -1kV까지 증가할 때에, 비교예의 경우에는 -500V ESD 수준인 것을 확인할 수 있다. 반면, Al_{1-x}Si_xN 중간층을 이용한 실시예의 경우에는 -900V ESD 수준으로 내정전압의 향상을 보임을 알 수 있다.

<32> 이와같이, n형 질화물 반도체층 사이에 Al_{1-x}Si_xN 중간층(interlayer)을 삽입함으로써, 상기 기판과 상기 n형 질화물 반도체층 사이에서 발생하는 격자 불일치로 인해 야기되는 성장 초기에서부터 발생하는 전위결함(threading dislocation)을 줄여주는 동시에 성장하면서 생성되는 텐사일 스트레인(tensile strain) 문제를 감소시켜 내정전압 특성을 개선할 수 있다.

<33> 상기한 실시예에서는 질화물계 발광소자를 중심으로 예시하여 설명하였으나, 본 발명이 반도체 레이저소자와 같이 유사한 구조를 갖는 다른 질화물계 광소자에도 유익하게 채용될 수 있다는 것은 당업자에게 자명한 사실이다.

<34> 이상으로, 본 발명에 대해서 바람직한 실시예를 통하여 상세히 설명하였으나, 본 발명의 범위는 특정 실시예에 한정되는 것은 아니며, 첨부된 특허 청구범위에 의하여 해석되어야 할 것이다. 또한, 이 기술 분야에서 통상의 지식을 습득한 자라면, 본 발명의 범위에서 벗어나지 않으면서도 많은 수정과 변형이 가능함을 이해하여야 할 것이다.

도면의 간단한 설명

<35> 도 1은 종래의 질화물계 발광 소자의 단면도이다.

<36> 도 2는 본 발명에 따른 질화물계 발광 소자의 단면도이다.

<37> 도 3은 본 발명에 따른 질화물계 발광 소자와 종래의 질화물계 발광 소자의 내정전압에 대한 ESD 수율(yield)을 나타내는 표이다.

<38> <도면의 주요부분에 대한 부호설명>

<39> 2-1: 기판, 2-2: 버퍼층

<40> 2-3: n형 질화물 반도체층

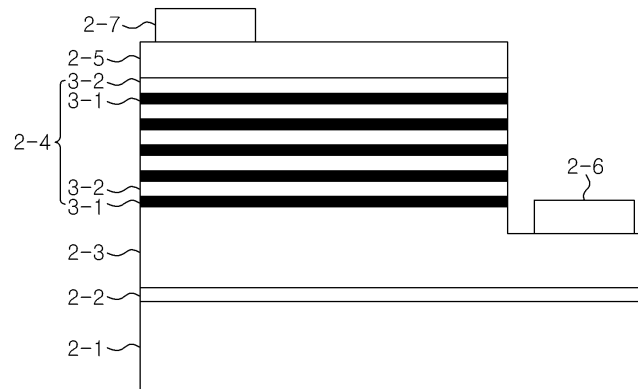
<41> 2-a: Al_{1-x}Si_xN 중간층, 2-4: 활성층

<42> 2-5: p형 질화물 반도체층

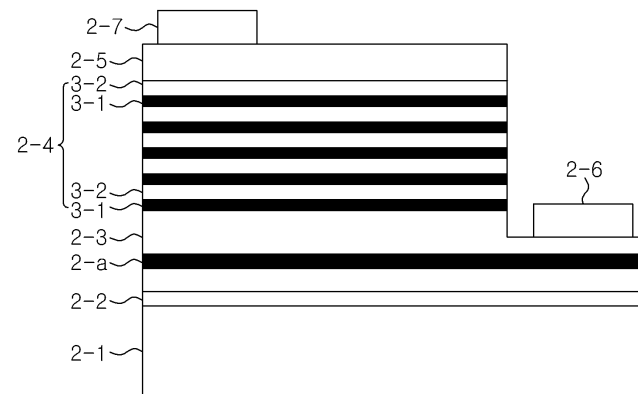
<43> 2-6: n층 전극, 2-7: p층 전극

도면

도면1



도면2



도면3

전압/ESD	-300V	-500V	-700V	-900V	-1000V
비교예	100%	100%	60%	20%	20%
실시예	100%	100%	100%	100%	90%