(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 5 月 6 日(06.05.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/067692 A1

(51) 国際特許分類:
H04N 5/378 (2011.01)

(21) 国際出願番号: PCT/JP2015/071905

(22) 国際出願日: 2015 年 8 月 3 日(03.08.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2014-221240 2014 年 10 月 30 日(30.10.2014) JP

(71) 出願人: ソニー株式会社(SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南１丁目７番１号 Tokyo (JP).

(72) 発明者: 原田　耕一(HARADA, Kouichi); 〒1080075 東京都港区港南１丁目７番１号　ソニー株式会社内 Tokyo (JP).

(74) 代理人: 丸島　敏一(MARUSHIMA, Toshikazu); 〒1600022 東京都新宿区新宿３－３－２　京王新宿三丁目第二ビル　５Ｆ　クラフト国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

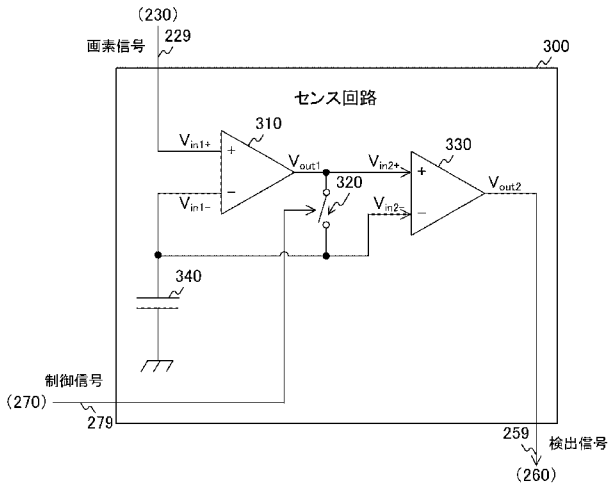
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: IMAGING ELEMENT AND IMAGING DEVICE

(54) 発明の名称 : 撮像素子、および、撮像装置

[図4]



229 Pixel signal
259 Detection signal
279 Control signal
300 Sense circuit

(57) **Abstract**: An imaging element that accurately detects the presence of photons, using a simple configuration. A pixel circuit photoelectrically converts light and generates a signal voltage as input voltage, when light has been incident. If light has not been incident, the pixel circuit generates a prescribed reset voltage as input voltage. A capacitor holds the prescribed reset voltage as a held voltage. An amplification comparator amplifies the voltage difference between the input voltage and the held voltage. A detection comparator outputs, as a detection signal detecting the presence of incident light, the results of a determination as to whether or not the amplified voltage difference is higher than a prescribed value.

(57) 要約: 撮像素子において、簡易な構成で光子の有無を正確に検出する。 画素回路は、光が入射された場合に光を光電変換して信号電圧を入力電圧として生成し、光が入射されない場合に所定のリセット電圧を入力電圧として生成する。コンデンサは、所定のリセット電圧を保持電圧として保持する。増幅コンパレータは、入力電圧および保持電圧の電圧差を増幅する。検出コンパレータは、増幅された電圧差が所定値より高いか否かを判定した結果を、光の入射の有無を検出した検出信号として出力する。

WO 2016/067692 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 撮像素子、および、撮像装置

技術分野

[0001] 本技術は、撮像素子および撮像装置に関する。詳しくは、光子の有無を検出する撮像素子および撮像装置に関する。

背景技術

[0002] 従来より、光子１個を検出することができるほど感度の高いイメージセンサが撮像装置や放射線計数装置などにおいて用いられている（例えば、特許文献１参照。）。このイメージセンサでは、非常に変換効率の高い画素と高感度のセンス回路を１対１で積層することで、画素毎のＡ／Ｄ（Analog to Digital）変換器を不要にしている。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１１－７１９５８号公報

発明の概要

発明が解決しようとする課題

[0004] 上述の撮像素子においては仮に変換効率を例えば、１ｍＶ／e-に出来たとしても、peak to peak値が1ｍＶ程度の信号を１／０判定する必要が有る。しかし、上述の撮像素子で用いられているセンス回路では、信号を容量結合で入力する必要が有り、入力電圧が低下してしまうという課題が有った。また、上述の撮像素子では、図９に示すようにpeak to peak値が0.5ｍＶ程度のオフセット電圧ＯＦＦＳＥＴを作成する必要が有るが、全画素共通にpeak to peak値が0.5ｍＶ程度のパルスを入力する事は困難で有った。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、撮像素子において、簡易な構成で光子の有無を正確に検出することを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第１

の側面は、光が入射された場合に当該光を光電変換して信号電圧を入力電圧として生成し、光が入射されない場合に所定のリセット電圧を入力電圧として生成する画素回路と、上記所定のリセット電圧を保持電圧として保持するコンデンサと、上記入力電圧および上記保持電圧の電圧差を増幅する増幅コンパレータと、上記増幅された電圧差が所定値より高いか否かを判定した結果を、光の入射の有無を検出した検出信号として出力する検出コンパレータとを具備する撮像素子である。これにより、入力電圧および保持電圧の差を増幅した電圧差が所定値より高いか否かを判定した結果が検出信号として出力されるという作用をもたらす。

[0007] また、この第１の側面において、上記光が入射されない場合に上記コンデンサに上記所定のリセット電圧を保持させる制御部をさらに具備してもよい。これにより、光が入射されない場合にコンデンサにリセット電圧が保持されるという作用をもたらす。

[0008] また、この第１の側面において、上記増幅コンパレータは、上記画素回路に接続された画素回路側入力端子と上記コンデンサに接続されたコンデンサ側入力端子とのそれぞれの端子電圧の電圧差を増幅して当該増幅した電圧差に応じた電圧を出力端子から出力し、上記制御部は、上記コンデンサ側入力端子と上記出力端子との端子間の短絡により上記所定のリセット電圧を上記コンデンサに保持させてもよい。コンデンサ側入力端子と出力端子との端子間の短絡により、リセット電圧がコンデンサに保持されるという作用をもたらす。

[0009] また、この第１の側面において、上記増幅コンパレータは、上記入力電圧および上記保持電圧の電圧差を増幅して当該増幅した電圧差に応じた比較対象電圧を生成し、上記検出コンパレータは、上記保持電圧および上記比較対象電圧の電圧差に所定の入力オフセット電圧が加えられた電圧を増幅して上記検出信号として出力してもよい。これにより、保持電圧と比較対象電圧との電圧差に所定の入力オフセット電圧が加えられた電圧を増幅した検出信号が出力されるという作用をもたらす。

[0010] また、この第１の側面において、上記増幅コンパレータは、上記入力電圧および上記保持電圧の電圧差を所定の利得により増幅し、上記入力オフセット電圧は、上記リセット電圧および上記信号電圧の電圧差を上記所定の利得により増幅した値の半分に略一致してもよい。これにより、リセット電圧と信号電圧との電圧差を所定の利得により増幅した値の半分に略一致する入力オフセットが加えられるという作用をもたらす。

[0011] また、この第１の側面において、上記検出コンパレータは、上記保持電圧および上記比較対象電圧の電圧差に上記所定の入力オフセット電圧が加えられた電圧を増幅する一対の差動トランジスタを備えてもよい。これにより、保持電圧と比較対象電圧との電圧差に所定の入力オフセット電圧が加えられた電圧が一対の差動トランジスタにより増幅されるという作用をもたらす。

[0012] また、この第１の側面において、上記入力オフセット電圧は、上記一対の差動トランジスタのそれぞれの閾値電圧の差に応じた調整オフセット成分を含んでもよい。これにより、一対の差動トランジスタのそれぞれの閾値電圧の差に応じた調整オフセット成分を含む入力オフセット電圧が加えられるという作用をもたらす。

[0013] また、この第１の側面において、上記入力オフセット電圧は、上記一対の差動トランジスタのそれぞれのゲート幅の差に応じた調整オフセット成分を含んでもよい。これにより、一対の差動トランジスタのそれぞれのゲート幅の差に応じた調整オフセット成分を含む入力オフセット電圧が加えられるという作用をもたらす。

[0014] また、この第１の側面において、上記入力オフセット電圧は、上記一対の差動トランジスタのそれぞれのゲート長の差に応じた調整オフセット成分を含んでもよい。これにより、一対の差動トランジスタのそれぞれのゲート長の差に応じた調整オフセット成分を含む入力オフセット電圧が加えられるという作用をもたらす。

[0015] また、この第１の側面において、上記入力オフセット電圧は、上記一対の差動トランジスタのそれぞれのゲート酸化膜の膜厚の差に応じた調整オフセ

ット成分を含んでもよい。これにより、一対の差動トランジスタのそれぞれのゲート酸化膜の膜厚の差に応じた調整オフセット成分を含む入力オフセット電圧が加えられるという作用をもたらす。

[0016] また、この第１の側面において、上記増幅コンパレータには、上記画素回路に接続された画素回路側入力端子と上記コンデンサに接続されたコンデンサ側入力端子とに接続された一対の差動トランジスタが設けられ、上記コンデンサ側入力端子に接続された上記差動トランジスタのダイナミックレンジを拡大すると共に、上記増幅コンパレータの出力端子のインピーダンスを低減する第１のバッファアンプをさらに具備してもよい。これにより、コンデンサ側の差動トランジスタのダイナミックレンジが拡大されると共に、増幅コンパレータの出力端子のインピーダンスが低減されるという作用をもたらす。

[0017] また、この第１の側面において、上記検出コンパレータの出力端子のインピーダンスを低減する第２のバッファアンプをさらに具備してもよい。これにより、検出コンパレータの出力端子のインピーダンスが低減されるという作用をもたらす。

[0018] また、本技術の第２の側面は、光が入射された場合に当該光を光電変換して信号電圧を入力電圧として生成し、光が入射されない場合に所定のリセット電圧を入力電圧として生成する画素回路と、上記所定のリセット電圧を保持電圧として保持するコンデンサと、上記入力電圧および上記保持電圧の電圧差を増幅する増幅コンパレータと、上記増幅された電圧差が所定値より高いか否かを判定した結果を、光の入射の有無を検出した検出信号として出力する検出コンパレータと、上記検出信号を処理する信号処理回路とを具備する撮像装置である。これにより、入力電圧および保持電圧の差を増幅した電圧差が所定値より高いか否かを判定した結果が検出信号として出力されるという作用をもたらす。

発明の効果

[0019] 本技術によれば、撮像素子において、簡易な構成で光子の有無を正確に検

出することができるという優れた効果を奏し得る。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0020] [図1]第１の実施の形態における撮像装置の一構成例を示すブロック図である。

[図2]第１の実施の形態における撮像素子の一構成例を示すブロック図である。

[図3]第１の実施の形態における画素回路の一例を示す回路図である。

[図4]第１の実施の形態におけるセンス回路の一例を示す回路図である。

[図5]第１の実施の形態における増幅コンパレータおよび検出コンパレータの一例を示す回路図である。

[図6]第１の実施の形態における撮像素子の動作の一例を示すタイミングチャートである。

[図7]第１の実施の形態における増幅コンパレータおよび検出コンパレータの入出力電圧の一例を示す図である。

[図8]第２の実施の形態におけるセンス回路の一例を示す回路図である。

[図9]従来技術におけるセンス回路を示す回路図である。

発明を実施するための形態

[0021] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

１．第１の実施の形態（リセット電圧および信号電圧の電圧差を増幅して光子を検出する例）

２．第２の実施の形態（リセット電圧および信号電圧の電圧差を増幅して光子を検出し、コンデンサ側入力端子側の差動トランジスタのダイナミックレンジを拡大すると共に、出力インピーダンスを低減する例）

[0022] ＜１．第１の実施の形態＞

［撮像装置の構成例］

図１は、第１の実施の形態における撮像装置１００の全体図の一例である。この撮像装置１００は、同図に示すように撮像素子２００を有する。また、撮像装置１００は、この撮像素子２００の画素領域に入射光を導く（被写体像を結像する）光学系、たとえば入射光（像光）を撮像面上に結像させるレンズ１１０を有する。さらに、撮像装置１００は、撮像素子２００を駆動する駆動回路１３０と、撮像素子２００の出力信号を処理する信号処理回路１２０とを有する。

[0023] 駆動回路１３０は、撮像素子２００内の回路を駆動するスタートパルスやクロックパルスを含む各種のタイミング信号を生成するタイミングジェネレータ(図示せず)を有し、所定のタイミング信号で撮像素子２００を駆動する。

[0024] また、信号処理回路１２０は、撮像素子２００の出力信号に対して所定の信号処理を施す。信号処理回路１２０で処理された画像信号は、たとえばメモリなどの記録媒体に記録される。記録媒体に記録された画像情報は、プリンタなどによってハードコピーされる。また、信号処理回路１２０で処理された画像信号は、液晶ディスプレイ等からなるモニターに動画として映し出される。

[0025] ［撮像素子の構成例］

図２は、第１の実施の形態における撮像素子２００の一構成例を示すブロック図である。本撮像素子２００は、行走査回路２１０、画素アレイ部２２０、センス回路部２５０、判定結果集積回路部２６０および制御回路２７０を有する。

[0026] 行走査回路２１０は、駆動回路１３０の制御に従って、行の各々を順に露光させるものである。

[0027] 画素アレイ部２２０には、複数の画素回路２３０が行方向および列方向にマトリクス状に配置されている。各画素回路は光電変換素子を有し、光子入射に応じて電気信号を出力する機能を有する。この画素アレイ部２２０は、例えば、第１の半導体基板に形成される。

[0028] センス回路部２５０は、第１の半導体基板と異なる第２の半導体基板に形成される。センス回路部２５０は、画素アレイ部２２０のマトリクス配列された複数の画素回路２３０に１対１に対応して複数のセンス回路３００が、たとえば行方向および列方向にマトリクス状に配置されている。各センス回路３００は、画素回路２３０からの信号を受けて、所定期間における画素回路２３０への光子入射の有無を２値判定する機能を有する。

[0029] そして、第１の半導体基板と第２の半導体基板は積層される。たとえば第１の半導体基板に形成された複数の画素回路２３０と第２の半導体基板に形成された複数のセンス回路３００がそれぞれ１対１で対向するように積層される。対向する画素回路２３０とセンス回路３００が各出力信号線２２９により接続される。センス回路部２５０では、同一行に配置されたセンス回路３００の出力が共通の転送線２５９に接続されている。

[0030] 制御回路２７０は、センス回路部２５０を制御して、光子入射の有無を判定させるものである。

[0031] 判定結果集積回路部２６０は、センス回路３００の判定結果を画素ごとに複数回集積して、階調のある２次元撮像データを生成する機能を有する。判定結果集積回路部２６０は、センス回路部２５０におけるセンス回路３００の行配置に対応して判定結果集積回路２６１、２６５・・・が配置されている。

[0032] 判定結果集積回路２６１は、０行目の転送線２５９を転送された判定値を保持するレジスタ２６２、レジスタ２６２の保持値をカウントするカウント回路２６３、およびカウント回路２６３のカウント結果を格納するメモリ２６４を有する。また、判定結果集積回路２６５は、１行目の転送線２５９を転送された判定値を保持するレジスタ２６６、レジスタ２６６の保持値をカウントするカウント回路２６７、およびカウント回路２６７のカウント結果を格納するメモリ２６８を有する。

[0033] ［画素回路の構成例］

図３は、第１の実施の形態における画素回路２３０の一構成例を示す回路

図である。この画素回路２３０は、リセットトランジスタ２３１、検出トランジスタ２３２、電荷蓄積部２３３および光電変換部２３４を備える。リセットトランジスタ２３１として、例えば、Ｎ型のＭＯＳＦＥＴ（Metal-Oxide-Semiconductor Field-Effect Transistor）が用いられる。また、検出トランジスタ２３２として、例えば、Ｎ型のＪＦＥＴ（Junction Field-Effect Transistor）が用いられる。このように、画素にＦＤを設けないＣＭＤ（Charge Modulation Device）では、ＦＤの暗電流を無くすことができ、電荷を電圧に変換する変換効率をＦＤ搭載の撮像素子よりも高くすることができる。また、ＣＭＤでは、受光により発生した電荷はリセットされない限り保持され、電荷を信号として読み出すときにもその電荷が消滅せずに蓄積されたままの状態で保持される。これにより、いわゆる非破壊読み出しが可能とされている。

[0034] 光電変換部２３４のアノードには接地電位が印加され、カソードは電荷蓄積部２３３に接続される。また、検出トランジスタ２３２のゲートは電荷蓄積部２３３に接続され、ソースは、センス回路部２５０および定電流源２４０に接続され、ドレインは、リセットトランジスタ２３１のゲートの一部として機能すると共に、行走査回路２１０に接続される。また、リセットトランジスタ２３１のソースは電荷蓄積部２３３に接続され、ドレインは行走査回路２１０に接続される。また、リセットトランジスタ２３１は、ゲートを２つ備え、その一方は検出トランジスタ２３２のドレインとしても機能し、他方は、行走査回路２１０に接続される。以下、リセットトランジスタ２３１の２つのゲートのうち行走査回路２１０に接続された方を「リセットゲート」と称し、ドレインを「リセットドレイン」と称する。

[0035] 光電変換部２３４は、光を電荷に変換するものである。電荷蓄積部２３３は、光電変換された電荷を蓄積し、蓄積した電荷量に応じた信号電圧を検出トランジスタ２３２に供給するものである。

[0036] 検出トランジスタ２３２は、電荷蓄積部２３３からの信号電圧に応じて、ソース電圧を制御するものである。検出トランジスタ２３２は、このソース

電圧の画素信号をセンス回路３００へ供給する。

[0037] リセットトランジスタ２３１は、行走査回路２１０の制御に従って、電荷蓄積部２３３の電荷量を初期値にするものである。

[0038] 行走査回路２１０は、電荷量をリセットする際にリセットドレインおよびリセットゲートと検出トランジスタ２３２のドレインとにハイレベルのリセット信号を供給し、電荷を蓄積（すなわち、露光）させる際に、ローレベルのリセット信号を供給する。例えば、露光開始のタイミングにおいて、行走査回路２１０は、リセットドレインおよびリセットゲートと検出トランジスタ２３２のドレインとに、パルス期間に亘ってハイレベルのリセット信号を供給する。このような駆動を行っても、少なくともリセット時には、検出トランジスタ２３２は飽和領域で動作しているため、ドレイン電圧を変えてもチャネルポテンシャルは変化せず、ドレイン電流も変化しない。このため、リセット時には、電荷蓄積部２３３は効率的にリセットされるが、検出トランジスタ２３２のチャネルからリセットドレインに不要な電流が漏出することはない。

[0039] なお、Ｎ型のトランジスタをリセットトランジスタ２３１および検出トランジスタ２３２として設けているが、Ｐ型のトランジスタをリセットトランジスタ２３１および検出トランジスタ２３２として設けてもよい。また、ＪＦＥＴを検出トランジスタ２３２として設けているが、ＭＯＳＦＥＴを検出トランジスタ２３２として設けてもよい。

[0040] ［センス回路の構成例］

図４は、第１の実施の形態におけるセンス回路３００の一例を示す回路図である。このセンス回路３００は、増幅コンパレータ３１０、スイッチ３２０、検出コンパレータ３３０およびコンデンサ３４０を備える。増幅コンパレータ３１０の非反転入力端子（＋）は、画素回路２３０に接続され、反転入力端子（－）は、コンデンサ３４０に接続される。また、増幅コンパレータ３１０の出力端子は、スイッチ３２０と検出コンパレータ３３０の非反転入力端子（＋）とに接続される。また、検出コンパレータ３３０の反転入力

端子（－）は、スイッチ３２０およびコンデンサ３４０に接続される。

[0041] 増幅コンパレータ３１０は、非反転入力端子（＋）と、反転入力端子（－）とのそれぞれの電圧差を増幅するものである。この増幅コンパレータ３１０は、増幅した電圧差に応じた電圧を出力電圧Ｖout1として生成する。この出力電圧Ｖout1は、例えば、次の式により表される。なお、出力電圧Ｖout1は、特許請求の範囲に記載の比較対象電圧の一例である。

Ｖout1＝（Ｖin1+－Ｖin1-＋Ｖofs1）×Ｇ1＋Ｖrst＋Ｖofs1

・・・式１

[0042] 上式において、Ｖin1+は、増幅コンパレータ３１０の非反転入力端子（＋）の電圧であり、Ｖin1-は、増幅コンパレータ３１０の反転入力端子（－）の電圧である。また、Ｖofs1は、増幅コンパレータ３１０の入力オフセット電圧であり、Ｇ１は利得である。

[0043] 増幅コンパレータ３１０の非反転入力端子（＋）には、光子が入射されない場合にリセット電圧ＶrstがＶin1+として入力され、光子が入射された場合に信号電圧ＶsigがＶin1+として入力される。なお、Ｖin1+は、特許請求の範囲に記載の入力電圧の一例である。

[0044] ここで、利得Ｇ１は、例えば、５０であり、Ｖofs1は、例えば、約０．００１Ｖである。また、リセット電圧Ｖrstは、例えば、約１ボルト（Ｖ）である。また、Ｖfix1には、リセット電圧Ｖrstと略一致する電圧、例えば、１ボルト（Ｖ）が設定される。また、画素回路２３０において電荷を電圧に変換する変換効率を１ｍＶ／ｅ-とすると、信号電圧Ｖsigは、例えば、リセット電圧Ｖrstより０．００１ボルト（Ｖ）低い値である。また、検出トランジスタ２３２の閾値電圧の製品ばらつきは０．１ボルト（Ｖ）程度であるため、Ｖin1+の直流バイアス値の変動量は０．１ボルト（Ｖ）程度存在することになる。

[0045] 上述したように、直流バイアス値のばらつきが０．１ボルト（Ｖ）程度存在するという条件の下で、センス回路３００は、電子１個の有無を示すＶin1+の０．００１ボルト（Ｖ）の電圧変化を判定する必要がある。このため、比

較対象のＶin1-を固定電圧とすることはできない。そこで、センス回路３００では、後述する自己参照方式を採用している。

[0046] スイッチ３２０は、画素回路２３０のリセットの直後にコンデンサ３４０にリセット電圧Ｖrst＋入力オフセット電圧Ｖofs1を保持させるものである。このスイッチ３２０は、制御回路２７０からの制御信号に従って、画素回路２３０がリセットされた直後からパルス期間に亘って増幅コンパレータ３１０の反転入力端子（－）と、増幅コンパレータ３１０の出力端子との間を短絡する。このように、増幅コンパレータ３１０に自己の出力端子を参照させる自己参照方式の制御により、コンデンサ３４０にリセット電圧Ｖrst＋入力オフセット電圧Ｖofs1が保持される。

[0047] そして、パルス期間が経過すると、スイッチ３２０は、端子間を未接続の状態にして短絡を解除する。短絡が解除されると、増幅コンパレータ３１０は、画素回路２３０からのＶin1+（ＶrstまたはＶsig）と、コンデンサに保持されたＶin1-（＝Ｖrst＋Ｖofs1）との差を増幅する。式１より、光子が入射されると、リセット電圧Ｖrstと信号電圧Ｖsigとの電圧差を利得Ｇ１で増幅した分（例えば、０．００５Ｖ）だけ、増幅コンパレータ３１０の出力端子の電圧Ｖout1が低下する。なお、スイッチ３２０は、特許請求の範囲に記載の制御部の一例である。

[0048] コンデンサ３４０は、スイッチ３２０の制御に従って電圧を保持するものである。

[0049] 検出コンパレータ３３０は、出力電圧Ｖout1と、コンデンサ３４０の保持電圧とを比較して比較結果を、光子の有無を検出した検出信号として出力するものである。この検出信号の電圧Ｖout2は、例えば、次の式により表される。

$$Vout2 = (Vin2+ - Vin2- + Vofs2) \times G2 + Vfix \quad \cdots \text{式２}$$

[0050] 上式において、Ｖin2+は、検出コンパレータ３２０の非反転入力端子（＋）の電圧であり、Ｖin1-は、検出コンパレータ３３０の反転入力端子（－）

の電圧である。また、Ｖofs2は、検出コンパレータ３３０の入力オフセット電圧であり、Ｇ２は利得である。Ｖfixは、所定の固定電圧であり、例えば、１ボルト（Ｖ）である。なお、利得Ｇ１およびＧ２が同一の値であるが、これらは異なる値であってもよい。

[0051] ここで、入力オフセット電圧Ｖofs2の値は、例えば、０．０２５±０．００１（Ｖ）である。この入力オフセット電圧のうち、±０．００１ボルト（Ｖ）は、製品ばらつきにより生じたオフセット成分であり、０．０２５Ｖは、後述する差動トランジスタの閾値電圧やゲート幅などの調整により意図的に加えられたオフセット成分である。前者のオフセット成分を以下、「ばらつきオフセット成分」と称し、後者のオフセット成分を以下、「調整オフセット成分」と称する。調整オフセット成分は、想定されるばらつきオフセット成分よりも絶対値が大きいことが望ましい。また、調整オフセット成分は、リセット電圧Ｖrstと信号電圧Ｖsigとの電圧差の絶対値を利得Ｇ１で増幅した値（例えば、０．０５Ｖ）より小さいことが望ましい。また、調整オフセット成分は、リセット電圧Ｖrstと信号電圧Ｖsigとの電圧差の絶対値を利得Ｇ１で増幅した値の半分に略一致する値（例えば、０．０２５Ｖ）であることがより望ましい。

[0052] 直流バイアス値の変動量や入力オフセット（Ｖofs1やＶofs2）が「０」の理想的な状態では、光子が入射されていない場合に、式２より検出信号がハイレベルになる。しかし、実際の回路では入力オフセット電圧Ｖofs1等が存在するため、調整オフセット成分が無いと、光子が入射されていないにも関わらず、検出信号がローレベルになるおそれがある。一方、調整オフセット成分を設定すれば、入力オフセット電圧Ｖofs1などがあっても光子未入射の際に（Ｖin2+－Ｖin2-＋Ｖofs2）が「０」より大きくなるため、センス回路３００はハイレベルの検出信号を出力することができる。

[0053] また、調整オフセット成分は、電圧差（Ｖin2+－Ｖin2-）の絶対値（例えば、０．０５Ｖ）より小さい。このため、光子の入射により、電圧差（Ｖin2+－Ｖin2-）が入力オフセット電圧Ｖofs2より低くなると、式２よりセンス回

路３００は、ローレベルの検出信号を出力することができる。このように、調整オフセット成分の設定により、センス回路３００は、光子入射の有無に応じて値が反転する検出信号を出力することができる。

[0054] 図５は、第１の実施の形態における増幅コンパレータ３１０および検出コンパレータ３３０の一例を示す回路図である。増幅コンパレータ３１０は、定電流源３１１と、差動トランジスタ３１２および３１３と、ＭＯＳトランジスタ３１４および３１５とを備える。差動トランジスタ３１２および３１３として、チャネルがＰ型のＭＯＳ（Metal-Oxide-Semiconductor）トランジスタが設けられる。Ｐ型とするのは、差動トランジスタ３１３を飽和領域で動作させる必要があるためである。また、ＭＯＳトランジスタ３１４および３１５として、チャネルがＮ型のトランジスタが設けられる。

[0055] 差動トランジスタ３１２のゲートは、非反転入力端子（＋）に接続され、ドレインはＭＯＳトランジスタ３１４のゲートとドレインおよびＭＯＳトランジスタ３１５のゲートに接続される。一方、差動トランジスタ３１３のゲートは、反転入力端子（－）に接続され、ドレインはＭＯＳトランジスタ３１５のドレインおよび出力端子に接続される。また、差動トランジスタ３１２および３１３のソースは定電流源３１１に接続される。また、ＭＯＳトランジスタ３１４のゲートおよびドレインはＭＯＳトランジスタ３１５のゲートおよび差動トランジスタ３１２のドレインに接続され、ソースには接地電位が印加される。ＭＯＳトランジスタ３１５のゲートはＭＯＳトランジスタ３１４のゲートおよびドレインおよび差動トランジスタ３１２のドレインに接続され、ドレインは差動トランジスタ３１３のドレインおよび出力端子に接続され、ソースには接地電位が印加される。

[0056] この構成により、差動トランジスタ３１２および３１３は、入力端子間の電圧差を増幅することができる。

[0057] また、スイッチ３２０は、例えば、Ｎ型のＭＯＳトランジスタ３２１を備える。このＭＯＳトランジスタ３２１のゲートは制御回路２７０に接続され、ソースは検出コンパレータ３３０の非反転入力端子（＋）に接続され、ド

レインは、増幅コンパレータ３１０の反転入力端子（－）およびコンデンサ３４０に接続される。

[0058] 検出コンパレータ３３０は、定電流源３３１と、差動トランジスタ３３２および３３３と、ＭＯＳトランジスタ３３４および３３５とを備える。差動トランジスタ３３２および３３３として、Ｐ型のＭＯＳトランジスタが設けられ、ＭＯＳトランジスタ３３４および３３５として、Ｎ型のトランジスタが設けられる。

[0059] 定電流源３３１と、差動トランジスタ３３２および３３３と、ＭＯＳトランジスタ３３４および３３５との接続構成は、定電流源３１１と、差動トランジスタ３１２および３１３と、ＭＯＳトランジスタ３１４および３１５と同様である。ただし、差動トランジスタ３３２および３３３の閾値電圧、ゲート幅、ゲート長、および、ゲート酸化膜の膜厚のうち、少なくとも１つに関し、差動トランジスタ３３２と３３３で相対的な差をつけることで、調整オフセット成分が設けられる。これらの差動トランジスタ３３２および３３３は、センス回路３００において最短距離で配置される同じ形状のトランジスタである。このため、差動トランジスタ３３２および３３３の閾値電圧、ゲート幅、ゲート長、および、ゲート酸化膜の膜厚のうち、少なくとも１つに相対的な差をつけることで、０．０２５ボルト（Ｖ）程度のオフセット成分であれば、十分に高い精度で設定することができる。ここで、ゲート幅は、ソースからドレインへの方向に直交する方向におけるゲートの長さであり、ゲート長は、ソースからドレインへの方向におけるゲートの長さである。

[0060] 例えば、閾値調整イオン注入のドーズ量に差を付けて、非反転入力端子（＋）側の差動トランジスタ３３２の閾値電圧を反転入力端子（－）側のものよりも小さくするほど、調整オフセット成分は大きくなる。また、非反転入力端子（＋）側の差動トランジスタ３３２のゲート幅を反転入力端子（－）側のものよりも小さくするほど、調整オフセット成分は大きくなる。また、非反転入力端子（＋）側の差動トランジスタ３３２のゲート長を反転入力端子（－）側のものよりも大きくするほど、調整オフセット成分は大きくなる

。また、差動トランジスタ３３２および３３３がエンハンスメント型の時は、非反転入力端子（＋）側の差動トランジスタ３３２の膜厚を反転入力端子（－）側のものよりも厚くするほど、調整オフセット成分は大きくなる。一方、差動トランジスタ３３２および３３３がデプレッション型の時は、非反転入力端子（＋）側の差動トランジスタ３３２の膜厚を反転入力端子（－）側のものよりも薄くするほど、調整オフセット成分は大きくなる。

[0061] なお、差動トランジスタ（３１２および３１３など）をＰ型としているが、Ｎ型としてもよい。光電変換部２３４が出力する信号電荷が電子でなく正孔である場合には、光子入射時の信号電圧Ｖsigが未入射時のリセット電圧Ｖrstよりも高くなるが、この場合には、差動トランジスタをＮ型とした方が、ダイナミックレンジを広くすることができる。

[0062] ［撮像素子の動作例］

図６は、第１の実施の形態における撮像素子２００の動作の一例を示すタイミングチャートである。画素回路２３０の露光期間の直前のタイミングＴ１１において、行走査回路２１０は、その画素回路２３０にリセット信号をハイレベルにし、パルス期間が経過するとローレベルにする。この制御により、画素回路２３０がリセットされ、光子未入射時のリセット電圧Ｖrstが出力される。

[0063] また、制御回路２７０は、リセットが行われた直後のタイミングＴ１２において、制御信号をハイレベルにし、パルス期間が経過するとローレベルにする。この制御により、コンデンサ３４０にリセット電圧Ｖrst＋入力オフセット電圧Ｖofs1が保持される。その後のタイミングＴ１３において光子が入射されると、光電変換された電子により、画素回路２３０の画素信号のレベルがリセット電圧Ｖrstから０．００１ボルト（Ｖ）低下する。センス回路３００は、この電圧差を検出して、光子の有ることを示すローレベルの検出信号を出力する。

[0064] 一方、タイミングＴ２１およびＴ２２において、リセットと、リセット電圧等の保持とが行われた後に光子が入射されなかった場合、画素信号のレベ

ルは、リセット電圧Ｖrstのままになる。このため、センス回路３００は、光子の無いことを示すハイレベルの検出信号を出力する。

[0065] 図７は、第１の実施の形態における増幅コンパレータおよび検出コンパレータの入出力電圧の一例を示す図である。画素回路２３０のリセット直後に制御信号がハイレベルに制御されると、コンデンサ３４０にＶrst＋Ｖofs1の保持電圧が保持される。そして、制御信号がローレベルに制御された状態で光子が入射されない場合には、リセット電圧Ｖrstの画素信号が入力され、増幅コンパレータ３１０は、式１より、例えば、１ボルト（Ｖ）のＶout1を出力する。一方、光子が入射された場合には、リセット電圧Ｖrstおよび信号電圧Ｖsigの電圧差を増幅した分、Ｖout1が変動し、例えば、０．９５ボルト（Ｖ）が出力される。

[0066] また、光子が入射されない場合、検出コンパレータ３３０の非反転入力端子（＋）および反転入力端子（－）には、１ボルト前後の保持電圧（Ｖrst＋Ｖofs1）が入力される。入力オフセット電圧Ｖofs2として十分に大きな電圧（０．０２５Ｖ±０．００１Ｖなど）が設定されているため、検出コンパレータ３３０はハイレベルの検出信号を出力する。例えば、利得Ｇ２を５０とすると、式２より約２．２５Ｖ±０．０５ボルト（Ｖ）の検出信号が出力される事になるが、実際には出力レベルのダイナミックレンジで律則され、例えば電源電圧が約２．２５Ｖ±０．０５ボルト（Ｖ）以下であれば、その電源電圧になる。

[0067] 一方、光子が入射された場合、検出コンパレータ３３０には、０．９５ボルト（Ｖ）のＶout1と、１ボルト前後の保持電圧（Ｖrst＋Ｖofs1）とが入力される。入力オフセット電圧Ｖofs2は、電圧差の絶対値を増幅した値（０．０５Ｖなど）より小さいため、検出コンパレータ３３０は、ローレベルの検出信号を出力する。例えば、入力オフセット電圧Ｖofs2を０．０２５Ｖ、利得Ｇ２を５０とすると、式２より約－０．２５Ｖ±０．０５ボルト（Ｖ）の検出信号が出力される事になるが、実際には出力レベルのダイナミックレンジで律則され、例えば接地電位になる。

[0068] このように、本技術の実施の形態によれば、センス回路３００が、入力電圧とコンデンサの保持電圧との電圧差を増幅して、増幅した電圧差が所定値より高いか否かを示す検出信号を生成するため、簡易な構成により光子の有無を正確に検出することができる。

[0069] ＜２．第２の実施の形態＞

第１の実施の形態では、増幅コンパレータ３１０および検出コンパレータ３３０は、それぞれの出力電圧Ｖout1およびＶout2をそのまま出力していたが、必要に応じて、それらをバッファアンプを介して出力してもよい。第２の実施の形態のセンス回路３００は、出力電圧Ｖout1およびＶout2をバッファアンプを介して出力する点において第１の実施の形態と異なる。

[0070] 図８は、第２の実施の形態におけるセンス回路３００の一例を示す回路図である。このセンス回路３００は、バッファアンプ３５０および３６０をさらに備える点において第１の実施の形態と異なる。バッファアンプ３５０は、定電流源３５１およびＭＯＳトランジスタ３５２を備える。また、バッファアンプ３６０は、定電流源３６１およびＭＯＳトランジスタ３６２を備える。ＭＯＳトランジスタ３５２および３６２として、例えば、Ｐ型のトランジスタが設けられる。

[0071] ＭＯＳトランジスタ３５２のゲートは増幅コンパレータ３１０の出力端子に接続され、ソースは定電流源３５１、ＭＯＳトランジスタ３２１のソース、および差動トランジスタ３３２のゲートに接続され、ドレインには接地電位が印加される。また、ＭＯＳトランジスタ３６２のゲートは検出コンパレータ３３０の出力端子に接続され、ソースは定電流源３６１およびセンス回路３００の出力端子に接続され、ドレインには接地電位が印加される。

[0072] この構成により、バッファアンプ３５０は、増幅コンパレータ３１０の反転入力端子（－）側の差動トランジスタ３１３のダイナミックレンジを拡大すると共に、出力端子の電圧をインピーダンス変換する。また、バッファアンプ３６０は、検出コンパレータ３３０の出力端子の電圧をインピーダンス変換する。これにより、撮像素子２００の特性をさらに改善することができ

る。なお、バッファアンプ３５０は、特許請求の範囲に記載の第１のバッファアンプの一例であり、バッファアンプ３６０は、特許請求の範囲に記載の第２のバッファアンプの一例である。

[0073] なお、センス回路３００にバッファアンプ３５０および３６０の両方を設けているが、一方のみを設ける構成としてもよい。

[0074] このように、第２の実施の形態によれば、増幅コンパレータ３１０の反転入力端子（－）側の差動トランジスタ３１３のダイナミックレンジを拡大すると共に、増幅コンパレータ３１０の出力端子のインピーダンスを低減する。これに加えて検出コンパレータ３３０の出力端子のインピーダンスを低減するため、撮像素子２００の特性を改善することができる。

[0075] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0076] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

[0077] なお、本技術は以下のような構成もとることができる。

（１）光が入射された場合に当該光を光電変換して信号電圧を入力電圧として生成し、光が入射されない場合に所定のリセット電圧を入力電圧として生成する画素回路と、

前記所定のリセット電圧を保持電圧として保持するコンデンサと、

前記入力電圧および前記保持電圧の電圧差を増幅する増幅コンパレータと、

前記増幅された電圧差が所定値より高いか否かを判定した結果を、光の入射の有無を検出した検出信号として出力する検出コンパレータと

を具備する撮像素子。

（２）前記光が入射されない場合に前記コンデンサに前記所定のリセット電圧を保持させる制御部をさらに具備する

前記（１）記載の撮像素子。

（３）前記増幅コンパレータは、前記画素回路に接続された画素回路側入力端子と前記コンデンサに接続されたコンデンサ側入力端子とのそれぞれの端子電圧の電圧差を増幅して当該増幅した電圧差に応じた電圧を出力端子から出力し、

前記制御部は、前記コンデンサ側入力端子と前記出力端子との端子間の短絡により前記所定のリセット電圧を前記コンデンサに保持させる

前記（２）記載の撮像素子。

（４）前記増幅コンパレータは、前記入力電圧および前記保持電圧の電圧差を増幅して当該増幅した電圧差に応じた比較対象電圧を生成し、

前記検出コンパレータは、前記保持電圧および前記比較対象電圧の電圧差に所定の入力オフセット電圧が加えられた電圧を増幅して前記検出信号として出力する

前記（１）から（３）のいずれかに記載の撮像素子。

（５）前記増幅コンパレータは、前記入力電圧および前記保持電圧の電圧差を所定の利得により増幅し、

前記入力オフセット電圧は、前記リセット電圧および前記信号電圧の電圧差を前記所定の利得により増幅した値の半分に略一致する

前記（４）記載の撮像素子。

（６）前記検出コンパレータは、前記保持電圧および前記比較対象電圧の電圧差に前記所定の入力オフセット電圧が加えられた電圧を増幅する一対の差動トランジスタを備える

前記（４）または（５）に記載の撮像素子。

（７）前記入力オフセット電圧は、前記一対の差動トランジスタのそれぞれの閾値電圧の差に応じた調整オフセット成分を含む

前記（６）記載の撮像素子。

（８）前記入力オフセット電圧は、前記一対の差動トランジスタのそれぞれのゲート幅の差に応じた調整オフセット成分を含む

前記（６）または（７）のいずれかに記載の撮像素子。

（９）前記入力オフセット電圧は、前記一対の差動トランジスタのそれぞれのゲート長の差に応じた調整オフセット成分を含む

前記（６）から（８）のいずれかに記載の撮像素子。

（１０）前記入力オフセット電圧は、前記一対の差動トランジスタのそれぞれのゲート酸化膜の膜厚の差に応じた調整オフセット成分を含む

前記（６）から（９）のいずれかに記載の撮像素子。

（１１）　前記増幅コンパレータには、前記画素回路に接続された画素回路側入力端子と前記コンデンサに接続されたコンデンサ側入力端子とに接続された一対の差動トランジスタが設けられ、

前記コンデンサ側入力端子に接続された前記差動トランジスタのダイナミックレンジを拡大すると共に、前記増幅コンパレータの出力端子のインピーダンスを低減する第１のバッファアンプをさらに具備する

前記（１）から（１０）のいずれかに記載の撮像素子。

（１２）前記検出コンパレータの出力端子のインピーダンスを低減する第２のバッファアンプをさらに具備する

前記（１）から（１１）のいずれかに記載の撮像素子。

（１３）光が入射された場合に当該光を光電変換して信号電圧を入力電圧として生成し、光が入射されない場合に所定のリセット電圧を入力電圧として生成する画素回路と、

前記所定のリセット電圧を保持電圧として保持するコンデンサと、

前記入力電圧および前記保持電圧の電圧差を増幅する増幅コンパレータと、

前記増幅された電圧差が所定値より高いか否かを判定した結果を、光の入射の有無を検出した検出信号として出力する検出コンパレータと、

前記検出信号を処理する信号処理回路と

を具備する撮像装置。

符号の説明

[0078] １００　撮像装置

１１０　レンズ

１２０　信号処理回路

１３０　駆動回路

２００　撮像素子

２１０　行走査回路

２２０　画素アレイ部

２３０　画素回路

２３１　リセットトランジスタ

２３２　検出トランジスタ

２３３　電荷蓄積部

２３４　光電変換部

２４０、３１１、３３１、３５１、３６１　定電流源

２５０　センス回路部

２６０　判定結果集積回路部

２６１、２６５　判定結果集積回路

２６２、２６６　レジスタ

２６３、２６７　カウント回路

２６４、２６８　メモリ

２７０　制御回路

３００　センス回路

３１０　増幅コンパレータ

３１２、３１３、３３２、３３３　差動トランジスタ

３１４、３１５、３２１、３３４、３３５、３５２、３６２　ＭＯＳトランジスタ

３２０　スイッチ

３３０　検出コンパレータ

３４０　コンデンサ

３５０、３６０　バッファアンプ

請求の範囲

[請求項1] 光が入射された場合に当該光を光電変換して信号電圧を入力電圧として生成し、光が入射されない場合に所定のリセット電圧を入力電圧として生成する画素回路と、

前記所定のリセット電圧を保持電圧として保持するコンデンサと、

前記入力電圧および前記保持電圧の電圧差を増幅する増幅コンパレータと、

前記増幅された電圧差が所定値より高いか否かを判定した結果を、光の入射の有無を検出した検出信号として出力する検出コンパレータと

を具備する撮像素子。

[請求項2] 前記光が入射されない場合に前記コンデンサに前記所定のリセット電圧を保持させる制御部をさらに具備する

請求項１記載の撮像素子。

[請求項3] 前記増幅コンパレータは、前記画素回路に接続された画素回路側入力端子と前記コンデンサに接続されたコンデンサ側入力端子とのそれぞれの端子電圧の電圧差を増幅して当該増幅した電圧差に応じた電圧を出力端子から出力し、

前記制御部は、前記コンデンサ側入力端子と前記出力端子との端子間の短絡により前記所定のリセット電圧を前記コンデンサに保持させる

請求項２記載の撮像素子。

[請求項4] 前記増幅コンパレータは、前記入力電圧および前記保持電圧の電圧差を増幅して当該増幅した電圧差に応じた比較対象電圧を生成し、

前記検出コンパレータは、前記保持電圧および前記比較対象電圧の電圧差に所定の入力オフセット電圧が加えられた電圧を増幅して前記検出信号として出力する

請求項１記載の撮像素子。

[請求項5] 前記増幅コンパレータは、前記入力電圧および前記保持電圧の電圧差を所定の利得により増幅し、

前記入力オフセット電圧は、前記リセット電圧および前記信号電圧の電圧差を前記所定の利得により増幅した値の半分に略一致する

請求項４記載の撮像素子。

[請求項6] 前記検出コンパレータは、前記保持電圧および前記比較対象電圧の電圧差に前記所定の入力オフセット電圧が加えられた電圧を増幅する一対の差動トランジスタを備える

請求項４記載の撮像素子。

[請求項7] 前記入力オフセット電圧は、前記一対の差動トランジスタのそれぞれの閾値電圧の差に応じた調整オフセット成分を含む

請求項６記載の撮像素子。

[請求項8] 前記入力オフセット電圧は、前記一対の差動トランジスタのそれぞれのゲート幅の差に応じた調整オフセット成分を含む

請求項６記載の撮像素子。

[請求項9] 前記入力オフセット電圧は、前記一対の差動トランジスタのそれぞれのゲート長の差に応じた調整オフセット成分を含む

請求項６記載の撮像素子。

[請求項10] 前記入力オフセット電圧は、前記一対の差動トランジスタのそれぞれのゲート酸化膜の膜厚の差に応じた調整オフセット成分を含む

請求項６記載の撮像素子。

[請求項11] 前記増幅コンパレータには、前記画素回路に接続された画素回路側入力端子と前記コンデンサに接続されたコンデンサ側入力端子とに接続された一対の差動トランジスタが設けられ、

前記コンデンサ側入力端子に接続された前記差動トランジスタのダイナミックレンジを拡大すると共に、前記増幅コンパレータの出力端子のインピーダンスを低減する第１のバッファアンプをさらに具備する

請求項１記載の撮像素子。

[請求項12] 前記検出コンパレータの出力端子のインピーダンスを低減する第２のバッファアンプをさらに具備する

請求項１記載の撮像素子。

[請求項13] 光が入射された場合に当該光を光電変換して信号電圧を入力電圧として生成し、光が入射されない場合に所定のリセット電圧を入力電圧として生成する画素回路と、

前記所定のリセット電圧を保持電圧として保持するコンデンサと、

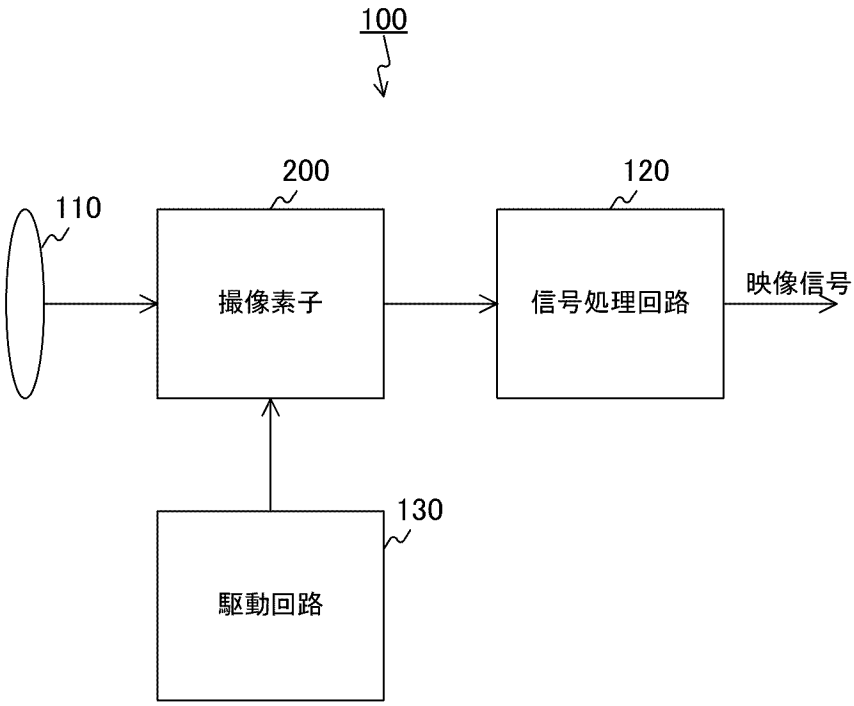
前記入力電圧および前記保持電圧の電圧差を増幅する増幅コンパレータと、

前記増幅された電圧差が所定値より高いか否かを判定した結果を、光の入射の有無を検出した検出信号として出力する検出コンパレータと、

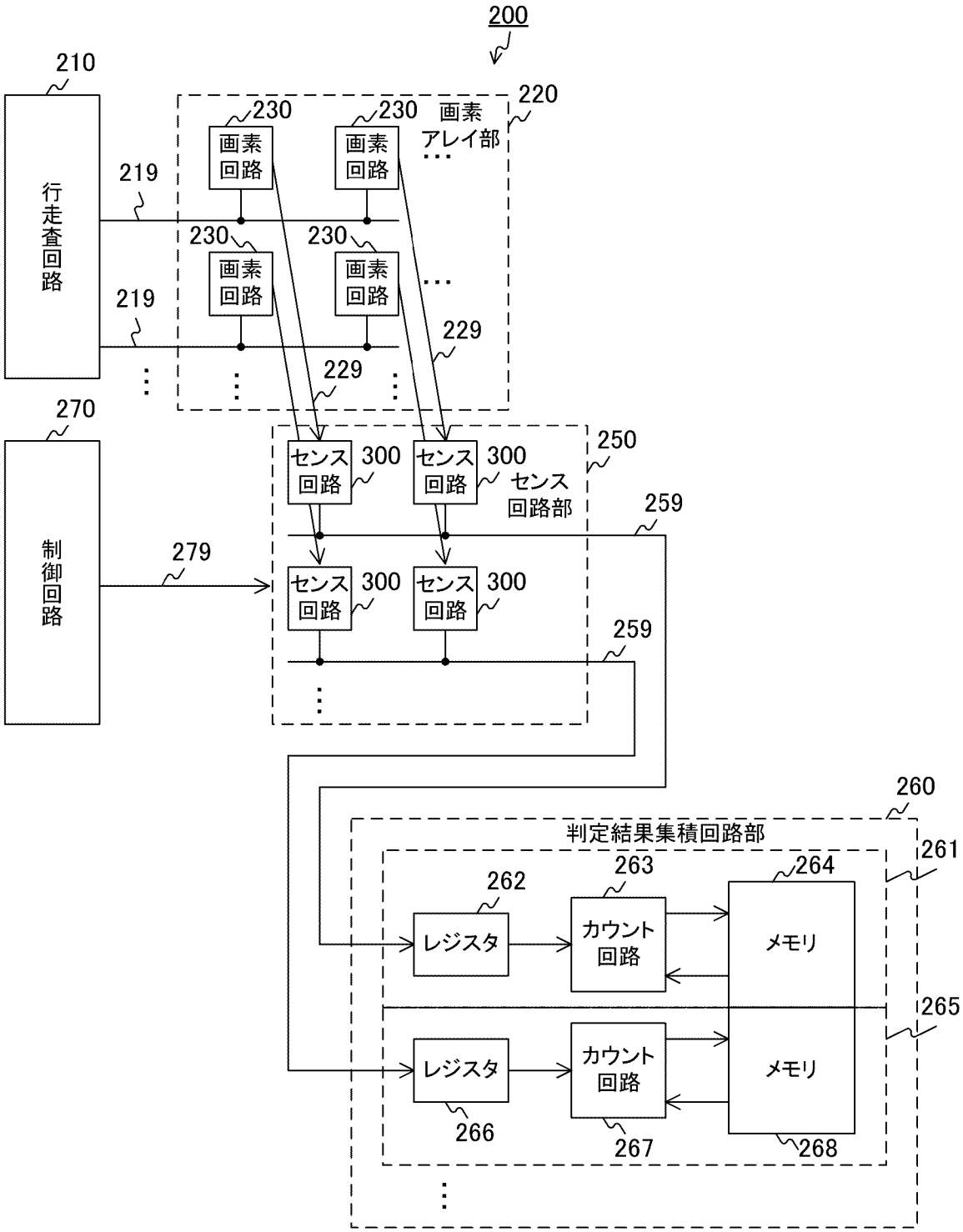
前記検出信号を処理する信号処理回路と

を具備する撮像装置。

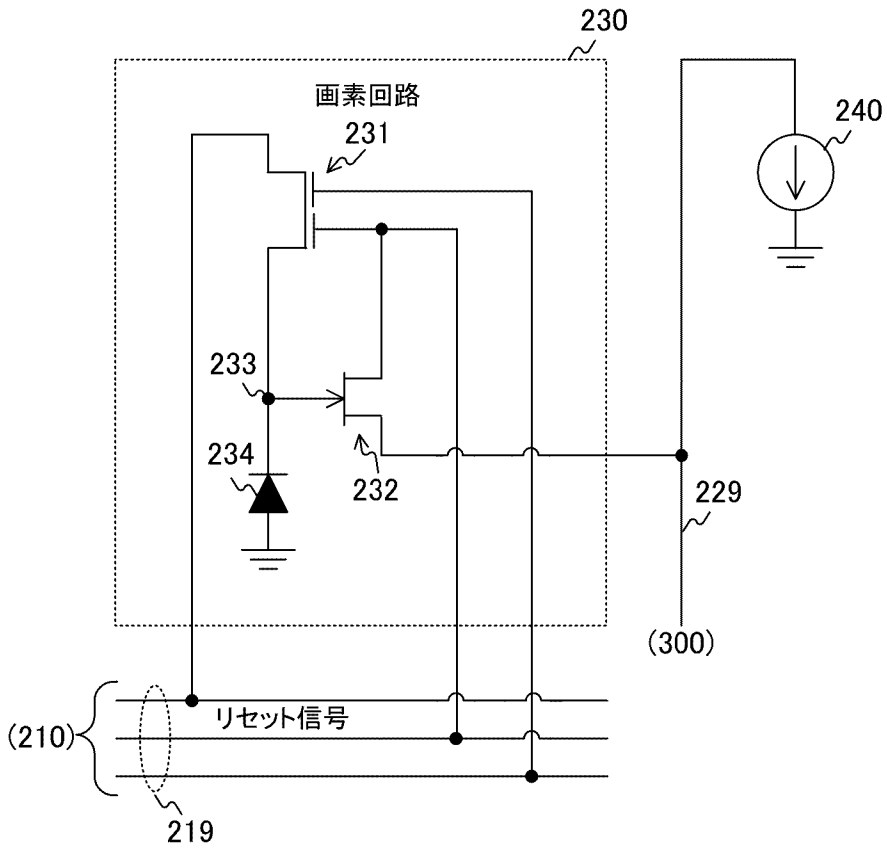
[図1]



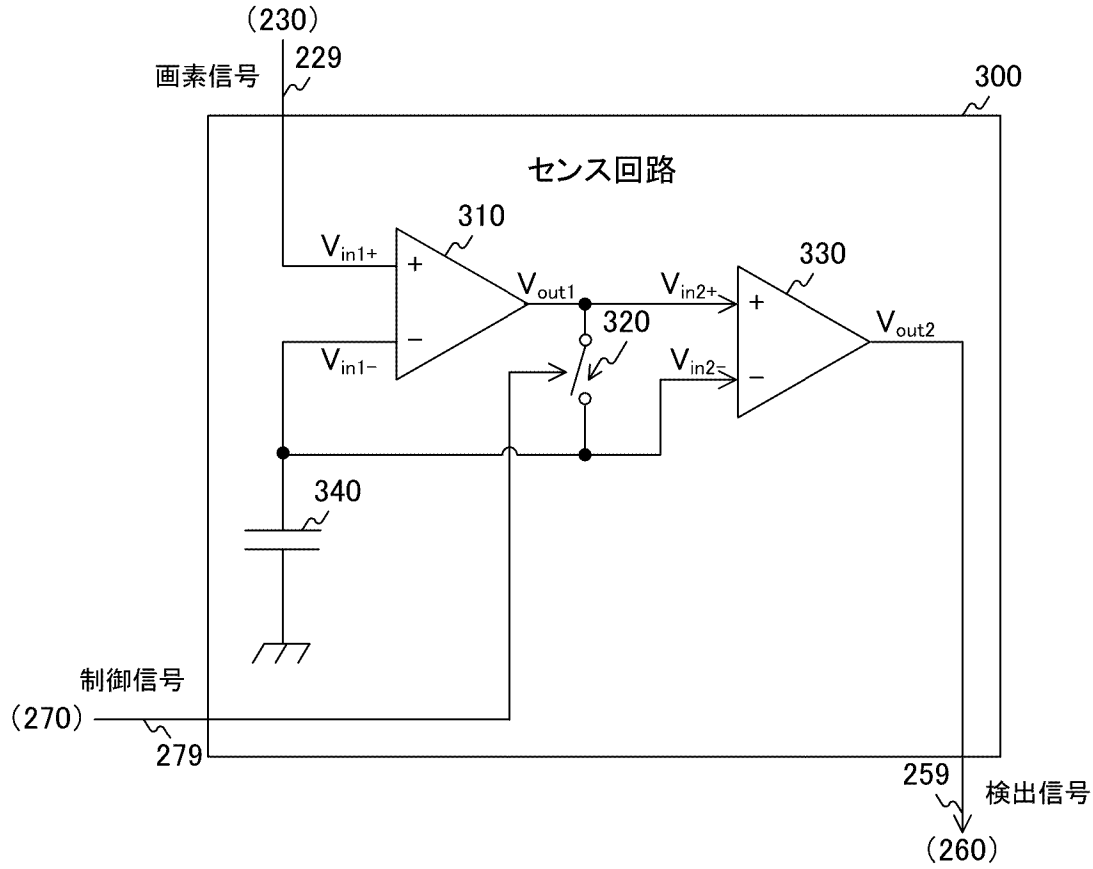
[図2]


200
210
行走査回路
220
画素アレイ部
230
画素回路
219
229
270
制御回路
279
250
センス回路
300
センス回路部
259
260
判定結果集積回路部
261
262
レジスタ
263
カウント回路
264
メモリ
265
266
267
268

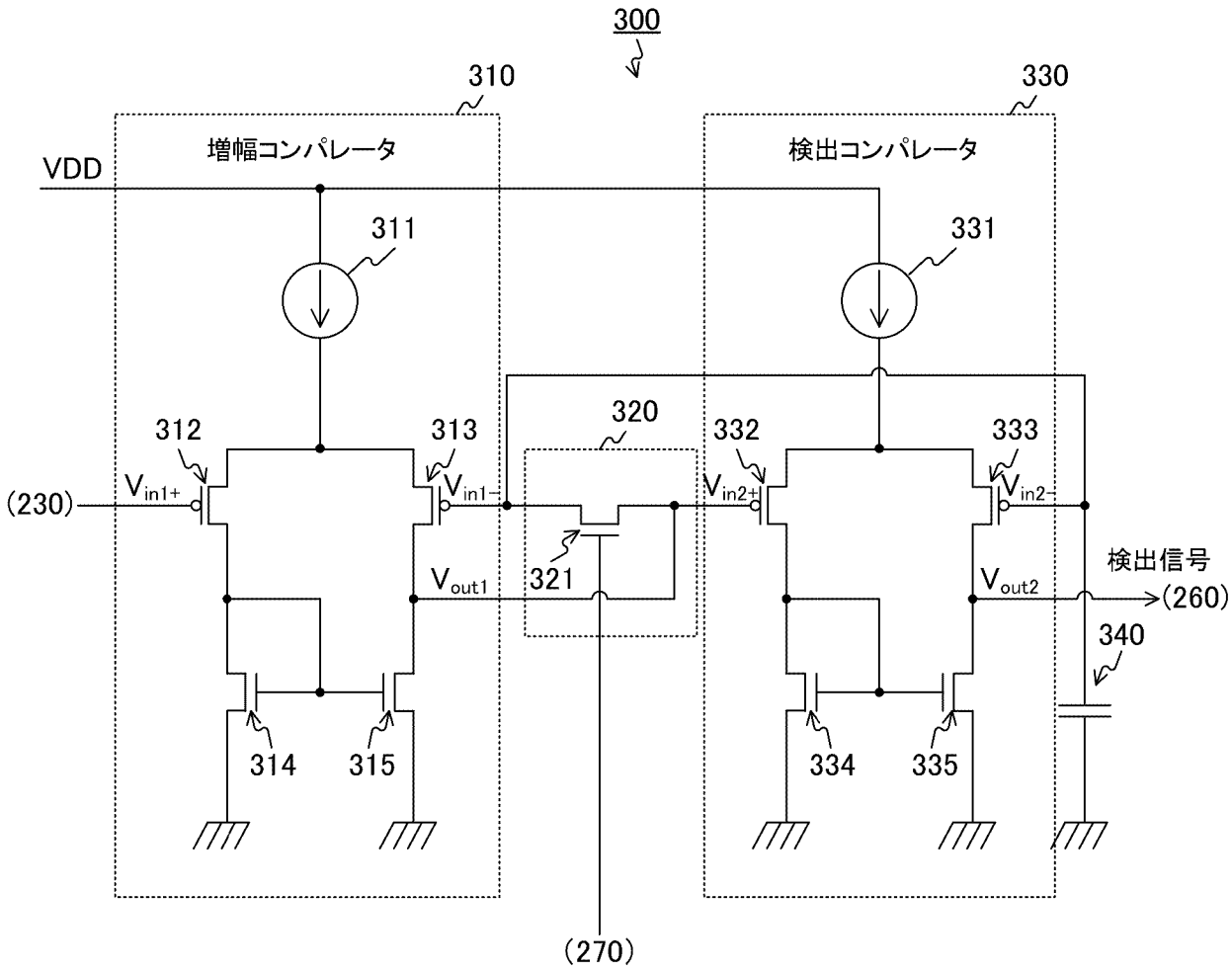
[図3]



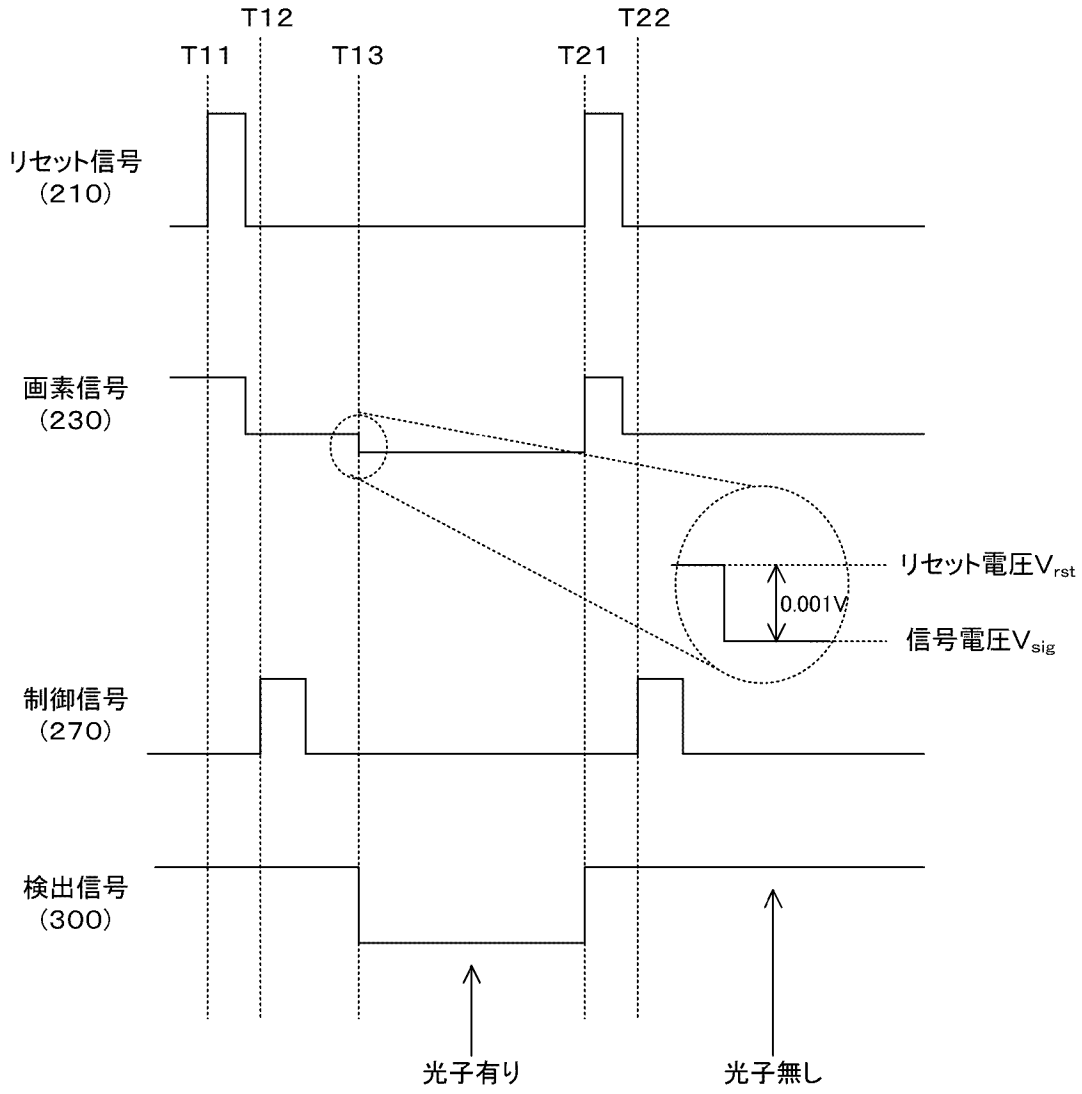
[図4]


(230)
画素信号
229
300
センス回路
310
V_{in1+}
V_{in1-}
V_{out1}
320
330
V_{in2+}
V_{in2-}
V_{out2}
340
制御信号
(270)
279
259
検出信号
(260)

[図5]


300
310
330
増幅コンパレータ
検出コンパレータ
VDD
311
331
312
313
320
332
333
(230)
V_{in1+}
V_{in1-}
V_{in2+}
V_{in2-}
321
V_{out1}
V_{out2}
検出信号
(260)
340
314
315
334
335
(270)

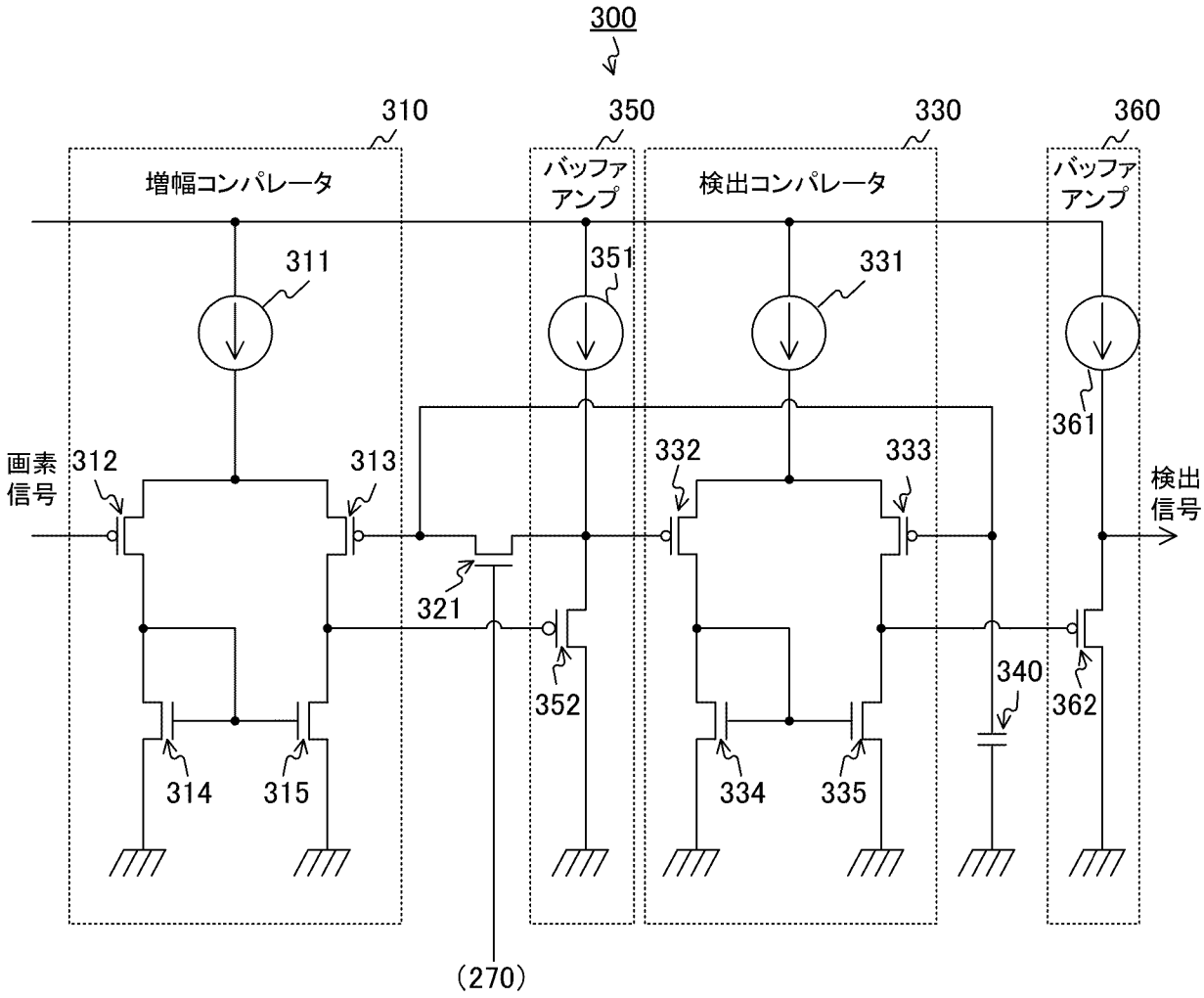
[図6]


T11
T12
T13
T21
T22
リセット信号
(210)
画素信号
(230)
制御信号
(270)
検出信号
(300)
リセット電圧Vrst
0.001V
信号電圧Vsig
光子有り
光子無し

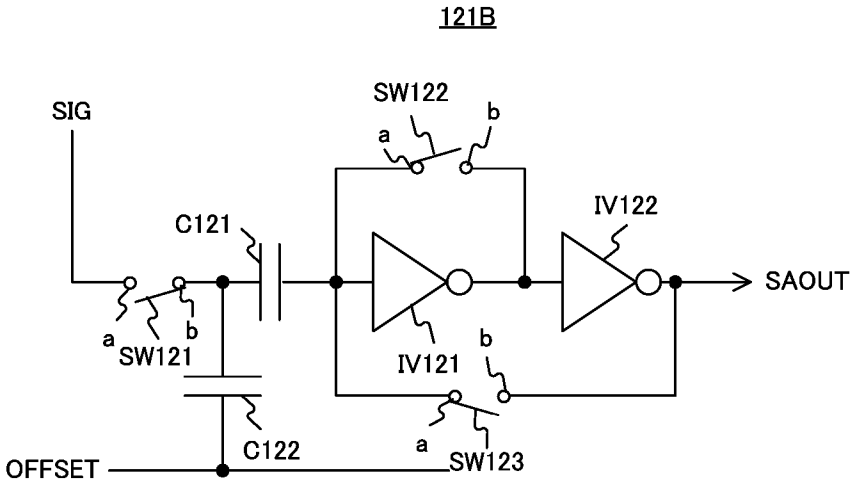
[図7]

画素信号	制御信号	増幅コンパレータ（利得：50、入力オフセット:V_{ofs1}）		検出コンパレータ（利得:50、入力オフセット：0.025±0.001V）	
		V_{in1+}—V_{in1-}	V_{out1}	V_{in2+}—V_{in2-}	V_{out2}
リセット電圧V_{rst}（≒1V）	ハイレベル	$V_{rst}-(V_{rst}+V_{ofs1})$ ＝$-V_{ofs1}$	$V_{rst}+V_{ofs1}$≒1V	$V_{rst}+V_{ofs1}-$ ($V_{rst}+V_{ofs1}$) ＝0V	ハイレベル
信号電圧V_{sig} (V_{rst}−0.001V)	ローレベル	$V_{sig}-(V_{rst}+V_{ofs1})$ ＝$-V_{of1}$−0.001V	(−0.001)×50+1 ＝0.95V	$V_{out1}-(V_{rst}+V_{ofs1})$ ≒−0.05V	ローレベル

[図8]


300
310
350
330
360
増幅コンパレータ
バッファアンプ
検出コンパレータ
バッファアンプ
311
351
331
361
画素信号
312
313
332
333
検出信号
321
352
340
362
314
315
334
335
(270)

[図9]


121B
SIG
SW122
a
b
C121
IV122
SAOUT
a
b
SW121
IV121
b
C122
a
SW123
OFFSET

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/071905

A. CLASSIFICATION OF SUBJECT MATTER
H04N5/378(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2012-235265 A (Panasonic Corp.), 29 November 2012 (29.11.2012), paragraphs [0016] to [0028]; fig. 1 to 3 (Family: none)	1-3,11-13 4-10
Y A	JP 2013-70372 A (Samsung Electronics Co., Ltd.), 18 April 2013 (18.04.2013), paragraphs [0036], [0057] to [0060]; fig. 10 & US 2013/0075608 A1 & EP 2573589 A2 & KR 10-2013-0032644 A & CN 103022066 A	1-3,11-13 4-10
Y	JP 2002-232291 A (Linear-Cell Design Corp.), 16 August 2002 (16.08.2002), paragraph [0005] (Family: none)	11-12

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 September 2015 (18.09.15)	06 October 2015 (06.10.15)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/071905

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-67043 A (Toshiba Corp.), 10 March 1995 (10.03.1995), paragraphs [0009] to [0010] (Family: none)	1-13

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／０７１９０５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/378(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１５年
日本国実用新案登録公報	１９９６－２０１５年
日本国登録実用新案公報	１９９４－２０１５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y A	JP 2012-235265 A (パナソニック株式会社) 2012.11.29, 段落【0016】-【0028】、図 1-3 (ファミリーなし)	1-3,11-13 4-10
Y A	JP 2013-70372 A (三星電子株式会社) 2013.04.18, 段落【0036】、【0057】-【0060】、図 10 & US 2013/0075608 A1 & EP 2573589 A2 & KR 10-2013-0032644 A & CN 103022066 A	1-3,11-13 4-10
Y	JP 2002-232291 A (有限会社リニアセル・デザイン) 2002.08.16, 段落【0005】 (ファミリーなし)	11-12

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１８．０９．２０１５	０６．１０．２０１５

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｖ　９８４７
鈴木　肇
電話番号　０３－３５８１－１１０１　内線　３５７１

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 7-67043 A（株式会社東芝）1995.03.10，段落【0009】-【0010】（ファミリーなし）	1-13