



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

238 481

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 19 12 83
(21) PV 9617-83

(51) Int. Cl.³
G 06 F 11/22

(40) Zveřejněno 14 03 85
(45) Vydáno 01 10 87

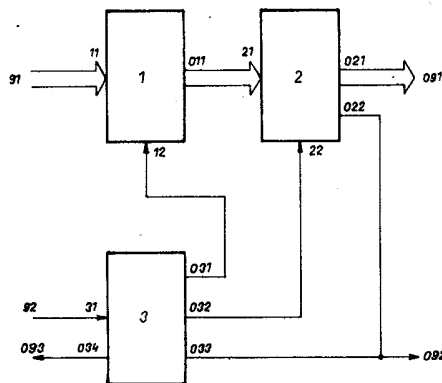
(75)
Autor vynálezu

UČEN KAREL ing., BRNO

(54)

Zapojení obvodu pro testování jednosměrné
vstupní a výstupní sběrnice

Cílem vynálezu je vytvořit jednoduché zapojení, umožňující převádění výstupních datových funkcí při využití výstupních řídicích funkcí na vstupní datové funkce u jednosměrných vstupních a výstupních funkcí, přičemž výsledek testování je vyhodnocován přímo ve výpočetním zařízení. Uvedeného cíle se dosáhne zapojením, v kterém skupina datových vstupů multiplexoru tvoří současně skupiny datových vstupů zapojení, skupina datových výstupů multiplexoru je připojena na skupinu datových vstupů vyrovnávací paměti, jejíž skupina datových výstupů tvoří současně skupinu datových výstupů zapojení. Řídicí vstup obvodů vstupní a sekvenční logiky tvoří současně řídicí vstup zapojení. Přepínací výstup obvodů vstupní a sekvenční logiky je připojen na přepínací vstup multiplexoru, kdežto jeho nastavovací výstup je připojen na nastavovací vstup vyrovnávací paměti a jeho signalizační výstup je spojen se signalizačním výstupem vyrovnávací paměti a tvoří současně signalizační výstup zapojení. Informační výstup obvodů vstupní a sekvenční logiky tvoří současně informační výstup zapojení.



Vynález se týká zapojení obvodu pro testování jednosměrné vstupní a výstupní sběrnice výpočetních zařízení.

Případnou poruchu funkce spojení výpočetního zařízení s periferní jednotkou nelze snadno lokalizovat. Není-li k dispozici náhradní adaptér nebo technické prostředky pro jeho otestování, není možné odpovědně rozhodnout, zda porucha nastala před nebo za rozhraním spojení, to je před nebo za jednosměrnou vstupní a výstupní sběrnicí z hlediska výpočetního zařízení. Rovněž při oživování výpočetního zařízení je žádoucí mít možnost testování jednosměrné vstupní a výstupní sběrnice v místě, kde je tato dávana k dispozici jednotlivým adaptérům, které využívají vždy pouze zcela specifický, omezený počet datových a řídicích funkcí. Přestože jednosměrná vstupní a výstupní sběrnice bývá součástí vnitřní kabeláže výpočetního zařízení a jsou na ni připojeny vestavěné jednotky, jako displej, vestavěná vnější paměť a jiné, nezaručuje správná funkce těchto komponent současně správnou funkci jednosměrné vstupní a výstupní sběrnice na konektorech pro vstupní a výstupní adaptéry. Navíc, konektory jednosměrné vstupní a výstupní sběrnice bývají umístěny uvnitř prostoru pro fyzické připojení dalších vstupních a výstupních adaptérů, takže testování funkce jednosměrné vstupní a výstupní sběrnice pomocí osciloskopu nebo běžných logických analyzátorů je značně ztíženo. Připojování simulátorů vstupních a výstupních zařízení na jednosměrnou vstupní a výstupní sběrnicí je další možností pro oživování a testování, vyžaduje však přídavné technické prostředky, často speciální napájecí zdroje a je zbytečně rozměrné a pro běžný servis nevhodné. Mimo to je nezbytné propojení prostřednictvím spojovací kabeláže a interní kabeláže, což společně s deskami logiky simulátorů vnáší do testování další možnost zavedení poruchy samotného testovacího zařízení.

Uvedené nevýhody odstraňuje zapojení obvodu pro testování jednosměrné vstupní a výstupní sběrnice podle vynálezu, jehož podstatou je, že skupina datových vstupů multiplexoru tvoří současně skupinu datových vstupů zapojení, skupina datových výstupů multiplexoru je připojena na skupinu datových vstupů vyrovnávací paměti, jejíž skupina datových výstupů tvoří současně skupinu datových výstupů zapojení, řídicí vstup obvodů vstupní a sekvenční logiky tvoří současně řídicí vstup zapojení, přepínací výstup obvodů vstupní a sekvenční logiky je připojen na přepínací vstup multiplexoru, kdežto jeho nastavovací výstup je připojen na nastavovací vstup vyrovnávací paměti a jeho signalizační výstup je spojen se signalizačním výstupem vyrovnávací paměti a tvoří současně signalizační výstup zapojení, informační výstup obvodů vstupní a sekvenční logiky tvoří současně informační výstup zapojení.

Výhodou zapojení obvodu pro testování jednosměrné vstupní a výstupní sběrnice podle vynálezu je, že umožňuje převádění výstupních datových funkcí při využití výstupních řídicích funkcí na vstupní datové funkce u jednosměrných vstupních a výstupních funkcí, přičemž výsledek testování je vyhodnocován přímo ve výpočetním zařízení. Odpadá tak riziko zahrnutí dalších prvků s možností nespolehlivosti, na příklad kabeláže. Správnou funkci zapojení obvodů pro testování jednosměrné vstupní a výstupní sběrnice lze kdykoliv ověřit snadno a rychle standardním způsobem jako test jedné desky. Další výhodou je možnost multiplexovat výstupní datové signály při převodu na datové signály vstupní a realizovat tak testování jednosměrných datových sběrnic s různou šířkou, to je s odlišným počtem vstupních a výstupních datových signálů. Další výhodou je možnost využití technických prostředků uvnitř výpočetního zařízení ke komparaci hodnot datových a řídicích signálů, převzatých na vstupu jednosměrné vstupní a výstupní sběrnice s hodnotami očekávanými a případné další využití inteligence zabudovaných technických prostředků ve spolupráci s účelovým vybavením pro detekci, lokalizaci a indikaci poruch.

Příklad zapojení obvodu pro testování jednosměrné vstupní a výstupní sběrnice podle vynálezu je znázorněn na připojeném výkrese v blokovém schématu.

Skupina datových vstupů 11 multiplexoru 1 tvoří současně skupinu datových vstupů 91 zapojení pro připojení na neznázor-

něnou jednosměrnou vstupní a výstupní sběrnici výpočetního zařízení. Skupina datových výstupů 011 multiplexoru 1 je připojena na skupinu datových vstupů 21 vyrovnávací paměti 2, jejíž skupina datových výstupů 021 tvoří současně skupinu datových výstupů 091 zapojení pro připojení na jednosměrnou vstupní a výstupní sběrnici výpočetního zařízení. Řídicí vstup 31 obvodů 3 vstupní a sekvenční logiky tvoří současně řídicí vstup 92 zapojení pro připojení na jednosměrnou vstupní a výstupní sběrnici výpočetního zařízení. Přepínací výstup 031 obvodů 3 vstupní a sekvenční logiky je připojen na přepínací vstup 12 multiplexoru 1, kdežto jeho nastavovací výstup 032 je připojen na nastavovací vstup 22 vyrovnávací paměti 2 a jeho signalizační výstup 033 je spojen se signalizačním výstupem 022 vyrovnávací paměti 2 a tvoří současně signalizační výstup 092 zapojení pro připojení na jednosměrnou vstupní a výstupní sběrnici výpočetního zařízení. Informační výstup 034 obvodů 3 vstupní a sekvenční logiky tvoří současně informační výstup 093 zapojení pro připojení na jednosměrnou vstupní a výstupní sběrnici výpočetního zařízení.

Výstupní datové signály výpočetního zařízení, jež mají obvykle šířku slova osm, šestnáct, případně i více bitů, se kterou pracuje procesor, jsou přiváděny jako vstupní datové signály multiplexoru 1 na skupinu datových vstupů 11. Multiplexor 1 je přepínán signály obvodů 3 vstupní a sekvenční logiky, přicházejícími na jeho přepínací vstup 12. Multiplexor 1 slouží k redukci šíře vstupního slova, na příklad ze šestnácti bitů na osm bitů. Redukovaná slova jsou přiváděna na skupinu datových vstupů 21 vyrovnávací paměti 2, jež je nastavována signály obvodů 3 vstupní a sekvenční logiky, přicházejícími na nastavovací vstup 22 vyrovnávací paměti 2. Výstupní data vyrovnávací paměti 2 jsou přiváděna na vstupní sběrnici s menší šíří slova. Signály, přicházejícími na řídicí vstup 31 obvodů 3 vstupní a sekvenční logiky, řídí multiplexor 1 vyrovnávací paměť 2 a spolu se signály na signalizačním výstupu 022 vyrovnávací paměti 2 signalizují přítomnost dat na vstupní sběrnici, přičemž tento poslední lze testovat ve výpočetním zařízení přímo k realizaci skokové instrukce. Testování jednosměrné vstupní a výstupní sběrnice je možné realizovat postupným vystavováním logických hodnot na výstupních řídicích signálech výpočetního zařízení a sledováním odezev na vstupních řídicích signálech obvodů 3 vstupní a sekvenční logiky. Postupným nabalováním dalších vstupních

a výstupních řídicích signálů se otestuje aparát, to je další výstupní řídicí signály, nezbytný k ovládní multiplexoru 1 pro redukci nestejného počtu datových signálů vstupních a výstupních. Přiváděním různých kombinací na výstupní datové signály lze navíc testovat vzájemné zkratky mezi jednotlivými datovými signály, případně poruchy typu trvalá úroveň logické nuly nebo trvalá úroveň logické jedničky. V případě, že jednosměrná vstupní a výstupní sběrnice je v pořádku, vyhodnotí výpočetní zařízení očekávaný signál, převedený ze skupiny datových vstupů 11*multiplexoru 1 na skupinu datových výstupů 021.

Zapojení obvodů pro testování jednosměrné vstupní a výstupní sběrnice podle vynálezu lze použít zejména při oživování a testování univerzálních výpočetních zařízení, jako jsou inteligentní terminály, stolní počítače, univerzální procesory a podobně.

Zapojení obvodu pro testování jednosměrné vstupní a výstupní sběrnice, vyznačené tím, že skupina datových vstupů (11) multiplexoru (1) tvoří současně skupinu datových vstupů (91) zapojení, skupina datových výstupů (011) multiplexoru (1) je připojena na skupinu datových vstupů (21) vyrovnávací paměti (2), jejíž skupina datových výstupů (021) tvoří současně skupinu datových výstupů (091) zapojení, řídicí vstup (31) obvodů (3) vstupní a sekvenční logiky tvoří současně řídicí vstup (92) zapojení, přepínací výstup (031) obvodů (3) vstupní a sekvenční logiky je připojen na přepínací vstup (12) multiplexoru (1), kdežto jeho nastavovací výstup (032) je připojen na nastavovací vstup (22) vyrovnávací paměti (2) a jeho signalizační výstup (033) je spojen se signalizačním výstupem (022) vyrovnávací paměti (2) a tvoří současně signalizační výstup (092) zapojení, informační výstup (034) obvodů (3) vstupní a sekvenční logiky tvoří současně informační výstup (093) zapojení.

1 výkres

