

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年5月30日(30.05.2014)



(10) 国際公開番号
WO 2014/080874 A1

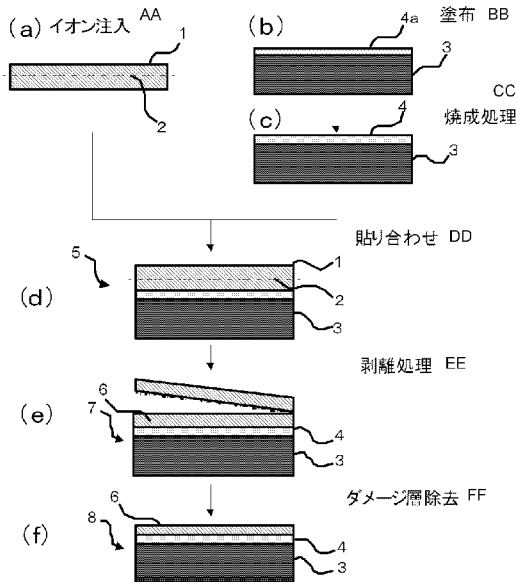
- (51) 国際特許分類:
H01L 21/02 (2006.01) H01L 21/316 (2006.01)
H01L 21/265 (2006.01) H01L 27/12 (2006.01)
- (21) 国際出願番号: PCT/JP2013/081091
- (22) 国際出願日: 2013年11月19日(19.11.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-255865 2012年11月22日(22.11.2012) JP
- (71) 出願人: 信越化学工業株式会社 (SHIN-ETSU CHEMICAL CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目6番1号 Tokyo (JP).
- (72) 発明者: 小西 繁 (KONISHI Shigeru); 〒3790127 群馬県安中市磯部二丁目13番1号 信越化学工業株式会社 精密機能材料研究所内 Gunma (JP).
白井 省三 (SHIRAI Shozo); 〒3790127 群馬県安中市磯部二丁目13番1号 信越化学工業株式会社 精密機能材料研究所内 Gunma (JP).
- (74) 代理人: 小島 隆司, 外 (KOJIMA Takashi et al.); 〒1040061 東京都中央区銀座二丁目16番12号 銀座大塚ビル2階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: COMPOSITE SUBSTRATE MANUFACTURING METHOD, AND COMPOSITE SUBSTRATE

(54) 発明の名称: 複合基板の製造方法及び複合基板



AA Ion implantation	DD Bonding
BB Coating	EE Peeling
CC Firing	FF Damaged layer removal

(57) Abstract: Disclosed is a composite substrate manufacturing method whereby, after bonding a semiconductor substrate (1) and a supporting substrate (3) to each other, the semiconductor substrate (1) is thinned, and a composite substrate (8) having a semiconductor layer (6) on the supporting substrate (3) is obtained. On the supporting substrate (3) surface to be bonded, a coating film (4a) containing polysilazane is formed, a silicon-containing insulating film (4) is formed by performing firing by heating the coating film (4a) to 600-1,200°C, then, the semiconductor substrate (1) and the supporting substrate (3) are bonded to each other with the insulating film (4) therebetween, thereby suppressing bonding failures due to surface roughness and defects of the supporting substrate, and easily obtaining the composite substrate.

(57) 要約: 半導体基板 1 と支持基板 3 とを貼り合わせた後、上記半導体基板 1 を薄化して、支持基板 3 上に半導体層 6 を有する複合基板 8 を得る複合基板の製造方法であって、支持基板 3 の貼り合わせを行う面に、ポリシラザンを含む塗膜 4 a を形成し、該塗膜 4 a を 600°C 以上 1200°C 以下に加熱する焼成処理を行ってケイ素含有絶縁膜 4 を形成し、その後上記半導体基板 1 と支持基板 3 とを該絶縁膜 4 を介して貼り合わせることにより、支持基板の面粗さや欠陥による貼り合わせ不良を抑制し、簡便に複合基板を得る。

WO 2014/080874 A1

明 細 書

発明の名称： 複合基板の製造方法及び複合基板

技術分野

[0001] 本発明は、絶縁膜を介した支持基板と半導体基板との貼り合わせ法を用いた複合基板の製造方法及び該製造方法により得られる複合基板に関する。

背景技術

[0002] GaN等のIII-V族半導体やSiC等のワイドギャップ半導体は、材料自身の物性によって発光素子や高耐圧デバイス、RFデバイスへの適用が検討されているが、実用化にあたり、これら半導体中に存在する欠陥が問題となっている。材料中の欠陥を少なくするためには、ヘテロエピ等によって薄膜を成長させるよりは、単結晶のバルク材料を使用する方が、欠陥数の面においては有利である。しかし、これらの単結晶材料は高価であることから、例えばシリコン・オン・インシュレータ(SOI)やシリコン・オン・サファイア(SOS)の製造で採用されているように、水素や希ガスのイオンを注入したシリコンウェハ(Siウェハ)とシリコンウェハやサファイアウェハの支持基板とを貼り合わせて接合した後、熱処理することによってSiウェハのイオン注入領域で脆化させた後、熱や機械的手段によってイオン注入領域で剥離させてSi薄膜を支持基板に転写するイオン注入剥離法による製造方法によれば、転写後のウェハの再利用によるコスト低減が期待できる。

[0003] しかしながら、このSOIやSOSの貼り合わせにおいては、シリコンウェハやサファイアウェハ表面が平滑であるために問題は無いが、例えばGaNウェハやSiCウェハの表面を貼り合わせ可能なレベルにまで平滑化することは非常に困難であり、平滑化にコストがかかる。また、GaNウェハやSiCウェハの貼り合わせに限らず、例えば多結晶材料又は多結晶材料を適当な基板表面に成膜した基板と、それらとは別種の基板とを貼り合わせる場合には、多結晶材料表面の凹凸が大きいいため、そのままでは貼り合わせを行

うことができない。

[0004] そのため、平滑でない凹凸のある材料基板を上記貼り合わせに用いるために、 SiO_2 やアモルファス Si 等の非晶質材料を基板表面に成膜し、成膜した面を化学機械研磨（CMP）等により直接接合が可能なレベルまで平滑化することが検討されている（O. Moutanabbir et al., Journal of Electronic Materials 39(5), 482-488(2010)（非特許文献1））。しかしながら、 SiO_2 やアモルファス Si の成膜には、一般にPECVD（plasma-enhanced chemical vapor deposition）やLPCVD（low pressure chemical vapor deposition）等の気相成長法が用いられているが、成膜のために高価な装置を使用しており、コストがかかる問題点がある。また、成膜した後の表面粗さが大きいいため、貼り合わせを行う前に必ず研磨処理を行う必要があり、更にプロセスが増える問題点がある。

[0005] コストを要せず成膜する手法として、表面が粗い面又は凹凸のある面にスピンのオン・グラス（SOG）層を設ける方法が考えられる。スピンのオン・グラスとしては、例えばBPSG（Boron Phosphorus Silicon Glass）や水ガラス等を挙げることができるが、これらはB、P、Na等の不純物を含有しているため、SOIやSOS、あるいは SiC や GaN 等を用いた電子デバイス用途の接合層として用いることは難しい。

[0006] 不純物を含まないSOG層の候補として、ポリシラザンの溶液を塗布し、熱処理（焼成処理）することによって SiO_2 に転化する方法が挙げられる。ポリシラザンから SiO_2 に転化した膜は不純物が少なく、また凹凸パターンへの埋め込み性が良いことから、例えばデバイスの層間絶縁膜への適用（特開2005-45230号公報（特許文献1））や有機TFTのゲート絶縁層への適用（国際公開第2006/019157号（特許文献2））が検討されている。しかしながら、これらの用途では最高でも450℃程度の低温で SiO_2 膜を形成しており、電子デバイスの接合層として用いた場合の膜中

に含まれるSiO₂以外の成分や官能基の影響が懸念される。

[0007] ポリシラザン焼成膜を基板の貼り合わせに用いた例としては、凹凸パターンのある面にポリシラザンをスリットコートして焼成してSiO₂化し、Siウエハと貼り合わせた例がある（特許第4728030号公報（特許文献3））。この例では、高さ500nmの段差を持つ基板を用いて貼り合わせを行う際に、この基板にスリットコートした後、350℃加熱でSiO₂に転化させ、CMPで平滑化した後に、水素イオンをインプラしたSi基板との貼り合わせを行い、イオン注入領域における剥離によってSi薄膜を転写して所望のウエハ構造を形成している。即ち、平滑化のための研磨処理を必須の工程としていた。

[0008] 以上のように、表面粗さが大きい基板面に平滑な接合層を設ける手段として、アモルファス材料をCVD法で形成した例はあるが、成膜には高価な装置を必要とし、成膜後には平滑化のための研磨を行う必要もあることからコストがかかる問題点があった。また、CVD法以外の簡便な手法、例えばSOGを半導体デバイス層の接合面に用いた検討はほとんどなされていない。SOGとしてポリシラザンを用いる方法は、低温でSiO₂化する用途での検討がほとんどであり、例えばSOIの埋め込み酸化膜層となる接合面への適用はほとんど検討されていない。更に、貼り合わせ面の段差を解消する手段としてポリシラザンを塗布しSiO₂転化した例はあるが、研磨をした後に貼り合わせを行っているため、SiO₂膜が貼り合わせ面の粗さを小さくし、研磨を必要とせずに貼り合わせができるか、形成したSiO₂膜が絶縁膜として電子デバイス接合面に使用できる膜質レベルであるか等の検討は行われていない。

先行技術文献

特許文献

[0009] 特許文献1：特開2005-45230号公報

特許文献2：国際公開第2006/019157号

特許文献3：特許第4728030号公報

非特許文献

- [0010] 非特許文献1：O. Moutanabbir et al., Journal of Electronic Materials 39(5), 482-488(2010)

発明の概要

発明が解決しようとする課題

- [0011] 本発明は、上記事情に鑑みなされたもので、支持基板の面粗さや欠陥による貼り合わせ不良を抑制し、簡便に複合基板が得られる複合基板の製造方法及び複合基板を提供することを目的とする。

課題を解決するための手段

- [0012] 本発明者らは、上記課題を解決するために鋭意検討した結果、ポリシラザンを含む塗膜を形成し、酸素を含む雰囲気下で加熱温度600℃以上1200℃以下の焼成処理を行うことにより、シリコン熱酸化膜と同程度の絶縁耐圧を有するSiO₂絶縁膜(SOG)が得られることを見出した。また、ポリシラザンを用いたSiO₂膜は、段差埋め込み性など平滑化に優れているため、上記温度で転化したSiO₂膜を用いることにより、表面を研磨することなく、焼成処理時の厚さのままで貼り合わせることが可能であり、CVD法に比べて簡素な方法で絶縁性に優れ、研磨を必要とせず接合することが可能であることを見出した。また、焼成処理の雰囲気として、窒素を含む不活性雰囲気又は真空下とすることでSiN絶縁膜を形成することができ、この場合も絶縁膜の研磨をすることなく、焼成処理時の厚さのままで貼り合わせが可能であることを確認した。本発明者らは、これらの知見を基に鋭意検討を行い、本発明を成すに至った。

- [0013] 即ち、本発明は、下記の複合基板の製造方法及び複合基板を提供する。

〔1〕 半導体基板と支持基板とを貼り合わせた後、上記半導体基板を薄化して、支持基板上に半導体層を有する複合基板を得る複合基板の製造方法であって、上記半導体基板と支持基板の貼り合わせを行う面の少なくともいずれかに、ポリシラザンを含有する塗膜を形成し、該塗膜を600℃以上12

00℃以下に加熱する焼成処理を行ってケイ素含有絶縁膜を形成し、その後に上記半導体基板と支持基板とを該絶縁膜を介して貼り合わせることを特徴とする複合基板の製造方法。

〔2〕 上記ポリシラザンがパーヒドロポリシラザンである〔1〕記載の複合基板の製造方法。

〔3〕 上記焼成処理が、酸素及び／又は水蒸気を含む雰囲気下で行われる〔1〕又は〔2〕記載の複合基板の製造方法。

〔4〕 上記焼成処理が、窒素を含む不活性雰囲気下又は減圧下で行われる〔1〕又は〔2〕記載の複合基板の製造方法。

〔5〕 上記絶縁膜を焼成処理時の厚さのままとして、上記半導体基板と支持基板の貼り合わせを行う〔1〕～〔4〕のいずれかに記載の複合基板の製造方法。

〔6〕 上記半導体基板の表面からイオンを注入してイオン注入領域を形成すると共に、上記支持基板の貼り合わせを行う面に上記ケイ素含有絶縁膜を形成し、上記半導体基板のイオン注入した表面と支持基板の表面とを該絶縁膜を介して貼り合わせた後、上記イオン注入領域で半導体基板を剥離させて支持基板上に半導体層を形成する〔1〕～〔5〕のいずれかに記載の複合基板の製造方法。

〔7〕 〔1〕～〔6〕のいずれかに記載の複合基板の製造方法により製造されてなる複合基板。

発明の効果

[0014] 本発明によれば、ポリシラザンを含有する塗膜を形成することにより簡易的に絶縁特性が良好で貼り合わせ可能な絶縁膜を形成でき、支持基板上に絶縁膜と半導体層が積層された電子デバイス用途に好適な複合基板を製造することができる。また、表面が粗い基板であっても絶縁膜によってその表面の粗さを低減でき、絶縁膜について研磨処理等を行うことなく焼成処理時の厚さのままで貼り合わせることが可能である。

図面の簡単な説明

[0015] [図1]本発明に係る複合基板の製造方法における製造工程の一例を示す概略図であり、(a)はイオン注入された半導体基板の断面図、(b)はパーヒドロポリシラザンを含む塗膜を形成した支持基板の断面図、(c)は焼成処理により絶縁膜を形成した支持基板の断面図、(d)は半導体基板と支持基板を貼り合わせた状態を示す断面図、(e)はイオン注入領域で半導体基板を剥離させた状態を示す断面図、(f)は複合基板の断面図である。

[図2]実施例1～3、比較例1における支持基板上の SiO_2 膜の赤外吸収スペクトル分析結果を示す図である。

[図3]ウェハ上の絶縁耐性評価を行う位置を示す正面図である。

[図4]実施例1の絶縁耐性の評価結果を示す図である。

[図5]比較例1の絶縁耐性の評価結果を示す図である。

[図6]比較例2の絶縁耐性の評価結果を示す図である。

発明を実施するための形態

[0016] 以下、本発明に係る複合基板の製造方法を図1に基づき、SOI基板の製造を例に取り、説明するが、本発明はこれに限定されるものではない。

本発明に係る複合基板の製造方法は、図1に示すように、半導体基板への水素イオン（希ガスイオン）注入工程（工程1）、絶縁膜形成工程（工程2）、半導体基板及び／又は支持基板の表面活性化処理工程（工程3）、半導体基板と支持基板の貼り合わせ工程（工程4）、剥離処理工程（工程5）、ダメージ層除去工程（工程6）の順に処理を行うものである。

[0017] （工程1：半導体基板への水素イオン（希ガスイオン）注入工程）

まず、半導体基板1の表面から水素イオン又は希ガス（即ち、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、ラドン）イオンを注入し、基板中にイオン注入領域2を形成する（図1(a)）。

[0018] なお、ここでは転写により半導体層を形成するための基板（半導体基板）としてシリコン基板を用いた例を示すが、本発明はこれに限定されず、半導体基板として、シリコン-ゲルマニウム（SiGe）、炭化ケイ素（SiC）、窒化アルミニウム（AlN）、ゲルマニウム（Ge）、窒化ガリウム（

GaN)、酸化亜鉛(ZnO)、ガリウム砒素(GaAs)からなる群から選ばれるいずれかの材料からなるものを用いることができる。あるいは、SOI基板のように単結晶半導体層を貼り合わせ面に持つ基板を用いることができる。

[0019] ここで、半導体基板1である単結晶シリコン基板(以下、シリコン基板ともいう)としては、特に限定されないが、例えばチョクラスキー(CZ)法により育成された単結晶をスライスして得られたもので、例えば直径が100~300mm、導電型がP型又はN型、抵抗率が $10\Omega\cdot\text{cm}$ 程度のものが挙げられる。

[0020] イオン注入領域2の形成方法は、特に限定されず、例えば、半導体基板1の表面から所望の深さにイオン注入領域2を形成できるような注入エネルギーで、所定の線量の水素イオン又は希ガスイオンを注入する。このときの条件として、例えば注入エネルギーは50~100keV、注入線量は $2\times 10^{16}\sim 5\times 10^{17}/\text{cm}^2$ とできる。注入される水素イオンとしては、 $2\times 10^{16}\sim 5\times 10^{17}(\text{atoms}/\text{cm}^2)$ のドーズ量の水素イオン(H^+)、又は $1\times 10^{16}\sim 2.5\times 10^{17}(\text{atoms}/\text{cm}^2)$ のドーズ量の水素分子イオン(H_2^+)が好ましい。特に好ましくは、 $6\times 10^{16}\sim 3\times 10^{17}(\text{atoms}/\text{cm}^2)$ のドーズ量の水素イオン(H^+)、又は $3\times 10^{16}\sim 1.5\times 10^{17}(\text{atoms}/\text{cm}^2)$ のドーズ量の水素分子イオン(H_2^+)である。

[0021] イオン注入された基板表面からイオン注入領域2までの深さ(即ち、イオン打ち込み深さ)は、支持基板3上に設ける半導体層(シリコン薄膜)の所望の厚さに対応するものであるが、好ましくは300~500nm、更に好ましくは400nm程度である。また、イオン注入領域2の厚さ(即ち、イオン分布厚さ)は、機械衝撃等によって容易に剥離できる厚さが良く、好ましくは200~400nm、更に好ましくは300nm程度である。

[0022] (工程2:絶縁膜形成工程)

次に、後述する半導体基板1と支持基板3との貼り合わせを行う面のいずれか又は両方にケイ素含有絶縁膜4を形成する。ここでは、支持基板3の貼

り合わせ面に絶縁膜4を形成する場合について説明する(図1(b)、(c))。

[0023] まず支持基板3上に、ポリシラザンを含む塗膜4aを形成する(図1(b))。

支持基板3としては、シリコン、サファイア、SiC、GaAs、GaN、ZnO等の単結晶基板、合成石英や多成分ガラス等のアモルファス基板、またp-Si、SiC、Si₃N₄、Al₂O₃、AlN等の多結晶基板を用いることができる。

[0024] ポリシラザンを含む塗膜4aを形成するために用いる塗布組成物は、ポリシラザンと溶媒を含むものとする。

ポリシラザンとしては、一般式 $-(SiH_2NH)_n-$ で表されるパーヒドロポリシラザンが、転化後の絶縁膜中に残存する不純物が少ないことから好ましい。なお、パーヒドロポリシラザンは、 $-(SiH_2NH)-$ を基本ユニットとし、その側鎖すべてが水素であり有機溶剤に可溶な無機ポリマーである。

[0025] また、溶媒としては、パーヒドロポリシラザンと混ぜて反応しない溶媒であればよく、トルエン、キシレン、ジブチルエーテル、ジエチルエーテル、THF(tetrahydrofuran)、PGME(propylene glycol methoxy ether)、PGMEA(propylene glycol ether monomethyl acetate)、ヘキサンのような芳香族溶媒、脂肪族溶媒、エーテル系溶媒を用いることができる。

[0026] 溶媒中のポリシラザンの濃度は1~30質量%が好ましく、3~20質量%がより好ましい。1質量%未満では塗布後の膜厚が薄くなり、支持基板3の表面粗さを改善する効果が不足するおそれがあり、30質量%を超えると溶液の安定性が低下する場合がある。

[0027] 上記塗布組成物の塗布方法としては、スプレーコート、スピンコート、ディップコート、ロールコート、スクリーン印刷、スリットコートなど公知の

方法を使用することができる。

塗布する厚さは、塗布をする基板表面の粗さや段差の程度、半導体デバイスとして要求される埋め込み層の厚さによって決まるが、焼成後の絶縁膜4としての厚さが10nm~10μmとなる程度の厚さが好ましい。1回の塗布で形成されない場合は、塗布を繰り返し積層してもよい。

塗布後は溶媒を除去するため、50~200℃程度で1分~2時間乾燥され、塗膜4aとなる。

[0028] 次に、塗膜4aを600℃以上1200℃以下で加熱する焼成処理を行い、塗膜4aのポリシラザンをSiO₂又はSiNに転化させて絶縁膜4とする(図1(c))。

[0029] ポリシラザンをSiO₂に転化する場合は、酸素及び/又は水蒸気を含む雰囲気下で600℃以上1200℃以下の加熱温度、好ましくは800℃以上1000℃以下の加熱温度で焼成処理を行う。加熱温度600℃未満では、例えば450℃で処理すると、ポリシラザン骨格はシロキサン骨格に転化されるが、シラノール基が残存しており、シリコンの熱酸化膜に比べて絶縁耐性としてリーク電流が高くなる。また、加熱温度が高いほど、絶縁膜4の表面粗さが改善される傾向にあるが、1200℃超ではSiO₂が分解してしまう。

[0030] ポリシラザンをSiNに転化する場合は、窒素を含む不活性雰囲気又は減圧真空下で600℃以上1200℃以下の加熱温度、好ましくは減圧真空下800℃以上1000℃以下の加熱温度で焼成処理を行う。加熱温度600℃未満では、SiNへの転化は進行しない。また、加熱温度が高いほど、絶縁膜4の表面粗さが改善される傾向にあるが、1200℃超ではSiNが分解してしまう。

[0031] 焼成処理時間は、好ましくは10秒~12時間、より好ましくは1分~1時間である。処理時間が10秒より短いと、ポリシラザンからの転化反応が不十分となるおそれがあり、12時間より長いと焼成処理コストの増加となる場合がある。

[0032] 以上の焼成処理により、支持基板3の貼り合わせを行う面に絶縁膜4を形成することができる(図1(c))。

[0033] 絶縁膜4の厚さは10nm~10μmが好ましく、20nm~5μmがより好ましい。厚さ10nm未満では、支持基板3の表面粗さ改善効果が不十分となるおそれがあり、10μm超では半導体デバイスにおける埋め込み層として不適となる場合がある。

[0034] この絶縁膜4は、従来のシリコン熱酸化膜と同程度の絶縁耐性を有する。またこれにより、絶縁膜4表面を研磨することなく、焼成処理時の厚さのまま貼り合わせが可能な程度に平滑な表面となる。特に、支持基板3がGa₂N₃ウエハ、SiCウエハ、あるいは多結晶材料からなり、そのままでは次工程の貼り合わせが困難な程度に表面が粗いものであっても、この絶縁膜4を形成することにより、その表面粗さは改善され、絶縁膜4表面を研磨することなく、焼成処理時の厚さのまま貼り合わせが可能な程度に平滑な表面となる。なお、焼成処理時の厚さのままの絶縁膜4とは、研磨やエッチング等の表面の粗さを変化させる処理を行わないという意味であり、後述する表面活性化処理は許容される。

[0035] この場合、焼成処理時の厚さのままの絶縁膜4の表面粗さR_{ms}が1.0nm以下であることが好ましく、0.8nm以下がより好ましい。この表面粗さR_{ms}が1.0nm超となると、半導体基板1との貼り合わせができなくなるおそれがある。

なお、R_{ms}(Root-mean-square)とは、基準長さにおける断面プロファイルの算術平均値に対する偏差の2乗値の平均に対する平方根として得られる2乗平均平方根粗さであり、JIS B0601:2013に規定する二乗平均平方根粗さR_qをいう(以下同じ)。

[0036] (工程3:半導体基板及び/又は支持基板の表面活性化処理工程)

貼り合わせの前に、半導体基板1のイオン注入された表面と、支持基板3上の絶縁膜4表面との双方もしくは片方に表面活性化処理を施す。

[0037] 表面活性化処理は、基板表面に反応性の高い未結合手(ダングリングボン

ド)を露出させること、又はその未結合手にOH基が付与されることで活性化を図るものであり、例えばプラズマ処理又はイオンビーム照射による処理により行われる。

[0038] プラズマで処理をする場合、例えば、真空チャンバ中に半導体基板1及び／又は支持基板3を載置し、プラズマ用ガスを導入した後、100W程度の高周波プラズマに5～10秒程度さらし、表面をプラズマ処理する。プラズマ用ガスとしては、半導体基板1を処理する場合、表面を酸化する場合には酸素ガスのプラズマ、酸化しない場合には水素ガス、アルゴンガス、又はこれらの混合ガスあるいは水素ガスとヘリウムガスの混合ガス等を挙げることができる。支持基板3上の絶縁膜4を処理する場合は、水素ガス、アルゴンガス、又はこれらの混合ガスあるいは水素ガスとヘリウムガスの混合ガス等を用いる。この処理により、半導体基板1の表面の有機物が酸化して除去され、更に表面のOH基が増加し、活性化する。また、支持基板3(絶縁膜4)の表面の不純物が除去され、活性化する。

[0039] また、イオンビーム照射による処理は、プラズマ処理で使用するガスを用いたイオンビームを半導体基板1及び／又は支持基板3(絶縁膜4)に照射して表面をスパッタする処理であり、表面の未結合手を露出させ、結合力を増すことが可能である。

[0040] (工程4:半導体基板と支持基板との貼り合わせ工程)

次に、支持基板1のイオン注入された表面と支持基板3の絶縁膜4の表面とを貼り合わせる(図1(d))。このとき、150～200℃程度に加熱しながら貼り合わせるとよい。以下、この接合体を貼り合わせ基板5という。半導体基板1のイオン注入面と絶縁膜4の表面の少なくとも一方が活性化処理されていると、より強く接合できる。

[0041] 貼り合わせ後に、貼り合わせ基板5に熱を加えて熱処理(第2の熱処理)を行う。この熱処理により、半導体基板1と支持基板との絶縁膜4を介した結合が強化される。このときの熱処理は、貼り合わせ基板5が半導体基板1と支持基板3の熱膨率の差の影響(熱応力)で破損しない温度を選択する。

その熱処理温度は、好ましくは300℃以下、より好ましくは150～250℃、さらに好ましくは150～200℃である。また、熱処理の時間は、例えば1～24時間である。

[0042] (工程5：剥離処理工程)

次に、貼り合わせ基板5におけるイオン注入した部分に熱的エネルギー、機械的エネルギー又は光的エネルギーを付与して、イオン注入領域2に沿って剥離させ、半導体基板1の一部を半導体層6として支持基板3側に転写してウェハ7とする(図1(e))。即ち、支持基板3に絶縁膜4を介して結合した半導体の薄膜を半導体基板1から剥離させて半導体層(シリコン層)6とする。なお、剥離は、イオン注入領域2に沿って貼り合わせ基板5の一端から他端に向かうへき開によるものが好ましい。

[0043] 剥離処理として、例えば好ましくは200℃以上、より好ましくは250～350℃の加熱を行ってイオン注入した部分に熱的エネルギーをかけてイオン注入した部分に微少なバブル体を発生させることにより剥離を行う方法や、イオン注入した部分が上記熱処理により脆化されていることから、この脆化部分に例えば1MPa以上5MPa以下のウェハを破損させないような圧力を適宜選択し、ガスや液体等の流体のジェットを吹き付ける衝撃力のような機械的エネルギーを印加して剥離を行う方法、イオン注入した部分がアモルファス状態になることによりアモルファス部分に吸収される波長の光を照射し光エネルギーを吸収させてイオン注入界面から剥離を行う方法等から選ばれる1つの手法もしくは2つ以上の手法を組み合わせる剥離を行うとよい。

[0044] (工程6：イオン注入ダメージ層除去工程)

次に、ウェハ7の支持基板3上の半導体層6表層において、上記イオン注入によりダメージを受けて結晶欠陥を生じている層を除去する。

[0045] ここで、イオン注入ダメージ層の除去は、ウェットエッチング又はドライエッチングにより行うことが好ましい。ウェットエッチングとしては、例えばKOH溶液、NH₄OH溶液、NaOH溶液、CsOH溶液、アンモニア水

(28質量%)、過酸化水素水(30~35質量%)、水(残部)からなるSC-1溶液、EDP(エチレンジアミンピロカテコール)溶液、TMAH(4メチル水酸化アンモニウム)溶液、ヒドラジン溶液のうち、少なくとも1つのエッチング溶液を用いて行うとよい。また、ドライエッチングとしては、例えばフッ素系ガス中に支持基板3上の半導体層6を曝してエッチングする反応性ガスエッチングやプラズマによりフッ素系ガスをイオン化、ラジカル化して半導体層6をエッチングする反応性イオンエッチング等が挙げられる。

[0046] また、本工程において除去対象となる領域は、少なくとも結晶欠陥に拘る半導体層6のイオン注入ダメージ層全てであり、半導体層6表層の好ましくは120nm以上の厚さ分、より好ましくは150nm以上の厚さ分である。支持基板3上の半導体層6の厚さは、100~400nmとなる。

[0047] 最後に、支持基板3上の半導体層6表面を鏡面仕上げする。具体的には、半導体層6に化学機械研磨(CMP研磨)を施して鏡面に仕上げる。ここではシリコンウェハの平坦化等に用いられる従来公知のCMP研磨でよい。なお、このCMP研磨で上記イオン注入ダメージ層の除去を兼ねてもよい。

[0048] 以上の工程を経て、支持基板3上に絶縁膜4と半導体層6が積層された電子デバイス用途に好適な複合基板8を製造することができる(図1(f))。

なお、ここでは半導体基板1を薄化して半導体層6を得る方法として、イオン注入剥離法を用いたものを説明したが、これに限定されるものではなく、例えば研削、ラップ加工、研磨等の機械的手法やエッチング等の化学的手法、あるいはそれらの組み合わせた手法を用いて、半導体基板1を薄化してもよい。

実施例

[0049] 以下に、実施例及び比較例を挙げて、本発明を更に具体的に説明するが、本発明はこれらに限定されるものではない。

[0050] [実施例1]

評価用サンプルの作製及び評価を次の手順で行った。

まず、パーヒドロポリシラザンから SiO_2 に転化した膜を Si ウエハの支持基板上に形成した。詳しくは、溶媒 n -ジブチルエーテルにパーヒドロポリシラザンを20質量%含む溶液（サンワ化学製トレスマイル、型番ANN120-20）2mLを外径150mmの Si ウエハ上にスピコートし、150°Cで3分間加熱して溶媒を除去した。その後、大気中600°Cで3分間加熱する焼成処理を行い、塗膜を SiO_2 膜へ転化させた。焼成処理後の膜厚は200nmであった。このときの焼成処理前後の膜質の変化を赤外吸収スペクトルにより確認し、焼成処理後の SiO_2 膜形成面の表面粗さ（Rms）を原子間力顕微鏡（AFM）により測定した。更に、瞬時絶縁破壊法（Time Zero Dielectric Breakdown）により、ウエハ面内10点の SiO_2 膜の絶縁耐圧を評価した。

次に、上記支持基板の SiO_2 膜形成面と水素イオンをイオン注入した Si ウエハのイオン注入面とを貼り合わせ、接合用の熱処理を行った。詳しくは、 Si ウエハに57keV、ドーズ量 $6.0 \times 10^{16} \text{ atoms/cm}^2$ で水素イオンを注入し、そのイオン注入面側、及び上記支持基板の SiO_2 膜形成面に対してイオンビーム活性化処理を行った後、両者を貼り合わせ、更に300°Cで10時間の接合用の熱処理を行った。この300°C加熱の熱処理後の接合界面における剥がれの有無やボイド発生の有無を超音波顕微鏡で観察して確認した。

次に、上記貼り合わせ基板についてイオン注入領域で剥離することによって Si 単結晶薄膜の支持基板への転写を行った。この Si 単結晶薄膜が転写された基板について、 N_2 雰囲気下で1000°Cの加熱処理を行い、接合界面からの剥がれやボイド発生の有無を超音波顕微鏡で観察して確認した。

[0051] [実施例2]

実施例1において、焼成温度を800°Cに変更し、それ以外は実施例1と同様にして、 Si 単結晶薄膜の支持基板への転写を行った。また、実施例1と同様の評価を行った。

[0052] [実施例 3]

実施例 1 において、焼成温度を 1000℃に変更し、それ以外は実施例 1 と同様にして、Si 単結晶薄膜の支持基板への転写を行った。また、実施例 1 と同様の評価を行った。

[0053] [比較例 1]

実施例 1 において、焼成温度を 450℃に変更し、それ以外は実施例 1 と同様にして、Si 単結晶薄膜の支持基板への転写を行った。また、実施例 1 と同様の評価を行った。

[0054] [比較例 2]

実施例 1 において、支持基板を酸素を含む雰囲気下において 1000℃加熱の熱酸化を行うことにより厚さ 200nm の SiO₂膜を形成した Si ウェハとし、それ以外は実施例 1 と同様にして、Si 単結晶薄膜の支持基板への転写を行った。また、実施例 1 と同様の評価を行った。

[0055] <熱処理温度による赤外吸収スペクトルの変化>

図 2 に、実施例 1～3、比較例 1 における支持基板上の SiO₂膜の赤外吸収スペクトル分析結果を示す。また、150℃乾燥後、焼成処理前のパーヒドロポリシラザン膜（塗布後）についての赤外吸収スペクトルも図 2 に示す。なお、赤外吸収スペクトルの測定は、フーリエ変換赤外分光分析装置（Spectrum One、パーキンエルマー社製）を用いて透過法で測定した。

図 2 に示すように、実施例 1～3 及び比較例 1 と塗布後とを比較すると、450℃以上の焼成処理によって、Si-H、N-H、Si-N に起因する吸収ピークが消滅し、Si-O に起因するピークが出現していることから、SiO₂への転化がなされていることがわかる。ただし、比較例 1（焼成温度 450℃）においては、波数 3000～3800 cm⁻¹において OH 基による吸収が見られることから、塗膜の SiO₂化は進んでいるが、シラノール基が存在していることがわかる。焼成温度を 600℃以上とするとシラノール基に起因するピークは見られなくなり、シラノールの縮合が進んでいるものと

推測される。

[0056] <絶縁耐圧の評価>

実施例1、比較例1及び比較例2で作製したSiO₂膜について、図3に示すように、ウェハ上の1～10で示す位置の10点で、TZDB (Time Zero Dielectric Breakdown) 法により絶縁耐圧評価を行った。なお、TZDB法による測定は、ゲート面積を8mm²とし、1Vステップの電圧印加を行ってリーク電流を測定した。このとき、印加電圧をSiO₂膜の膜厚で除したものを電界強度 (MV/cm) とした。

その結果を図4～図6に示す。図4は、実施例1 (600℃で焼成処理したSiO₂膜) の評価結果、図5は、比較例1 (450℃で焼成処理したSiO₂膜) の評価結果、図6は、比較例2 (熱酸化膜) の評価結果である。なお、図4～図6の図中の数字は図3に示す評価位置に対応するものである。

図4に示すように、実施例1の焼成温度600℃のシラノール基が縮合したSiO₂膜では、比較例2の熱酸化膜 (図6) と同様のI-V特性を示している。600℃以上で焼成処理することによって膜中のシラノール基が縮合し、リーク電流が小さくなるものと推測される。一方、図5に示すように、比較例1の450℃で焼成したシラノール基が残存するSiO₂膜では、絶縁破壊電界強度は実施例1 (図4) や比較例2 (図6) と同程度であるが、リーク電流値が他のものより高くなっている。

このように、パーヒドロポリシラザンを含む塗膜を600℃以上で焼成処理することにより、膜中のシラノール基を縮合させ、SiO₂膜の膜質を熱酸化膜と同程度にすることができる。

[0057] <接合性及び熱処理後の剥がれ・ポイド発生有無の確認>

実施例1～3及び比較例1、2において、SiO₂膜の表面粗さ測定結果、並びに支持基板とSiウエハとの貼り合わせ可否を調べた結果を表1に示す。

実施例1～3及び比較例1のパーヒドロポリシラザンから得たSiO₂膜の表面粗さR_{ms}は、比較例2に示す熱酸化膜の表面粗さR_{ms}に比べて若干

大きな値を示した。そこで、支持基板のSiO₂膜の表面研磨をすることなく、Siウエハとの貼り合わせが可能か否かを調べるため、水素イオンを注入したSiウエハを用い、貼り合わせ可否を調べた。詳しくは、貼り合わせたウエハを超音波顕微鏡によって観察し、貼り合わせ界面の気泡の有無を観察することにより貼り合わせ可否を判断した。その結果、実施例1～3、比較例1の全てで貼り合わせが可能であった。

また、300℃加熱の接合用の熱処理後で、剥離処理前の貼り合わせ基板について、接合界面における剥がれやボイド発生の有無を超音波顕微鏡で調べた。その結果、比較例1、即ち焼成温度450℃のSiO₂膜については、接合界面で著しいボイドの発生が見られた。一方、実施例1～3については接合界面に剥がれやボイドの発生は見られなかった。比較例1では、SiO₂膜中のシラノール基の縮合あるいは膜中の水分が接合用の熱処理によってガスとなり、接合界面に拡散したためにボイドが生成したものと思われる。

次に、イオン注入領域で剥離させてSi膜を転写した後、1000℃まで熱処理して接合界面に新たに剥がれやボイドの発生が生じるか確認したところ、600℃以上でSiO₂転化した膜（実施例1～3）及び熱酸化膜（比較例2）について変化は見られなかった。

[0058] [表1]

	焼成処理 温度(°C)	表面粗さ Rms (nm)	貼り合わせ 可否	剥がれ・ボイド発生	
				300℃加熱後	1000℃加熱後
実施例1	600	0.54	可	無	無
実施例2	800	0.41	可	無	無
実施例3	1000	0.38	可	無	無
比較例1	450	0.67	可	有	—
比較例2	—	0.24	可	無	無

[0059] [実施例4]

表面の粗い基板にポリシラザンを塗布、SiO₂転化することでSiウエハとの貼り合わせができるか確認を行った。基板として、直径2インチのGaNウエハを用いた。その表面粗さRmsをAFMで確認したところ、2.1

4 nmであり、そのまま外径が2インチのイオン注入したSiウエハとの貼り合わせはできなかった。

GaNウエハ表面に、n-ジブチルエーテルにパーヒドロポリシラザンを5質量%含む溶液1 mLをスピコートし、150°Cで3分間加熱して溶媒を除去した。その後、大気中600°Cで3分間加熱する処理を行い、塗膜をSiO₂膜へ転化させた。焼成処理後の膜厚は50 nm、AFMで確認した表面粗さRmsは0.39 nmであり、表面粗さが貼り合わせ可能なレベルにまで小さくなっていた。イオン注入したSiウエハとの貼り合わせ可否を調べたところ、界面のポイドは無く接合することができた。

[0060] [比較例3]

GaN表面の粗さ改善をパーヒドロポリシラザンのスピコートでなく、PECVD法でSiO₂を成膜して調べた。SiO₂膜の厚さは50 nmとし、成膜後の表面粗さRmsをAFMで調べたところ1.38 nmであり、ポリシラザンのSiO₂転化膜に比べ大きかった。この表面粗さでSiウエハとの貼り合わせを試みたが、貼り合わせはできなかった。貼り合わせを可能とするためには、SiO₂成膜後に研磨をするプロセスがさらに必要となることを確認した。

[0061] 以上より、パーヒドロポリシラザン膜を塗布し600°C以上の温度でSiO₂転化した膜は、転化後の研磨なし、即ち焼成処理時の厚さのままでも接合可能であることがわかった。600°C以上で処理することで、接合後の加熱処理によって接合界面における剥がれやポイドの発生が無く、デバイス製造プロセスの最高温度付近の1000°C程度の処理に対しても安定であることがわかった。また、600°C以上の焼成処理によって、SiO₂膜の絶縁耐圧や電圧印加時のリーク電流も熱酸化膜と同程度であり、デバイスが形成される単結晶半導体薄膜直下の接合層として十分使用できることが確認された。

本実施例では、支持基板であるSi基板上の塗布及びイオン注入したSi基板との接合の例を示したが、表面粗さRmsがSiウエハに比べ1桁高いSiCやGaN単結晶ウエハに対しても、パーヒドロポリシラザンを塗布し

、600°C以上の焼成処理によりSiO₂絶縁膜に転化することで、表面の粗さを小さくし、剥がれやボイドの発生なしに接合することが可能である。この場合、CVD法で成膜する方法と異なり、スピコートなど簡易的に成膜でき、研磨をすることなく接合することが可能である。また、SiO₂膜に転化する温度をシラノール基が残存しない焼成温度とするので、絶縁特性が良好な接合層を得ることができる。

[0062] なお、これまで本発明を実施形態をもって説明してきたが、本発明はこの実施形態に限定されるものではなく、他の実施形態、追加、変更、削除等、当業者が想到することができる範囲内で変更することができ、いずれの態様においても本発明の作用効果を奏する限り、本発明の範囲に含まれるものである。

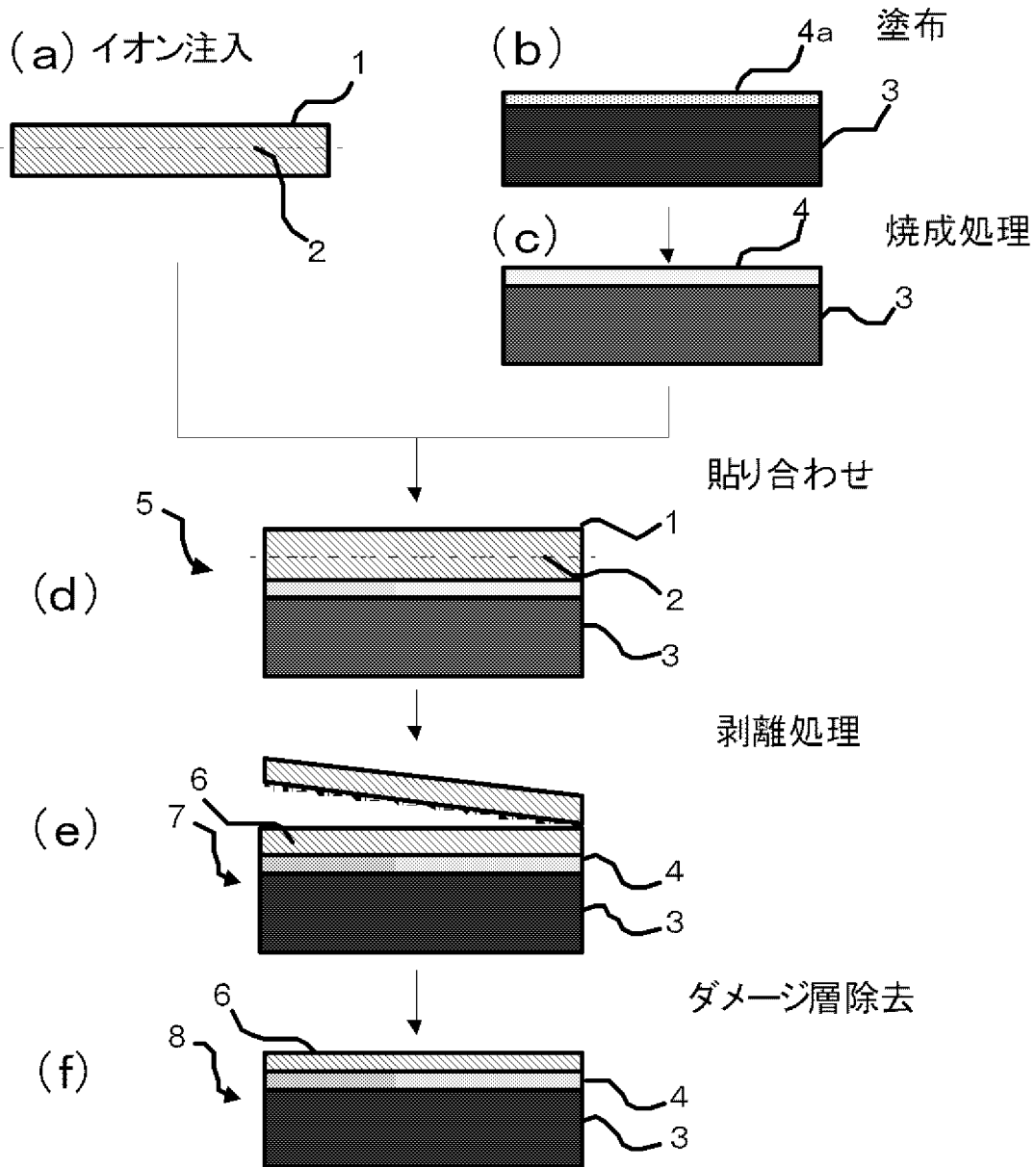
符号の説明

- [0063] 1 半導体基板
2 イオン注入領域
3 支持基板
4 絶縁膜（シリコン酸化膜）
4 a 塗膜
5 貼り合わせ基板（接合体）
6 半導体層
7 ウェハ
8 複合基板

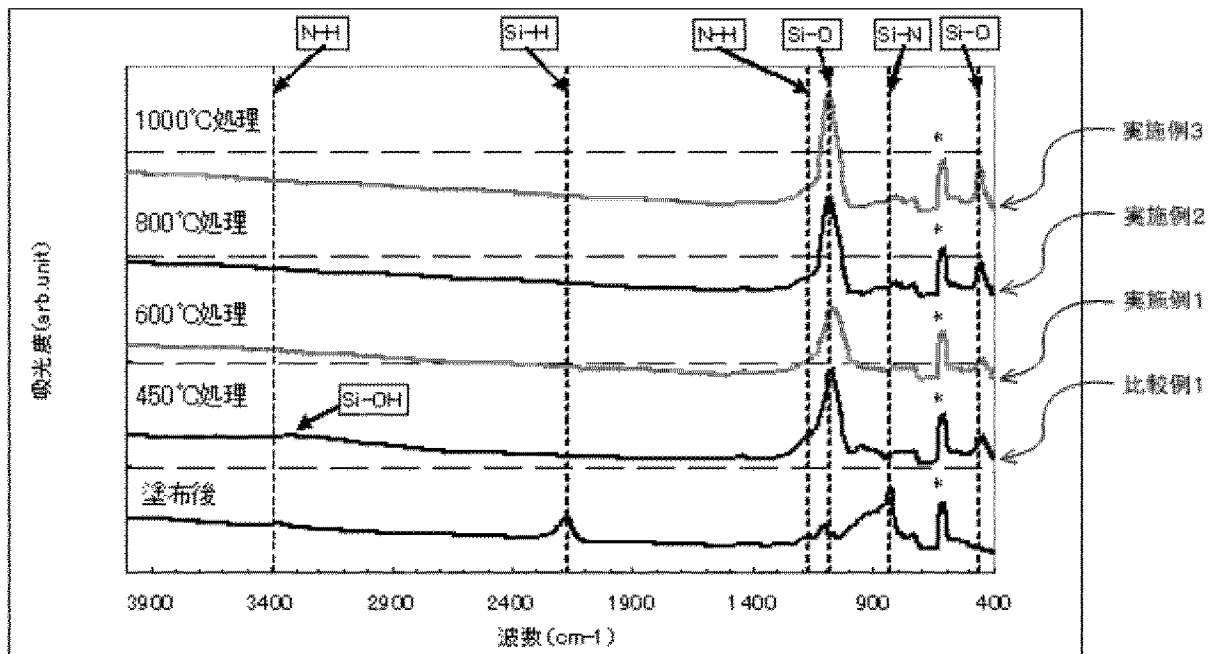
請求の範囲

- [請求項1] 半導体基板と支持基板とを貼り合わせた後、上記半導体基板を薄化して、支持基板上に半導体層を有する複合基板を得る複合基板の製造方法であって、上記半導体基板と支持基板の貼り合わせを行う面の少なくともいずれかに、ポリシラザンを含有する塗膜を形成し、該塗膜を600℃以上1200℃以下に加熱する焼成処理を行ってケイ素含有絶縁膜を形成し、その後に上記半導体基板と支持基板とを該絶縁膜を介して貼り合わせることを特徴とする複合基板の製造方法。
- [請求項2] 上記ポリシラザンがパーヒドロポリシラザンである請求項1記載の複合基板の製造方法。
- [請求項3] 上記焼成処理が、酸素及び／又は水蒸気を含む雰囲気下で行われる請求項1又は2記載の複合基板の製造方法。
- [請求項4] 上記焼成処理が、窒素を含む不活性雰囲気下又は減圧下で行われる請求項1又は2記載の複合基板の製造方法。
- [請求項5] 上記絶縁膜を焼成処理時の厚さのままとして、上記半導体基板と支持基板の貼り合わせを行う請求項1～4のいずれか1項記載の複合基板の製造方法。
- [請求項6] 上記半導体基板の表面からイオンを注入してイオン注入領域を形成すると共に、上記支持基板の貼り合わせを行う面に上記ケイ素含有絶縁膜を形成し、上記半導体基板のイオン注入した表面と支持基板の表面とを該絶縁膜を介して貼り合わせた後、上記イオン注入領域で半導体基板を剥離させて支持基板上に半導体層を形成する請求項1～5のいずれか1項記載の複合基板の製造方法。
- [請求項7] 請求項1～6のいずれか1項記載の複合基板の製造方法により製造されてなる複合基板。

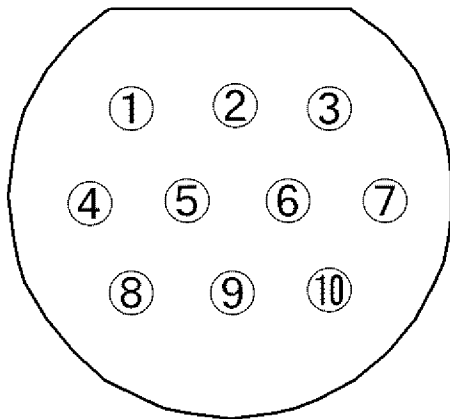
[図1]



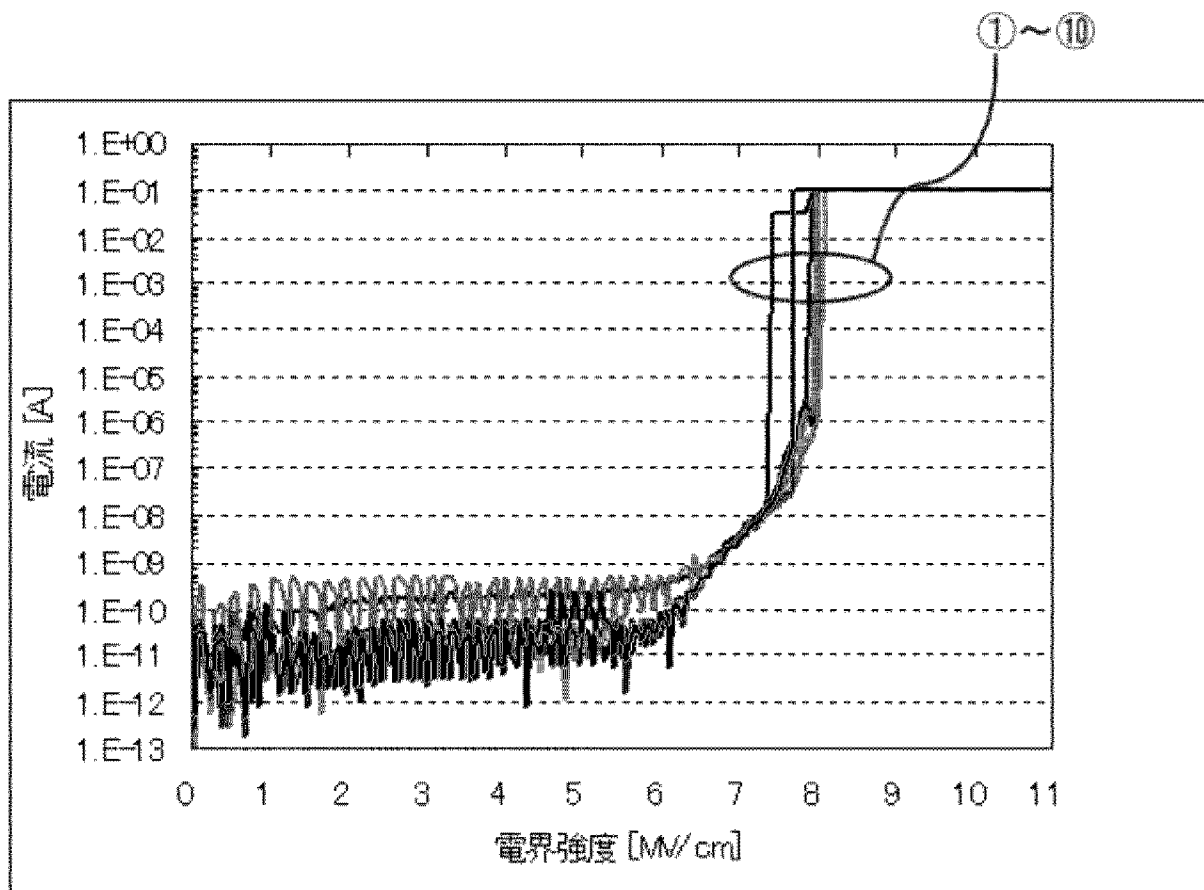
[図2]



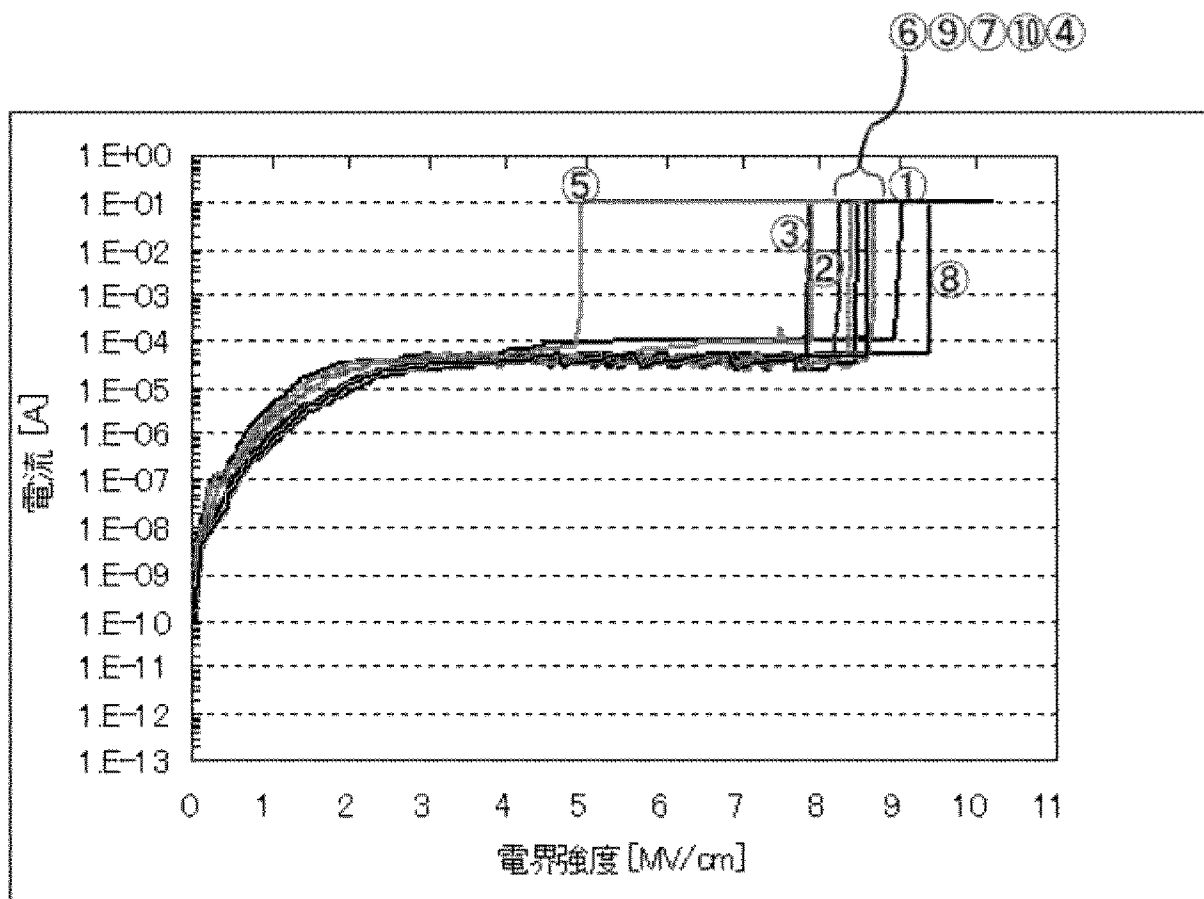
[図3]



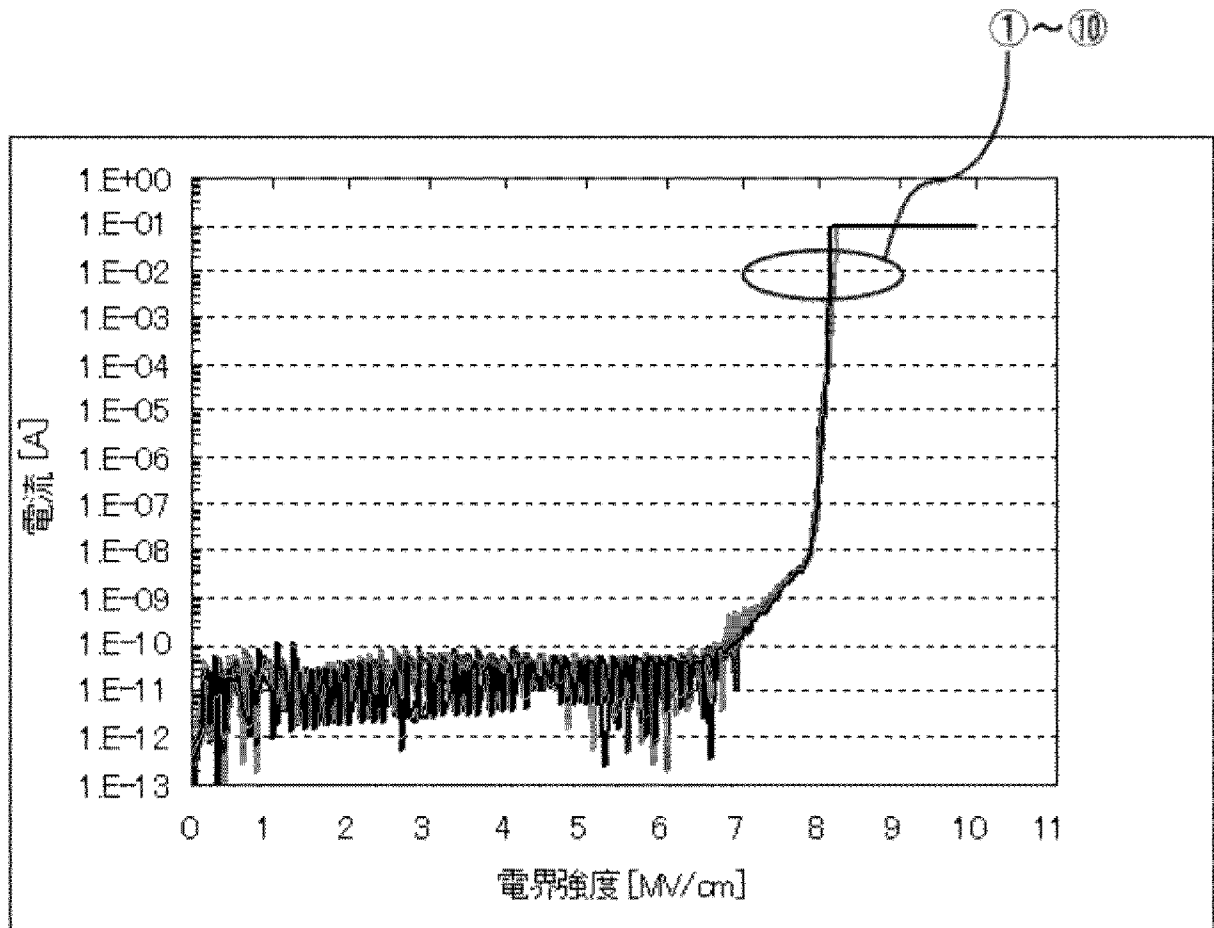
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/081091

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/02(2006.01)i, H01L21/265(2006.01)i, H01L21/316(2006.01)i,
H01L27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/02, H01L21/265, H01L21/316, H01L27/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2006-295037 A (Shin-Etsu Chemical Co., Ltd.), 26 October 2006 (26.10.2006), paragraphs [0021] to [0045] (Family: none)	1-3, 6, 7 4, 5
Y	JP 2005-116706 A (Tokyo Electron Ltd.), 28 April 2005 (28.04.2005), paragraphs [0003] to [0014], [0022] to [0043] & US 2007/0231484 A1 & KR 10-2005-0033469 A & TWB 00I362701	1-3, 6, 7
A	JP 10-194873 A (Tonen Corp.), 28 July 1998 (28.07.1998), paragraphs [0002] to [0031] (Family: none)	4

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
06 February, 2014 (06.02.14)

Date of mailing of the international search report
18 February, 2014 (18.02.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/081091

Claim 1 of the present application describes that "the semiconductor substrate and the support substrate are bonded with each other with the insulating film interposed therebetween".

In the description of the present application, however, only the case in which the surface of the "insulating film" is used as a joint surface is described, but a case in which the "semiconductor substrate" and the "support substrate" are bonded with each other without using the surface of the "insulating film" as a joint surface is not considered to be supported by the disclosure of the description.

Therefore, searching was limited to the case in which a semiconductor substrate and a support substrate are bonded with each other using the surface of an insulating film as a joint surface.

A. 発明の属する分野の分類（国際特許分類（IPC））
 Int.Cl. H01L21/02(2006.01)i, H01L21/265(2006.01)i, H01L21/316(2006.01)i, H01L27/12(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（IPC））
 Int.Cl. H01L21/02, H01L21/265, H01L21/316, H01L27/12

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2014年
 日本国実用新案登録公報 1996-2014年
 日本国登録実用新案公報 1994-2014年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2006-295037 A（信越化学工業株式会社）2006. 10. 26, 段落 0021-0045（ファミリーなし）	1-3, 6, 7 4, 5
Y	JP 2005-116706 A（東京エレクトロン株式会社）2005. 04. 28, 段落 0003-0014, 0022-0043 & US 2007/0231484 A1 & KR 10-2005-0033469 A & TWB 00I362701	1-3, 6, 7
A	JP 10-194873 A（東燃株式会社）1998. 07. 28, 段落 0002-0031（ファミリーなし）	4

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 06. 02. 2014	国際調査報告の発送日 18. 02. 2014
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 綿引 隆 電話番号 03-3581-1101 内線 3516

5 F 2934

本願の請求項1には「上記半導体基板と支持基板とを該絶縁膜を介して貼り合わせる」と記載されている。

しかしながら、本願の明細書には、上記の「絶縁膜」の表面を接合面とする場合のみ記載されており、「半導体基板」と「支持基板」とを「絶縁膜」の表面を接合面としないで貼り合わせる場合については、明細書の開示により裏付けされたものとは認められない。

よって、半導体基板と支持基板とを絶縁膜の表面を接合面として貼り合わせる場合に限定して調査を行った。