(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3937359号
(P3937359)
(45)発行日　平成19年6月27日(2007.6.27)　(24)登録日　平成19年4月6日(2007.4.6)

(51)Int.Cl.　　F I
G09G 5/00 (2006.01)　G09G 5/00 Z
G09G 3/18 (2006.01)　G09G 3/18

請求項の数 1　(全 17 頁)

(21)出願番号　特願平4-161477
(22)出願日　平成4年6月19日(1992.6.19)
(65)公開番号　特開平6-4055
(43)公開日　平成6年1月14日(1994.1.14)
審査請求日　平成11年6月10日(1999.6.10)
審判番号　不服2002-12433(P2002-12433/J1)
審判請求日　平成14年7月4日(2002.7.4)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(73)特許権者　000233136
株式会社日立アドバンストデジタル
神奈川県横浜市戸塚区吉田町２９２番地
(74)復代理人　100084032
弁理士　三品　岩男
(72)発明者　▲真▼野　宏之
神奈川県横浜市戸塚区吉田町２９２番地
株式会社　日立製作所　マイクロエレクトロニクス機器開発研究所内
(72)発明者　西本　和久
神奈川県横浜市戸塚区吉田町２９２番地
株式会社日立画像情報システム内
最終頁に続く

(54)【発明の名称】表示データ伝送装置

(57)【特許請求の範囲】
【請求項１】
情報処理装置本体と表示装置とを備え、前記情報処理装置本体から前記表示装置へ表示データを伝送する表示データ伝送装置において、
前記情報処理装置本体は、
複数ビットで１画素が構成されている表示データを記憶したメモリからドットクロックに基づく周期で前記表示データを読み出す手段と、
読み出された前記表示データをシリアルデータに変換して前記表示装置へ出力し、かつ、前記シリアルデータを前記表示装置に表示させるための水平同期信号、垂直同期信号、表示タイミング信号及びバックライトコントロール信号を、前記ドットクロックに基づいて、前記メモリから前記表示データを読み出す期間内で１つずつ選択して、１本の信号線により前記表示装置へ出力すると共に、前記表示装置にて前記水平同期信号、前記垂直同期信号、前記表示タイミング信号及び前記バックライトコントロール信号を再現するための基準となる、前記ドットクロックに基づく周期に同期する基準信号と、前記ドットクロックと、を前記表示装置へ出力するインターフェース出力手段とを備え、
前記インターフェース出力手段は、前記水平同期信号、前記垂直同期信号、前記表示タイミング信号及び前記バックライトコントロール信号と、前記シリアルデータと、前記基準信号と、前記ドットクロックとをＴＴＬ信号レベルからＥＣＬ信号レベルへ変換してから前記表示装置へ出力し、
前記表示装置は、ＥＣＬ信号レベルの前記水平同期信号、前記垂直同期信号、前記表示

タイミング信号及び前記バックライトコントロール信号と、前記シリアルデータと、前記基準信号と、前記ドットクロックとを入力できるインターフェース入力手段を備えることを特徴とする表示データ伝送装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は、パソコン、ワークステーション等の高速な表示データを伝送するのに好適な表示データ伝送装置に関する。

【０００２】

【従来の技術】

従来、パソコン本体から液晶表示装置へは、ＴＴＬ信号レベルの信号で表示データを伝送していた。しかし、近年、液晶表示装置の解像度の高解像度化に伴い、１フレーム中にパソコン本体から液晶表示装置に伝送すべき表示データ量が増大するため、パソコン本体と液晶表示装置間の伝送線数を増やすか、表示データを伝送するドットレートを高速にする必要が生じた。

【０００３】

例えば、液晶表示装置の表示色が２６万色だとするとパソコン本体から液晶表示装置へ出力する表示データの伝送線数は、１８本（Ｒ，Ｇ，Ｂ各６本）必要となり、解像度として、横１２８０ドット、縦１０２４ラインで、フレーム周波数が６０Ｈｚの液晶表示装置の場合、表示データの伝送速度は約８０Ｍｂｐｓとなる。なお、表示データの伝送速度は以下の式で求めることができ、上記８０Ｍｂｐｓは、帰線期間を“０”で算出したものである。

【０００４】

表示データの伝送速度＝（解像度＋Ｘ）×フレーム周波数

（Ｘ：帰線期間）

そこで、伝送速度を遅くする方法として、従来パソコン本体において表示データを記憶している表示メモリから読みだす表示データをパラレル／シリアル変換（以後、Ｐ／Ｓ変換と略す）して液晶表示装置に伝送していたものを、Ｐ／Ｓ変換せずにそのまま液晶表示装置に伝送することにより、表示データのドットレートをＴＴＬ信号レベルの信号で伝送可能な速度で伝送する、という方法が考えられる。しかし、これではドットレートが低速な分だけ伝送線数が増えてしまうので、パソコン本体と液晶表示装置間のケーブル径が太くなり、美観を損ねる、配線をしずらい、等の問題が生じてしまう。

【０００５】

これに対し、ドットレートを低速にし、かつ伝送線数を増やさずに伝送する手段としては、例えば特開平３－５７９０号公報に開示されているように、１フレームで表示すべき表示データを１フレーム中にすべて伝送せずに、一定の表示ドット数おきに順次抽出して伝送する装置が提案されている。この装置では、例えば、４ドットおきに順次抽出して伝送した場合には、表示データの伝送速度は、１フレームで表示データを全て伝送した時の１／４になり、４フレーム分の時間をかけることで１フレーム分の表示データを伝送する。これにより、８０Ｍｂｐｓのドットレートが、伝送線数を増やすことなく、ＴＴＬ信号レベルでも伝送できる２０Ｍｂｐｓのドットレートになる。

【０００６】

【発明が解決しようとする課題】

上記特開平３－５７９０号公報に記載の従来技術では、表示画面の変化が少ない場合や、表示データを順次抽出して伝送して１フレーム分の表示データが揃う時間よりも表示画面の変化する間隔が長い場合には、表示品質に問題はない。

【０００７】

しかし、１フレーム中に本来伝送すべき表示データ量よりも少ない表示データ量しか伝送していないため、表示画面が随時変化するスクロール等の表示の場合には、隣接するドットの表示データが１フレーム分以上の時間的ズレを生じており、隣接するドット同士で異

なるフレームのデータを表示するので、表示画面が乱れてしまう。例えば１つの文字フォントの中でも画面の変化する前と後ろのデータが混在して、文字等の判別が困難になるという問題点があった。

【０００８】

さらに、ＴＴＬ信号レベルの伝送は、伝送線路での減衰やノイズの影響を受け易いため、長距離伝送に適しておらず、例えばパソコン本体と液晶表示装置との間を１０ｍ以上離して使用するといった用途には適用できない。

【０００９】

本発明の目的は、長距離伝送においても、伝送線数を増やす必要なく、良好な表示品質が保てる表示データ伝送装置を提供することである。

【００１０】

【課題を解決するための手段】

本発明は、情報処理装置本体から表示装置へ少なくとも表示データを伝送する表示データ伝送装置において、情報処理装置本体が表示装置へ伝送するデータのうち、少なくとも表示データとドットクロックとをＥＣＬ信号レベルの信号で伝送するようにしたものである。

【００１１】

さらに具体的には、少なくとも処理手段と表示制御手段と表示メモリを有するパソコン本体において、液晶表示装置に伝送するデータのうち、表示メモリからの表示データをＰ／Ｓ変換した後の表示データと表示制御手段で生成するドットクロックを少なくともＥＣＬ信号レベルの信号で出力するＥＣＬインターフェース出力手段を設け、さらに液晶制御手段と液晶モジュールを有する液晶表示装置において、パソコン本体から伝送されるＥＣＬ信号レベルのデータを入力し、前記液晶制御手段に出力するＥＣＬインターフェース入力手段を設けたものである。

【００１２】

【作用】

本発明の代表的な構成における作用は次の通りである。処理手段は、処理結果に応じて、液晶表示装置で表示すべきデータを表示メモリに書き込む。表示制御手段は、順次、表示メモリから表示データを読み出すよう、読みだし制御信号等を出力すると共に、表示同期信号等の表示制御信号等を生成する。ＥＣＬインターフェース出力手段は少なくとも表示制御手段が表示メモリから読みだした表示データをＰ／Ｓ変換し、さらに、少なくともＰ／Ｓ変換した表示データとドットクロックをＥＣＬ信号レベルの信号で、液晶表示装置に伝送する。ＥＣＬインターフェース入力手段は、パソコン本体から伝送されるＥＣＬ信号レベルの表示データを入力し、液晶制御手段に出力する。液晶制御手段は、入力した表示データを液晶モジュールに表示する。

【００１３】

これにより、長距離伝送においても、伝送線数を増やす必要なく、良好な表示品質が保てる表示データ伝送が行える。

【００１４】

【実施例】

以下、本発明の実施例を図面を用いて説明する。以下の実施例は、ＥＣＬ信号レベルの信号が電源ノイズに強く、高速、長距離伝送に適していることに着目し、パソコン本体から液晶表示装置へ出力するデータのうち、少なくとも伝送速度が高速な表示データとドットクロックをＥＣＬ信号レベルの信号で伝送するものである。

【００１５】

図１に、本発明によるデータ伝送装置の構成を示す。同図中、１はパソコン本体、２は液晶表示装置である。パソコン本体１は、処理手段３と表示制御手段４と表示メモリ５とＥＣＬインターフェース出力手段６とにより構成している。液晶表示装置２は、ＥＣＬインターフェース入力手段７と液晶制御手段８と液晶モジュール９とにより構成している。

【００１６】

次に、本実施例の動作を説明する。

【００１７】

まず、パソコン本体１内の動作について説明する。処理手段３は、処理結果にしたがい必要に応じて表示メモリ５の内容（表示データ１０）を更新する。表示制御手段４は、水平同期信号、垂直同期信号、表示タイミング信号、バックライトコントロール信号からなる表示制御信号１１、およびドットクロック１２を生成し、ＥＣＬインターフェース出力手段６に出力するとともに、表示メモリ５から表示データ１０を読み出すための、読み出す表示データ１０のアドレス及び読みだし制御信号１３を生成し、順次、表示メモリ５に出力する。ＥＣＬインターフェース出力手段６は、表示メモリ５から表示データ１０を受け、表示制御手段４から表示制御信号１１およびドットクロック１２を受ける。これらの信号およびデータのうち、表示データ１０をＰ／Ｓ変換することでデータ線数を少なくすると共に、Ｐ／Ｓ変換した表示データ１０とドットクロック１２とをＴＴＬ信号レベルの信号からＥＣＬ信号レベルの信号に変換し、液晶表示装置２に伝送する。

【００１８】

次に、液晶表示装置２の動作について説明する。パソコン本体１から伝送されてくる表示データ１０ｂ、表示制御信号１１、ドットクロック１２ｂはＥＣＬインターフェース入力手段７に入力される。ＥＣＬインターフェース入力手段７は、入力した表示データ１０ｂ、表示制御信号１１、ドットクロック１２ｂのうち、ＥＣＬ信号レベルの信号である表示データ１０ｂ及びドットクロック１２ｂをＳ／Ｐ変換することで速度を落とすとともに、ＴＴＬ信号レベルの信号に変換して液晶制御手段８に出力し、ＥＣＬ信号レベル以外の信号（ＴＴＬ信号レベルの信号）である表示制御信号１１はそのまま液晶制御手段８に出力する。液晶制御手段８は入力した表示データ１０ｄ、表示制御信号１１、ドットクロック１２ｄにしたがって、液晶モジュール９を駆動する。このように、本発明では、伝送速度が高速な表示データ１０とドットクロック１２を高速、長距離伝送に適しているＥＣＬ信号レベルの信号で伝送することにより、伝送する表示データのドットレートを高速にできるので、伝送線数を増やさなくても良好な表示品質を保て、１０ｍから２０ｍの十数ｍの距離も伝送可能となる。また本実施例では、伝送速度が高速でない表示制御信号１１はＴＴＬ信号レベルの信号で伝送しているが、表示制御信号１１もＥＣＬ信号レベルの信号に変換して伝送してもよい。

【００１９】

次に、ＥＣＬインターフェース出力手段６をより具体的に説明する。図２は、図１において、ＥＣＬインターフェース出力手段６の内部の構成の一例を詳細に示した本発明の第１の実施例である。ＥＣＬインターフェース出力手段６はセレクタ回路１５とカウンタ回路１６とＥＣＬ変換手段１７とで構成する。本実施例では、具体的な説明のために、液晶表示装置２での表示色を約２６万色（具体的には262144色）、解像度を横１２８０ドット、縦１０２４ライン、フレーム周波数が６０Ｈｚであると仮定する。液晶表示装置２において２６万色の表示色を表現するためには、１ドットあたり１８ビットの情報量を必要とする（２の１８乗＝262144)。すなわち１つのドットを構成する赤、緑、青の３つの画素各々の明るさを６ビットで表現する。表示メモリ５は液晶表示装置２の表示画面の１画面分の表示状態を記憶している。

【００２０】

図１を用いて説明したように、処理手段３及び表示制御手段４によって、表示メモリ５に記憶している表示データ１０の更新及び読みだしを行う。表示制御手段４が行う表示メモリ５の読みだしは、液晶表示装置２の表示画面の左上から右方向に走査するよう順次読み出され、１回の読みだしで８ドット分の表示データが読み出される。前述したように、１ドットを１８ビットで表現するため、１回の読みだしで、１４４ビットの表示データ１０が読み出される。表示メモリ５から読み出された表示データ１０は、ＥＣＬインターフェース出力手段６内のセレクタ回路１５に入力される。また、表示制御手段４は、表示メモリ５から表示データを読みだす処理以外に、表示制御信号１１及び表示メモリ５から表示データを読みだす信号と同期し、読みだす周期の８分の１の周期のクロックであるドット

クロック１２を生成する。表示制御手段４で生成したドットクロック１２はＥＣＬインターフェース出力手段６内のカウンタ回路１６に入力される。カウンタ回路１６は３ビットのカウンタであり、入力するドットクロック１２をカウントし、０から７までの数字を３ビットで表現したカウント値１４をセレクタ回路１５に出力する。すなわち、カウンタ回路１６は、表示データを読みだす周期と同じ期間に、カウント値１４として０から７までの値を順次出力する。セレクタ回路１５は入力する８ドットのデータの中から１ドットのデータを選択するセレクタであり、カウンタ回路１６から入力するカウント値１４の値に応じて、入力する１４４ビットの表示データ１０から１ドット分１８ビットのデータを選択し、ＥＣＬ変換手段１７に出力する。すなわち、セレクタ回路１５とカウンタ回路１６を用いて、８ドット幅の表示データ１０を１ドット幅の表示データ１０ａにＰ／Ｓ変換している。そしてＥＣＬ変換手段１７は、表示データ１０ａと表示制御手段４が出力するドットクロック１２を入力し、これらの信号の信号レベルをＴＴＬ信号レベルからＥＣＬ信号レベルに変換して液晶表示装置２に出力する。

【００２１】

次に、本発明で特徴的なＥＣＬインターフェース出力手段６の動作を図３のタイミングチャートを用いて説明する。説明をわかり易くするため、表示メモリ５から１回の読みだしで読みだす１４４ビット幅の表示データ１０のうち、８ビット幅分のみを図示する。以下、図２を参照しつつ、図３を用いてＥＣＬインターフェース出力手段６の動作を説明する。

【００２２】

図３中、１００、１０１、１０２、１０３、１０４、１０５、１０６、１０７は表示メモリ５から読みだした１４４ビット幅の表示データ１０のうちの８ビット幅分の表示データである。１回目の読みだしでの表示データ１００は、液晶表示装置２の表示画面の１番左上のドットの赤色の画素の明るさを表現する６ビット幅のデータのうち、最下位ビットのデータである。また表示データ１０１から表示データ１０７も表示データ１００と同様に、１つの画素の明るさを表現する６ビット幅のデータのうち、最下位ビットを表現しており、表示位置は表示データ１０１が表示データ１００の１つ右隣のドットの赤色の画素のデータであり、表示データ１０２が表示データ１００の２つ右隣のドットの赤色の画素のデータであり、表示データ１０３、表示データ１０４、表示データ１０５、表示データ１０６、表示データ１０７はそれぞれ表示データ１００の３ドット、４ドット、５ドット、６ドット、７ドット右のドットのデータである。また２回目以降の読みだしでの各表示データは、前回の読みだし位置のそれぞれ８ドット右のドットのデータとなる。但し、この読みだし位置が右端まで来ると、１つ下のラインの左端のドットが読みだし位置になり、これを繰り返して１画面分の表示データの読みだしを行う。

【００２３】

表示制御手段４は、１回の読みだし周期で、表示メモリ５から１００ｎｓ周期（ドットレートは１０Ｍｂｐｓ）で、液晶表示装置２の表示画面の８ドット分の表示データ１０（図３では表示データ１００から表示データ１０７）が読み出される。カウンタ回路１６には表示データ１０の８分の１の周期である１２．５ｎｓ周期（速度は８０ＭＨｚ）のドットクロック１２が入力される。カウンタ回路１６は、ドットクロック１２をカウントし、カウント値１４をセレクタ回路１５に出力する。セレクタ回路１５は、カウンタ回路１６からのカウント値１４に応じて、入力する表示データ１００、１０１、１０２、１０３、１０４、１０５、１０６、１０７の中から１つを選んで表示データ１０ａとしてＥＣＬ変換手段１７に出力する。例えば、カウント値１４の値が“０”の時は表示データ１００を、カウント値１４の値が“１”の時は表示データ１０１を、カウント値１４が“２”の時は表示データ１０２をそれぞれＥＣＬ変換手段１７に出力する。この時、表示データの周期はドットクロック１２の周期と等しく、１２．５ｎｓとなっている。

【００２４】

このようにして、本発明では伝送する表示データのドットレートを高速にできる。また、ＥＣＬインターフェース出力手段６を構成するセレクタ回路１５、カウンタ回路１６、Ｅ

ＣＬ変換手段１７は容易に実現でき、セレクタ回路１５、カウンタ回路１６は汎用なＩＣであるＴＴＬ　ＩＣで実現可能であり、ＥＣＬ変換手段１７も例えばモトローラ社製ＭＣ１０Ｈ３５１を用いればよく、実現性に何等問題はない。

【００２５】

また、ＥＣＬインターフェース出力手段６では、表示データ１０に対してＰ／Ｓ変換及びＥＣＬ信号レベルへの変換を行っているため、何もせずに出力する表示制御信号１１とは、セレクタ回路１５とＥＣＬ変換手段１７の伝播遅延量分タイミングが異なる。さらに、同じ処理を施した表示データ１０ｂ間でもセレクタ回路１５等の伝播遅延量のばらつき等により、タイミングに違いが生じる。そこで、ＥＣＬインターフェース出力手段６において、表示データ１０ｂ及び表示制御信号１１を液晶表示装置２に出力する前に、１回以上同期化した後、液晶表示装置２に出力するようにしてもよい。さらにパソコン本体１と液晶表示装置２の間を伝送する距離が長くなると、伝送する表示データ１０ｂの各データ間および表示制御信号１１の各々の、伝送における伝播遅延量のばらつきが多くなるため、液晶表示装置２内のＥＣＬインターフェース入力手段７においても、同様に入力する表示データ１０ｂ及び表示制御信号１１を同期化するようにしてもよい。このような同期化を行うと、伝送路における伝播遅延量のばらつきをなくすことができるので、パソコン本体１と液晶表示装置２間の伝送路をより長くすることが可能になる。同期化を行うための同期クロック信号としては、ドットクロック１２を利用することができる。

【００２６】

また、ＥＣＬインターフェース出力手段６では、表示制御手段４において生成したドットクロック１２をドットクロックとして用いているが、水晶発振器等が出力するクロックをドットクロック１２として用いてもよい。この場合の実施例を図４により説明する。

【００２７】

図４中、１、２、３、５、１５、１６、１７は図２に示した要素と同じものであり同じ番号を付してある。本実施例において、２４は表示制御手段、２１は水晶発信器等の発振器である。ＥＣＬインターフェース出力手段６は図２を用いて説明した実施例と構成及び動作が多少異なる。ＥＣＬインターフェース出力手段６はセレクタ回路１５、カウンタ回路１６、ＥＣＬ変換手段１７の他に、ドットクロック生成手段２０を有する。本実施例の処理手段３及び表示制御手段２４において、表示メモリ５に記憶している表示データ１０の更新及び読みだしを行う動作は前記実施例と何等変わらない。しかし、前記実施例ではドットクロック１２を液晶表示装置２４で生成していたが、本実施例はＥＣＬインターフェース出力手段６内で生成するようにしたものである。

【００２８】

発振器２１はドットクロック１２のＮ倍の速度（Ｎは１以上の整数）のクロック２２をＥＣＬインターフェース出力手段６内のドットクロック生成手段２０に出力する。ドットクロック生成手段２０は入力するクロック２２からドットクロック１２を生成し、カウンタ回路１６、ＥＣＬ変換手段１７に出力するとともに、液晶表示装置２４において生成する表示メモリ５の読みだし信号、表示制御信号１１等の基となるクロック２３を生成し、液晶表示装置２４に出力する。液晶表示装置２４はドットクロック生成手段２０から入力するクロック２３を基に、表示メモリ５の読みだし信号、表示制御信号１１等を生成するので、表示メモリから読みだす表示データ１０と表示制御信号１１はドットクロック１２に同期したタイミングの信号になる。また、カウンタ回路１６、セレクタ回路１５、ＥＣＬ変換手段１７において表示メモリ５から入力した表示データ１０をＰ／Ｓ変換し、さらにＥＣＬ信号レベルの信号に変換して液晶表示装置２に伝送する一連の動作は前記実施例と同じである。このように、水晶発振器等が出力するクロックをドットクロック１２として用いても本発明を実施できる。

【００２９】

また、前記までの実施例では表示データ１０をＰ／Ｓ変換したあとでＴＴＬ信号レベルの信号からＥＣＬ信号レベルの信号に変換しているが、ドットクロック１２やクロック２２の周期が短いということから表示メモリ５から読みだした表示データ１０をＴＴＬ信号レ

ベルの信号からＥＣＬ信号レベルの信号に変換した後で、セレクタ回路１５とカウンタ回路１６を用いて表示データ１０をＰ／Ｓ変換してもよく、この場合は、カウンタ回路１６、セレクタ回路１５、ドットクロック生成手段２０もＥＣＬ変換手段１７と同様に１０Ｋシリーズ等の汎用ＩＣを用いて構成すれば容易に実現できる。また、ＥＣＬインターフェース出力手段６やＥＣＬインターフェース入力手段７を、例えば、日立製作所製ＨＧ２１Ｔシリーズ等のように、ＴＴＬ／ＥＣＬ混在インターフェースを備えたＬＳＩを用いて実現してもよいし、ＧａＡｓ素子を用いたＩＣやＬＳＩを用いてもよい。

【００３０】

ゲートアレイ方式を用いてＬＳＩ化する際の検討項目として、ゲート数、入出力ピン数、許容消費電力等の項目があるが、これらの要因からＥＣＬインターフェース出力手段６、ＥＣＬインターフェース入力手段７を各々１パッケージのＬＳＩでは実現できず、複数個のパッケージで実現する場合がある。この時の実施例を図面を用いて説明する。図５は本発明によるデータ伝送装置の第３の実施例のブロック図であり、ＥＣＬインターフェース出力手段６及びＥＣＬインターフェース入力手段７を３つのＬＳＩで実現する際の実施例を示している。本実施例において、１、２、３、４、５、８、９、は図１で説明した実施例と同じものであり、同じ番号を付した。６１、６２、６３は本実施例で特徴的なＥＣＬインターフェース出力手段であり、７１、７２、７３は本実施例で特徴的なＥＣＬインターフェース入力手段である。本実施例において、処理手段３、表示制御手段４、表示メモリ５の動作は図１を用いて説明した実施例とまったく同じであり、説明を省略する。本実施例では、表示メモリ５から読み出す１４４ビット幅の表示データ１０を、赤色の画素の表示データ１１１、緑色の画素の表示データ１１２、青色の画素の表示データ１１３の各々４８ビット幅の３つに分けている。そして、表示データ１１１、表示データ１１２、表示データ１１３を各々ＥＣＬインターフェース出力手段６１、ＥＣＬインターフェース出力手段６２、ＥＣＬインターフェース出力手段６３に入力する。表示制御手段４が出力するドットクロック１２はＥＣＬインターフェース出力手段６１、ＥＣＬインターフェース出力手段６２、ＥＣＬインターフェース出力手段６３に入力され、表示制御信号１１は、ＥＣＬインターフェース出力手段６３にのみ入力される。ＥＣＬインターフェース出力手段６１、ＥＣＬインターフェース出力手段６２、ＥＣＬインターフェース出力手段６３は、入出力する表示データのビット幅が３分の１になっているだけで、図１及び図２を用いて説明したＥＣＬインターフェース出力手段６と同様な構成となっており、動作も同じである。ＥＣＬインターフェース出力手段６３は入力した４８ビット幅の表示データ１１３をドットクロック１２を用いて、８分の１の６ビット幅の表示データ１１３ｂにＰ／Ｓ変換する。さらに、Ｐ／Ｓ変換後の表示データ１１３と、ドットクロック１２のＥＣＬ信号レベルの信号への変換、表示データ１１３及び表示制御信号１１の同期化を行う。そして以上の処理を施した表示データ１１３ｂ、表示制御信号１１、ドットクロック１２ｂを液晶表示装置２に出力する。ＥＣＬインターフェース出力手段６１及び、ＥＣＬインターフェース出力手段６２は、表示制御信号１１を入出力しないため表示制御信号１１の同期化は行わないが、その他はＥＣＬインターフェース出力手段６１と同様な動作を行う。ＥＣＬインターフェース入力手段７１、ＥＣＬインターフェース入力手段７２、ＥＣＬインターフェース入力手段７３も入出力する表示データのビット幅が３分の１になっているだけで、図１及び図２を用いて説明した前記ＥＣＬインターフェース入力手段７と同様な構成となっており、動作も同じである。ＥＣＬインターフェース入力手段７３はＥＣＬインターフェース出力手段６３から入力する表示データ１１３ｂ、表示制御信号１１をドットクロック１２ｂを用いて同期化し、さらに、表示データ１１３ｂ、ドットクロック１２をＥＣＬ信号レベルの信号からＴＴＬ信号レベルの信号に変換し、液晶モジュール９に出力する。ＥＣＬインターフェース入力手段７１、ＥＣＬインターフェース入力手段７２は、表示制御信号１１を入力しないため表示制御信号１１の同期化は行わないが、その他はＥＣＬインターフェース入力手段７３と同じ処理をする。このように、ＥＣＬインターフェース出力手段６、ＥＣＬインターフェース入力手段７を複数個のパッケージのＬＳＩで実現することも容易である。

【００３１】
また、本実施例では、ＥＣＬインターフェース入力手段で同期化する表示データと同期化のクロックとして用いるドットクロックは同じＥＣＬインターフェース出力手段から出力されているので、ＥＣＬインターフェース出力手段から出力する時点での表示データとドットクロックは同期化されている。このため、パソコン本体１から液晶表示装置２へ伝送する際の表示データとドットクロックの伝送路での伝播遅延量ばらつきをＥＣＬインターフェース入力手段で同期化する際のタイミングマージンを大きくすることができるという効果がある。
【００３２】
さらに、ＥＣＬインターフェース出力手段６３用として開発したＬＳＩの表示制御信号１１を入出力及び同期化する回路を用いなければ、ＥＣＬインターフェース出力手段６１及びＥＣＬインターフェース出力手段６２として、ＥＣＬインターフェース出力手段６３用として開発するＬＳＩを用いることも可能なので、３つのＬＳＩを開発するために必要な開発工数及び開発費用は、１つのＬＳＩを開発するために必要な開発工数及び開発費用で実現できる。このため、１つのＬＳＩの単価も安くできるという効果もある。同様に、ＥＣＬインターフェース入力手段７１及びＥＣＬインターフェース入力手段７２もＥＣＬインターフェース入力手段７３用として開発するＬＳＩを用いることができるので、同様な効果がある。
【００３３】
前記実施例では、表示データとドットクロックのパソコン本体１から液晶表示装置２へ伝送する際の伝送路での伝播遅延量ばらつきをＥＣＬインターフェース入力手段で同期化する際のタイミングマージンを大きくするため、複数のＥＣＬインターフェース出力手段各々からドットクロック１２ｂを出力し、パソコン本体１と液晶表示装置２間の伝送路に、ドットクロック１２ｂを伝送する構成にしたが、複数のＥＣＬインターフェース出力手段が出力するドットクロック１２ｂのうちの１つのみをパソコン本体１と液晶表示装置２間の伝送路で伝送し、伝送した１つのドットクロック１２ｂを液晶表示装置２内の複数のＥＣＬインターフェース入力手段全てに入力させてもよい。この場合、パソコン本体１と液晶表示装置２間の伝送路の伝送線数を少なくできるという効果がある。
【００３４】
また、本実施例では、ＥＣＬインターフェース出力手段６及びＥＣＬインターフェース入力手段７をそれぞれ、３つのＬＳＩで構成し、１つのＬＳＩに入力させる表示データ１０として、赤あるいは青あるいは緑の画素のデータをそれぞれ割り当てているが、本発明ではこれに制限するものではなく、例えば、２つのＬＳＩあるいは４つのＬＳＩで構成してもよく、さらに、各ＬＳＩに入力させる表示データ１０も単一色の画素のデータである必要もない。
【００３５】
また、液晶表示装置２として、モノクロで６ビット以下の階調（６４階調）を表示可能な液晶表示装置２を接続可能な表示データ伝送装置では、前記実施例で説明したＥＣＬインターフェース出力手段６３及びＥＣＬインターフェース入力手段７３を１ヶずつ用いるだけで実現でき、モノクロ液晶表示装置に新規開発する必要がないという効果もある。
【００３６】
次に、本発明でＥＣＬインターフェース出力手段６を実現するもう一つの例を図１２を用いて説明する。図１２は本発明によるデータ伝送装置の第４の実施例のブロック図である。本実施例は、図２とほぼ同じ構成であるが、ＥＣＬインターフェース出力手段６はセレクタ回路１５、カウンタ回路１６、ＥＣＬ変換手段１７の他に、処理手段３によって制御され、表示する色のデータを保持するパレット４１、表示データ生成手段４０で構成する。前述までの実施例の表示メモリ５は、液晶表示装置２の表示画面の各画素のデータを“１”または“０”で記憶している。これに対し本実施例では、液晶表示装置２の表示画面の各ドットのパレットＮｏを記憶している。表示データ生成手段４０は表示メモリ５からパレットＮｏを読みだし、パレット４１を参照することで、液晶表示装置２の表示画面の

各画素で表示する色を認識し、表示データ１０としてセレクタ回路１５に出力する。これ以降の動作は、図２を用いて説明した実施例と同様であり、説明を省略する。

【００３７】

さらに、パソコン本体１と液晶表示装置２を接続する伝送路で伝送する信号線数を少なくする方法としては、以下の方式があり、２つの図面を用いて説明する。図６は本発明によるデータ伝送装置の第５の実施例のブロック図であり、図７は本実施例におけるパソコン本体１のタイミングチャートである。図６及び図７において、図２または図３と同じ要素には、同じ番号を付け、その動作説明は省略する。図７では図３と同様に、表示メモリ５から読みだした１４４ビット幅の表示データ１０のうちの８ビット幅分の表示データを開示している。本実施例において、表示制御信号１１は水平帰線期間中に“Ｈ”になる水平同期信号２４１、垂直帰線期間中に“Ｈ”になる垂直同期信号２４２、表示データ１０に表示画面で表示すべきデータを出力しているとき“Ｈ”になる表示タイミング信号２４３、液晶モジュール９のバックライトを点灯させるとき“Ｈ”になるバックライトコントロール信号２４４の４つの信号を意味する。ＥＣＬインターフェース出力手段６は、カウンタ回路１６、セレクタ回路１５、ＥＣＬ変換手段１７の他に、入力する４つの信号からなる表示制御信号１１から１つの信号を選択した表示制御信号１１ａを生成するセレクタ回路１８とＰ／Ｓ変換した表示データ１０ａと表示制御信号１１ａを液晶表示装置２で再現可能とするための基準信号２５を生成する基準信号生成手段１９で構成する。セレクタ回路１８はカウンタ回路１６が出力するカウント値１４と表示制御手段４が出力する４つの信号線からなる表示制御信号１１を入力し、０から７のカウント値１４のうち、０から３の時、入力する表示制御信号１１の中から１本の信号線を選択し、ＥＣＬ変換手段１７に出力する。

【００３８】

図７に示す具体的な動作例では、カウント値１４が０のときは水平同期信号２４１を、１の時は垂直同期信号２４２を、２の時は表示タイミング信号２４３を、３の時はバックライトコントロール信号２４４をそれぞれ選択し、表示制御信号１１ａとしてＥＣＬ変換手段１７に出力する。なお、カウント値１４が４から７のときは“Ｌ”を出力する。基準信号生成手段１９はカウンタ回路１６からカウント値１４を入力し、入力したカウント値１４が０の時“Ｈ”となる信号を生成し、ＥＣＬ変換手段１７に出力する。すなわち基準信号２５は、表示制御信号１１ｂで水平同期信号２４１を伝送しているタイミングを示している。ＥＣＬ変換手段１７は、入力した表示データ１０ａ、基準信号２５、表示制御信号１１ａをＥＣＬ信号レベルの信号に変換し、ＥＣＬ信号レベルの信号の表示データ１０ｂ、基準信号２５ｂ、表示制御信号１１ｂを液晶表示装置２へ出力する。液晶表示装置２内のＥＣＬインターフェース入力手段７では、ＥＣＬ信号レベルの信号の表示データ１０ｂ、基準信号２５ｂ、表示制御信号１１ｂをＴＴＬ信号レベルの信号に変換すると共に、基準信号２５を用いることにより、表示制御信号１１ａから水平同期信号２４１、垂直同期信号２４２、表示タイミング信号２４３、バックライトコントロール信号２４４を再現することができるので、液晶制御手段８で必要とする制御信号を生成することができる。このように、本実施例では４本必要としていた表示制御信号１１ｂを１本の信号線で実現できるので、パソコン本体１と液晶表示装置２を接続する伝送路の信号線数を少なくできる。

【００３９】

また本実施例のセレクタ回路１８入力するカウント値１４が０から３のとき、表示制御信号１１から水平同期信号２４１、垂直同期信号２４２、表示タイミング信号２４３、バックライトコントロール信号２４４のうちの一つを選択し、ＥＣＬ変換手段１７に出力しているがこれに限定するものではない。例えば、カウント値１４の値が０または１の時水平同期信号２４１を、２または３の時垂直同期信号２４２を、４または５の時表示タイミング信号２４３を、６または７の時バックライトコントロール信号２４４をそれぞれ選択する構成にしてもよい。また基準信号２５を、表示制御信号１１ｂで水平同期信号２４１を伝送しているとき“Ｈ”となる信号としたが、これに限定するものではない。さらに、表

示制御信号１１として水平同期信号２４１、垂直同期信号２４２、表示タイミング信号２４３、バックライトコントロール信号２４４を表示制御手段４から出力される場合の例を示したが、これに限定するものではなく、その他の信号でもよく、また幾つの信号を１つの信号線で伝送してもよい。

【００４０】

さらに、本実施例では、複数の信号を１つの信号にした表示制御信号１１ｂを再現するために基準信号２５を新たに生成したが、これに限定するものではない。例えば、複数の表示制御信号１１のうちの１つの信号、たとえば水平同期信号２４１を、表示制御信号１１ｂとは別にそのまま伝送し、カウンタ回路１６のカウント値１４を水平同期信号２４１でクリア（０にする）ことでも、液晶表示装置２のＥＣＬインターフェース入力手段７において、表示制御信号１１ｂから各々の信号を再生することが可能である。この場合、基準信号生成手段１９は不要となる。

【００４１】

以上、説明してきた実施例では、前述したようにＥＣＬ信号レベルの信号とＴＴＬ信号レベルの信号との変換するために、汎用ＩＣである１０ＫＨシリーズ（例えば、モトローラ社製ＭＣ１０Ｈ１２４、ＭＣ１０Ｈ３５０やＭＣ１０Ｈ１２５、ＭＣ１０Ｈ３５１）やＴＴＬ／ＥＣＬ混在インターフェースを備えたＬＳＩ（例えば、日立製作所製ＨＧ２１Ｔシリーズ）を用いれば容易に実現できる。以下、これらのＩＣおよび、ＬＳＩを用いた本発明の使用方法の一例を説明する。通常、ＥＣＬ素子は正電源電圧（以下、V_{CC}と称す）をグランドと接続し、負電源電圧（以下、V_{EE}と称す）に－５Ｖを供給する。これによって、“Ｈ”の電圧レベル：約－０．９Ｖ、“Ｌ”で電圧レベル：約－１．８ＶのＥＣＬ信号レベルの信号を出力することができた（以下、この使用方法を通常ＥＣＬ使用方法と称す）。しかしこの使用方法では、ＴＴＬ信号レベル用の＋５Ｖ電源の他に、－５Ｖ電源の２つの電源を供給する必要がある。そこで、単一＋５Ｖ電源のみで使用したい場合は、V_{CC}に＋５Ｖを供給し、V_{EE}をグランドと接続することで、“Ｈ”の電圧レベル：約４．１Ｖ、“Ｌ”で電圧レベル：約３．２Ｖの信号レベルの信号を出力してもよい（以下、この使用方法を疑似ＥＣＬ使用方法と称し、この時の信号レベルは疑似ＥＣＬ信号レベルと称す）。本発明の表示データ伝送装置では、前述した通常ＥＣＬ使用方法と疑似ＥＣＬ使用方法のどちらの使用方法を用いてもよい。またこれらのＩＣ及びＬＳＩは、一つの信号を２本の信号線で表現し、２本の信号線のうち１本が“Ｈ”のとき、他の１本は“Ｌ”となる差動信号を入出力する。したがって、パソコン本体１と液晶表示装置２間の伝送路には、ＥＣＬ信号レベルまたは疑似ＥＣＬ信号レベルの差動信号が伝送されている。しかし本発明では伝送するＥＣＬ信号レベルの信号として必ずしも一つの信号を２本の信号で表現する差動信号で伝送する必要はなく、ＩＣまたはＬＳＩが出力する２本の差動信号のうちの１本のみ伝送してもよい。

【００４２】

また、ＥＣＬ信号レベルの信号が差動信号であることに着目し、伝送するドットクロック１２の速度を２分の１にする方式として、以下の方式を提案する。この方式を図面を用いて説明する。図８は本発明によるデータ伝送装置の第６の実施例であり、図９はその主要部分のタイミングチャートである。図８において、図２で説明した要素には、同じ番号を付してある。本実施例において、本実施例で特徴的なＥＣＬインターフェース出力手段６は、セレクタ回路１５、カウンタ回路１６、ＥＣＬ変換手段１７の他に、ドットクロック１２の周期を２倍にする液晶表示装置２６で構成する。本実施例において、表示メモリ５から読みだした表示データ１０をＰ／Ｓ変換した後、ＥＣＬ信号レベルの信号に変換して液晶表示装置２に伝送する動作等は、前記実施例と同じであり、説明を省略する。しかし、表示制御手段４が出力するドットクロック１２は、ＥＣＬ変換手段１７に直接入力されず、分周回路２６に入力される。分周回路２６は、入力したドットクロック１２を分周し、周期を２倍にしてＥＣＬ変換手段１７に出力する。ＥＣＬ変換手段１７は周期が２倍になったドットクロック２７を入力し、これをＥＣＬ信号レベルの信号２７ｂに変換し、液晶表示装置２に出力される。ＥＣＬ変換手段１７が出力するＥＣＬ信号レベルで周期が２

倍になったドットクロック２７ｂは２つの差動信号、クロック２７０とクロック２７１であり、この２つのクロックは極性が反対になっている。このようにして、液晶表示装置２内のＥＣＬインターフェース入力手段７では、図９に示した、ドットクロック１２の周期が２倍になったクロック２７０とクロック２７１と表示データ１０ｂが入力される。そして、表示データ１０ｂ間のパソコン本体１と液晶表示装置２間の伝送路での伝播遅延量のばらつきを同期化する際は、クロック２７０とクロック２７１の立ち上がりエッジを用いて表示データ１０ｂを同期化する。具体的には、図９に示したように表示データ１０ｂのうち，ｎ＋２ｍ（ｍは０以上の整数）番目のデータをクロック２７０で、ｎ＋２ｍ＋１（ｍは０以上の整数）番目のデータをクロック２７１で同期化する。このように本実施例では、ドットクロック１２の周期を２倍にできる、すなわち伝送速度を２分の１にできる。このため、データを伝送する際の伝送限界速度よりも、ドットクロックの伝送速度の方が高速な場合であっても伝送可能となる。

【００４３】

次に、本発明による液晶表示装置２の構成例を、図１０に示す。図１０において、図１および図５に示した要素と同じものには同じ番号を付してある。２８はキーボード装置であり、前述までの実施例では説明しなかったが、キーボード装置２８はパソコン本体１に直接接続しているのではなく、液晶表示装置２を介してパソコン本体１と接続している。２９は電源回路、３０はＡＣソケット、３１は液晶表示装置２がパソコン本体１と接続されたとき点灯する接続表示ＬＥＤ、３３は表示インターフェース基板、３４はコントラストボリューム、３５は調光ボリュームである。３２はＬＣＭ基板であり、図５での液晶制御手段８及び液晶モジュール９がある。液晶表示装置２はパソコン本体１から前記実施例で説明した表示データ１１１ｂ、表示データ１１２ｂ、表示データ１１３ｂ、ドットクロック１２ｂ、表示制御信号１１の他に、接続表示ＬＥＤ３１を点灯を指示するＬＥＤＯＮ信号３６、キーボード装置２８でのキースイッチの押下データ、キー走査クロック等のキーデータ３８を入力する。キーデータ３８はＥＣＬインターフェース入力手段７１等には入力されず、そのまま入出力する。ＥＣＬインターフェース入力手段７１、ＥＣＬインターフェース入力手段７２、ＥＣＬインターフェース入力手段７３には日立製作所製ＨＧ２１ＴＳ２０を用いている。電源回路２９はＡＣソケット３０から電源を得て液晶表示装置２に電源（５Ｖ，１２Ｖ，２４Ｖ）を供給する。ＬＥＤＯＮ信号３６はＥＣＬインターフェース入力手段７１に入力され、ＬＯＷレベルを出力することで接続表示ＬＥＤ３１を点灯する。パソコン本体１と液晶表示装置２を接続しているケーブルとしては、特に制限するものではなく、どのようなケーブルを用いてもよいが、ノイズに強く、１０ｍ程度の伝送にもケーブル径の太さが配線の引き回し等の問題にならず、差動信号の伝送に適した、対ケーブルを数本まとめシールドした、遮蔽付き多対ケーブル（例えば日立電線製細径ＭＡケーブル：ＵＬ２９９０－ＳＢ（ＭＡ））を用いている。

【００４４】

以上説明した実施例では、液晶表示装置２での表示色を約２６万色（具体的には262144色）、解像度を横１２８０ドット、縦１０２４ライン、フレーム周波数が６０Ｈｚの時を仮定して説明したがこれに限定するものではなく、表示色、解像度、フレーム周波数等はどのようなものでもよい。また、表示メモリから表示画面の８ドット分のデータを一度に読みだしていたがこれに限定するものではない。さらに、ＥＣＬインターフェース出力手段６において表示メモリ５から読みだした表示データ１０の信号線数を８分の１にＰ／Ｓ変換していたが、これに限定するものではない。液晶表示装置２での表示色を４０９６色、解像度を横１１２０ドット、縦７８０ライン、フレーム周波数を８０Ｈｚ、表示メモリから一度に読み出す表示データ１０の表示画面のドット数が４ドット、ＥＣＬインターフェース出力手段６におけるＰ／Ｓ変換を３分の１の時でもよい。この時、液晶表示装置２の表示色は４０９６色なので１つのドットを表現するために必要なビット数は１２ビットとなる（２の１２乗は４０９６）。これは、赤色、青色、緑色、の各画素の明るさを各々４ビットで表現することを意味する。また、表示メモリ５から一度に４ドット分のデータを読み出すため、表示メモリ５から１度に読み出す表示データのビット幅は、４８ビット（

４×１２＝４８）となる。

【００４５】

この時の、本発明におけるパソコン本体１と液晶表示装置２間のインターフェース仕様の一例を図１１に示す。ここでは図５の実施例に対応したものを示す。この例では３つのＬＳＩを用いて、ＥＣＬインターフェース出力手段を実現しており、３つのＬＳＩそれぞれを、ＬＳＩ０，ＬＳＩ１，ＬＳＩ２と称す。図１１において、Ａ１からＡ６８は本実施例でのパソコン本体と液晶表示装置間の信号線を示しており、６８本ある。Ａ１からＡ１６の信号線を用いて伝送するＤＣＫ０、ＳＣＫ０、ＤＴ０１からＤＣＫ０６はＬＳＩ０から出力する信号であり、全て疑似ＥＣＬ信号レベルの信号であり、各々の信号は、２本の対線を用いてその信号を伝送する。このうち、ＤＣＫ０はドットクロック１２ｂであり、ＳＣＫ０は基準信号２５ｂであり、ＤＴ０１からＤＴ０６は表示データ１１１ｂである。同様に、Ａ１７からＡ３２の信号線を用いて伝送するＤＣＫ１、ＳＣＫ１、ＤＴ１１からＤＣＫ１６はＬＳＩ１から出力する信号であり、全て疑似ＥＣＬ信号レベルの信号であり、各々の信号は、２本の対線を用いてその信号を伝送する。このうち、ＤＣＫ１はドットクロック１２ｂであり、ＳＣＫ１は基準信号２５ｂであり、ＤＴ１１からＤＴ１６は表示データ１１２ｂである。同様に、Ａ３３からＡ４６の信号線を用いて伝送する、ＤＣＫ２、ＳＣＫ２、ＤＴ２１からＤＣＫ２５はＬＳＩ２から出力する信号であり、全て疑似ＥＣＬ信号レベルの信号であり、各々の信号は、２本の対線を用いてその信号を伝送する。このうち、ＤＣＫ２はドットクロック１２ｂであり、ＳＣＫ２は基準信号２５ｂであり、ＤＴ２１からＤＴ２４は表示データ１１３ｂであり、ＤＴ２５は表示制御信号１１ｂである。表示データＤＴ０１からＤＴ０６、表示データＤＴ１１からＤＴ１６、表示データＤＴ２１からＤＴ２４、表示制御信号ＤＴ２５は各ＬＳＩにおいて３ビット幅のデータを１ビット幅にＰ／Ｓ変換された信号であり、Ｐ／Ｓ変換する前の３つの信号を、図１１中の各信号の左に示した。例えば、表示データＤＴ０１はＢ００，Ｂ１０，Ｂ２０の３つの信号が１つの信号にＰ／Ｓ変換されており、表示データＤＴ０２はＢ３０，Ｂ０１，Ｂ１１の３つの信号が１つの信号にＰ／Ｓ変換されており、表示制御信号ＤＴ２５はＨＳＹ，ＶＳＹ，ＤＳＰの３つの信号が１つの信号にＰ／Ｓ変換されている。なお、“Ｂ００”等の名前は、左の文字がデータの画素の色を示しており、“Ｂ”のとき青、“Ｇ”のとき緑、“Ｒ”のとき赤を意味し、中央の数字が、明るさを表現する４ビット幅のデータの下位ビットから何ビット目のデータかを意味し、右の数字が、表示メモリ５から１度に読み出す４ドット分の表示データのうちの左から何ドット目のデータかを意味している。例えば、“Ｂ１０”は青色の画素で、明るさを表現する４ビット幅のデータのうち、下位ビットから２ビット目で、表示メモリ５から１度に読み出す４ドット分の表示データのうちの左から１ドット目のデータであることを意味している。また表示制御信号ＤＴ２５のＰ／Ｓ変換する前の信号のうち“ＨＳＹ”は水平同期信号２４１であり、“ＶＳＹ”は垂直同期信号２４２であり、“ＤＳＰ”は表示タイミング信号２４３である。そして、ＳＣＫ１信号、ＳＣＫ１信号、ＳＣＫ１信号は、３つの信号をＰ／Ｓ変換したＤＴ０１信号、ＤＴ０２信号、ＤＴ２５信号等で、図１１中の各信号の左に示した“Ｂ００”、“Ｂ３０”、“ＨＳＹ”等を伝送しているとき“Ｈ”になる信号である。

【００４６】

また、この例では、パソコン本体１から液晶表示装置２へ伝送する信号として、前記ＬＳＩ１、ＬＳＩ２、ＬＳＩ３が伝送する信号の他に、次のような信号も伝送する。信号線Ａ４７を用いて伝送するＴＳＳＤ信号と信号線Ａ４９を用いて伝送するＴＳＲＤ信号は、前述までの実施例では特に説明しなかったが、液晶制御手段８が行う液晶モジュール９のバックライトの輝度を制御するための信号であり、ＴＳＳＤ信号がライト用、ＴＳＲＤ信号がリード用のシリアルデータである。信号線Ａ５３を用いて伝送するＫＢＤＴ信号は、図１０で示した液晶表示装置２と接続しているキーボード装置２８のキー走査結果であるキーボードデータであり、信号線Ａ５１を用いて伝送するＫＢＣＬＫ信号は、キーボードデータ伝送用のクロック信号である。また、信号線Ａ５５及びＡ５７、Ａ５９を用いて伝送する５ＶＫＢ及び１２ＶＫＢ信号線は、キーボード装置２８用の＋５Ｖ電源と、＋１２Ｖ

電源用の信号線である。信号線Ａ６１を用いて伝送するＰＳＷＯＮ信号は、液晶表示装置２に付けているスイッチと接続しており、この信号によって、パソコン本体１、及び液晶表示装置２の電源を制御する。信号線Ａ６３を用いて伝送するＬＥＤＯＮ信号は、図１０で示した接続表示ＬＥＤ３１の点灯を示す信号である。信号線Ａ６５を用いて伝送するＴＤＯＮ信号は、液晶モジュール９のＯＮ／ＯＦＦを制御する信号である。そして、信号のグランドは、信号線Ａ４８、Ａ５０、Ａ５２、Ａ５４、Ａ５６、Ａ５８、Ａ６０、Ａ６２、Ａ６４、Ａ６６、Ａ６７、Ａ６８と接続している。なお、ＴＳＳＤ信号、ＴＳＲＤ信号、ＫＢＣＬＫ信号、ＫＢＤＴ信号、ＰＳＷＯＮ信号、ＬＥＤＯＮ信号、ＴＤＯＮ信号は全てＴＴＬ信号レベルの信号である。

【００４７】

なお、基準信号２５（ＳＣＫ１信号等）を３つのＬＳＩ全てから伝送しているが、これに限定するものではなく、１つのＬＳＩのみから伝送してもよい。

【００４８】

以上の実施例ではパソコン本体と液晶表示装置を接続する形態を例に挙げて、説明したが、これに限定するものではなく、パソコン本体の変わりに、ワークステーション本体や、その他の情報処理装置でもよく、液晶表示装置の変わりに、プラズマ表示装置や、ＣＲＴ表示装置等のいかなる表示装置でもよい。

【００４９】

【発明の効果】

本発明によれば、パソコン本体と液晶表示装置間の伝送線数を増やさなくても、良好な表示品質が保て、１０ｍ，８０ＭＨｚといった、長距離、高速な表示データを伝送することが可能となる。

【図面の簡単な説明】

【図１】本発明によるデータ伝送装置の構成を示すブロック図

【図２】データ伝送装置の第１の実施例のブロック図

【図３】第１の実施例におけるパソコン本体のタイミングチャート

【図４】データ伝送装置の第２の実施例のブロック図

【図５】データ伝送装置の第３の実施例のブロック図

【図６】データ伝送装置の第５の実施例のブロック図

【図７】図６の実施例におけるパソコン本体のタイミングチャート

【図８】データ伝送装置の第６の実施例のブロック図

【図９】図８の実施例のタイミングチャート

【図１０】図５の実施例に対応する液晶表示装置の一例のブロック図

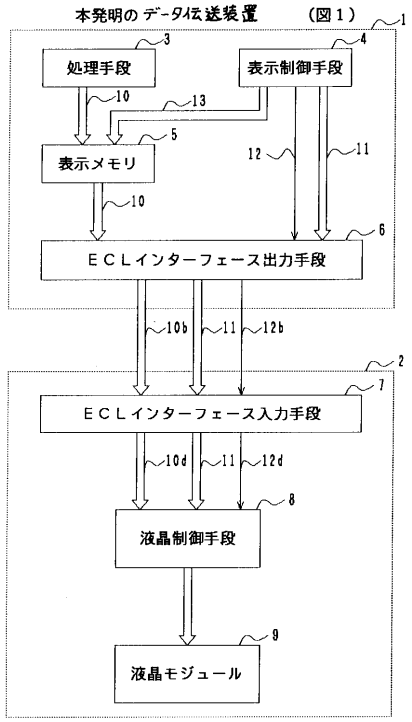
【図１１】本発明におけるインターフェース仕様の一例の説明図

【図１２】データ伝送装置の第４の実施例のブロック図

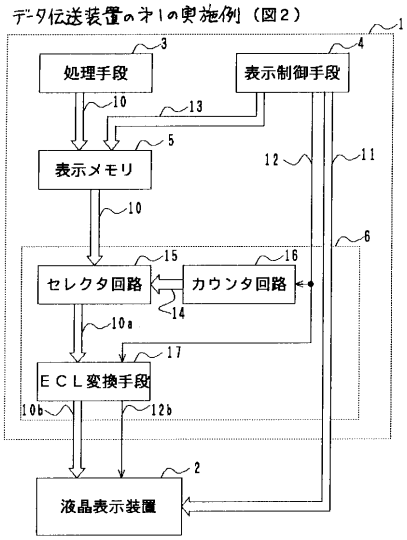
【符号の説明】

１…パソコン本体、２…液晶表示装置、３…処理手段、４…表示制御手段、５…表示メモリ５、６…ＥＣＬインターフェース出力手段、７…ＥＣＬインターフェース入力手段７、８…液晶制御手段、９…液晶モジュール、１５…セレクタ回路、１６…カウンタ回路、１７…ＥＣＬ変換手段、１９…基準信号生成手段

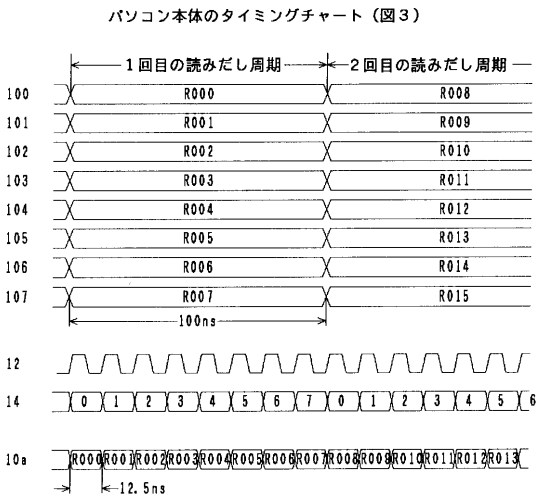
【図１】


本発明のデータ伝送装置 （図１）
処理手段
表示制御手段
表示メモリ
ＥＣＬインターフェース出力手段
ＥＣＬインターフェース入力手段
液晶制御手段
液晶モジュール

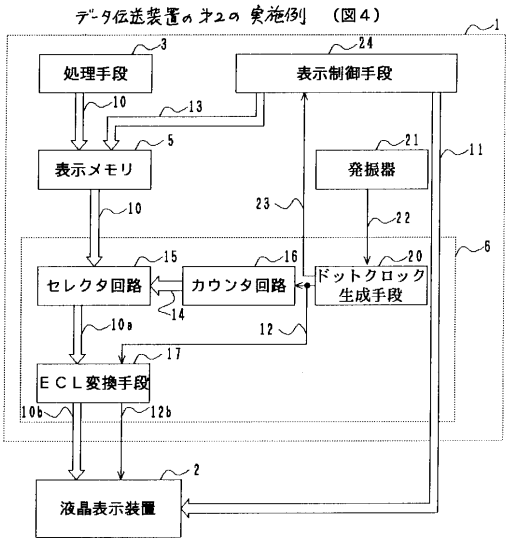
【図２】


データ伝送装置の第１の実施例（図２）
処理手段
表示制御手段
表示メモリ
セレクタ回路
カウンタ回路
ＥＣＬ変換手段
液晶表示装置

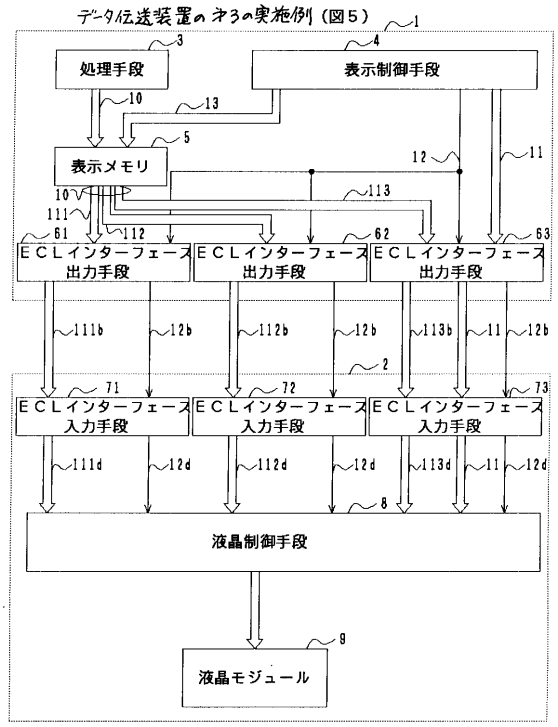
【図３】


パソコン本体のタイミングチャート（図３）
１回目の読みだし周期
２回目の読みだし周期
100ns
12.5ns

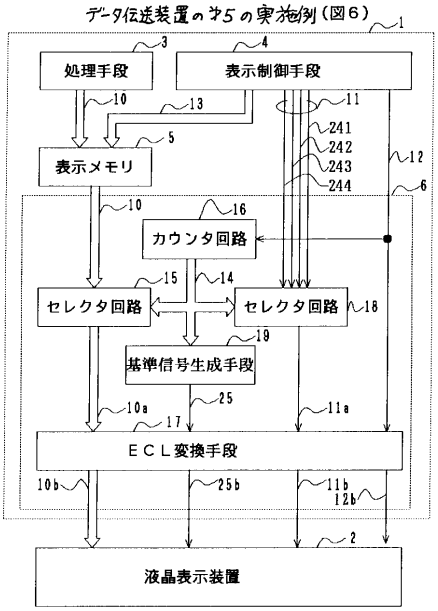
【図４】


データ伝送装置の第２の実施例 （図４）
処理手段
表示制御手段
表示メモリ
発振器
セレクタ回路
カウンタ回路
ドットクロック生成手段
ＥＣＬ変換手段
液晶表示装置

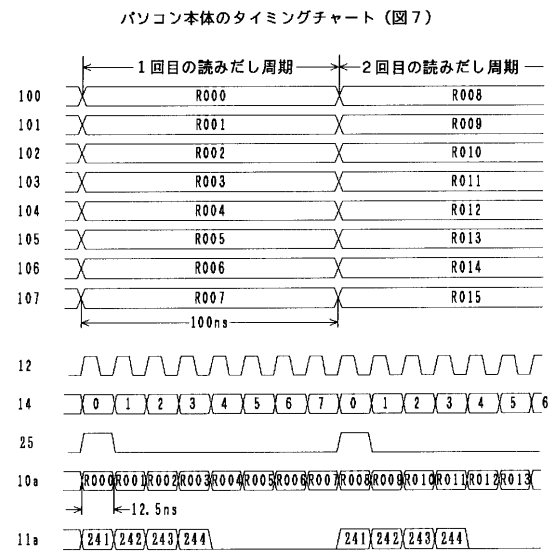
【図５】


データ伝送装置の第3の実施例（図５）
処理手段
表示制御手段
表示メモリ
ＥＣＬインターフェース出力手段
ＥＣＬインターフェース出力手段
ＥＣＬインターフェース出力手段
ＥＣＬインターフェース入力手段
ＥＣＬインターフェース入力手段
ＥＣＬインターフェース入力手段
液晶制御手段
液晶モジュール

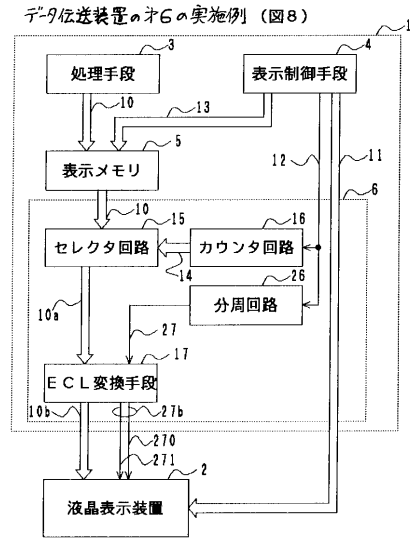
【図６】


データ伝送装置の第5の実施例（図６）
処理手段
表示制御手段
表示メモリ
カウンタ回路
セレクタ回路
セレクタ回路
基準信号生成手段
ＥＣＬ変換手段
液晶表示装置

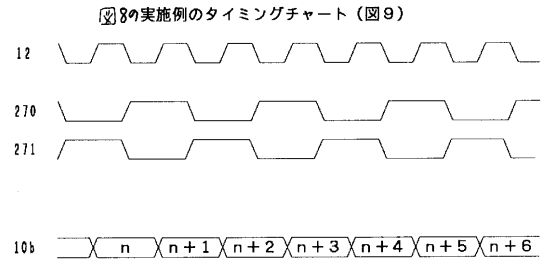
【図７】


パソコン本体のタイミングチャート（図７）
１回目の読みだし周期
２回目の読みだし周期
100ns
12.5ns

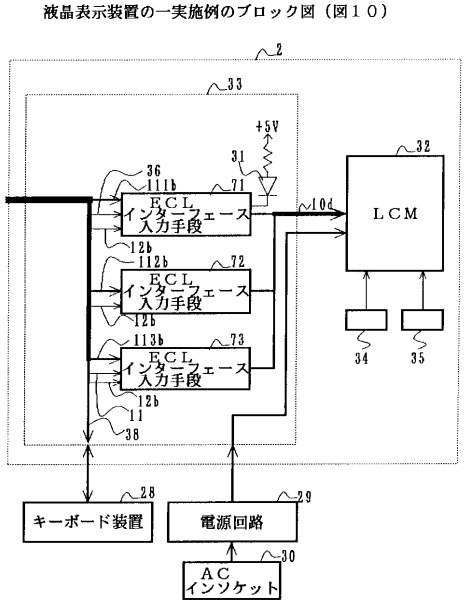
【図８】


データ伝送装置の第6の実施例（図８）
処理手段
表示制御手段
表示メモリ
セレクタ回路
カウンタ回路
分周回路
ＥＣＬ変換手段
液晶表示装置

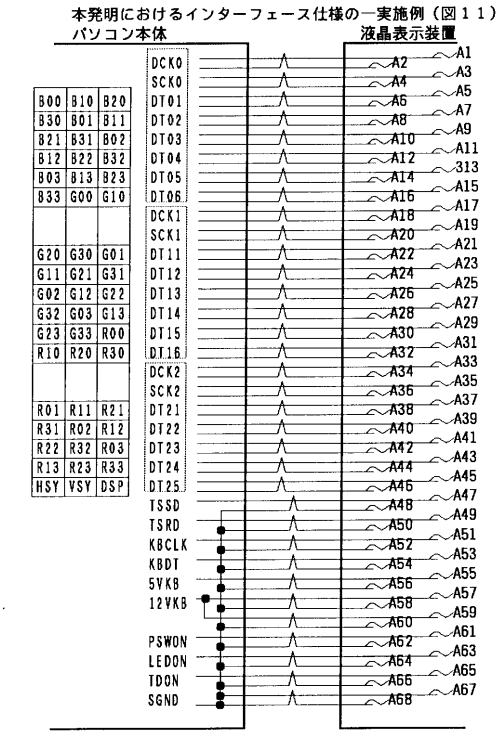
【図９】



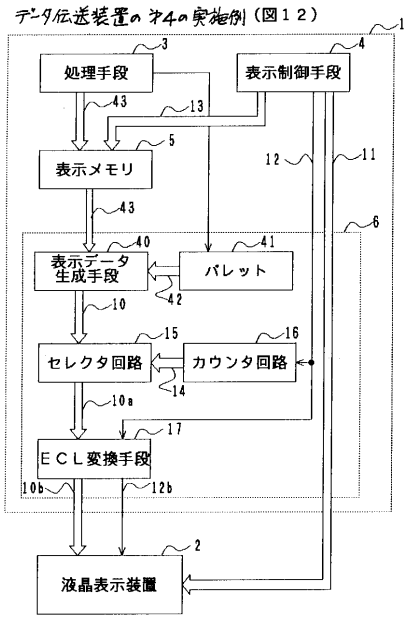
【図１０】



【図１１】



【図１２】



フロントページの続き

(72)発明者 鈴木 哲也
神奈川県横浜市戸塚区吉田町２９２番地 株式会社日立画像情報システム内
(72)発明者 白根 弘晃
神奈川県横浜市戸塚区吉田町２９２番地 株式会社日立画像情報システム内
(72)発明者 川合 孝裕
城県勝田市市毛１０７０番地 株式会社 日立製作所 水戸工場内

合議体
審判長 上田 忠
審判官 下中 義之
審判官 小川 浩史

(56)参考文献 特開昭６２－１５２２２８（ＪＰ，Ａ）
特開昭５９－１３１２２７（ＪＰ，Ａ）
特開平２－３１０５８７（ＪＰ，Ａ）
特開昭５７－２０４０８５（ＪＰ，Ａ）
特開平２－２０８９８（ＪＰ，Ａ）
特開平２－３９１９０（ＪＰ，Ａ）
特開平２－２３７２２４（ＪＰ，Ａ）
特開平２－２２２０１７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G09G 3/00,H03M 9/00,H03K 19/082