

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4712155号

(P4712155)

(45) 発行日 平成23年6月29日 (2011. 6. 29)

(24) 登録日 平成23年4月1日 (2011. 4. 1)

(51) Int. Cl.

F I

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 1 6 A

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 7 K

H O 1 L 29/78 6 1 7 L

H O 1 L 29/78 6 1 7 M

請求項の数 6 (全 30 頁)

(21) 出願番号 特願2000-134057 (P2000-134057)
 (22) 出願日 平成12年5月2日 (2000. 5. 2)
 (65) 公開番号 特開2001-320053 (P2001-320053A)
 (43) 公開日 平成13年11月16日 (2001. 11. 16)
 審査請求日 平成19年4月24日 (2007. 4. 24)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 須沢 英臣
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小野 幸治
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 高山 徹
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

半導体層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に T a、T i、W から選ばれた一つの元素の窒化物を含む第一の層を形成し、

前記第一の層上に T a、T i、W から選ばれた一つの元素から成り、且つ、酸素を含むエッチングガスを用いたエッチング処理において前記第一の層よりエッチングレートが高い第二の層を形成し、

前記第二の層上にレジスト層を形成し、

前記レジスト層をマスクとして、酸素を含むエッチングガスを用いて第 1 のエッチング 10
処理を行い、前記第一の層と前記第二の層をエッチングし、

第 2 のエッチング処理を行い、前記第一の層と前記第二の層をエッチングし、

前記半導体層に第 1 の一導電型の不純物元素の添加をし、

第 3 のエッチング処理を行い、前記第一の層と前記第二の層をエッチングし、

酸素を含むエッチングガスを用いて第 4 のエッチング処理を行い、前記第一の層と前記
第二の層をエッチングし、

前記半導体層に第 2 の一導電型の不純物元素の添加をし、

前記半導体層は、前記第二の層と重なるチャネル形成領域と、前記第 2 の一導電型の不純物元素の添加により形成された前記第一の層と重なり、前記
第二の層と重ならない前記チャネル形成領域を挟む一対の第一の不純物領域と、 20

前記第2の一導電型の不純物元素の添加により形成された前記第一の層と重ならない、前記第一の不純物領域より前記不純物元素の濃度が高い、前記チャンネル形成領域と前記第一の不純物領域とを挟む一対の第二の不純物領域と、

前記第1の一導電型の不純物元素の添加により形成された前記第一の層と重ならない、前記第二の不純物領域より前記不純物元素の濃度が高い、前記チャンネル形成領域と前記第一の不純物領域と前記第二の不純物領域とを挟む一対の第三の不純物領域と、

を有することを特徴とする半導体装置の作製方法。

【請求項2】

半導体層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上にT a、T i、Wから選ばれた一つの元素の窒化物を含む第一の層を形成し、

前記第一の層上にT a、T i、Wから選ばれた一つの元素から成り、且つ、酸素を含むエッチングガスを用いたエッチング処理において前記第一の層よりエッチングレートが高い第二の層を形成し、

前記第二の層上に第1のレジスト層を形成し、

前記第1のレジスト層をマスクとして、酸素を含むエッチングガスを用いて第1のエッチング処理を行い、前記第一の層と前記第二の層をエッチングし、

第2のエッチング処理を行い、前記第一の層と前記第二の層をエッチングし、

第3のエッチング処理を行い、前記第一の層と前記第二の層をエッチングし、

酸素を含むエッチングガスを用いて第4のエッチング処理を行い、前記第一の層と前記第二の層をエッチングし、

前記半導体層に第1の一導電型の不純物元素の添加をし、

前記第1の層、前記第2の層、及び前記半導体層の一部の上に第2のレジスト層を形成し、

前記第2のレジスト層をマスクとして前記半導体層に第2の一導電型の不純物元素の添加をし、

前記半導体層は、前記第二の層と重なるチャンネル形成領域と、

前記第1の一導電型の不純物元素の添加により形成された前記第一の層と重なり、前記第二の層と重ならない前記チャンネル形成領域を挟む一対の第一の不純物領域と、

前記第1の一導電型の不純物元素の添加により形成された前記第一の層と重ならない、前記第一の不純物領域より前記不純物元素の濃度が高い、前記チャンネル形成領域と前記第一の不純物領域とを挟む一対の第二の不純物領域と、

前記第2の一導電型の不純物元素の添加により形成された前記第一の層と重ならない、前記第二の不純物領域より前記不純物元素の濃度が高い、前記チャンネル形成領域と前記第一の不純物領域と前記第二の不純物領域とを挟む一対の第三の不純物領域と、

を有することを特徴とする半導体装置の作製方法。

【請求項3】

請求項1または請求項2において、

前記第2の層を形成する前に、前記第1の層に酸素プラズマ処理を行うことを特徴とする半導体装置の作製方法。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記第1乃至第4のエッチング処理は、誘導結合型プラズマエッチング法を用いて行うことを特徴とする半導体装置の作製方法。

【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記第1のエッチング処理及び前記第4のエッチング処理は、異方性エッチングであることを特徴とする半導体装置の作製方法。

【請求項6】

請求項1乃至請求項5のいずれか一項において、

前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、電子遊技機器、またはプロジェクターであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は基板上に薄膜トランジスタ（以下、T F Tと記す）で構成された回路を有する半導体装置およびその作製方法に関する。特に本発明は上記T F Tにおいて、ホットキャリアによるオン電流値の劣化を防ぐための手段として、L D D領域を、ゲート絶縁膜を介してゲート絶縁膜と一部重ねて配置させた、G O L D（Gate-drain Over Lapped LDD）構造を好適に作成できる技術を提供する。尚、本明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、アクティブマトリクスL C Dを代表する電気光学装置及びその電気光学装置を搭載した電子機器をその範疇に含んでいる。

【0002】

【従来の技術】

T F Tのオフ電流値を低減するための構造として、低濃度ドレイン（L D D：Lightly Doped Drain）構造が知られている。この構造はチャンネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域を設けたものであり、この領域をL D D領域と呼んでいる。

【0003】

また、ホットキャリアによるオン電流値の劣化を防ぐための手段として、L D D領域を上記に加え、ゲート絶縁膜を介してゲート電極と重ねて配置させた部分にも形成する、いわゆるG O L D（Gate-drain Overlapped LDD）構造が知られている。このような構造とすることで、ドレイン近傍の高電界が緩和されてホットキャリア注入を防ぎ、劣化現象の防止に有効であることが知られている。

【0004】

アクティブマトリクス型の液晶表示装置に代表される電気光学装置において、スイッチング素子や能動回路を、T F Tを用いて構成する技術が開発されている。T F Tはガラスなどの基板上に気相成長法などにより半導体膜を形成し、その半導体膜を活性層として形成する。近年、活性層の半導体膜を結晶化させる技術が進み、結晶構造を含む半導体（以下、結晶質半導体と記す）膜（代表的には、結晶質シリコン或いは多結晶シリコン）を活性層としたT F Tでは、高い電界効果移動度が得られることから、各種の機能回路を同一のガラス基板上に形成することが可能となった。そして画素T F Tの他に駆動回路においてシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路などを実現することができた。このような回路は、nチャンネル型T F Tとpチャンネル型T F Tとから成るC M O S回路を基本として形成されていた。このような駆動回路の実装技術が根拠となり、液晶表示装置において軽量化および薄型化を推進するためには、画素部の他に駆動回路を同一基板上に一体形成できる結晶質半導体層を活性層とするT F Tが適していることが明らかとなってきた。

【0005】

例えば、駆動回路のバッファ回路などは高い駆動電圧が印加されるため、高電圧が印加されても壊れないように耐圧を高めておく必要がある。また電流駆動能力を高めるために、オン電流値（T F Tがオン動作時に流れるドレイン電流）を十分確保する必要がある。従って上記駆動回路には特に劣化に耐性のあるG O L D構造を用いるのが望ましい。

【0006】

従来G O L D構造T F Tプロセスにおいて、ゲート電極を形成する前に第一の不純物領域を開口したレジストを形成し、ドーピングして第一の不純物領域を形成するため、プロセス上マスクが一枚増えることとなる。フォトリソグラフィを1枚使用することは、その前後の工程において、被膜の成膜およびエッチングなどの工程の他に、レジスト剥離、洗浄や乾燥工程などが付加され、フォトリソグラフィの工程においても、レジスト塗布、プレベー

10

20

30

40

50

ク、露光、現像、ポストバークなどの煩雑な工程が行われることを意味する。

【0007】

【発明が解決しようとする課題】

本発明は劣化に耐性のある、GOLD構造の外側にLDD領域を有するTFTを、より少ない工程で作製する技術を提供するものである。アクティブマトリクス型の液晶表示装置等の電気光学装置に代表されるようなあらゆる半導体装置において、TFTの特性を改善し、半導体装置の動作特性および信頼性の向上を実現させることを目的としている。

【0008】

【課題を解決するための手段】

本発明では、上記GOLD構造の外側にLDD領域を有するTFTにおけるプロセス簡略化のため、耐熱性導電性材料からなる第一の層、及び同一エッチング雰囲気中で第一の層よりエッチング速度が大きくすることができる耐熱性導電性材料からなる第二の層から成り、前記第一の層の上に前記第二の層が積層された、2層からなるゲート電極を形成し、前記2層からなるゲート電極をマスクとしてソース及びドレイン領域、第一の不純物領域、第二の不純物領域を形成する方法を提供する。特に2層からなるゲート電極のうち、第一の層の材料において、膜中に酸素を添加することを特徴とする。

10

【0009】

本発明の構成は、半導体装置において、半導体層と、ゲート絶縁膜と、ゲート電極を有し、前記ゲート電極は、前記ゲート絶縁膜に接して形成された、Ta、Ti、Wから選ばれた一つの元素を含む酸化物または酸化窒化物からなる第一の層と、前記第一の層の内側に形成されたTa、Ti、Wから選ばれた一つの元素から成る第二の層とから成り、前記半導体層は、チャンネル形成領域と、前記チャンネル形成領域に接し、かつ前記第一の層と重なるように形成される第一の不純物領域と、前記ゲート電極の外側に形成された第三の不純物領域と、前記第一の不純物領域と前記第三の不純物領域の間に形成された第二の不純物領域とを有することを特徴としている。

20

【0010】

本発明の半導体装置の作製方法に関する構成は、半導体上にゲート絶縁膜を形成する第1の工程と、Ta、Ti、Wから選ばれた一つの元素の窒化物からなる第一の層を形成する第2の工程と、前記第一の層を酸素プラズマ処理する第3の工程と、Ta、Ti、Wから選ばれた一つの元素から成る第二の層を形成する第4の工程と、前記第二の層を選択的にエッチングし、前記第一の層の内側に第二の層を形成する第5の工程と、前記第一の層と前記第二の層をエッチングする第6の工程と、前記第二の層の外側に、一導電型の不純物元素を添加し、第三の不純物領域を形成する、第7の工程と、前記第一の層と前記第二の層をエッチングする第8の工程と、前記第一の層と前記第二の層をエッチングし、前記第一の層の内側に第二の層を形成する第9の工程と、前記半導体に、前記一導電型の不純物元素を添加し、前記第一の層と重なるように形成される第一の不純物領域と、前記第一の不純物領域と前記第三の不純物領域の間に第二の不純物領域を形成する、第10の工程と、を有することを特徴としている。

30

【0011】

また、他の発明の構成は、半導体上にゲート絶縁膜を形成する第1の工程と、Ta、Ti、Wから選ばれた一つの元素の酸化窒化物からなる第一の層を形成する第2の工程と、Ta、Ti、Wから選ばれた一つの元素から成る第二の層を形成する第3の工程と、前記第二の層を選択的にエッチングし、前記第一の層の内側に第二の層を形成する第4の工程と、前記第一の層と前記第二の層をエッチングする第5の工程と、前記第二の層の外側に、一導電型の不純物元素を添加し、第三の不純物領域を形成する、第6の工程と、前記第一の層と前記第二の層をエッチングする第7の工程と、前記第一の層と前記第二の層をエッチングし、前記第一の層の内側に第二の層を形成する第8の工程と、前記半導体に、前記一導電型の不純物元素を添加し、前記第一の層と重なるように形成される第一の不純物領域と、前記第一の不純物領域と前記第三の不純物領域の間に第二の不純物領域を形成する、第9の工程と、を有することを特徴としている。

40

50

【0012】

【発明の実施の形態】

本発明で最終的に完成されるGOLD構造の外側にLDD領域を有するTFTを図16に示す。図16に示す形状は、第一の層1603、第二の層1601にそれぞれTaNにOが添加されたもの、及びWを用いている。図16中ではn型の不純物が添加されており、第一の不純物領域1604、第二の不純物領域1605、第三の不純物領域1606、として示されている。また、ゲート絶縁膜1602は、エッチング工程を経ることにより、異なる不純物領域に対し、異なる膜厚で形成される。この第一の不純物領域、第二の不純物領域、第三の不純物領域、を有するTFT構造を、以下GOLD+LDD構造と呼ぶことにする。この形状は、第二の層1601の端部をテーパ形状に加工する工程を経て形成される。

10

【0013】

タングステンのような耐熱性導電性材料を高速でかつ精度良くエッチングして、さらに端部をテーパ形状とするためには、高密度プラズマを用いたドライエッチング法を適用する。高密度プラズマを得る手法にはマイクロ波や誘導結合プラズマ(Inductively Coupled Plasma: ICP)を用いたエッチング装置が適している。特に、ICPエッチング装置はプラズマの制御が容易であり、処理基板の大面积化にも対応できる。

【0014】

マルチスパイラルコイルを適用したICPを用いたエッチング装置を用いると、前記耐熱性導電性材料のエッチングを良好に行うことができる。ここでは、松下電器産業(株)製のICPを用いたドライエッチング装置(Model E645-□ICP)を用いた。ガラス基板上に所定のパターンに形成されたW膜について、そのパターン端部のテーパ形状について調べた結果を示す。ここで、テーパ部の角度は基板表面(水平面)とテーパ部の傾斜部とが角度として定義する(図4において θ_1 で示す角度)。ここでは、共通条件として放電電力(コイルに印加する高周波電力、13.56MHz)を3.2W/cm²、圧力1.0PaとしてエッチングガスにCF₄とCl₂を用いた。テーパ部の角度について、基板側にかかるバイアス電力(13.56MHz)依存性を示す。エッチングガスの流量はCF₄、Cl₂共に30SCCMとした。テーパ部の角度はバイアス電力が128~384mW/cm²の範囲で70~20°まで変化させることが可能であることが明らかとなった。また、テーパ部の角度のエッチングガス流量比依存性について調べた結果を示す。CF₄とCl₂の合計の流量を60SCCMとして、CF₄のみを20~40SCCMの範囲で変化させた。このときバイアス電力は128mW/cm²とした。その結果、テーパ部の角度は60~80°まで変化させることが可能であった。

20

30

【0015】

このようにテーパ部の角度は基板側にかかるバイアス電力によって大きく変化を示し、バイアス電力をさらに高め、また、圧力を変化させることによりテーパ部の角度を5~45°まで変化させることができる。

【0016】

表1はゲート電極を形成する前記耐熱性導電性材料のICPエッチング装置における加工特性を示す。ここでは、W膜とTa膜の他に、ゲート電極用の材料としてしばしば用いられるモリブデン-タングステン(Mo-W)合金(組成比はMo:W=48:50wt%)の例を示す。表1にはエッチング速度、適用するエッチングガス、およびゲート電極の下地となるゲート絶縁膜との選択比の代表的な値を示す。ゲート絶縁膜はプラズマCVD法で作製する酸化シリコン膜または酸化窒化シリコン膜であり、ここで選択比はゲート絶縁膜のエッチング速度に対する、それぞれの材料におけるエッチング速度の割合として定義する。

40

【0017】

【表1】

材料	エッチング速度 (nm/min)	ゲート絶縁膜との 選択比	エッチングガス
W	70～90	2～4	CF ₄ +Cl ₂
Ta	140～160	6～8	Cl ₂
Mo-W	40～60	0.1～2	CF ₄ +Cl ₂

【0018】

Ta膜のエッチング速度は140～160nm/minで選択比も6～8が選られ、W膜のエッチング速度70～90nm/min、また選択比2～4に対して優れた値となっている。従って、被加工性という観点からはTa膜も適しているが、表中に示さない値として、抵抗率が20～30μΩcmであり、W膜の10～16μΩcmに比べて若干高い点が難点となる。一方、Mo-W合金はエッチング速度が40～60nm/minと遅く、また選択比は0.1～2となりこの材料は被加工性という観点から必ずしも適していないことが視られる。このように、表1からはTa膜が最も良い結果を示していることがわかるが、前述のように抵抗率を考慮するとW膜が総合的には適していると判断される。

10

【0019】

ここでは、W膜を一例として示したが、前記耐熱性導電性材料についてICPエッチング装置を用いると、容易にパターンの端部をテーパ形状として加工することができる。

20

【0020】

本発明ではこのようなテーパ形状を形成する方法を適用して上記GOLD+LDD構造のTFETを作製する。具体的には図6に示すように、ゲート電極の形状を、段階を経て変化させ、その過程でドーピングを行う。図6においては、リンを注入するn型TFETの例を示している。図6の説明では、前記第一の層及び第二の層が成膜された後、ゲート電極が形成されるプロセスを順に示している。

【0021】

まず、バイアス電圧が高く、第二の層のエッチレートと第一の層のエッチレートとの比（以下選択比と記す）が大きいエッチング雰囲気中で、前記2層からなるゲート電極を異方性エッチする。すると図6(a)のごとく第二の層608がテーパ形状となり第一の層604が残るゲート電極が形成される。

30

【0022】

次にバイアス電圧を変えずに、選択比が、図6(a)の場合より小さくなるエッチング雰囲気中で、エッチングを行う。すると図6(b)のごとく第一の層605が第二の層609の端部よりテーパ形状を成したゲート電極が形成される。このときイオン化した導電型制御用の不純物元素を、電界で加速してゲート絶縁膜（ゲート電極と半導体層とに密接してその両者の間に設けられるゲート絶縁膜と、該ゲート絶縁膜からその周辺の領域に延在する絶縁膜を含めてゲート絶縁膜と称する）を通過させて、半導体層にリンを添加しソース及びドレイン領域615を形成する。本明細書中において、この不純物元素の添加方法を便宜上「スルードープ法」と呼ぶ。

40

【0023】

そしてさらに、バイアス電圧が図6(a)、図6(b)の形成時に比べて低く、選択比が、図6(a)の場合より小さいエッチング雰囲気中で、図6(a)、図6(b)と比べて等方性のエッチングを行う。すると図6(c)のごとく図6(b)の場合よりテーパが後退した第一の層606及び第二の層610のゲート電極が形成される。

【0024】

その後、バイアス電圧が図6(a)、図6(b)の形成時に比べて低く、選択比が、図6(c)の場合より大きくなるエッチング雰囲気中で、エッチングを行う。すると図6(d)のごとく第一の層607が露出したゲート電極が形成される。このときイオン化した導電型制御用の不純物元素を、第一の層より成るゲート電極とゲート絶縁膜を通過させ、スル

50

ードープを行う。このときの不純物元素は、図6（b）の場合に比べて低濃度で添加し、これにより第一の不純物領域613及び第二の不純物領域614を形成する。

【0025】

本発明では、第一の層の膜中に、酸素が添加されていることを特徴とする。その好適な例として、酸素を添加したTa₂Nが挙げられる。酸素を添加したTa₂Nを、以下Ta₂ONと記述する。第二の層として好適な材料には、Wが挙げられる。Ta₂ON、Wとも耐熱性に優れ、抵抗率の低いWとエッチレートを低く設定でき、図6に述べる形状を形成しやすい。なお、上記材料はCF₄及びCl₂をエッチングガスとして用い、ドライエッチングできる。選択比を上げるためには、上記ガスに酸素を添加することが有効である。

【0026】

第一の層の膜中に酸素が添加されていることを特徴とする理由は、図6（d）のスルードープの段階における第一の不純物領域613の上方に位置する第一の層607の膜厚を小さくできることに起因する、TF₂T特性向上があげられる。

【0027】

図6（d）においては、第一の不純物領域の上方に位置する第一の層607を通過させるスルードープ法を行うことで、当該第一の層607の厚さにより半導体層に添加される不純物元素の濃度は制御される。そしてこの第一の不純物領域の上方に位置する第一の層607の膜厚は、上記選択比で制御することが好ましい。なぜなら電界特性や不純物添加濃度を設計上決める、第二の層612とゲート絶縁膜616の膜厚を変えずに済むからである。すなわちエッチングによって図6（d）のごとく形状を形成する際、第一の不純物領域613の上方に位置する第一の層607の膜厚を薄くするためには、上記選択比を大きくし、第一の層607の膜厚を厚くするためには上記選択比を小さくする。

【0028】

第一の層がTa₂Nより成る場合、十分な上記エッチレートの差が無い場合、第一の不純物領域の上方に位置する第一の層が厚くなる。このため上記の作製方法で形成したGOLD+LDD構造のTF₂T素子の特性において、ゲート電極とゲート絶縁膜を通過させ、第一の不純物領域の部分にリンを充分注入できないことがある。このため充分な耐性が得られないことがあった。第一の層にTa₂Nを用いたままで、これを解決すべく図6（d）の段階で第一の不純物領域にリンを充分注入すると、これに伴い第二の不純物領域の濃度を高くなる。第二の不純物領域の濃度が高くなれば、第二の不純物領域で電界を緩和することができなくなり、オフ電流が上がるなど、TF₂Tとして良好な特性を示さないことがある。

【0029】

そこで、第一の不純物領域の部分に注入されるリンを阻止する第一の層の膜厚を薄くすることで、第二の不純物領域の濃度を従来の構造と変えず、第一の不純物領域の部分に注入されるリン濃度を増やすことができる。そのためには、図6（d）の段階で、選択比が、より大きくなるようなエッチング雰囲気もしくは膜特性とすることが必要となる。具体的には、上記第一の層の膜中への酸素の添加で上記エッチレートの差を大きくする。

【0030】

選択比が、第一の層の酸素添加によってどの程度変化するかを調べるべく、実験を行った。以下にその結果を示す。

【0031】

【表2】

処理内容	シート抵抗(Ω/□)
酸素プラズマ処理2min	136.334
酸素プラズマ処理10min	88.018
as-depo	70.826

【0032】

表2は、ガラス上にスパッタ成膜法でTa₂N膜を30nm成膜し、Ta₂N膜に酸素プラズマ

10

20

30

40

50

処理を行った後、シート抵抗を測定した結果を示す。表 2 中に見られるように、酸素プラズマ処理を行ったいずれのサンプルも、酸化のため抵抗値が上がっている。しかし第一の不純物領域に電界をかけるには充分低く、上記すべての条件で第一の層を酸素添加処理できると思われる。

【0033】

この TaN 膜について、SIMS によって表面からの酸素濃度を測定した結果を図 15 に示す。このサンプルは、ガラス基板上に TaN を 150 nm 積層している。表面層、すなわちグラフの左側において、測定時に表面からの情報が 10 nm まで影響することを考慮すると、膜中の酸素濃度は 1×10^{21} atoms/cm³ 程度と見られる。これは TaN が自然に酸素を吸蔵したものと考えられる。このことから、膜中の酸素濃度は 1×10^{21} atoms/cm³ 以上であれば、TaON 膜であると我々は判断した。

10

【0034】

【表 3】

処理内容	エッチレート(nm/min)
酸素プラズマ処理2min	15.83
酸素プラズマ処理10min	15.14
asdepo	16.27

【0035】

表 3 は、ガラス上にスパッタ成膜法で TaN 膜を成膜し、表 2 と同条件の酸素プラズマ処理を行った後、エッチングレートを測定した結果を示す。いずれの前記シート抵抗が上がっているサンプル処理方法においても、エッチレートが上がっていることが分かる。表 2 及び表 3 では酸素プラズマ処理において、処理時間を変えて測定している。処理時間が増えるにつれ、シート抵抗が上がり、エッチレートが減ることから、酸素が添加されるにつれエッチレートが小さくなると推測できる。

20

【0036】

ここでは第一の層として TaN を上げたが、適したエッチングガスを用い、エッチレートを遅くすることができる物質なら利用することができると考えられる。具体的には Ti、W 及びその酸化物もしくは酸化窒化物も有効と思われる。第一の層への酸素添加方法も、酸素プラズマ処理に限定されず、例えばスパッタ成膜時に酸素ガスを流す方法が有効と考えられる。

30

【0037】

以上より、選択比を変えることにより、第一の層の膜厚を薄くすることが可能であることが分かった。そこで、この第一の層の膜厚を変化させたときの TFT 特性をシミュレーションした。シミュレーションは、第一の層による不純物注入の阻止能を考慮し、ゲート電極の導電率は考慮していない。TFT のサイズは、基板平面に沿って $8 \mu\text{m} \times 8 \mu\text{m}$ であり、ドレイン電圧を 14 V と固定している。

【0038】

図 21 は、ゲート電極の第一の層を、膜厚において 5 nm から 30 nm まで変化させたときの、Vg-I_d 曲線をシミュレーションした結果である。膜厚による Vg-I_d 特性の変化は小さいといえる。

40

【0039】

図 22 は、ゲート電極の第一の層を、膜厚において 5 nm から 30 nm まで変化させたときの、Si における電界強度曲線である。このとき、ゲート電極に 20 V 印加している。縦軸は電界強度であり、横軸は TFT における位置を示している。横軸の単位は μm であり、第一の不純物領域及び第二の不純物領域は $0.5 \mu\text{m}$ で形成されている。1 付近がチャネルと第一の不純物領域の境界であり、この領域付近の電界は PN 接合部となるため高い。1.5 付近が第一の不純物領域と第二の不純物領域の境界であり、この領域付近の電界が、劣化の原因となる。

50

図22中では、膜厚が薄くなるにつれ領域付近の電界は小さくなり、劣化はおきにくくなることが予想される。すなわち、第一の層を薄くするようなGOLD+LDD構造のTF Tは劣化に対し有効である。

【0040】

【実施例】

[実施例1]

本発明の実施例を、図1～図4を用いて説明する。ここでは、画素部の画素TF Tおよび保持容量と、画素部の周辺に設けられる駆動回路のTF Tを同時に作製する方法について工程に従って詳細に説明する。

【0041】

図1(A)において、基板101にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板の他に、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)など光学的異方性を有しないプラスチック基板を用いることができる。ガラス基板を用いる場合には、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいても良い。そして、基板101のTF Tを形成する表面に、基板101からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜102を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜102aを10～200nm(好ましくは50～100nm)、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜102bを50～200nm(好ましくは100～150nm)の厚さに積層形成する。ここでは下地膜102を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させて形成しても良い。

【0042】

酸化窒化シリコン膜は従来の平行平板型のプラズマCVD法を用いて形成する。酸化窒化シリコン膜102aは、SiH₄を10SCCM、NH₃を100SCCM、N₂Oを20SCCMとして反応室に導入し、基板温度325℃、反応圧力40Pa、放電電力密度0.41W/cm²、放電周波数60MHzとした。一方、酸化窒化水素化シリコン膜102bは、SiH₄を5SCCM、N₂Oを120SCCM、H₂を125SCCMとして反応室に導入し、基板温度400℃、反応圧力20Pa、放電電力密度0.41W/cm²、放電周波数60MHzとした。これらの膜は、基板温度を変化させ、反応ガスの切り替えのみで連続して形成することもできる。

【0043】

このようにして作製した酸化窒化シリコン膜102aは、密度が9.28×10²²/cm³であり、フッ化水素アンモニウム(NH₄HF₂)を7.13%とフッ化アンモニウム(NH₄F)を15.4%含む混合溶液(ステラケミファ社製、商品名LAL500)の20℃におけるエッチング速度が約63nm/minと遅く、緻密で硬い膜である。このような膜を下地膜に用いると、この上に形成する半導体層にガラス基板からのアルカリ金属元素が拡散するのを防ぐのに有効である。

【0044】

次に、25～80nm(好ましくは30～60nm)の厚さで非晶質構造を有する半導体層103aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。例えば、プラズマCVD法で非晶質シリコン膜を55nmの厚さに形成する。非晶質構造を有する半導体膜には、非晶質半導体層や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜102と非晶質半導体層103aとは両者を連続形成することも可能である。例えば、前述のように酸化窒化シリコン膜102aと酸化窒化水素化シリコン膜102bをプラズマCVD法で連続して成膜後、反応ガスをSiH₄、N₂O、H₂からSiH₄とH₂或いはSiH₄のみに切り替えれば、一旦大気雰囲気に晒すことなく連続形成できる。その結果、酸化窒化水素化シリコン膜102bの表面の汚染を防ぐことが可能となり、作製するTF Tの特性バラツキやしきい値電圧の変動を低減させることができる。

【0045】

そして、結晶化の工程を行い非晶質半導体層103aから結晶質半導体層103bを作製する。その方法としてレーザーアニール法や熱アニール法（固相成長法）、またはラピットサーマルアニール法（RTA法）を適用することができる。前述のようなガラス基板や耐熱性の劣るプラスチック基板を用いる場合には、特にレーザーアニール法を適用することが好ましい。RTA法では、赤外線ランプ、ハロゲンランプ、メタルハライドランプ、キセノンランプなどを光源に用いる。或いは特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質半導体層103bを形成することもできる。結晶化の工程ではまず、非晶質半導体層が含有する水素を放出させておくことが好ましく、400～500℃で1時間程度の熱処理を行い含有する水素量を5atomic%以下にしてから結晶化させると膜表面の荒れを防ぐことができるので良い。

10

【0046】

また、プラズマCVD法で非晶質シリコン膜の形成工程において、反応ガスにSiH₄とアルゴン（Ar）を用い、成膜時の基板温度を400～450℃として形成すると、非晶質シリコン膜の含有水素濃度を5atomic%以下にすることもできる。このような場合において水素を放出させるための熱処理は不要となる。

【0047】

結晶化をレーザーアニール法にて行う場合には、パルス発振型または連続発光型のエキシマレーザーやアルゴンレーザーをその光源とする。パルス発振型のエキシマレーザーを用いる場合には、レーザー光を線状に加工してレーザーアニールを行う。レーザーアニール条件は実施者が適宜選択するものであるが、例えば、レーザーパルス発振周波数30Hzとし、レーザーエネルギー密度を100～500mJ/cm²（代表的には300～400mJ/cm²）とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率（オーバーラップ率）を80～98%として行う。このようにして図1（B）に示すように結晶質半導体層103bを得ることができる。

20

【0048】

そして、結晶質半導体層103b上に第1のフォトマスク（PM1）を用い、フォトリソグラフィの技術を用いてレジストパターンを形成し、ドライエッチングによって結晶質半導体層を島状に分割し、図1（C）に示すように島状半導体層104～108を形成する。結晶質シリコン膜のドライエッチングにはCF₄とO₂の混合ガスを用いる。

30

【0049】

このような島状半導体層に対し、TFTのしきい値電圧（V_{th}）を制御する目的でp型を付与する不純物元素を1×10¹⁶～5×10¹⁷atomic/cm³程度の濃度で島状半導体層の全面に添加しても良い。半導体に対してp型を付与する不純物元素には、ホウ素（B）、アルミニウム（Al）、ガリウム（Ga）など周期律表第13族の元素が知られている。その方法として、イオン注入法やイオンドーピング法（或いはイオンシャワードーピング法）を用いることができるが、大面積基板を処理するにはイオンドーピング法が適している。イオンドーピング法ではジボラン（B₂H₆）をソースガスとして用いホウ素（B）を添加する。このような不純物元素の注入は必ずしも必要でなく省略しても差し支えないが、特にnチャネル型TFTのしきい値電圧を所定の範囲内に収めるために好適に用いる手法である。

40

【0050】

ゲート絶縁膜109はプラズマCVD法またはスパッタ法を用い、膜厚を40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さで酸化窒化シリコン膜から形成する。また、SiH₄とN₂OにO₂を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法で、オルトケイ酸テトラエチル（Tetraethyl Ortho-silicate：TEOS）とO₂とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波（13.56MHz）電力密度0.5～0.8W/cm²で放電させて形成す

50

ることができる。このようにして作製された酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0051】

そして、図1(D)に示す様に、ゲート絶縁膜109上にゲート電極を形成するための第1の導電膜110と第2の導電膜111とを形成する。本実施例では、第1の導電膜110をTaONで5～30nmの厚さに形成し、第2の導電膜をWで300～400nmの厚さに形成する。

【0052】

TaON膜はスパッタ法で形成し、TaのターゲットをAr及びN₂、O₂でスパッタする。この場合、Ar及びN₂に適量のXeやKrを加えると、TaON膜の内部応力を緩和して膜の剥離を防止することができる。

10

【0053】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20μΩcmを実現することができる。

20

【0054】

上記例ではTaON膜とW膜を、連続成膜している。これは大気開放せず処理する、スループットの早い好適な手段である。

【0055】

次に図2に示すように、レジストによるマスク112～117を形成し、ゲート電極を形成するための第1のエッチング処理を行う。エッチング方法に限定はないが、好適にはICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂とO₂を混合し、0.5～2Pa、好ましくは1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂とO₂を混合した場合にはW膜のエッチレートはTaON膜より大きい。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第一の層であるTaONを異方性エッチングする。

30

【0056】

W膜やTaON膜のCF₄とCl₂の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaONのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆が極端に高く、その他のWCl₅、TaF₅、TaCl₅は同程度である。従って、CF₄とCl₂の混合ガスではW膜及びTaON膜共にエッチングされる。しかし、この混合ガスに適量のO₂を添加するとCF₄とO₂が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaONはFが増大しても相対的にエッチング速度の増加は少ない。また、TaONはWに比較して酸化されやすいので、O₂を添加することでTaONの表面が酸化される。TaONの酸化物はフッ素や塩素と反応しないためさらにTaON膜のエッチング速度は低下する。従って、W膜とTaON膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTaON膜よりも大きくすることが可能となる。

40

【0057】

上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第二の層すなわちWの端部がテーパ形状となる。テーパ部の角度は15～45°となる。ゲート絶縁膜上に残渣を残すことなくエ

50

エッチングするためには、10～20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4（代表的には3）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50nm程度エッチングされることになる。

【0058】

その後同様にICPエッチング法を用い、エッチングガスに CF_4 と Cl_2 を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給し、プラズマを生成してWとTaONのエッチングを行う。基板側（試料ステージ）には100WのRF（13.56MHz）電力を投入し、第1のエッチング処理と同様の自己バイアス電圧を印加する。このような条件によればW膜とTaON膜のエッチレートの差すなわち選択比は酸素を添加した上記エッチング条件にくらべ小さくなり、W膜及びTaON膜がエッチングされる。10
こうして、第1のエッチング処理により第一の層と第二の層から成る第1の形状の導電層118～123（第一の層118a～123aと第二の層118b～123b）を形成する。130はゲート絶縁膜であり、第1の形状の導電層118～123で覆われない領域は20～50nm程度エッチングされ薄くなった領域が形成される。

【0059】

そして、第1のドーピング処理を行い、n型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ とし、加速電圧を60～100keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いるが、ここではリン（P）を用いる。この場合、導電層118～123がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域124～129が形成される。第1の不純物領域124～129には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atomic/cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。20

【0060】

次に図3（C）に示すように第2のエッチング処理を行う。

このときもICPエッチング法を用い、エッチングガスに CF_4 と Cl_2 を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給し、プラズマを生成してWとTaONのエッチングを行う。基板側（試料ステージ）には20WのRF（13.56MHz）電力を投入し、第1のエッチング処理より小さい自己バイアス電圧を印加する。30

【0061】

その後ICPエッチング法を用い、エッチングガスに CF_4 と Cl_2 と O_2 を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給し、プラズマを生成して行う。基板側（試料ステージ）には20WのRF（13.56MHz）電力を投入し、自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第一の層であるTaONを異方性エッチングする。

【0062】

こうして第2の形状の薄膜層1118～1123（第一の層1118a～1123aと第二の層1118b～1123b）を形成する。1130はゲート絶縁膜であり、第2の形状の薄膜層1118～1123で覆われない領域はさらに20～50nm程度エッチングされ薄くなった領域が形成される。40

【0063】

そして、図3（C）に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げ高加速電圧の条件でn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120keVとし、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量で行い、図2で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第二の形状の薄膜層1118～1123を不純物元素に対するマスクとして用い、第二の層1118a～1123aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第二の1118a～1123aと重なる第3の不純物領域131～136と、第1の不純物領域と第3の不純物領域との間の第2の不純50

物領域 1 1 3 1 ~ 1 1 3 6 とを形成する。n 型を付与する不純物元素は、第 2 の不純物領域で $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度となるようにし、第 3 の不純物領域で $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度となるようにする。このように、第 2 の不純物領域と、第 3 の不純物領域と、を併せて LDD 領域と呼ぶ。これはボロンを不純物とする P 型の場合も同様である。

【0064】

そして、p チャネル型 TFT を形成する島状半導体層 104、106 にソース領域およびドレイン領域とする高濃度 p 型不純物領域 140、141 を形成する。ここでは、ゲート電極 1118a、1123a をマスクとして p 型を付与する不純物元素を添加し、自己整合的に高濃度 p 型不純物領域を形成する。このとき、n チャネル型 TFT を形成する島状半導体層 105、107、108 は、第 3 のフォトリソマスク (PM3) を用いてレジストマスク 137 ~ 139 を形成し全面を被覆しておく。ここで形成される不純物領域 140、141 はジボラン (B_2H_6) を用いたイオンドーピング法で形成する。そして、ゲート電極と重ならない高濃度 p 型不純物領域 140a、141a のボロン (B) 濃度は、 $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atomic/cm}^3$ となるようにする。また、第一のゲート電極と重なる不純物領域 140b、141b は、ゲート絶縁膜と第一のゲート電極を介して不純物元素が添加されるので、実質的に低濃度 p 型不純物領域として形成され、少なくとも $1.5 \times 10^{19} \text{ atomic/cm}^3$ 以上の濃度とする。この高濃度 p 型不純物領域 140a、141a および低濃度 p 型不純物領域 140b、141b には、前工程においてリン (P) が添加されていて、高濃度 p 型不純物領域 140a、141a には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atomic/cm}^3$ の濃度で、低濃度 p 型不純物領域 140b、141b には $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atomic/cm}^3$ の濃度で含有しているが、この工程で添加するボロン (B) の濃度をリン (P) 濃度の 1.5 から 3 倍となるようにすることにより、p チャネル型 TFT のソース領域およびドレイン領域として機能するために何ら問題は生じなかった。

【0065】

その後、図 4 (A) に示すように、ゲート電極およびゲート絶縁膜上から第 1 の層間絶縁膜 142 を形成する。第 1 の層間絶縁膜は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても第 1 の層間絶縁膜 142 は無機絶縁物材料から形成する。第 1 の層間絶縁膜 142 の膜厚は 100 ~ 200 nm とする。ここで、酸化シリコン膜を用いる場合には、プラズマ CVD 法で TEOS と O_2 とを混合し、反応圧力 40 Pa、基板温度 300 ~ 400 °C とし、高周波 (13.56 MHz) 電力密度 0.5 ~ 0.8 W/cm² で放電させて形成することができる。また、酸化窒化シリコン膜を用いる場合には、プラズマ CVD 法で SiH_4 、 N_2O 、 NH_3 から作製される酸化窒化シリコン膜、または SiH_4 、 N_2O から作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力 20 ~ 200 Pa、基板温度 300 ~ 400 °C とし、高周波 (60 MHz) 電力密度 0.1 ~ 1.0 W/cm² で形成することができる。また、 SiH_4 、 N_2O 、 H_2 から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマ CVD 法で SiH_4 、 NH_3 から作製することが可能である。

【0066】

その後、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法 (RTA 法) を適用することができる。熱アニール法では酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で 400 ~ 700 °C、代表的には 500 ~ 600 °C で行うものであり、本実施例では 550 °C で 4 時間の熱処理を行った。また、基板 101 に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい (図 4 (B))。

【0067】

活性化の工程に続いて、雰囲気ガスを変化させ、3 ~ 100 % の水素を含む雰囲気中で、300 ~ 450 °C で 1 ~ 12 時間の熱処理を行い、島状半導体層を水素化する工程を行う

10

20

30

40

50

。この工程は熱的に励起された水素により島状半導体層にある $10^{16} \sim 10^{18}/\text{cm}^3$ のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。いずれにしても、島状半導体層 $10^4 \sim 10^8$ 中の欠陥密度を $10^{16}/\text{cm}^3$ 以下とすることが望ましく、そのために水素を $0.01 \sim 0.1$ atomic% 程度付与すれば良かった。

【0068】

活性化および水素化の工程が終了したら、有機絶縁物材料からなる第2の層間絶縁膜143を $1.0 \sim 2.0 \mu\text{m}$ の平均厚を有して形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで 300°C で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで 80°C で60秒の予備加熱を行い、さらにクリーンオープンで 250°C で60分焼成して形成することができる。

10

【0069】

このように、第2の層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、第1の層間絶縁膜142として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いると良い。

20

【0070】

その後、第4のフォトマスク（PM4）を用い、所定のパターンのレジストマスクを形成し、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッチングガスに CF_4 、 O_2 、 He の混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜143をまずエッチングし、その後、続いてエッチングガスを CF_4 、 O_2 として第1の層間絶縁膜142をエッチングする。さらに、島状半導体層との選択比を高めるために、エッチングガスを CHF_3 に切り替えてゲート絶縁膜130をエッチングすることにより、良好にコンタクトホールを形成することができる。

【0071】

そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し第5のフォトマスクでレジストマスクパターンを形成しエッチングによって、ソース配線とドレイン配線を形成する。ドレイン配線を例としてこの構成を説明すると、Ti膜を $50 \sim 150 \text{nm}$ の厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成する。そのTi膜上に重ねてAl膜を $300 \sim 400 \text{nm}$ の厚さで形成し、さらにTi膜または窒化チタン（TiN）膜を $100 \sim 200 \text{nm}$ の厚さで形成して3層またはTiとTiNを組み合わせ、3層以上の層を有する構造とする。その後、第5のフォトマスクによりレジストマスクパターンを形成し、エッチングによってソース配線とドレイン配線を形成する。このとき、課題を解決する手段で記したように、酸素プラズマを用いた処理、熱酸化処理を行い、Al層の端部に酸化膜を形成する。その後、透明導電膜を全面に形成し、第6のフォトマスクを用いたパターンニング処理およびエッチング処理により画素電極を形成する。画素電極は、有機樹脂材料から成る第2の層間絶縁膜上に形成され、画素TFEのドレイン配線と重なる部分を設け電氣的な接続を形成している。

30

40

【0072】

透明導電膜の材料は、酸化インジウム（ In_2O_3 ）や酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3 - \text{SnO}_2$ ；ITO）などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。

【0073】

こうして6枚のフォトマスクにより、同一の基板上に、駆動回路のTFEと画素部の画素TFEとを有した基板を完成させることができる。駆動回路には第1のpチャネル型TFE

50

T (A) 200a、第1のnチャネル型TFT (A) 201a、第2のpチャネル型TFT (A) 202a、第2のnチャネル型TFT (A) 203a、画素部には画素TFT 204、保持容量205が形成されている。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0074】

駆動回路の第1のpチャネル型TFT (A) 200aには、島状半導体層104にチャネル形成領域206、LDD領域207、高濃度p型不純物領域から成るソース領域208、ドレイン領域209を有した構造となっている。第1のnチャネル型TFT (A) 201aには、島状半導体層105にチャネル形成領域210、低濃度n型不純物領域で形成されゲート電極119と重なるLDD領域211、高濃度n型不純物領域で形成するソース領域212、ドレイン領域213を有している。チャネル長3〜7 μm に対して、ゲート電極119と重なるLDD領域を第一の不純物領域としてそのチャネル長方向の長さは0.1〜1.5 μm 、好ましくは0.3〜0.8 μm とする。この第一の不純物領域の長さはゲート電極119の厚さとテーパ部の角度 θ_1 から制御する。

10

【0075】

図4 (C) では、駆動回路のnチャネル型TFTおよびpチャネル型TFTを一对のソース・ドレイン間に一つのゲート電極を設けたシングルゲートの構造とし、画素TFTをダブルゲート構造としたが、これらのTFTはいずれもシングルゲート構造としても良いし、複数のゲート電極を一对のソース・ドレイン間に設けたマルチゲート構造としても差し支えない。

20

【0076】

図7は画素部のほぼ一画素分を示す上面図である。図中に示すA-A'断面が図4 (C) に示す画素部の断面図に対応している。画素TFT 204は、ゲート電極122は図示されていないゲート絶縁膜を介してその下の島状半導体層108と交差し、さらに複数の島状半導体層に跨って延在してゲート配線を兼ねている。図示はしていないが、島状半導体層には、図4 (C) で説明したソース領域、ドレイン領域、LDD領域が形成されている。また、230はソース配線148とソース領域225とのコンタクト部、231はドレイン配線153とドレイン領域227とのコンタクト部である。保持容量205は、画素TFT 204のドレイン領域227から延在する半導体層228、229とゲート絶縁膜を介して容量配線123が重なる領域で形成されている。この構成において半導体層228には、価電子制御を目的とした不純物元素は添加されていない。

30

【0077】

以上の様な構成は、画素TFTおよび駆動回路が要求する仕様に応じて各回路を構成するTFTの構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能としている。さらにゲート電極を、耐熱性を有する導電性材料で形成することによりLDD領域やソース領域およびドレイン領域の活性化を容易としている。

【0078】

さらに、ゲート電極にゲート絶縁膜を介して重なるLDD領域を形成する際に、導電性を制御する目的で添加した不純物元素に濃度勾配を持たせてLDD領域を形成することで、特にドレイン領域近傍における電界緩和効果が高まることが期待できる。

40

【0079】

アクティブマトリクス型の液晶表示装置の場合、第1のpチャネル型TFT (A) 200aと第1のnチャネル型TFT (A) 201aは高速動作を重視するシフトレジスタ回路、バッファ回路、レベルシフト回路などを形成するのに用いる。図4 (C) ではこれらの回路をロジック回路部として表している。第1のnチャネル型TFT (A) 201aのLDD領域211はホットキャリア対策を重視した構造となっている。さらに、耐圧を高め動作を安定化させるために、図5 (A) で示すようにこのロジック回路部のTFTを第1のpチャネル型TFT (B) 200bと第1のnチャネル型TFT (B) 201bで形成しても良い。このTFTは、一对のソース・ドレイン間に2つのゲート電極を設けたダブルゲート構造であり、このようなTFTは本実施例の工程を用いて同様に作製できる。第

50

1のpチャネル型TFT(B)200bには、島状半導体層にチャネル形成領域236a、236b、低濃度p型不純物領域から成りゲート電極118と重なるLDD領域237a、237b、高濃度p型不純物領域から成るソース領域238とドレイン領域239、240を有した構造となっている。第1のnチャネル型TFT(B)201bには、島状半導体層にチャネル形成領域241a、241b、低濃度n型不純物領域で形成されゲート電極119と重なるLDD領域242a、242b、高濃度n型不純物領域で形成するソース領域243とドレイン領域244、245を有している。チャネル長はいずれも3〜7 μm として、ゲート電極と重なるLDD領域を第一の不純物領域としてそのチャネル長方向の長さは0.1〜1.5 μm 、好ましくは0.3〜0.8 μm とする。

【0080】

また、アナログスイッチで構成するサンプリング回路には、同様な構成とした第2のpチャネル型TFT(A)202aと第2のnチャネル型TFT(A)203aを適用することができる。サンプリング回路はホットキャリア対策と低オフ電流動作が重視されるので、図5(B)で示すようにこの回路のTFTを第2のpチャネル型TFT(B)202bと第2のnチャネル型TFT(B)203bで形成しても良い。この第2のpチャネル型TFT(B)202bは、一对のソース・ドレイン間に3つのゲート電極を設けたトリプルゲート構造であり、このようなTFTは本実施例の工程を用いて同様に作製できる。第2のpチャネル型TFT(B)202bには、島状半導体層にチャネル形成領域246a、246b、246c、低濃度p型不純物領域から成りゲート電極120と重なるLDD領域247a、247b、247c、高濃度p型不純物領域から成るソース領域249とドレイン領域250〜252を有した構造となっている。第2のnチャネル型TFT(B)203bには、島状半導体層にチャネル形成領域253a、253b、低濃度n型不純物領域で形成されゲート電極121と重なるLDD領域254a、254b、高濃度n型不純物領域で形成するソース領域255とドレイン領域256、257を有している。

【0081】

このように、TFTのゲート電極の構成をシングルゲート構造とするか、複数のゲート電極を一对のソース・ドレイン間に設けたマルチゲート構造とするかは、回路の特性に応じて実施者が適宜選択すれば良い。そして、本実施例で完成したアクティブマトリクス基板を用いることで透過型の液晶表示装置を作製することができる。

【0082】

[実施例2]

実施例1では、TaON膜とW膜を連続成膜している。これは例えばマルチチャンバーを有するスパッタ装置などで、大気開放せず処理する好適な成膜手段である。それ以外にもTaN膜を成膜し、後に酸化する方法がある。ゲート電極を形成する際、TaN膜はTaのターゲットをAr及びN₂でスパッタ成膜する。その後、酸素を含むプラズマに曝しTaN膜を酸化させるとTaON膜を得ることができる。

【0083】

しかしながら、何らかの都合でTa成膜時酸素を流せない場合があれば、後にアニールを行うことで酸化する手段をとる。例えば、TaN膜を大気雰囲気、もしくは窒素雰囲気において550℃でアニールする。あるいは前記耐熱性導電性材料から成る第一の層に、酸素雰囲気アニールしたとき、導電性が良好で、エッチング特性が上記加工に対し良好であり、酸素を透過するものであれば、第一の層及び第二の層を成膜後アニールするという手段をとることができる。

【0084】

[実施例3]

実施例1では、駆動回路のnチャネル型TFT及び画素TFTに同じGOLD+LDD構造を形成する例を示した。しかしながら画素TFTと駆動回路のTFTとでは、それらの回路の動作条件は必ずしも同一ではなく、そのことからTFTに要求される特性も少なからず異なっている。画素TFTはnチャネル型TFTから成り、スイッチング素子として液晶に電圧を印加して駆動させるものである。液晶は交流で駆動させるので、フレーム反

10

20

30

40

50

転駆動と呼ばれる方式が多く採用されている。この方式では消費電力を低く抑えるために、画素TFTに要求される特性はオフ電流値（TFTがオフ動作時に流れるドレイン電流）を十分低くすることである。一方、駆動回路のバッファ回路などは高い駆動電圧が印加されるため、高電圧が印加されても壊れないように耐圧を高めておく必要がある。また電流駆動能力を高めるために、オン電流値（TFTがオン動作時に流れるドレイン電流）を十分確保する必要がある。

【0085】

また、上記オフ電流値やオン電流値の他にも注目すべき点はある。例えば、画素TFTと、シフトレジスタ回路やバッファ回路などの駆動回路のTFTとでは、そのバイアス状態も必ずしも同じではない。例えば、画素TFTにおいてはゲート電極に大きな逆バイアス（nチャネル型TFTでは負の電圧）が印加されるが、駆動回路のTFTは基本的に逆バイアス状態で動作することはない。また、動作速度に関しても、画素TFTは制御回路のTFTの1/100以下が良い。また、GOLD+LDD構造はオン電流値の劣化を防ぐ効果は高いが、その反面、通常のLDD構造と比べてオフ電流値が大きくなる可能性がある。従って、画素TFTに適用するには改善の余地がある。また逆に通常のLDD構造はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリア注入による劣化を防ぐ効果は低い。このように、アクティブマトリクス型液晶表示装置のような動作条件の異なる複数の集積回路を有する半導体装置において、求められる特性にあわせた構造で形成することが望ましい。

【0086】

すなわち、画素TFTと駆動回路のTFTとの構造を変えることで、液晶表示装置として良好な特性を示すことが期待される。具体的には、実施例1により形成される上記GOLD+LDD構造において、高濃度n型不純物領域を、マスクを用いて形成することで、片方の第二の不純物領域の長さを変えることが出来る。このときTFT特性から言えば、第二の不純物領域の長さが長くなるとともに抵抗は上がり、Ioff及びIonの値が下がることになる。また、この部分の電位変動が緩やかになり、劣化がおきにくくなることが期待される。

【0087】

また、実施例1では第二の不純物領域の長さを第一の層及び第二の層のテーパ形状で決めている。従ってプロセスにおける基板面内分布特性が均一でないと、第二の不純物領域の長さが面内で変わることが予想される。このことから高濃度n型不純物領域を、マスクを用いて形成する利点である。このプロセスを、図20を用いて説明する。ここでも図6と同様、ゲート電極の形状を、段階を経て変化させ、その過程でドーピングを行う。図20においては、リンを注入するn型TFTの例を示している。

【0088】

まず、バイアス電圧が高く、選択比が大きいエッチング雰囲気中で、前記2層からなるゲート電極を異方性エッチする。すると図20(a)のごとく第二の層2008がテーパ形状となり第一の層2004が残るゲート電極が形成される。次にバイアス電圧を変えずに、選択比が、図20(a)の場合より小さくなるエッチング雰囲気中で、エッチングを行う。すると図20(b)のごとく第一の層2005が第二の層2009の端部よりテーパ形状を成したゲート電極が形成される。そして、バイアス電圧が図20(a)、図20(b)の形成時に比べて低く、選択比が、図20(a)の場合より小さいエッチング雰囲気中で、図20(a)、図20(b)と比べて等方性のエッチングを行う。すると図20(c)のごとく図6(b)の場合よりテーパが後退した第一の層2006及び第二の層2010よりなるゲート電極が形成される。

【0089】

その後、バイアス電圧が図20(a)、図20(b)の形成時に比べて低く、選択比が、図20(c)の場合より大きくなるエッチング雰囲気中で、エッチングを行う。すると図20(d)のごとく第一の層2007が露出したゲート電極が形成される。このときイオン化した導電型制御用の不純物元素を、第一の層より成るゲート電極とゲート絶縁膜を通過させ、スルードープを行う。これにより第一の不純物領域2013及び第二の不純物領域2014を形成する。

そしてさらに、図20 (f)のごとくソース及びドレイン領域を形成する領域を開口するようなレジスト2012を形成する。このときイオン化した導電型制御用の不純物元素を、半導体層に添加しソース及びドレイン領域を形成する。このときの不純物元素は、図20 (d)の場合に比べて高い濃度で添加する。これにより、ソース及びドレイン領域2016が形成される。以上の工程でマスクを用いて第二の不純物領域の長さを決めることができる。

〔実施例4〕

本実施例では、実施例1で示したアクティブマトリクス基板のTFTの活性層を形成する結晶質半導体層の他の作製方法について示す。結晶質半導体層は非晶質半導体層を熱アニール法やレーザーアニール法、またはRTA法などで結晶化させて形成するが、その他に特開平7-130652号公報で開示されている触媒元素を用いる結晶化法を適用することもできる。その場合の例を、図8を用いて説明する。

【0090】

図8 (A)で示すように、実施例1と同様にして、ガラス基板1101上に下地膜1102a、1102b、非晶質構造を有する半導体層1103を25~80nmの厚さで形成する。非晶質半導体層は非晶質シリコン (a-Si) 膜、非晶質シリコン・ゲルマニウム (a-SiGe) 膜、非晶質炭化シリコン (a-SiC) 膜、非晶質シリコン・スズ (a-SiSn) 膜などが適用できる。これらの非晶質半導体層は水素を0.1~40atomic%程度含有するようにして形成すると良い。例えば、非晶質シリコン膜を55nmの厚さで形成する。そして、重量換算で10ppmの触媒元素を含む水溶液をスピナーで基板を回転させて塗布するスピンコート法で触媒元素を含有する層1104を形成する。触媒元素にはニッケル (Ni)、ゲルマニウム (Ge)、鉄 (Fe)、パラジウム (Pd)、スズ (Sn)、鉛 (Pb)、コバルト (Co)、白金 (Pt)、銅 (Cu)、金 (Au) などである。この触媒元素を含有する層1104は、スピンコート法の他に印刷法やスプレー法、バーコーター法、或いはスパッタ法や真空蒸着法によって上記触媒元素の層を1~5nmの厚さに形成しても良い。

【0091】

そして、図8 (B)に示す結晶化の工程では、まず400~500℃で1時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を5atomic%以下にする。非晶質シリコン膜の含有水素量が成膜後において最初からこの値である場合にはこの熱処理は必ずしも必要でない。そして、ファーネスアニール炉を用い、窒素雰囲気中で550~600℃で1~8時間の熱アニールを行う。以上の工程により結晶質シリコン膜から成る結晶質半導体層1105を得ることができる (図8 (C))。しかし、この熱アニールによって作製された結晶質半導体層1105は、光学顕微鏡観察により巨視的に観察すると局所的に非晶質領域が残存していることが観察されることがあり、このような場合、同様にラマン分光法では480cm⁻¹にブロードなピークを持つ非晶質成分が観測される。そのため、熱アニールの後に実施例1で説明したレーザーアニール法で結晶質半導体層1105を処理してその結晶性を高めることは有効な手段として適用できる。

【0092】

図9は同様に触媒元素を用いる結晶化法の実施例であり、触媒元素を含有する層をスパッタ法により形成するものである。まず、実施例1と同様にして、ガラス基板1201上に下地膜1202a、1202b、非晶質構造を有する半導体層1203を25~80nmの厚さで形成する。そして、非晶質構造を有する半導体層1203の表面に0.5~5nm程度の酸化膜 (図示せず) を形成する。このような厚さの酸化膜は、プラズマCVD法やスパッタ法などで積極的に該当する被膜を形成しても良いが、100~300℃に基板を加熱してプラズマ化した酸素雰囲気中に非晶質構造を有する半導体層1203の表面を晒しても良いし、過酸化水素水 (H₂O₂) を含む溶液に非晶質構造を有する半導体層1203の表面を晒して形成しても良い。或いは、酸素を含む雰囲気中で紫外線光を照射してオゾンが発生させ、そのオゾン雰囲気中に非晶質構造を有する半導体層1203を晒すことによっても形成できる。

【0093】

このようにして表面に薄い酸化膜を有する非晶質構造を有する半導体層 1 2 0 3 上に前記触媒元素を含有する層 1 2 0 4 をスパッタ法で形成する。この層の厚さに限定はないが、1 0 ~ 1 0 0 nm 程度の厚さに形成すれば良い。例えば、N i をターゲットとして、N i 膜を形成することは有効な方法である。スパッタ法では、電界で加速された前記触媒元素から成る高エネルギー粒子の一部が基板側にも飛来し、非晶質構造を有する半導体層 1 2 0 3 の表面近傍、または該半導体層表面に形成した酸化膜中に打ち込まれる。その割合はプラズマ生成条件や基板のバイアス状態によって異なるものであるが、好適には非晶質構造を有する半導体層 1 2 0 3 の表面近傍や該酸化膜中に打ち込まれる触媒元素の量を $1 \times 10^{11} \sim 1 \times 10^{14} \text{atom/cm}^2$ 程度となるようにすると良い。

【0094】

その後、触媒元素を含有する層 1 2 0 4 を選択的に除去する。例えば、この層が N i 膜で形成されている場合には、硝酸などの溶液で除去することが可能であり、または、フッ酸を含む水溶液で処理すれば N i 膜と非晶質構造を有する半導体層 1 2 0 3 上に形成した酸化膜を同時に除去できる。いずれにしても、非晶質構造を有する半導体層 1 2 0 3 の表面近傍の触媒元素の量を $1 \times 10^{11} \sim 1 \times 10^{14} \text{atom/cm}^2$ 程度となるようにしておく。そして、図 9 (B) で示すように、図 8 (B) と同様にして熱アニールによる結晶化の工程を行い、結晶質半導体層 1 2 0 5 を得ることができる (図 8 (C))。

【0095】

図 8 または図 9 で作製された結晶質半導体層 1 1 0 5、1 2 0 5 から島状半導体層 1 0 4 ~ 1 0 8 を作製すれば、実施例 1 と同様にしてアクティブマトリクス基板を完成させることができる。しかし、結晶化の工程においてシリコンの結晶化を助長する触媒元素を使用した場合、島状半導体層中には微量 ($1 \times 10^{17} \sim 1 \times 10^{19} \text{atomic/cm}^3$ 程度) の触媒元素が残留する。勿論、そのような状態でも T F T を完成させることが可能であるが、残留する触媒元素を少なくともチャンネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン (P) によるゲッタリング作用を利用する手段がある。

【0096】

この目的におけるリン (P) によるゲッタリング処理は、図 4 (B) で説明した活性化工程で同時に行うことができる。この様子を図 1 0 で説明する。ゲッタリングに必要なリン (P) の濃度は高濃度 n 型不純物領域の不純物濃度と同程度でよく、活性化工程の熱アニールにより、n チャンネル型 T F T および p チャンネル型 T F T のチャンネル形成領域から触媒元素をその濃度でリン (P) を含有する不純物領域へ偏析させることができる (図 1 0 で示す矢印の方向)。その結果その不純物領域には $1 \times 10^{17} \sim 1 \times 10^{19} \text{atomic/cm}^3$ 程度の触媒元素が偏析した。このようにして作製した T F T はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0097】

[実施例 5]

本実施例では実施例 1 で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。まず、図 1 1 (A) に示すように、図 4 (C) の状態のアクティブマトリクス基板に柱状スペーサから成るスペーサを形成する。スペーサは数 μm の粒子を散布して設ける方法でも良いが、ここでは基板全面に樹脂膜を形成した後これをパターニングして形成する方法を採用した。このようなスペーサの材料に限定はないが、例えば、J S R 社製の N N 7 0 0 を用い、スピナーで塗布した後、露光と現像処理によって所定のパターンに形成する。さらにクリーンオープンなどで 1 5 0 ~ 2 0 0 °C で加熱して硬化させる。

【0098】

スペーサの配置は任意に決定すれば良いが、好ましくは、図 1 1 (A) で示すように、画素部においてはドレイン配線 1 5 3 (画素電極) のコンタクト部 2 3 1 と重ねてその部分を覆うように柱状スペーサ 4 0 6 を形成すると良い。コンタクト部 2 3 1 は平坦性が損なわれこの部分では液晶がうまく配向しなくなるので、このようにしてコンタクト部 2 3 1

10

20

30

40

50

にスペーサ用の樹脂を充填する形で柱状スペーサ406を形成することでディスクリネーションなどを防止することができる。また、駆動回路のTFT上にもスペーサ405a~405eを形成しておく。このスペーサは駆動回路部の全面に渡って形成しても良いし、図11で示すようにソース配線およびドレイン配線を覆うようにして設けても良い。

【0099】

その後、配向膜407を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂を用いる。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。画素部に設けた柱状スペーサ406の端部からラビング方向に対してラビングされない領域が2μm以下となるようにした。また、ラビング処理では静電気の発生がしばしば問題となるが、駆動回路のTFT上に形成したスペーサ405a~405eにより静電気からTFTを保護する効果を得ることができる。また図では説明しないが、配向膜407を先に形成してから、スペーサ406、405a~405eを形成した構成としても良い。

10

【0100】

対向側の対向基板401には、遮光膜402、透明導電膜403および配向膜404を形成する。遮光膜402はTi膜、Cr膜、Al膜などを150~300nmの厚さで形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤408で貼り合わせる。シール剤408にはフィラー（図示せず）が混入されていて、このフィラーとスペーサ406、405a~405eによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料409を注入する。液晶材料には公知の液晶材料を用いれば良い。例えば、TN液晶の他に、電場に対して透過率が連続的に変化する電気光学応答性を示す、無しきい値反強誘電性混合液晶を用いることもできる。この無しきい値反強誘電性混合液晶には、V字型の電気光学応答特性を示すものもある。このようにして図11（B）に示すアクティブマトリクス型液晶表示装置が完成する。

20

【0101】

図12はこのようなアクティブマトリクス基板の上面図を示し、画素部および駆動回路部とスペーサおよびシール剤の位置関係を示す上面図である。実施例1で述べたガラス基板101上に画素部604の周辺に駆動回路として走査信号駆動回路605と画像信号駆動回路606が設けられている。さらに、その他CPUやメモリなどの信号処理回路607も付加されていても良い。そして、これらの駆動回路は接続配線603によって外部入出力端子602と接続されている。画素部604では走査信号駆動回路605から延在するゲート配線群608と画像信号駆動回路606から延在するソース配線群609がマトリクス状に交差して画素を形成し、各画素にはそれぞれ画素TFT204と保持容量205が設けられている。

30

【0102】

図11において画素部において設けた柱状スペーサ406は、すべての画素に対して設けても良いが、図12で示すようにマトリクス状に配列した画素の数個から数十個おきに設けても良い。即ち、画素部を構成する画素の全数に対するスペーサの数の割合は20~100%とすることが可能である。また、駆動回路部に設けるスペーサ405a~405eはその全面を覆うように設けても良いし各TFTのソースおよびドレイン配線の位置にあわせて設けても良い。図12では駆動回路部に設けるスペーサの配置を610~612で示す。そして、図12で示すシール剤619は、基板101上の画素部604および走査信号駆動回路605、画像信号駆動回路606、その他の信号処理回路607の外側であって、外部入出力端子602よりも内側に形成する。

40

【0103】

このようなアクティブマトリクス型液晶表示装置の構成を図13の斜視図を用いて説明する。図13においてアクティブマトリクス基板は、ガラス基板101上に形成された、画素部604と、走査信号駆動回路605と、画像信号駆動回路606とその他の信号処理回路607とで構成される。画素部604には画素TFT204と保持容量205が設け

50

られ、画素部の周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査信号駆動回路605と画像信号駆動回路606からは、それぞれゲート配線122とソース配線148が画素部604に延在し、画素TF T 204に接続している。また、フレキシブルプリント配線板(Flexible Printed Circuit: FPC)613が外部入力端子602に接続していて画像信号などを入力するのに用いる。FPC613は補強樹脂614によって強固に接着されている。そして接続配線603でそれぞれの駆動回路に接続している。また、対向基板401には図示していない、遮光膜や透明電極が設けられている。

【0104】

このような構成の液晶表示装置は、実施例1で示したアクティブマトリクス基板を用いて形成することができる。実施例1で示すアクティブマトリクス基板を用いると透過型の液晶表示装置を得ることができる。

【0105】

[実施例6]

図14は実施例1で示したアクティブマトリクス基板の回路構成の一例であり、直視型の表示装置の回路構成を示す図である。このアクティブマトリクス基板は、画像信号駆動回路606、走査信号駆動回路(A)(B)605、画素部604を有している。尚、本明細書中において記した駆動回路とは、画像信号駆動回路606、走査信号駆動回路605を含めた総称である。

【0106】

画像信号駆動回路606は、シフトレジスタ回路501a、レベルシフト回路502a、バッファ回路503a、サンプリング回路504を備えている。また、走査信号駆動回路(A)(B)185は、シフトレジスタ回路501b、レベルシフト回路502b、バッファ回路503bを備えている。

【0107】

シフトレジスタ回路501a、501bは駆動電圧が5~16V(代表的には10V)であり、この回路を形成するCMOS回路のTF Tは、図4(C)の第1のpチャンネル型TF T(A)200aと第1のnチャンネル型TF T(A)201aで形成する。或いは、図5(A)で示す第1のpチャンネル型TF T(B)200bと第1のnチャンネル型TF T(B)201bで形成しても良い。また、レベルシフト回路502a、502bやバッファ回路503a、503bは駆動電圧が14~16Vと高くなるので図5(A)で示すようなマルチゲートのTF T構造とすることが望ましい。マルチゲート構造でTF Tを形成すると耐圧が高まり、回路の信頼性を向上させる上で有効である。

【0108】

サンプリング回路504はアナログスイッチから成り、駆動電圧が14~16Vであるが、極性が交互に反転して駆動される上、オフ電流値を低減させる必要があるため、図4(C)で示す第2のpチャンネル型TF T(A)202aと第2のnチャンネル型TF T(A)203aで形成することが望ましい。或いは、オフ電流値を効果的に低減させるために図5(B)で示す第2のpチャンネル型TF T(B)200bと第2のnチャンネル型TF T(B)201bで形成しても良い。

【0109】

また、画素部は駆動電圧が14~16Vであり、低消費電力化の観点からサンプリング回路よりもさらにオフ電流値を低減することが要求され、図4(C)で示す画素TF T 204のようにマルチゲート構造を基本とする。

【0110】

尚、本実施例の構成は、実施例1に示した工程に従ってTF Tを作製することによって容易に実現することができる。本実施例では、画素部と駆動回路の構成のみを示しているが、実施例1の工程に従えば、その他にも信号分割回路、分周波回路、D/Aコンバータ、 γ 補正回路、オペアンプ回路、さらにメモリ回路や演算処理回路などの信号処理回路、あるいは論理回路を同一基板上に形成することが可能である。このように、本発明は同一基板

10

20

30

40

50

上に画素部とその駆動回路とを含む半導体装置、例えば信号制御回路および画素部を具備した液晶表示装置を実現することができる。

【0111】

[実施例7]

本発明は、TFTを有する半導体装置に関するものであり、特に劣化に対し有効なGOLD+LDD構造のTFTの作製技術に関する。従って、半導体ウエハにLSIを代表する半導体素子を形成する場合にも適用できる。これには実施例5のごとく、ウエハ上に反射電極を形成することで、反射型の液晶表示装置を作製する利用法も含まれる。このときも、実施例1と同様なプロセスで、ゲート絶縁膜及びゲート電極を形成し、GOLD+LDD構造を形成できる。

10

【0112】

[実施例8]

本発明を実施して作製されたアクティブマトリクス基板および液晶表示装置並びにEL表示装置は様々な電気光学装置に用いることができる。そして、そのような電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を適用することができる。電子機器としては、パーソナルコンピュータ、デジタルカメラ、ビデオカメラ、携帯情報端末（モバイルコンピュータ、携帯電話、電子書籍など）、ナビゲーションシステムなどが上げられる。

【0113】

図17(A)は携帯情報端末であり、本体2201、画像入力部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本発明は表示装置2205やその他の信号制御回路に適用することができる。

20

【0114】

このような携帯型情報端末は、屋内はもとより屋外で使用されることも多い。長時間の使用を可能とするためにはバックライト使用せず、外光を利用する反射型の液晶表示装置が低消費電力型として適しているが、周囲が暗い場合にはバックライトを設けた透過型の液晶表示装置が適している。このような背景から反射型と透過型の両方の特徴を兼ね備えたハイブリット型の液晶表示装置が開発されているが、本発明はこのようなハイブリット型の液晶表示装置にも適用できる。表示装置2205はタッチパネル3002、液晶表示装置3003、LEDバックライト3004により構成されている。タッチパネル3002は携帯型情報端末の操作を簡便にするために設けている。タッチパネル3002の構成は、一端にLEDなどの発光素子3100を、他の一端にフォトダイオードなどの受光素子3200が設けられ、その両者の間に光路が形成されている。このタッチパネル3002を押して光路を遮ると受光素子3200の出力が変化するので、この原理を用いて発光素子と受光素子を液晶表示装置上でマトリクス状に配置させることにより、入力媒体として機能させることができる。

30

【0115】

図17(B)はハイブリット型の液晶表示装置の画素部の構成であり、画素TFT204および保持容量205上の第2の層間絶縁膜上にドレイン配線263と画素電極262が設けられている。このような構成は、実施例1を適用すれば形成することができる。このときドレイン配線は実施例1で示したような積層構造を成し、画素電極を兼ねる構成としている。画素電極262は実施例1で説明した透明導電膜材料を用いて形成する。液晶表示装置3003をこのようなアクティブマトリクス基板から作製することで携帯型情報端末に好適に用いることができる。

40

【0116】

図18(A)はパーソナルコンピュータであり、マイクロプロセッサやメモリーなどを備えた本体2001、画像入力部2002、表示装置2003、キーボード2004で構成される。本発明は表示装置2003やその他の信号処理回路を形成することができる。

【0117】

図18(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部21

50

03、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本発明は表示装置2102やその他の信号制御回路に適用することができる。

【0118】

図18(D)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示装置2402、スピーカー部2403、記録媒体2404、操作スイッチ2405で構成される。尚、記録媒体にはDVD(Digital Versatile Disc)やコンパクトディスク(CD)などを用い、音楽プログラムの再生や映像表示、ビデオゲームやインターネットを介した情報表示などを行うことができる。本発明は表示装置2402やその他の信号制御回路に好適に利用することができる。

【0119】

図18(E)はデジタルカメラであり、本体2501、表示装置2502、接眼部2503、操作スイッチ2504、受像部(図示しない)で構成される。本発明は表示装置2502やその他の信号制御回路に適用することができる。

【0120】

図19(A)はフロント型プロジェクターであり、光源光学系および表示装置2601、スクリーン2602で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。図19(B)はリア型プロジェクターであり、本体2701、光源光学系および表示装置2702、ミラー2703、スクリーン2704で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0121】

なお、図19(C)に、図19(A)および図19(B)における光源光学系および表示装置2601、2702の構造の一例を示す。光源光学系および表示装置2601、2702は光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー2803、ビームスプリッター2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は複数の光学レンズで構成される。図19(C)では液晶表示装置2808を三つ使用する三板式の例を示したが、このような方式に限定されず、単板式の光学系で構成しても良い。また、図19(C)中において矢印で示した光路には適宜光学レンズや偏光機能を有するフィルムや位相を調節するためのフィルムや、IRフィルムなどを設けても良い。また図19(D)は、図19(C)における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801はリフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。尚、図19(D)に示した光源光学系は一例であって図示した構成に限定されるものではない。

【0122】

またここでは図示しなかったが、本発明ではその他にも、ナビゲーションシステムやイメージセンサの読み取り回路などに適用することが可能である。このように本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~5の技術を用いて実現することができる。

【0123】

【発明の効果】

本発明を用いることで、半導体装置の製造において、その歩留まりを向上させ、工程を削減することができる。また半導体装置においては、信頼性を向上させる。

【0124】

本発明の半導体装置の作製方法に従えば、駆動回路部のpチャネル型TFT、nチャネル型TFTおよび画素TFTをゲート電極と重なるLDD構造としたアクティブマトリクス基板を5枚のフォトマスクで製造することができる。このようなアクティブマトリクス基板から透過型の液晶表示装置を6枚のフォトマスクで製造することができる。

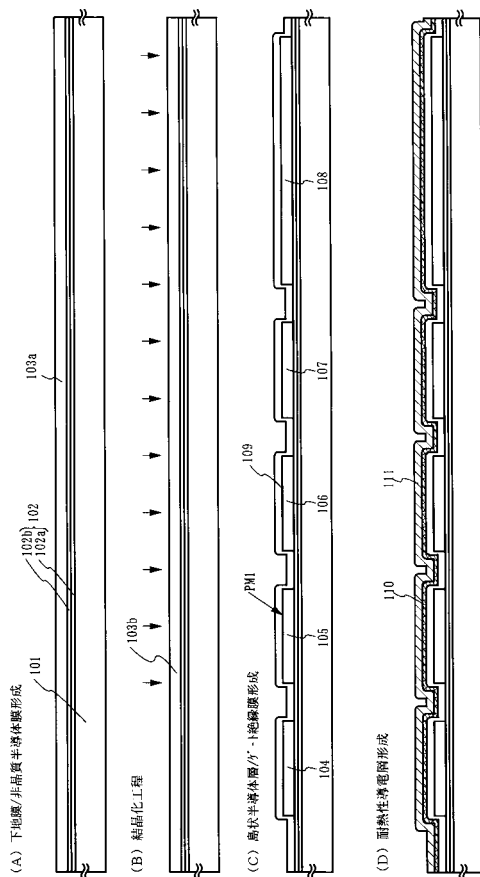
【図面の簡単な説明】

【図1】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

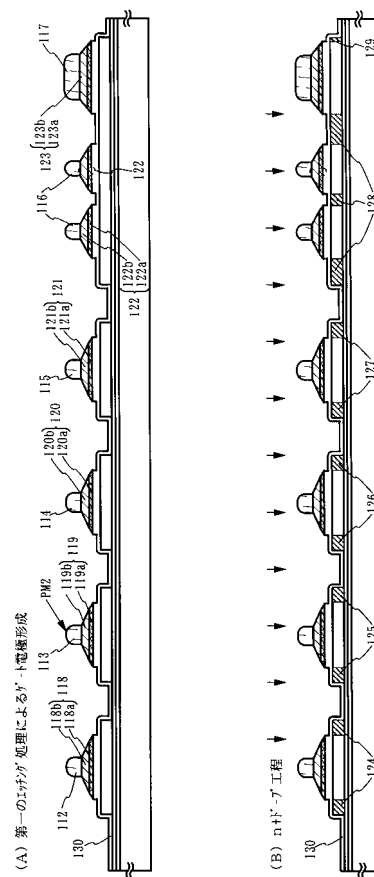
【図2】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

- 【図 3】 画素 T F T、駆動回路の T F T の作製工程を示す断面図。
 【図 4】 画素 T F T、駆動回路の T F T の作製工程を示す断面図。
 【図 5】 駆動回路の T F T の構成を示す断面図。
 【図 6】 G O L D+L D D 構造 T F T の作製工程を示す断面図。
 【図 7】 画素部の画素を示す上面図。
 【図 8】 結晶質半導体層の作製工程を示す断面図。
 【図 9】 結晶質半導体層の作製工程を示す断面図。
 【図 10】 画素 T F T、駆動回路の T F T の作製工程を示す断面図。
 【図 11】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。
 【図 12】 液晶表示装置の入出力端子、配線、回路配置、スペーサ、シール剤の配置を 10
 説明する上面図。
 【図 13】 液晶表示装置の構造を示す斜視図。
 【図 14】 液晶表示装置の回路構成を説明するブロック図。
 【図 15】 T a N 膜の酸素濃度を示す S I M S 測定結果。
 【図 16】 本発明の G O L D+L D D 構造 T F T を示す断面図。
 【図 17】 携帯型情報端末の一例を示す図。
 【図 18】 半導体装置の一例を示す図。
 【図 19】 投影型液晶表示装置の構成を示す図。
 【図 20】 高濃度 n 型不純物領域をマスクを用いて形成する場合のプロセスを示す断面 20
 図。
 【図 21】 第一の層の厚さを変化させたときの I - V シミュレーション結果。
 【図 22】 第一の層の厚さを変化させたときの電界強度シミュレーション結果。

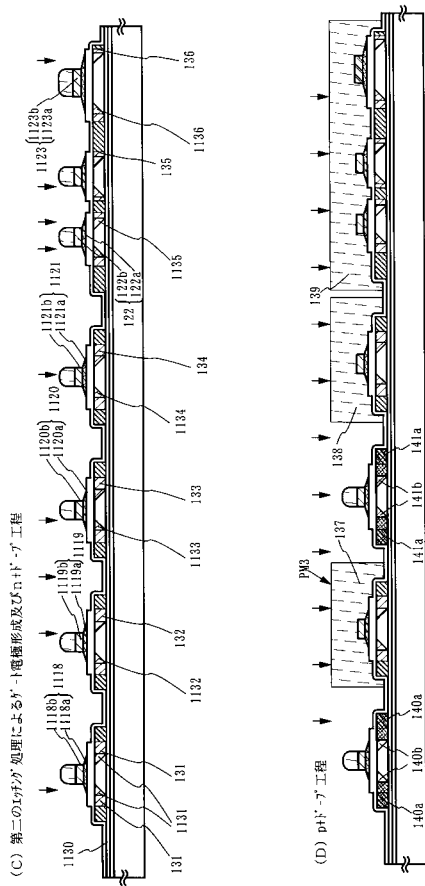
【図 1】



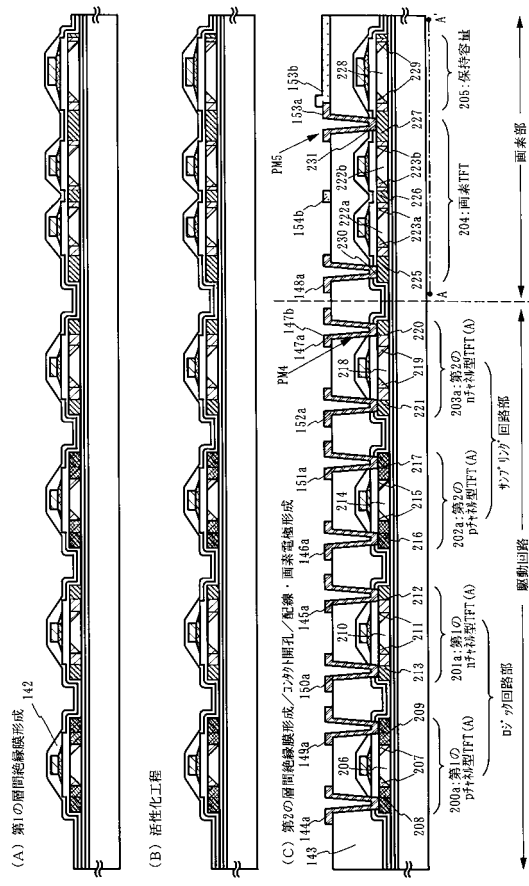
【図 2】



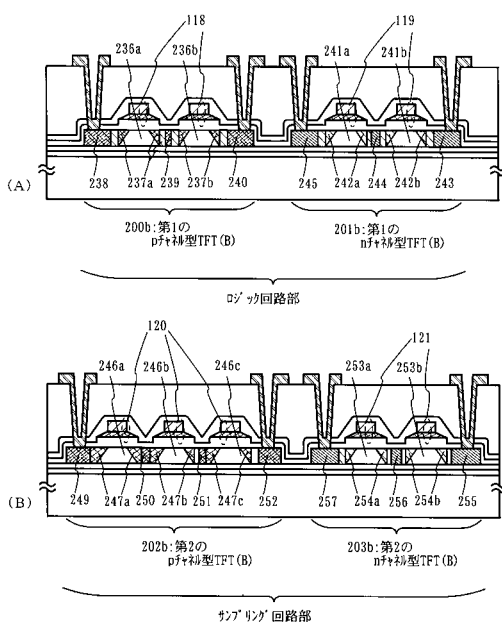
【図 3】



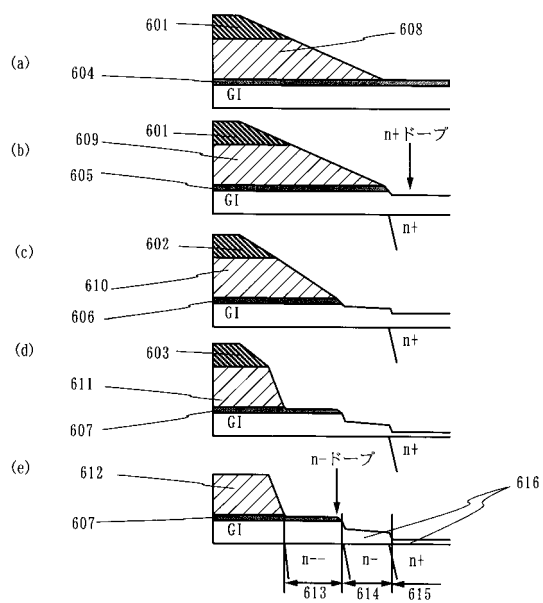
【図 4】



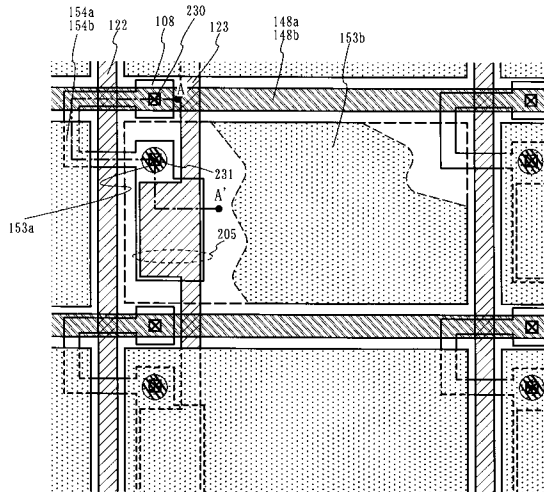
【図 5】



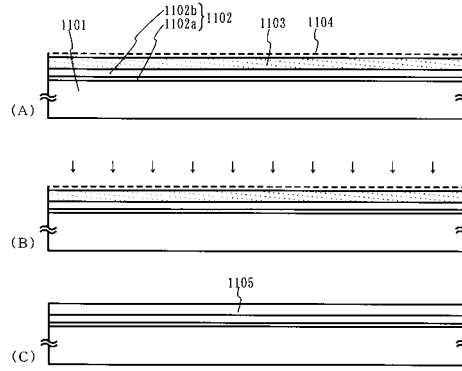
【图 6】



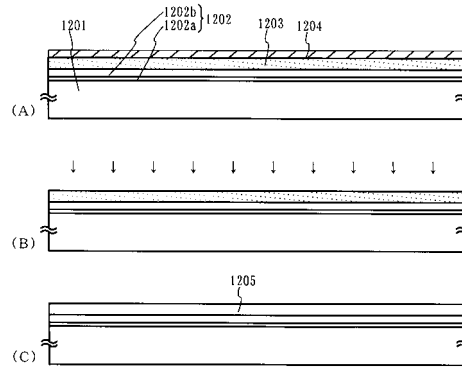
【図 7】



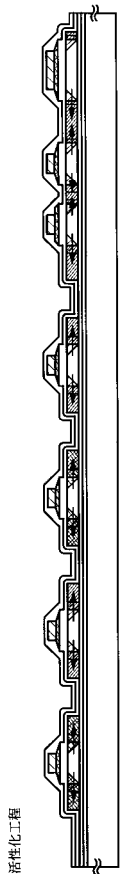
【図 8】



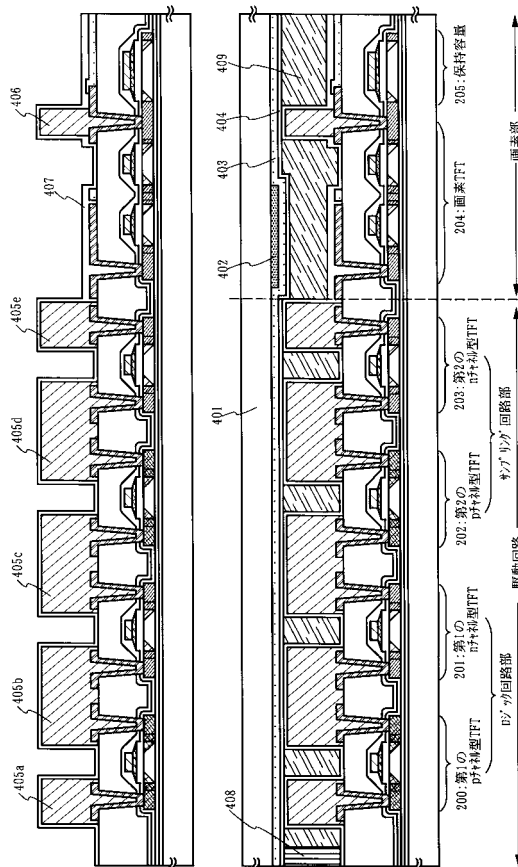
【図 9】



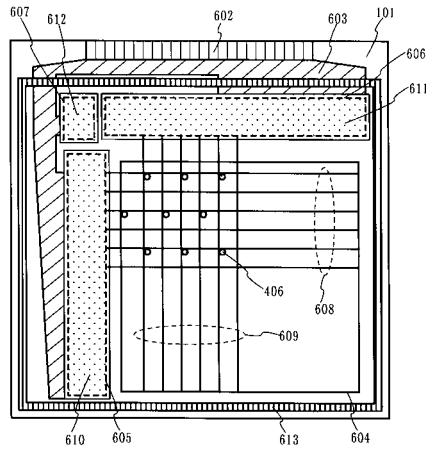
【図 10】



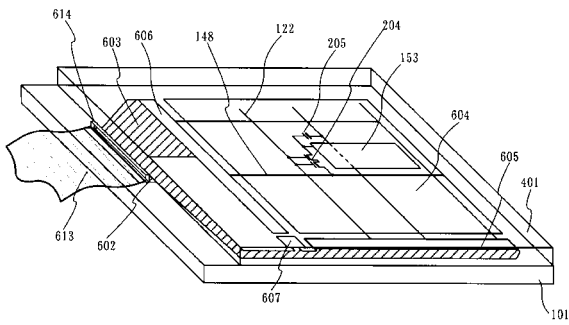
【図 11】



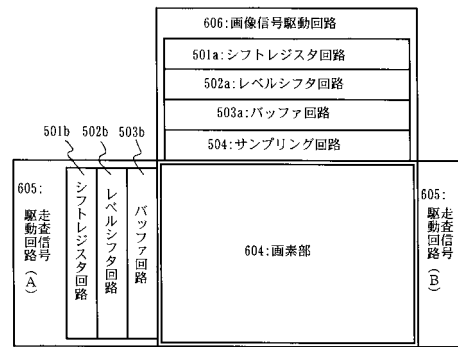
【図 12】



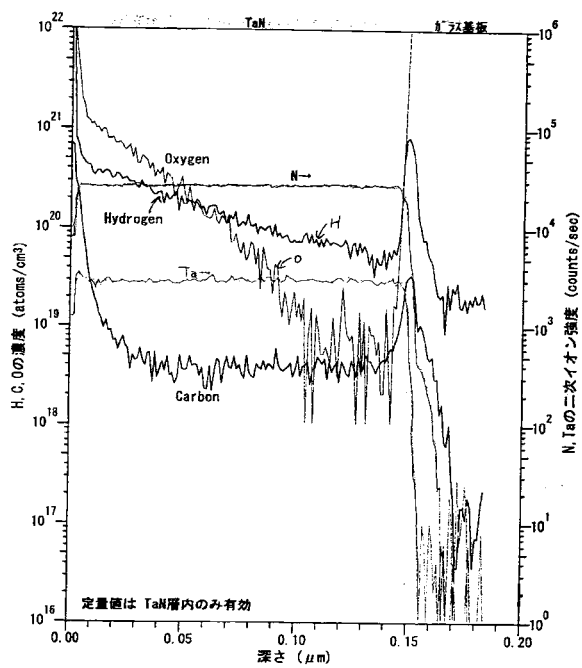
【図 13】



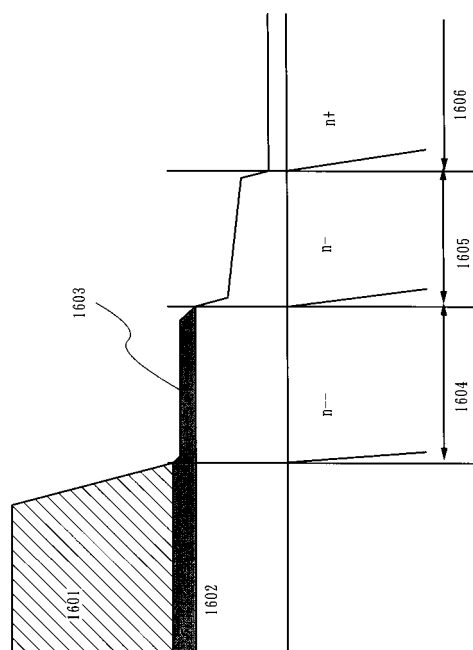
【図 14】



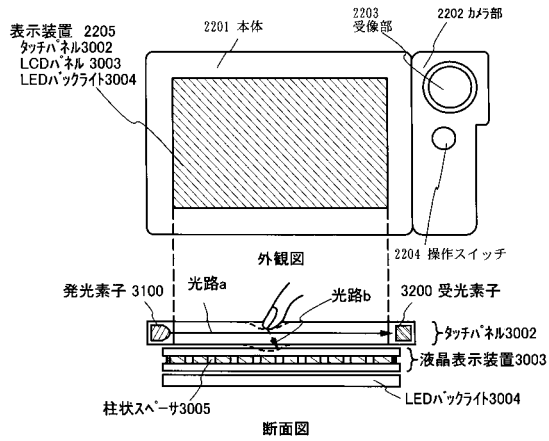
【図 15】



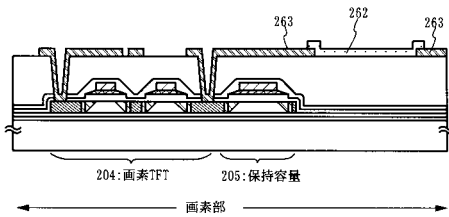
【図 16】



【図 17】

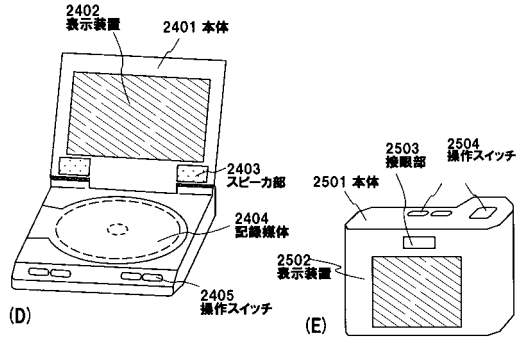
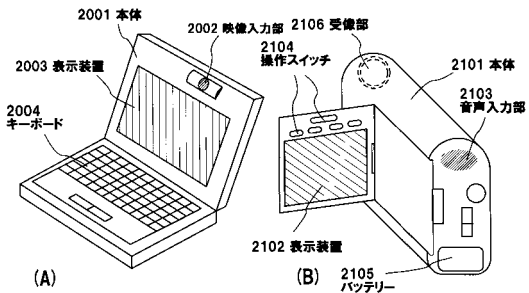


(A) 携帯情報端末機器(光学式タッチパネル)の外観図および断面図

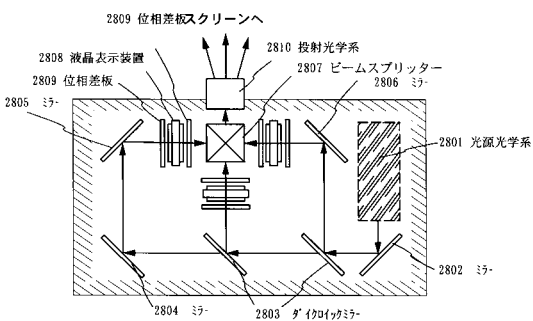
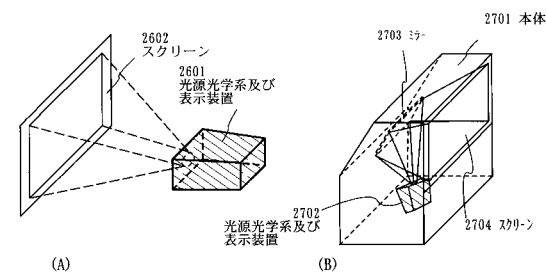


(B) 画素部断面図

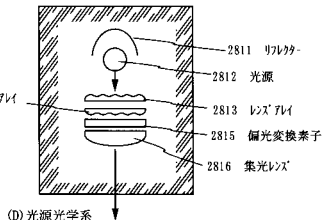
【図 18】



【図 19】

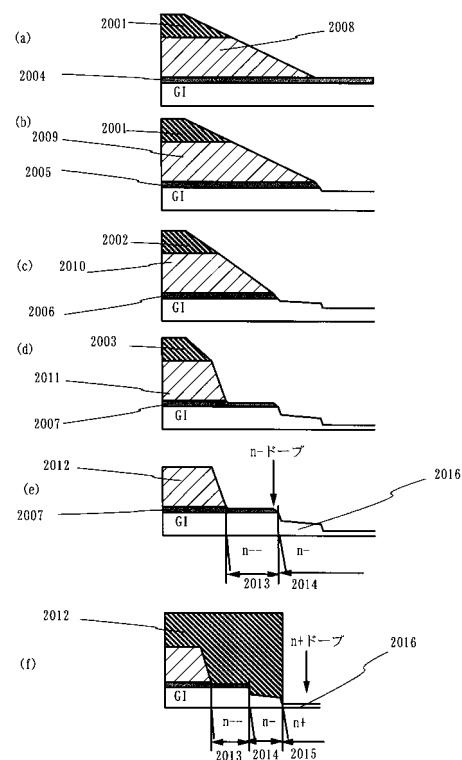


(C) 光源光学系及び表示装置 (三板式)

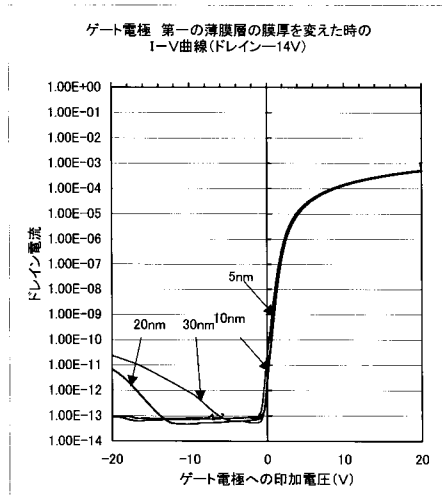


(D) 光源光学系

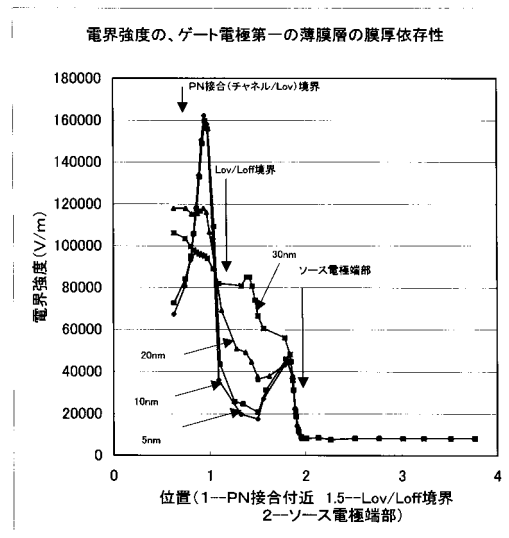
【図 20】



【図 2 1】



【図 2 2】



フロントページの続き

審査官 綿引 隆

- (56)参考文献 特開平08-274336 (JP, A)
特開平10-335334 (JP, A)
特開平09-055508 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/336
H01L 29/786