



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년01월25일
(11) 등록번호 10-1699769
(24) 등록일자 2017년01월19일

<p>(51) 국제특허분류(Int. Cl.) H01L 27/115 (2017.01) H01L 21/8247 (2006.01)</p> <p>(21) 출원번호 10-2010-0011555</p> <p>(22) 출원일자 2010년02월08일 심사청구일자 2014년12월01일</p> <p>(65) 공개번호 10-2011-0092092</p> <p>(43) 공개일자 2011년08월17일</p> <p>(56) 선행기술조사문헌 US20080296551 A1 KR100647062 B1 KR1020090126530 A KR1020090090563 A</p>	<p>(73) 특허권자 삼성전자주식회사 경기도 수원시 영통구 삼성로 129 (매탄동)</p> <p>(72) 발명자 남경태 경기도 수원시 영통구 영통로514번길 53, 주공아파트 113동 1501호 (영통동)</p> <p>백인규 서울특별시 광진구 뚝섬로35길 32, 우성3차아파트 301동 1301호 (자양동)</p> <p>(74) 대리인 특허법인 고려</p>
---	--

전체 청구항 수 : 총 10 항

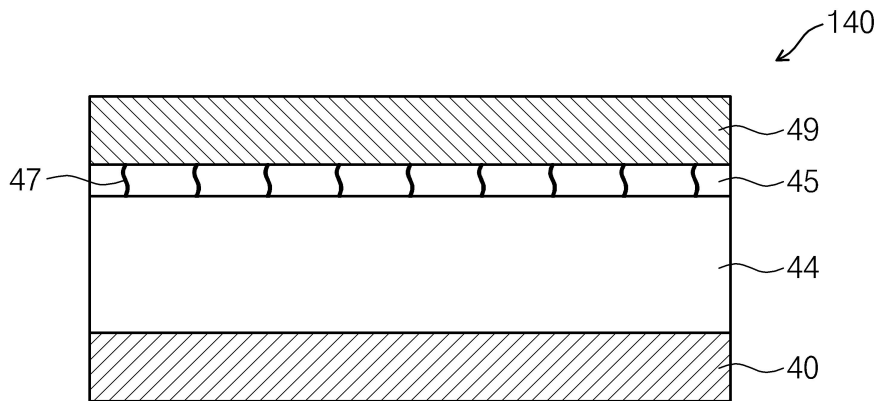
심사관 : 노영철

(54) 발명의 명칭 저항 메모리 소자 및 그 형성방법

(57) 요약

저항 메모리 소자 및 그 형성방법이 제공된다. 이 저항 메모리 소자는 기판 상의 제1 전극과 제2 전극, 제1 전극과 제2 전극 사이의 전이금속 산화물층, 제2 전극과 전이금속 산화물층 사이의 전해질층, 및 전해질층 내의 제2 전극과 전기적으로 접하는 일 단을 포함하는 도전 브릿지를 포함한다.

대표도 - 도2



명세서

청구범위

청구항 1

반도체 기판 상의 제1 전극과 제2 전극;

상기 제1 전극과 상기 제2 전극 사이의 전이금속 산화물층;

상기 제2 전극과 상기 전이금속 산화물층 사이의 전해질층; 및

상기 전해질층 내의 상기 제2 전극과 전기적으로 접하는 일 단을 포함하는 도전 브릿지를 포함하되,

상기 도전 브릿지는 루테튬(Ru), 티타늄(Ti) 및 이리듐(Ir) 중 선택된 적어도 하나의 금속 원자를 포함하는 저항 메모리 소자.

청구항 2

청구항 1에 있어서,

상기 전해질층은 비정질 절연물질을 포함하는 저항 메모리 소자.

청구항 3

청구항 2에 있어서,

상기 전해질층은 비정질 산화실리콘 및/또는 비정질 질화실리콘을 포함하는 저항 메모리 소자.

청구항 4

청구항 1에 있어서,

상기 전해질층은 칼코게나이드 화합물을 포함하는 저항 메모리 소자.

청구항 5

청구항 1에 있어서,

상기 제1 전극 및 상기 제2 전극에 소정의 전압이 인가되는 경우, 상기 전이금속 산화물층 내에 필라멘트가 형성되되, 상기 필라멘트는 상기 도전 브릿지와 전기적으로 연결되는 저항 메모리 소자.

청구항 6

청구항 1에 있어서,

상기 도전 브릿지는 상기 전이금속 산화물층과 접하는 타 단을 포함하는 저항 메모리 소자.

청구항 7

청구항 1에 있어서,

상기 도전 브릿지는 상기 전이금속 산화물층 내로 연장되는 저항 메모리 소자.

청구항 8

청구항 1에 있어서,

상기 제1 전극은 이리듐(Ir), 백금(Pt), 루테튬(Ru), 텅스텐(W), 질화티타늄(TiN), 질화탄탈륨(TaN), 및 도핑된 반도체 중 선택된 적어도 하나를 포함하는 저항 메모리 소자.

청구항 9

청구항 8에 있어서,

상기 제2 전극은 희유 금속의 도전성 산화물을 포함하는 저항 메모리 소자.

청구항 10

반도체 기판 상에 제1 전극을 형성하는 것;

상기 제1 전극 상에 전이금속 산화물층을 형성하는 것;

상기 전이금속 산화물층 상에 전해질층을 형성하는 것;

상기 전해질층 상에 금속층을 형성하는 것;

상기 금속층 내의 금속을 상기 전해질층 내로 이동시켜 도전 브릿지를 형성하는 것; 및

상기 전해질층 상에 상기 도전 브릿지와 전기적으로 연결되는 제2 전극을 형성하는 것을 포함하는 저항 메모리 소자 형성방법.

발명의 설명

기술 분야

[0001] 본 발명은 메모리 소자 및 그 형성방법에 관한 것으로, 보다 상세하게는 저항 메모리 소자 및 그 형성방법에 관한 것이다.

배경 기술

[0002] 저항 메모리 소자는 메모리 셀에 서로 다른 저항값을 갖는 상태들을 갖는 저항 요소를 적용하는 메모리 소자이다. 저항 메모리 소자로 상변화에 따른 저항 변화를 갖는 상변화 메모리 소자(PRAM), 자기저항 메모리 소자(MRAM), 및 전이금속 산화물을 이용한 저항 메모리 소자(RRAM) 등이 알려져 있다.

[0003] 이 중 전이금속 산화물을 이용한 저항 메모리 소자는 인가되는 전압에 따라 전이금속 산화물층의 비저항이 변하는 성질을 이용한 메모리 소자로서, 비휘발성 소자로 구현될 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 이루고자하는 일 기술적 과제는 신뢰성이 향상된 저항 메모리 소자 및 그 형성방법을 제공하는 것이다.

[0005] 본 발명이 이루고자하는 다른 기술적 과제는 공정 효율성이 향상된 저항 메모리 소자의 형성방법을 제공하는 것이다.

과제의 해결 수단

[0006] 상술한 기술적 과제를 해결하기 위한 저항 메모리 소자 및 그 형성방법이 제공된다.

[0007] 본 발명의 실시예들에 따른 저항 메모리 소자는, 반도체 기판 상의 제1 전극과 제2 전극, 상기 제1 전극과 상기 제2 전극 사이의 전이금속 산화물층, 상기 제2 전극과 상기 전이금속 산화물층 사이의 전해질층, 및 상기 전해질층 내의 상기 제2 전극과 전기적으로 접하는 일 단을 포함하는 도전 브릿지를 포함할 수 있다.

[0008] 일 실시예에서, 상기 전해질층은 비정질 절연물질을 포함할 수 있다.

[0009] 일 실시예에서, 상기 전해질층은 비정질 산화실리콘 및/또는 비정질 질화실리콘을 포함할 수 있다.

[0010] 일 실시예에서, 상기 전해질층은 칼코게나이드 화합물을 포함할 수 있다.

[0011] 일 실시예에서, 상기 제1 전극 및 상기 제2 전극에 소정의 전압이 인가되는 경우, 상기 전이금속 산화물층 내에 필라멘트가 형성되되, 상기 필라멘트는 상기 도전 브릿지와 전기적으로 연결될 수 있다.

[0012] 일 실시예에서, 상기 도전 브릿지는 상기 전이금속 산화물층과 접하는 타 단을 포함할 수 있다.

- [0013] 일 실시예에서, 상기 도전 브릿지는 상기 전이금속 산화물층 내로 연장될 수 있다.
- [0014] 일 실시예에서, 상기 제2 전극은 상기 제1 전극보다 높은 산화력을 갖는 물질을 포함할 수 있다. 예를 들어, 상기 제2 전극은 희유 금속의 도전성 산화물을 포함할 수 있다.
- [0015] 본 발명의 실시예들에 따른 저항 메모리 소자의 형성방법은, 반도체 기판 상에 제1 전극을 형성하는 것, 상기 제1 전극 상에 전이금속 산화물층을 형성하는 것, 상기 전이금속 산화물층 상에 전해질층을 형성하는 것, 상기 전해질층 상에 금속층을 형성하는 것, 상기 금속층 내의 금속을 상기 전해질층 내로 이동시켜 도전 브릿지를 형성하는 것, 및 상기 전해질층 상에 상기 도전 브릿지와 전기적으로 연결되는 제2 전극을 형성하는 것을 포함할 수 있다.
- [0016] 일 실시예에서, 상기 금속의 이동 후, 상기 금속층이 제거될 수 있다. 이에 의해, 상기 전해질층의 상부면을 노출될 수 있다.
- [0017] 일 실시예에서, 상기 금속을 이동시키는 것은, 상기 금속층 상에 자외선을 조사하는 것을 더 포함할 수 있다.
- [0018] 일 실시예에서, 상기 금속을 이동시키는 것은, 상기 금속층 및 상기 전해질층을 열처리하는 것을 더 포함할 수 있다.
- [0019] 일 실시예에서, 상기 도전 브릿지를 형성하는 것은, 상기 금속층 내의 금속이 이온 상태로 상기 전해질층으로 이동하는 것 및 상기 이동된 이온 상태의 금속이 상기 전해질층 내에서 환원되는 것을 포함할 수 있다.
- [0020] 일 실시예에서, 상기 금속은 상기 전이금속 산화물층의 상부 내로 더 이동할 수 있다.
- [0021] 일 실시예에서, 상기 제1 전극은 텅스텐, 질화티타늄 및 질화탄탈륨 중 선택된 적어도 하나를 포함하고, 상기 제2 전극은 산화이리듐 및 산화루테튬 중 선택된 적어도 하나를 포함할 수 있다.
- [0022] 본 발명의 다른 실시예에 따른 저항 메모리 소자의 형성방법은, 반도체 기판 상에 제2 전극을 형성하는 것, 상기 제2 전극 상에 전해질층을 형성하는 것, 상기 전해질층 상에 금속층을 형성하는 것, 상기 금속층 내의 금속을 상기 전해질층 내로 이동시켜 도전 브릿지를 형성하는 것, 상기 전해질층 상에 전이금속 산화물층을 형성하는 것, 및 상기 전이금속 산화물층 상에 제1 전극을 형성하는 것을 포함할 수 있다.

발명의 효과

- [0023] 본 발명의 실시예들에 따르면, 전극과 전이금속 산화물층 사이에 도전 브릿지를 포함하는 전해질층을 포함하는 저항 메모리 소자가 제공된다. 상기 저항 메모리 소자의 동작시 상기 전해질층 내의 도전 브릿지에 의해 상기 전이금속 산화물층 내의 필라멘트의 산포가 감소될 수 있다. 이에 의해 저항 메모리 소자의 저항 산포가 감소되며, 이에 따라 저항 메모리 소자의 신뢰성이 향상될 수 있다.

도면의 간단한 설명

- [0024] 도 1a 및 도 1b는 본 발명의 실시예들에 따른 저항 메모리 소자를 나타내는 단면도이다.
- 도 2는 본 발명의 일 실시예에 따른 저항 메모리 소자의 저항요소를 나타낸 단면도이다.
- 도 3은 본 발명의 다른 실시예에 따른 저항 메모리 소자의 저항요소를 나타낸 단면도이다.
- 도 4는 본 발명의 또 다른 실시예에 따른 저항 메모리 소자의 저항요소를 나타낸 단면도이다.
- 도 5a 내지 도 5c는 본 발명의 일 실시예에 따른 저항 메모리 소자의 형성방법을 설명하기 위한 도면들이다.
- 도 6a 및 도 6c는 본 발명의 또 다른 실시예에 따른 저항 메모리 소자의 형성방법을 설명하기 위한 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 이하, 도면을 참조하여 본 발명의 실시예들에 따른 저항 메모리 소자 및 그 형성방법이 설명된다. 설명되는 실시예들은 본 발명의 사상을 당업자가 용이하게 이해할 수 있도록 제공되는 것으로, 이에 의해 본 발명이 한정되지 않는다. 본 발명의 실시예들은 본 발명의 기술적 사상 및 범위 내에서 다른 형태로 변형될 수 있다. 본 명세서에서 '및/또는'은 전후에 나열한 구성요소들 중 적어도 하나를 포함하는 의미로 사용되었다. 본 명세서에서 일 구성요소가 다른 구성요소 '상에' 위치한다는 것은 일 구성요소 상에 다른 구성요소가 직접 위치한다는 의미는 물론, 상기 일 구성요소 상에 제3의 구성요소가 더 위치할 수 있다는 의미도 포함한다. 본 명세서 각 구성

요소 또는 부분 등을 제1, 제2 등의 표현을 사용하여 지칭하였으나, 이는 명확한 설명을 위해 사용된 표현으로 이에 의해 한정되지 않는다. 도면에 표현된 구성요소들의 두께 및 상대적인 두께는 본 발명의 실시예들을 명확하게 표현하기 위해 과장된 것일 수 있다.

- [0026] 도 1a 및 도 2를 참조하여, 본 발명의 일 실시예에 따른 저항 메모리 소자가 설명된다. 도 1a는 본 발명의 일 실시예에 따른 저항 메모리 소자를 구성하는 셀을 도시한 도면이고, 도 2는 상기 셀 내의 저항 요소(140)를 확대한 도면이다.
- [0027] 반도체 기판(110) 상에 트랜지스터가 배치된다. 상기 트랜지스터는, 상기 반도체 기판(110) 상에 차례로 적층된 게이트 유전막(123) 및 게이트 전극(125)과 상기 게이트 전극(125)의 양측의 상기 반도체 기판(110) 내의 소오스/드레인 영역(113)을 포함할 수 있다. 이와 달리, 상기 트랜지스터는 다이오드로 대체될 수도 있다.
- [0028] 도 1a에 도시된 바와 달리, 상기 트랜지스터는 다른 선택 소자로 대체될 수 있다. 도 1b를 참조하면, 저항 요소(140)의 상부와 하부에 두 배선들(139, 129)이 상기 저항 요소(140)를 교차점으로 서로 교차하며 배치될 수 있다. 상기 두 배선들 중 어느 하나, 예를 들어 하부 배선(129)과 상기 저항 요소(140)는 선택 소자(135)에 의해 연결될 수 있다. 상기 선택 소자(135)는 다이오드, 탄소 나노 구조체 및 커패시터를 포함하는 다양한 선택 소자 중 선택될 수 있다.
- [0029] 상기 반도체 기판(110) 상에 상기 게이트 전극(125) 및 상기 소오스/드레인 영역(113)을 덮는 제1 층간 절연막(120)이 배치된다. 상기 소오스/드레인 영역(113) 상에 상기 제1 층간 절연막(120)을 관통하는 제1 콘택(127)이 배치된다. 상기 제1 콘택(127)은 상기 소오스/드레인 영역(113)과 전기적으로 연결된다. 상기 제1 콘택(127)과 상기 소오스/드레인 영역(113) 사이에는 실리사이드층이 더 개재될 수도 있다.
- [0030] 상기 제1 층간 절연막(120) 상에 저항 요소(140)가 배치될 수 있다. 상기 저항 요소(140)는, 상기 제1 콘택(127)과 전기적으로 연결된 제1 전극(40), 상기 제1 전극(40) 상의 전이금속 산화물층(44), 상기 전이금속 산화물층(44) 상의 전해질층(45), 및 상기 전해질층(45) 상의 제2 전극(49)을 포함할 수 있다.
- [0031] 상기 제1 전극(40)은 이리듐(Ir), 백금(Pt), 루테튬(Ru) 및 텅스텐(W)을 포함하는 금속, 질화티타늄(TiN) 및 질화탄탈륨(TaN)을 포함하는 도전성 금속화합물 및 도핑된 반도체 중 선택된 적어도 하나를 포함할 수 있다. 일 실시예에서, 상기 제1 전극(40)은 텅스텐, 질화티타늄 및 질화탄탈륨 중 선택된 적어도 하나를 포함할 수 있다.
- [0032] 상기 전이금속 산화물층(44)은 니켈(Ni), 티타늄(TiO), 바나듐(V), 철(Fe), 크롬(Cr), 코발트(Co), 하프늄(Hf) 및 탄탈륨(Ta) 중 선택된 적어도 하나의 산화물을 포함할 수 있다. 상기 전이금속 산화물층(44)은 수십 내지 수백 Å의 두께를 가질 수 있다.
- [0033] 상기 전해질층(45)은 절연성 고체 전해질을 포함할 수 있다. 예를 들어, 상기 전해질층(45)은 절연성 고체 전해질을 포함할 수 있다. 상기 전해질층(45)은 예를 들어, 산화실리콘(SiO₂)을 포함하는 산화물, 질화실리콘(SiN)을 포함하는 질화물, 및 칼코겐 화합물 중 선택된 적어도 하나를 포함할 수 있다. 상기 전해질층(45)은 비정질 상태일 수 있다.
- [0034] 본 명세서에서, 고체 전해질은 외부로부터 제공된 이온에 전자를 제공하거나, 외부로부터 제공된 이온으로부터 전자를 제공받는 물질로 정의될 수 있다. 일 실시예에서, 이러한 고체 전해질의 성질은 상기 고체 전해질 내에 결함(defect)이 존재하는 것에 기인할 수 있다. 상기 결함은 전자적인 결함 및/또는 물리적인 결함을 포함할 수 있다. 예를 들어, 상기 고체 전해질 내에 베이컨시(vacancy)가 존재하고, 상기 베이컨시에 의해 상기 고체 전해질의 외부로부터 제공된 이온이 산화 또는 환원될 수 있다. 상기 전해질층(45)은 수 내지 수십 Å의 두께로 형성될 수 있다.
- [0035] 상기 전해질층(45) 내에 도전 브릿지(47)가 배치될 수 있다. 상기 도전 브릿지(47)는 상기 제2 전극(49)과 전기적으로 연결될 수 있다. 예를 들어, 상기 도전 브릿지(47)는 상기 제2 전극(49)과 직접 접촉할 수 있다. 상기 도전 브릿지(47)는 수 내지 수십 나노미터의 직경을 가질 수 있다. 상기 도전 브릿지(47)는 이동도(mobility)가 높은 금속 원자들을 포함할 수 있다. 예를 들어, 상기 도전 브릿지(47)는 구리(Cu), 은(Ag), 루테튬(Ru), 티타늄(Ti) 및 이리듐(Ir) 중 선택된 적어도 하나를 포함할 수 있다. 상기 도전 브릿지(47)는 상기 반도체 기판(110)에 수직인 방향으로 수 내지 수십 Å의 길이를 가질 수 있다.
- [0036] 상술한 바와 같이, 상기 전해질층(45)은 고체 전해질을 포함하므로, 상기 전해질층(45) 내에서의 상기 도전 브

릿지(47) 내의 금속들은 큰 이동도로 이동할 수 있다. 이에 반면, 상기 전이금속 산화물층(44) 내에서의 상기 금속들의 이동도는 다소 떨어질 수 있다. 따라서, 상기 도전 브릿지(47)는 상기 전해질층(45)을 크게 벗어나지 않을 수 있다.

[0037] 도시된 바와 달리, 도전 브릿지(48)는 상기 전이금속 산화물층(44) 내로 연장될 수 있다. 도 3을 참조하면, 상기 도전 브릿지(48)는 상기 전해질층(45)의 상부면으로부터 상기 전이금속 산화물층(44) 상부 내로 확장될 수 있다. 이 경우에도, 상기 도전 브릿지(48) 내의 금속들의 상기 전해질층(45) 내에서의 이동도가 상기 전이금속 산화물층(44) 내에서의 이동도보다 적으므로, 상기 도전 브릿지(48)가 상기 전이금속 산화물층(44)의 하부까지 확장되지는 않는다. 즉, 상기 도전 브릿지(48)는 상기 제1 전극(40)과 절연될 수 있다.

[0038] 상기 제2 전극(49)은 이리듐(Ir), 백금(Pt), 루테튬(Ru) 및 텅스텐(W)을 포함하는 금속, 도전성 금속산화물, 질화티타늄(TiN) 및 질화탄탈륨(TaN)을 포함하는 도전성 금속질화물 및 도핑된 반도체 중 선택된 적어도 하나를 포함할 수 있다. 일 실시예에서, 상기 제2 전극(49)은 상기 제1 전극(40) 보다 산화력이 큰 도전성 물질을 포함할 수 있다. 즉, 상기 제2 전극(49)은 다른 물질을 산화시킬 수 있다. 상기 제2 전극(49)은 희유금속의 산화물, 예를 들어, 상기 제2 전극(49)은 산화이리듐(IrO) 및/또는 산화 루테튬(RuO)을 포함할 수 있다. 이에 의해, 저항 메모리 셀의 리셋 동작에서 상기 제2 전극(49)은 후술할 전이금속 산화물층(44) 내의 필라멘트의 일부를 용이하게 산화시킬 수 있다. 즉, 상기 필라멘트의 일부가 용이하게 소멸될 수 있다.

[0039] 상기 제1 층간 절연막(120) 상에 상기 저항 요소(140)를 덮는 제2 층간 절연막(130)이 배치될 수 있다. 상기 저항 요소(140) 상에 상기 제2 층간 절연막(130)을 관통하는 제2 콘택(137)이 배치될 수 있다. 상기 제2 콘택(137)은 상기 제2 전극(49)과 전기적으로 연결될 수 있다. 상기 제2 콘택(137)은 상기 제2 층간 절연막(130) 상의 배선(139)과 전기적으로 연결될 수 있다. 도시된 바와 달리, 상기 제2 콘택(137)과 상기 배선(139)은 연결된 하나의 구조일 수도 있다.

[0040] 상기 제1 전극(40)과 상기 제2 전극(49) 사이에 소정의 전압을 인가하는 경우, 상기 제1 전극(40)과 상기 제2 전극(49) 사이의 상기 전이금속 산화물층(44) 내에 필라멘트가 형성될 수 있다. 상기 필라멘트가 형성된 상기 전이금속 산화물층(44)을 포함하는 상기 저항 요소(140)는 상대적으로 낮은 저항값을 갖게 된다. 반면, 상기 필라멘트가 소멸되는 경우, 상기 저항 요소(140)는 상대적으로 높은 저항값을 갖게 된다. 본 명세서에서, 상기 필라멘트가 소멸된다는 것은, 상기 전이금속 산화물층(44) 내의 상기 제1 전극(40)과 상기 제2 전극(49)을 전기적으로 연결하는 필라멘트의 일부 또는 전부가 절연되는 것을 의미한다.

[0041] 본 발명의 실시예들에 따른 저항 메모리 소자에 따르면, 상기 소정의 전압의 인가시 상기 전이금속 산화물층(44) 내에서 상기 필라멘트는 일정한 자리에서 생성되고 소멸될 수 있다. 구체적으로, 상기 제1 전극(40)과 상기 제2 전극(49) 사이에 전압이 인가될 때, 상기 필라멘트의 형성은 상기 전이금속 산화물층(44)과 상기 제2 전극(49)의 도전 브릿지(47)에 의해 유도될 수 있다. 또한, 상기 제2 전극(49)과 상기 전이금속 산화물층(44) 사이는, 상기 도전 브릿지(47)가 배치된 부분에서 선택적으로 연결될 수 있다. 따라서, 상기 도전 브릿지(47)가 형성된 위치에서 상기 필라멘트가 일정하게 생성되고 소멸될 수 있다. 이에 의해, 상기 저항 요소의 쓰기 및/또는 소거 동작시의 저항 산포가 감소될 수 있다. 이에 따라, 상기 저항 요소를 포함하는 저항 메모리 소자의 신뢰성이 향상될 수 있다.

[0042] 상기 저항 요소의 구성요소들은 다른 형태로 배치될 수도 있다. 도 4를 참조하면, 반도체 기판(110)과 인접한 제1 층간 절연막(120) 상에, 제2 전극(49), 전해질층(41), 전이금속 산화물층(45) 및 제1 전극(40)이 차례로 적층되어 저항 요소(142)를 구성할 수도 있다.

[0043] 저항 요소(142) 내의 전해질층(41) 및 도전 브릿지(43)는 제2 전극(49)에 인접하게 배치될 수 있다. 상기 제2 전극(49)은 상기 제1 전극(40) 보다 높은 산화력을 갖는 도전 물질, 예를 들어, 희유 금속의 산화물을 포함할 수 있다.

[0044] 도 1a, 도 5a 내지 도 5c, 및 도 2를 참조하여, 본 발명의 일 실시예에 따른 저항 메모리 소자의 형성방법이 설명된다. 앞서 설명된 구성요소들에 대한 설명은 생략될 수 있다.

[0045] 도 1a를 참조하면, 반도체 기판(110) 상에 게이트 유전막(123) 및 게이트 전극(125)이 차례로 형성될 수 있다. 상기 게이트 유전막(123)은 열산화 공정 또는 증착 공정에 의해 형성될 수 있다. 상기 게이트 전극(125)을 이온 주입 마스크로 사용한 이온 주입공정을 수행하여, 상기 게이트 전극(125)의 양 측의 상기 반도체 기판(110) 내에 소오스/드레인 영역(113)이 형성될 수 있다. 상기 게이트 전극(125) 및 상기 소오스/드레인 영역(113)을 덮는 제1 층간 절연막(120)이 형성될 수 있다. 이후, 상기 제1 층간 절연막(120)을 관통하되, 상기 소오스/드레인

인 영역(113)의 적어도 일부를 노출시키는 홀이 형성될 수 있다. 상기 홀을 도전성 물질로 채워 상기 제1 층간 절연막(120)을 관통하는 제1 콘택(127)이 형성될 수 있다.

[0046] 도 5a를 참조하면, 상기 제1 층간 절연막(120) 상에 제1 전극(40)이 형성될 수 있다. 상기 제1 전극(40)은 상기 제1 콘택(127) 상에 형성될 수 있다. 상기 제1 전극(40)은 이리듐(Ir), 백금(Pt), 루테튬(Ru) 및 텅스텐(W)을 포함하는 금속, 질화티타늄(TiN) 및 질화탄탈륨(TaN)을 포함하는 도전성 금속화합물 및 도핑된 반도체 중 선택된 적어도 하나를 포함할 수 있다. 일 실시예에서, 상기 제1 전극(40)은 텅스텐, 질화티타늄 및 질화탄탈륨 중 선택된 적어도 하나를 포함할 수 있다.

[0047] 상기 제1 전극(40) 상에 전이금속 산화물층(44)이 형성될 수 있다. 예를 들어, 상기 전이금속 산화물층(44)은 니켈(Ni), 티타늄(TiO), 바나듐(V), 철(Fe), 크롬(Cr), 코발트(Co), 하프늄(Hf) 및 탄탈륨(Ta) 중 선택된 적어도 하나의 산화물을 포함할 수 있다. 상기 전이금속 산화물층(44)은 수십 내지 수백 Å의 두께를 가질 수 있다.

[0048] 도 5b를 참조하면, 상기 전이금속 산화물층(44) 상에 전해질층(45)이 형성될 수 있다. 예를 들어, 상기 전해질층(45)은 절연성 고체 전해질을 포함할 수 있다. 상기 전해질층(45)은 예를 들어, 산화실리콘(SiO₂), 질화실리콘(SiN), 및 칼코겐 화합물 중 선택된 적어도 하나를 포함할 수 있다. 상기 전해질층(45)은 수 내지 수십 Å의 두께로 형성될 수 있다.

[0049] 상기 전해질층(45) 상에 금속층(46)이 형성될 수 있다. 상기 금속층(46)은 이동도가 높은 금속을 포함할 수 있다. 예를 들어, 상기 금속층(46)은 구리(Cu), 은(Ag), 루테튬(Ru), 티타늄(Ti) 및 이리듐(Ir) 중 선택된 적어도 하나를 포함할 수 있다. 상기 금속층(46)의 형성 공정에서, 상기 금속의 일부가 상기 전해질층(45) 내로 이동될 수 있다. 이는 상기 금속층(46)의 형성 공정시 발생하는 공정열 및 상기 금속의 높은 이동도에 기인할 수 있다. 상기 금속을 상기 전해질층(45) 내로 이동시키기 위해 상기 금속층(46) 상에 자외선 영역의 파장을 갖는 빛이 더 조사될 수 있다. 또는, 상기 금속층(46)이 형성된 상기 전해질층(45)에 열을 공급하여 상기 금속을 상기 전해질층(45) 내로 이동시킬 수 있다. 상기 빛의 조사 및 열 공급은 모두 수행되거나 선택적으로 수행될 수 있다.

[0050] 도 5c를 참조하면, 상기 금속층(46)의 형성 및/또는 추가적인 공정(빛의 조사 및/또는 열 공급)에 의해, 상기 금속층(46) 내의 상기 금속들이 이온상태로 상기 전해질층(45) 내로 이동될 수 있다. 상기 전해질층(45)은 고체 전해질을 포함하므로, 상기 금속층(46)으로부터 상기 전해질층(45)으로 제공된 상기 금속 이온들이 상기 전해질층(45)으로부터 전자를 공급받아 환원될 수 있다. 이에 의해, 상기 전해질층(45) 내에는 상기 금속층(46) 내의 금속 원자들이 나열된 도전 브릿지(47)가 형성될 수 있다.

[0051] 상기 도전 브릿지(47)의 일 단은 상기 전이금속 산화물층(44)과 접촉할 수 있다. 이와 달리, 상기 도전 브릿지(47)를 구성하는 상기 금속들이 더 이동하여 상기 도전 브릿지(47)는 상기 전이금속 산화물층(44)의 상부 내로 연장될 수도 있다.

[0052] 다시 도 1a를 참조하면, 상기 금속층(46)이 제거될 수 있다. 상기 금속층(46)은 식각공정 및/또는 화학기계적 연마공정에 의해 제거될 수 있다. 이에 의해, 상기 전해질층(45)의 상부면이 노출될 수 있다. 이와 달리, 상기 금속층(46)의 제거 공정은 생략될 수 있다. 이 경우, 상기 금속층(46)은 수 Å의 두께로 얇게 형성되며, 저항 요소가 형성된 이후 소정의 전압을 인가하는 것에 상기 금속층(46) 내의 금속이 이동될 수 있다.

[0053] 상기 전해질층(45) 상에 제2 전극(49)이 형성될 수 있다. 상기 제2 전극(49)은 상기 제1 전극(40) 보다 산화력이 큰 도전 물질을 포함할 수 있다. 예를 들어, 상기 제2 전극(49)은 상기 전이금속 산화물층(44)의 상부에 산소를 제공할 수 있다. 일 실시예에서, 상기 제2 전극(49)은 희유금속의 산화물을 포함할 수 있다.

[0054] 상기 제2 전극(49)을 덮는 제2 층간 절연막(130)이 형성될 수 있다. 이후, 상기 제2 층간 절연막(130)을 관통하여 상기 제2 전극(49)이 접하는 제2 콘택(137)이 형성될 수 있다. 상기 제2 콘택(130)은 상기 제2 층간 절연막(130) 상의 배선(139)과 동시에 형성될 수 있다. 이와 달리, 상기 배선(139)은 상기 제2 층간 절연막(130) 상에 상기 제2 콘택(130)과 별도의 도전막을 형성한 후, 상기 도전막을 패터닝하여 형성될 수도 있다.

[0055] 도 1a, 도 6a, 도 6b 및 도 4를 참조하여, 본 발명의 다른 실시예에 따른 저항 메모리 소자의 형성방법이 설명된다. 도 1a의 저항요소(140)는 도 4의 저항요소(142)로 대체될 수 있으며, 앞서 설명된 구성요소들에 대한 설명은 생략될 수 있다.

[0056] 도 1a을 참조하면, 제1 층간 절연막(120) 상에 제2 전극(49)이 형성될 수 있다. 상기 제2 전극(49)은 후술할 제1 전극(40) 보다 산화력이 큰 도전 물질을 포함할 수 있다. 예를 들어, 상기 제2 전극(49)은 상기 전이금속 산화물층(44)의 상부에 산소를 제공할 수 있다. 일 실시예에서, 상기 제2 전극(49)은 희유금속의 산화물을 포함할 수 있다.

[0057] 상기 제2 전극(49) 상에 전해질층(41)이 형성될 수 있다. 상기 전해질층(41)은 고체 전해질을 포함할 수 있다. 예를 들어, 상기 전해질층(41)은 결함(defect)을 포함하는 절연물질을 포함할 수 있다. 상기 전해질층(41)은 비정질 상태의 절연물질을 포함할 수 있다.

[0058] 상기 전해질층(41) 상에 금속층(42)이 형성될 수 있다. 상기 금속층(42)은 이동도가 높은 금속을 포함할 수 있다. 예를 들어, 상기 금속층(42)은 구리(Cu), 은(Ag), 루테튬(Ru), 티타늄(Ti) 및 이리듐(Ir) 중 선택된 적어도 하나를 포함할 수 있다. 상기 금속층(42)의 형성 공정에서, 상기 금속의 일부가 상기 전해질층(41) 내로 이동될 수 있다. 이는 상기 금속층(42)의 형성 공정시 발생하는 공정열 및 상기 금속의 높은 이동도에 기인할 수 있다. 이와 달리, 상기 금속을 상기 전해질층(41) 내로 이동시키기 위해 상기 금속층(42) 상에 자외선 영역의 파장을 갖는 빛이 더 조사될 수 있다. 또는, 상기 금속층(42)이 형성된 상기 전해질층(45)에 열을 공급하여 상기 금속을 상기 전해질층(41) 내로 이동시킬 수 있다. 상기 빛의 조사 및 열 공급은 모두 수행되거나 선택적으로 수행될 수 있다.

[0059] 다시 도 1a 및 도 4를 참조하면, 상기 금속층(42)이 제거될 수 있다. 제거되는 금속층(42)은 일부 금속이 상기 전해질층(41) 내로 이동한 후 상기 전해질층(41) 상에 잔류하는 금속층(42)일 수 있다. 상기 금속층(42)은 화학 기계적 연마공정에 의해 제거될 수 있다. 상기 금속층(42)의 제거에 의해 상기 전해질층(41)의 상부면이 노출될 수 있다.

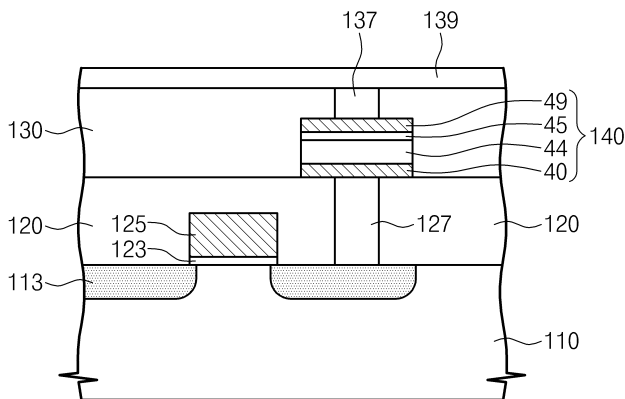
[0060] 상기 노출된 전해질층(41) 상에 전이금속 산화물층(44)이 형성될 수 있다. 이후, 상기 전이금속 산화물층(44) 상에 제1 전극(40)이 형성될 수 있다. 일 실시예에서, 상기 제1 전극(40)은 이리듐(Ir), 백금(Pt), 루테튬(Ru) 및 텅스텐(W)을 포함하는 금속, 질화티타늄(TiN) 및 질화탄탈륨(TaN)을 포함하는 도전성 금속화합물 및 도핑된 반도체 중 선택된 적어도 하나를 포함할 수 있다. 일 실시예에서, 상기 제1 전극(40)은 텅스텐, 질화티타늄 및 질화탄탈륨 중 선택된 적어도 하나를 포함할 수 있다.

부호의 설명

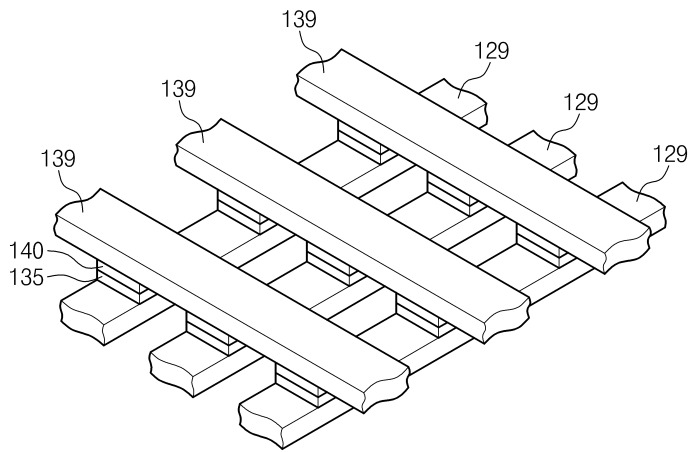
- [0061] 40: 제1 전극
- 41, 45: 전해질층
- 47, 48: 도전 브릿지
- 49: 제2 전극

도면

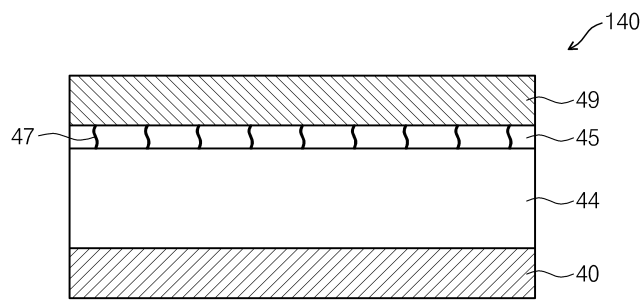
도면1a



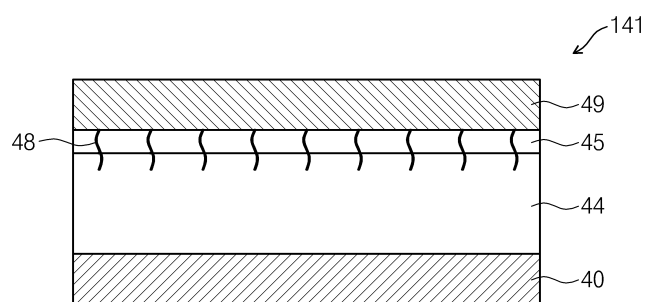
도면1b



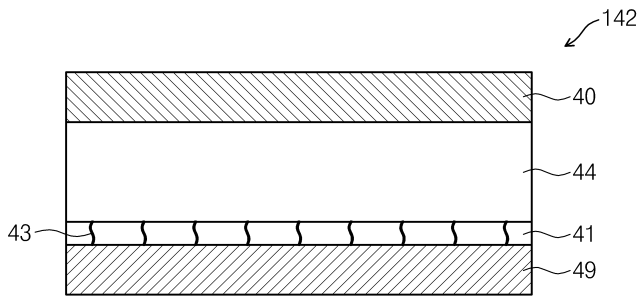
도면2



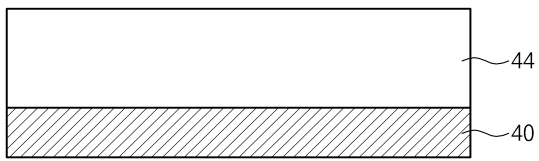
도면3



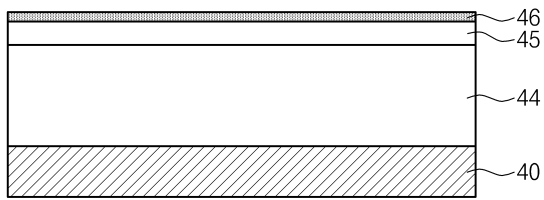
도면4



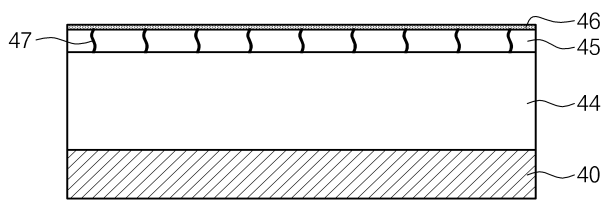
도면5a



도면5b



도면5c



도면6a



도면6b

