

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 21/30	(45) 공고일자 2000년06월 15일
	(11) 등록번호 10-0259314
	(24) 등록일자 2000년03월21일
(21) 출원번호 10-1996-0030596	(65) 공개번호 특1997-0023759
(22) 출원일자 1996년07월26일	(43) 공개일자 1997년05월30일
(30) 우선권 주장 95-274010 1995년10월23일 일본(JP)	
(73) 특허권자 미쓰비시덴키 가부시기가이샤	다니구찌 이찌로오, 기타오카 다카시
(72) 발명자 마츠후라 마사즈미	일본국 도쿄도 지요다구 마루노우치 2초메 2반 3고
(74) 대리인 김창세, 김원준, 장성구	일본 도쿄도 지요다구 마루노우치 2-2-3 미쓰비시 덴키가부시끼가이샤 내

심사관 : 김종진

(54) 반도체장치의 제조방법

요약

막 수축이 감소하고, 막 스트레스가 저감되도록 개량된 층간 절연막을 갖는 반도체 장치를 제공하기 위해, 기판(1)상에 금속 배선(2a, 2b)이 형성되어 있다. 금속 배선(2a, 2b)을 덮고, 또한 금속 배선(2a)와 금속 배선(2b) 사이의 틈을 매립하도록, 기판(1)상에 실리콘 산화막(4)이 마련되어 있다. 실리콘 산화막(4)의 화학 구조식은 Si-F 결합을 포함하고 있다.

대표도

도3

명세서

도면의 간단한 설명

도1-3은 본 발명의 실시예 1에 관한 반도체 장치 제조 방법의 순서의 제1-3 공정 각각에 있어서의 반도체 장치의 단면도.

도4는 본 발명의 실시예 1에서 형성되는 실리콘 산화막의 화학 구조식을 도시하는 도면.

도5는 종래 방법을 사용해서 형성한 층간 절연막의 화학 구조식을 도시하는 도면.

도6-8은 종래의 반도체 장치 제조 방법의 순서의 제1-3 공정 각각에 있어서의 반도체 장치의 단면도.

* 도면의 주요부분에 대한 부호의 설명

1 : 기판

2a, 2b : 알루미늄 배선

4 : 실리콘 산화막

발명의 상세한 설명

발명의 목적

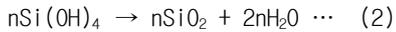
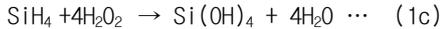
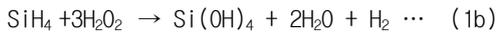
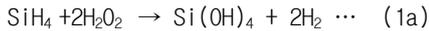
발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 전반적으로 반도체 장치에 관한 것으로, 특히, 층간 절연막(interlayer insulating film)의 막 수축(shrinkage)이 감소하고, 막 스트레스(film stress)가 저감되도록 개량한 반도체 장치에 관한 것이다. 본 발명은, 또한 그와 같은 반도체 장치의 제조 방법에 관한 것이다.

실란가스(SiH₄)와 과산화수소(H₂O₂)를 사용해서, CVD(Chemical Vapor Deposition)법에 의해 형성한 실리콘 산화막은 0.25 μ m 이하의 매우 미세한 배선간을 매립하는 것이 가능하고, 또 유동성이 뛰어나서 그것에 의해 자기 평탄화 특성(self-planarizing property)을 나타낸다. 그 때문에, 이 방법은 종래부터 사용되어 온 SOG(Spin-On Glasses)법 등에 대신하는 차세대 층간 절연막의 평탄화 방법으로서 주목되고 있다. 이 종래 방법은 문헌 "Novel Self-planarizing CVD Oxide for interlayer dielectric applications"(Technical digest of IEDM 1994)와 문헌 "Planarisation for sub-micron devices

utilizing a New Chemistry"(Proceedings of DUMIC conference 1995)에 상술되어 있다. 이 종래 방법에 의한 실리콘 산화막의 형성 반응은 이하의 화학식으로 도시하면 다음과 같다.

[화학식]



우선, SiH_4 가 H_2O_2 의 산화 작용에 의해, 실라놀($\text{Si}(\text{OH})_4$)로 변화한다(반응식(1a, 1b, 1c)). 발생한 실라놀은 가수 분해 또는 열 에너지에 의해 탈수 축합 반응(dehydrating polymerization reaction)을 일으켜서, 실리콘 산화물(SiO_2)로 변화한다(반응식(2)). 이와 같은 반응을 기판상에서 실행시키면, 층간 절연막인 실리콘 산화막이 형성된다.

다음에, 상술한 종래의 방법을 사용해서 층간 절연막을 형성하는 공정에 대해서 설명한다.

도6을 참조하면, 기판(11)을 준비한다. 기판(11)은 실리콘 기판, 그 위에 형성된 소자 및 절연층을 포함한다(도시하지 않음). 기판(11)상에 제1알루미늄 배선(12a)과 제2알루미늄 배선(12b)을 형성한다. 제1 및 제2알루미늄 배선(12a), (12b)을 피복하도록 제1플라즈마 산화막(13)을 형성한다.

도7을 참조하면, SiH_4 및 H_2O_2 를 사용해서, CVD법에 의해 실리콘 산화막(14)을 형성한다. 실리콘 산화막(14)은 제1알루미늄 배선(12a)과 제2알루미늄 배선(12b) 사이의 틈(space)을 매립한다.

도8을 참조하면, 실리콘 산화막(14)상에 제2플라즈마 산화막(15)을 형성하는 것에 의해 평탄한 층간 절연막(16)이 완성된다.

도7을 참조하면, SiH_4 및 H_2O_2 를 사용한 CVD법에 의해 형성한 실리콘 산화막(14)은 막형성 과정에서 생성되는 실라놀이 뛰어난 유동성을 갖는 것에 의해, 매우 미세한 배선간의 매립을 가능하게 하고, 더 나아가서, 뛰어난 자기 평탄화 특성을 실현한다.

그러나, 상기 반응식(2)을 참조하면, 실라놀은 실리콘 산화물로 변화하는 과정에서 탈수 축합 반응(dehydrating condensation reaction)을 일으키기 때문에, 형성된 실리콘 산화막은 막 수축에 의한 큰 스트레스를 갖는다. 이 스트레스가 너무 큰 경우, 실리콘 산화막 자체에 크랙을 발생시키거나 하층(underlying layer)에 마련된 금속 배선의 신뢰성에 악영향을 미친다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기와 같은 문제점을 해결하기 위해 이루어진 것으로, 실리콘 산화막중의 막 스트레스를 저감할 수 있도록 개량된 반도체 장치를 제공하는데 있다.

본 발명의 다른 목적은 그와 같은 반도체 장치의 제조 방법을 제공하는 데 있다.

발명의 구성 및 작용

본 발명의 제1특징에 따른 반도체 장치는 기판을 구비한다. 상기 기판상에 제1금속 배선과 제2금속 배선이 형성되어 있다. 상기 제1 및 제2금속 배선을 덮고, 또한 상기 제1금속 배선과 상기 제2금속 배선 사이의 틈을 매립 하도록, 상기 기판상에 실리콘 산화막이 마련되어 있다. 상기 실리콘 산화막의 화학 구조식은 Si-F 결합(bond)을 포함하고 있다.

본 발명의 제1특징에 따른 반도체 장치에 의하면, 층간 절연막중에 Si-F 결합이 도입되므로, Si-OH 결합이 종래의 층간 절연막에 비해 적다. 따라서, 연속 발생하는 탈수 축합 반응이 완화되기 때문에 막 수축이 감소하고, 계속해서 막 스트레스가 저감된다. 또, 층간 절연막중에 Si-F 결합이 도입되므로 층간 절연막의 유전율이 감소하거나 잔류하는 Si-OH 결합을 저감시킨다는 효과도 있다.

본 발명의 제2특징에 따른 반도체 장치의 제조 방법에 의하면, 실리콘 산화막을, 불소계 원자(fluorine atom)가 결합한 실리콘 원자를 갖는 원료 가스와 과산화수소와의 혼합 가스를 사용해서 화학 기상 성장법에 의해 형성한다. 따라서, 생성한 층간 절연막중에 Si-F 결합이 도입된다. 그 결과, 실라놀에 포함되는 Si-OH 결합이 종래의 방법에 비해 적어지게 된다. 그 결과, 연속 발생하는 탈수 축합 반응이 완화되기 때문에 막 수축이 감소하여 막 스트레스가 저감된 층간 절연막을 제공한다.

본 발명의 상기 및 그밖의 목적, 특징, 국면 및 이익들은 첨부 도면을 참조로 설명하는 이하의 상세한 설명으로부터 더욱 명백해질 것이다.

이하, 본 발명의 실시예를 도면에 따라서 설명한다.

[실시예 1]

도1을 참조하면, 기판(1)상에 제1알루미늄 배선(2a)과 제2알루미늄 배선(2b)을 형성한다. 제1 및 제2알루미늄 배선(2a, 2b)을 피복하도록 기판(1)상에 제1플라즈마 산화막(3)을 형성한다. 제1플라즈마 산화막(3)은 플라즈마 CVD법에 의해 형성된다. 제1플라즈마 산화막(3)의 일반적인 형성 조건은, 형성 온도(forming temperature)가 300℃, 압력이 750mTorr, 고주파 전력이 500W, 사용하는 원료 가스는 SiH_4 와 아산화질소(nitrous oxide)(N_2O)이다. 형성된 제1플라즈마 산화막(3)의 막 두께는 1000Å이었다. 이 경우, 원료 가스로서 TEOS(Tetra ethoxy silane)과 산소를 사용하여, 플라즈마 CVD법에 의해 형성해도 좋다(이

경우, 형성 온도는 400℃, 압력은 5Torr, 고주파 전력은 500W가 바람직하다).

도2를 참조하면, 제1플라즈마 산화막(3)상에, SiH₄ 및 H₂O₂를 사용하여, CVD법에 의해 실리콘 산화막(이하, HSO막이라 한다)(4)을 형성한다. 본 발명의 실시예에 있어서의 특징은 이 HSO막(4)의 형성 방법에 있다. 구체적으로는, 플루오르실란(fluorosilane)(SiH_xF_{4-x})을 SiH₄에 첨가하는 것을 특징으로 한다. 또한, 플루오르실란을 단독으로 원료 가스로서 사용해도 좋다. 본 발명의 실시예에서 사용한 플루오르실란은 디플루오르실란(difluorosilane)(SiH₂F₂)이다. 대표적인 HSO막의 형성 조건은 이하와 같다.

형성 온도: 1℃(-10℃~100℃의 범위가 바람직하다)

형성 압력: 850mTorr(200mTorr~600Torr의 범위가 바람직하다)

가스 유량: SiH₄ 40SCCM(standard cubic centimeter per minute)

SiH₂F₂: 40SCCM

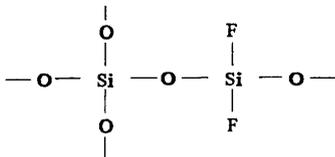
N₂: 500SCCM

H₂O₂: 0.65g/분

형성 온도가 100℃ 이상이면 작은 알갱이(granule) 형상의 것이 얻어져 막은 형성되지 않는다. 형성 압력이 600Torr를 초과하면 작은 알갱이 형상의 것이 얻어져 막은 형성되지 않는다.

상기 조건에 의해 형성한 실리콘 산화막은, 모식적으로 도4에 도시하는 화학 구조식을 갖는다. 도2에서 명확한 바와 같이, SiH₄와 SiH₂F₂를 사용한 경우에는 실리콘 산화막의 화학 구조식은 다음의 단위, 즉 산소 원자로 서로 연결된 제1실리콘 원자와 제2실리콘 원자를 갖고, 제1실리콘 원자에는 또한 3개의 산소 원자가 결합되어 있고, 제2실리콘 원자에는 불소 원자가 2개 결합해 있는 단위를 갖는다.

[화학식 1]



또한, 비교를 위해 도5에 종래법(SiH₄ 및 H₂O₂를 사용한 CVD법)에 의해서 형성된 실리콘 산화막의 분자 구조를 나타낸다. 종래법에 의한 실리콘 산화막은 Si-O 결합 및 Si-OH 결합에 의해 구성되어 있다. 한편, 본 발명의 실시예에 의한 실리콘 산화막은 Si-O 결합, Si-F 결합 및 Si-OH 결합에 의해 구성되어 있다. 생성되는 실라놀에 대해서 고려하면, 상기에 나타낸 가스계를 사용한 경우 생성하는 실라놀의 결합의 내역은, Si-OH 결합이 75%, Si-F 결합이 25%이다. Si-F 결합은 상기 막 형성 조건하에서는 상당히 안정적이기 때문에, 그대로 실리콘 산화막중에 주입된다. 한편, 원료 가스가 SiH₄ 100%, 즉 SiH₄가 80SCCM의 경우 생성되는 실라놀은 Si-OH 결합 100%로 구성된다. 따라서, 본 발명의 실시예에 의한 실리콘 산화막은 막 형성 과정에서 생성되는 실라놀에 포함되는 Si-OH 결합이 종래법에 의해 형성된 것보다 적기 때문에, 연속 발생하는 탈수 축합 반응이 완화된다. 그 때문에 막 수축이 감소하고 계속해서 막 스트레스가 저감된다.

또, 막중에 Si-F 결합이 도입되므로, 막의 비유전율(比誘電率)이 감소하거나 잔류하는 Si-OH 결합을 저감시킨다는 효과도 있다.

도3을 참조하면, HSO막(4)상에 제2플라즈마 산화막(5)을 형성한다. 제2플라즈마 산화막(5)의 형성 조건은, 제1플라즈마 산화막(3)의 형성 조건과 동일 조건이어도 좋고, 다른 조건이어도 좋다. 예를 들면, 다른 조건으로 해도 본 발명의 실시예에서 생기는 효과에 영향을 미치지 않는다.

또한, 도시하지는 않았지만, 제2플라즈마 산화막(5)상에 추가로 알루미늄 배선을 형성하면 반도체 장치가 완성한다.

본 발명의 실시예에 의하면, HSO막(4)상에 제1 및 제2알루미늄 배선(2a, 2b)상의 두께를 a라 하고, HSO막(4)의, 기판(1)상에 있고 또한 제1알루미늄 배선(2a)과 제2알루미늄 배선(2b) 사이에 있는 부분의 두께를 b라 하면, a < b라는 부등식이 성립한다.

또한, HSO막(4)의 형성시에 원료 가스중에 PH₃ 또는 P₂H₆를 주입하면 붕소 이온 또는 인 이온이 도핑된 실리콘 산화막이 얻어진다. 붕소 이온 또는 인 이온이 주입되면 게터링(gettering) 효과가 생긴다.

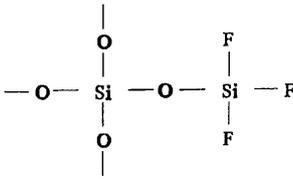
붕소 이온 또는 인 이온의 주입량은 5몰%~10몰%가 바람직하다.

[실시예 2]

본 발명의 실시예1에서는, 플루오르실란으로서 SiH₂F₂를 사용하는 경우를 예시하였지만, 본 발명은 이것에 한정되는 것은 아니고, 트리플루오르실란(trifluorosilane)(SiHF₃) 및 모노플루오르실란(monofluorosilane)(SiHF)을 사용해도 마찬가지로의 효과를 나타낸다.

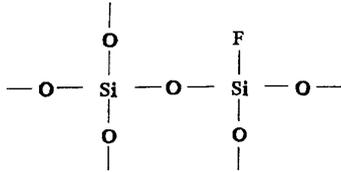
플루오르실란으로서, 트리플루오르실란을 사용한 경우에는 얻어진 실리콘 산화막의 화학 구조식은 다음의 단위를 갖는다.

[화학식 2]



플루오르실란으로서, 모노플루오르실란을 사용한 경우에는 얻어진 층간 절연막의 화학 구조식은 다음의 단위를 갖는다.

[화학식 3]



[실시에 3]

상기 발명의 실시예에서 실리콘 화합물로서 플루오르실란을 사용하는 경우를 예로 하였지만, TEFS(Triethoxy fluorosilane)를 대표로 하는 유기기(알킬기)를 함유하는 유기 실리콘 화합물(organosilicon compound)을 사용해도 마찬가지로의 효과를 실현한다.

또한, 이 경우에는 도3을 참조하면, 층간 절연막의 두께는 $a=b$ 를 충족하도록 된다.

금회 개시된 실시예는 모든 점에서 예시로서 제한적인 것은 아닌 것으로 고려되어야 한다. 본 발명의 범위는 특허 청구 범위에 의해서 도시되고 특허청구범위와 균등한 의미 및 범위내에서의 모든 변경이 포함되는 것이 의도된다.

발명의 효과

상기한 바와 같은 본 발명에 따르면, 층간 절연막중에 Si-F 결합이 도입되므로, SiOH 결합이 종래의 층간 절연막에 비해 적다. 따라서, 연속 발생하는 탈수 축합 반응이 완화되기 때문에 막 수축이 감소하고, 계속해서 막 스트레스가 저감된다. 또, 층간 절연막중에 Si-F 결합이 도입되므로 층간 절연막의 유전율이 감소하거나 잔류하는 Si-OH 결합을 저감시킨다는 효과도 있다.

(57) 청구의 범위

청구항 1

(2회 정정) 금속 배선이 그 위에 형성된 기판을 준비하는 공정과, 불소 원자가 결합한 실리콘 원자를 갖는 원료 가스와, 실란 가스와 과산화수소와의 혼합 가스를 이용하여, 화학 기상 성장법에 의해, 상기 금속 배선을 덮도록, 상기 기판상에 실리콘 산화막을 형성하는 공정을 포함하는 반도체 장치의 제조 방법.

청구항 2

제1항에 있어서, 상기 원료 가스로서 디플루오르실란을 사용하는 반도체 장치의 제조 방법.

청구항 3

제1항에 있어서, 상기 원료 가스로서 트리플루오르실란 또는 모노플루오르실란을 사용하는 반도체 장치의 제조 방법.

청구항 4

제1항에 있어서, 상기 원료 가스로서 플루오르알콕시실란을 사용하는 반도체 장치의 제조 방법.

청구항 5

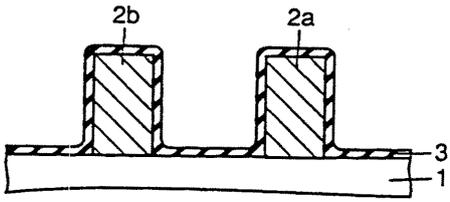
제1항에 있어서, 상기 실리콘 산화막(4)은 $-10^{\circ}\text{C} \sim 100^{\circ}\text{C}$ 의 온도에서 형성되는 반도체 장치의 제조 방법.

청구항 6

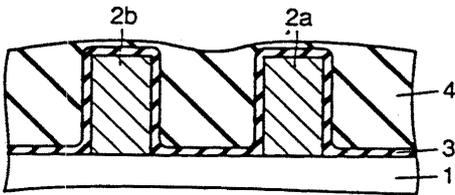
제1항에 있어서, 상기 실리콘 산화막은 200mTorr~600Torr의 압력하에서 형성되는 반도체 장치의 제조 방법.

도면

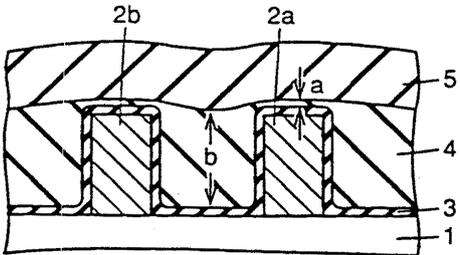
도면1



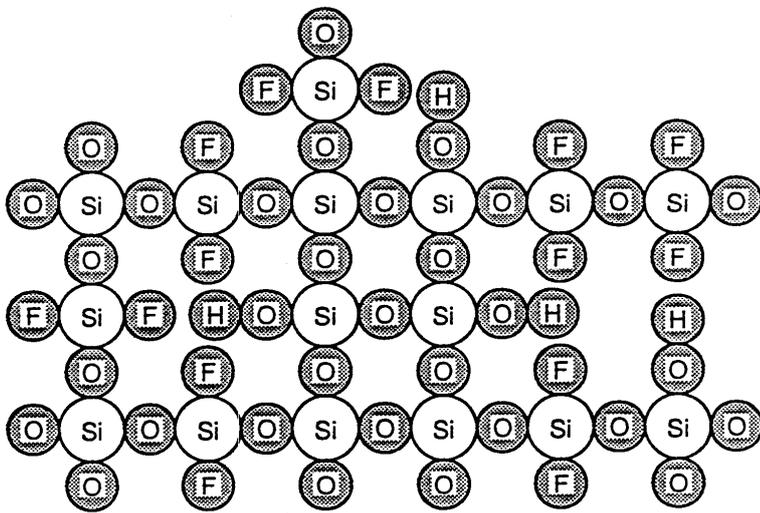
도면2



도면3

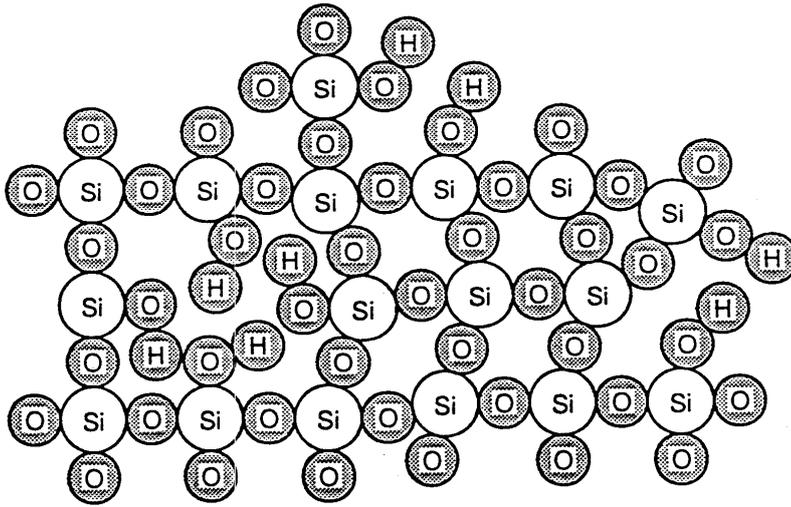


도면4

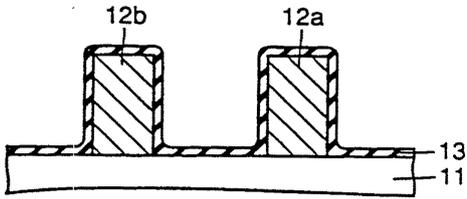


도면5

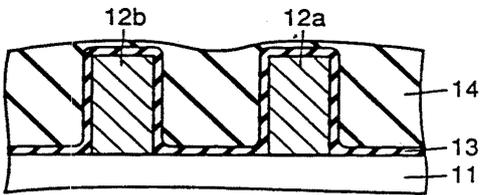
종래기술



도면6



도면7



도면8

