



(12) 发明专利

(10) 授权公告号 CN 101253724 B

(45) 授权公告日 2011. 08. 31

(21) 申请号 200680031868. 1

(22) 申请日 2006. 07. 19

(30) 优先权数据

11/195, 082 2005. 08. 01 US

(85) PCT申请进入国家阶段日

2008. 02. 29

(86) PCT申请的申请数据

PCT/US2006/028092 2006. 07. 19

(87) PCT申请的公布数据

W02007/015915 EN 2007. 02. 08

(73) 专利权人 ATI 科技公司

地址 加拿大安大略

(72) 发明人 爱德华·李 阿尔温德·博姆迪卡

陈林 克劳德·戈捷 萨姆·许恩

希奥克-蒂亚克·额 约翰·灵

珍妮弗·霍 西伊·M·K 吉恩·耶

约瑟夫·马克里

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 朱胜 李春晖

(51) Int. Cl.

H04L 7/033(2006. 01)

(56) 对比文件

CN 1622067 A, 2005. 06. 01,

CN 1453946 A, 2003. 11. 05,

US 2003081709 A1, 2003. 05. 01,

CN 1585312 A, 2005. 02. 23,

审查员 许洪岩

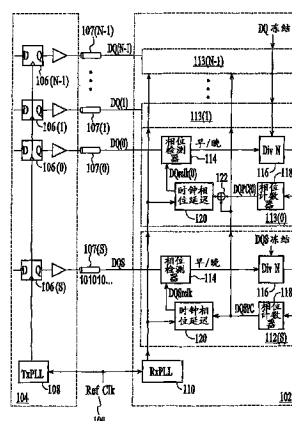
权利要求书 4 页 说明书 9 页 附图 2 页

(54) 发明名称

位去偏斜 IO 方法和系统

(57) 摘要

描述了一种用于位去偏斜的 IO 方法和系统。实施例包括具有多个部件的计算机系统,所述多个部件在相互之间传输数据。在一个实施例中,系统部件从发送部件接收前向选通脉冲信号和多个数据位信号。接收部件包括前向选通脉冲时钟恢复电路,该前向选通脉冲时钟恢复电路可配置用于对齐前向选通脉冲采样时钟以提高采样精确度。接收部件还包括至少一个数据位时钟恢复电路,该至少一个数据位时钟恢复电路可配置用于对齐数据位采样时钟以提高采样精确度,以及从前向选通脉冲时钟恢复电路接收信号,其在系统运行期间使得数据位采样时钟跟踪前向选通脉冲采样时钟。



1. 一种用于传输数据的系统,包括:

至少一个可配置用于发送多个数据位和与所述多个数据位相关联的前向选通脉冲的部件;

至少一个可配置用于接收所述多个数据位和前向选通脉冲的部件,其中所述至少一个可配置用于接收的部件包括:

前向选通脉冲时钟恢复电路,可配置用于对齐前向选通脉冲采样

时钟以提高采样精确度;以及

至少一个数据位时钟恢复电路,可配置用于对齐数据位采样时钟以提高采样精确度,以及在所述至少一个可配置用于接收的部件的运行期间从所述前向选通脉冲时钟恢复电路接收信号,其使得所述数据位采样时钟跟踪所述前向选通脉冲采样时钟;

其中:在前向选通脉冲训练阶段,所述前向选通脉冲时钟恢复电路对齐所述前向选通脉冲采样时钟,包括产生前向选通脉冲时钟偏移;以及

在数据位训练阶段,所述至少一个数据位时钟恢复电路对齐所述数据位采样时钟,所述前向选通脉冲时钟恢复电路在所述数据位训练阶段是非激活的,其中从所述前向选通脉冲时钟接收的所述信号是所述前向选通脉冲偏移,其与中间数据时钟偏移相结合以产生数据位时钟偏移。

2. 权利要求1所述的系统,其中从所述前向选通脉冲时钟恢复电路接收的所述信号包括前向选通脉冲时钟偏移,并且其中所述前向选通脉冲时钟偏移与中间数据位时钟偏移相结合以产生数据位时钟偏移。

3. 权利要求1所述的系统,其中在训练阶段,所述数据位采样时钟通过产生数据位时钟偏移来对齐,所述至少一个数据位时钟恢复电路在所述训练阶段是激活的,并且其中所述数据位时钟偏移包括与来自所述前向选通脉冲时钟恢复电路的所述信号相结合的中间数据位时钟偏移,其中所述信号包括前向选通脉冲时钟偏移。

4. 权利要求3所述的系统,其中在所述至少一个可配置用于接收的部件的运行期间,所述至少一个数据位时钟恢复电路是非激活的,所述中间数据位时钟偏移是固定的,并且所述数据位时钟偏移随所述前向选通脉冲时钟偏移而变化。

5. 权利要求1所述的系统,其中针对所述多个数据位中的每一个,所述至少一个数据位时钟恢复电路包括数据位时钟恢复电路。

6. 权利要求5所述的系统,其中所述至少一个数据位时钟恢复电路包括相位检测器,所述相位检测器接收相应的数据位和经恢复的数据时钟信号并且输出表示相位差的早/晚指示。

7. 权利要求6所述的系统,其中所述至少一个数据位时钟恢复电路还包括相位计数器,所述相位计数器接收所述早/晚指示,输出中间数据位时钟偏移。

8. 权利要求7所述的系统,其中所述早/晚指示在由所述相位计数器接收前被除以预定的数。

9. 权利要求7所述的系统,其中所述至少一个数据位时钟恢复电路还包括加法器,所述加法器将所述中间数据位时钟偏移加到从所述前向选通脉冲时钟恢复电路接收的所述信号上,其中所述信号包括前向选通脉冲时钟偏移。

10. 权利要求9所述的系统,其中所述至少一个数据位时钟恢复电路还包括时钟相位

延迟电路,所述时钟相位延迟电路接收所述加法器的输出并且产生所述经恢复的数据时钟信号。

11. 一种在系统中传输数据的方法,所述方法包括:

训练前向选通脉冲时钟恢复电路以确定用于提高采样精确度的前向选通脉冲时钟偏移;

训练至少一个数据位时钟恢复电路以确定用于提高采样精确度的数据位采样时钟偏移,其中所述数据位采样时钟偏移包括所述前向选通脉冲采样时钟偏移和中间数据位采样时钟偏移,还包括:当训练所述前向选通脉冲时钟恢复电路时,使能所述前向选通脉冲时钟恢复电路并且禁止所述数据时钟恢复电路。

12. 权利要求 11 所述的方法,还包括:当训练所述数据时钟恢复电路时,禁止所述前向选通脉冲时钟恢复电路并且使能所述数据时钟恢复电路。

13. 权利要求 11 所述的方法,还包括:在系统运行期间,使能所述前向选通脉冲时钟恢复电路并且禁止所述数据时钟恢复电路,使得所述数据位采样时钟偏移跟踪所述前向选通脉冲采样时钟偏移。

14. 权利要求 11 所述的方法,还包括:

在所述系统的运行期间检测至少一个时钟恢复事件;以及
重复训练至少一个数据位时钟恢复电路。

15. 权利要求 14 所述的方法,其中所述至少一个时钟恢复事件包括:

自所述至少一个数据时钟恢复电路的上一次训练起经过了预定量的时间;
包括所述至少一个数据时钟恢复电路的系统部件的空闲状态;以及
所述至少一个数据时钟恢复电路的低功率状态。

16. 一种用于接收数据的接收器,包括:

前向选通脉冲时钟恢复电路,可配置用于对齐前向选通脉冲采样时钟;以及

至少一个数据位时钟恢复电路,可配置用于对齐数据位采样时钟以及从所述前向选通脉冲时钟恢复电路接收信号,所述至少一个数据位恢复电路将所述数据位采样时钟配置成在运行期间跟踪所述前向选通脉冲采样时钟,其中在训练阶段,所述数据位采样时钟通过产生数据位时钟偏移来对齐,所述至少一个数据位时钟恢复电路在所述训练阶段是激活的,并且其中所述数据位时钟偏移包括与来自所述前向选通脉冲时钟恢复电路的所述信号相结合的中间数据位时钟偏移,其中所述信号包括前向选通脉冲时钟偏移;以及

其中在配置成对齐数据位采样时钟以及从所述前向选通脉冲时钟恢复电路接收信号的所述至少一个数据位时钟恢复电路的运行期间,所述至少一个数据位时钟恢复电路是非激活的,所述中间数据位时钟偏移是固定的,并且所述数据位时钟偏移随所述前向选通脉冲时钟偏移而变化。

17. 权利要求 16 所述的接收器,其中从所述前向选通脉冲时钟恢复电路接收的所述信号包括前向选通脉冲时钟偏移,并且其中所述前向选通脉冲时钟偏移与中间数据位时钟偏移相结合以产生数据位时钟偏移。

18. 权利要求 16 所述的接收器,其中:

在前向选通脉冲训练阶段,所述前向选通脉冲时钟恢复电路对齐所述前向选通脉冲采样时钟,包括产生前向选通脉冲时钟偏移;以及

在数据位训练阶段,所述至少一个数据位时钟恢复电路对齐所述数据位采样时钟,所述前向选通脉冲时钟恢复电路在所述数据位训练阶段是非激活的,其中从所述前向选通脉冲时钟接收的所述信号是所述前向选通脉冲偏移,其与中间数据时钟偏移相结合以产生数据位时钟偏移。

19. 权利要求 16 所述的接收器,其中针对接收器接收到的多个数据位中的每一个,所述至少一个数据位时钟恢复电路包括数据位时钟恢复电路。

20. 权利要求 19 所述的接收器,其中所述至少一个数据位时钟恢复电路包括相位检测器,所述相位检测器接收相应的数据位和经恢复的数据时钟信号并且输出表示相位差的早/晚指示。

21. 权利要求 20 所述的接收器,其中所述至少一个数据位时钟恢复电路还包括相位计数器,所述相位计数器接收所述早/晚指示,输出中间数据位时钟偏移。

22. 权利要求 21 所述的接收器,其中所述早/晚指示在由所述相位计数器接收前被除以预定的数。

23. 权利要求 21 所述的接收器,其中所述至少一个数据位时钟恢复电路还包括加法器,所述加法器将所述中间数据位时钟偏移加到从所述前向选通脉冲时钟恢复电路接收的所述信号上,其中所述信号包括前向选通脉冲时钟偏移。

24. 权利要求 23 所述的接收器,其中所述至少一个数据位时钟恢复电路还包括时钟相位延迟电路,所述时钟相位延迟电路接收所述加法器的输出并且产生所述经恢复的数据时钟信号。

25. 一种用于接收数据的方法,包括:

响应于接收到前向选通脉冲,前向选通脉冲时钟恢复电路对齐前向选通脉冲采样时钟;以及

在运行期间至少一个数据位时钟恢复电路对齐数据位采样时钟以跟踪所述前向选通脉冲采样时钟;

其中:在前向选通脉冲训练阶段,所述前向选通脉冲时钟恢复电路对齐所述前向选通脉冲采样时钟,包括产生前向选通脉冲时钟偏移;以及

在数据位训练阶段,所述至少一个数据位时钟恢复电路对齐所述数据位采样时钟,所述前向选通脉冲时钟恢复电路在所述数据位训练阶段是非激活的,其中从所述前向选通脉冲时钟接收的信号是所述前向选通脉冲偏移,其与中间数据时钟偏移相结合以产生数据位时钟偏移。

26. 权利要求 25 所述的方法,其中从所述前向选通脉冲时钟恢复电路接收的信号包括前向选通脉冲时钟偏移,并且其中所述前向选通脉冲时钟偏移与中间数据位时钟偏移相结合以产生数据位时钟偏移。

27. 权利要求 25 所述的方法,其中在训练阶段,所述数据位采样时钟通过产生数据位时钟偏移来对齐,所述至少一个数据位时钟恢复电路在所述训练阶段是激活的,并且其中所述数据位时钟偏移包括与来自所述前向选通脉冲时钟恢复电路的信号相结合的中间数据位时钟偏移,其中所述信号包括前向选通脉冲时钟偏移。

28. 权利要求 27 所述的方法,其中在所述方法的运行期间,所述至少一个数据位时钟恢复电路是非激活的,所述中间数据位时钟偏移是固定的,并且所述数据位时钟偏移随所

述前向选通脉冲时钟偏移而变化。

29. 权利要求 25 所述的方法,其中针对接收到的多个数据位中的每一个,所述至少一个数据位时钟恢复电路包括数据位时钟恢复电路。

30. 权利要求 29 所述的方法,其中所述至少一个数据位时钟恢复电路包括相位检测器,所述相位检测器接收相应的数据位和经恢复的数据时钟信号并且输出表示相位差的早 / 晚指示。

31. 权利要求 30 所述的方法,其中所述至少一个数据位时钟恢复电路还包括相位计数器,所述相位计数器接收所述早 / 晚指示,输出中间数据位时钟偏移。

32. 权利要求 31 所述的方法,其中所述早 / 晚指示在由所述相位计数器接收前被除以预定的数。

33. 权利要求 31 所述的方法,其中所述至少一个数据位时钟恢复电路还包括加法器,所述加法器将所述中间数据位时钟偏移加到从所述前向选通脉冲时钟恢复电路接收到的信号上,其中所述信号包括前向选通脉冲时钟偏移。

34. 权利要求 33 所述的方法,其中所述至少一个数据位时钟恢复电路还包括时钟相位延迟电路,所述时钟相位延迟电路接收所述加法器的输出并且产生所述经恢复的数据时钟信号。

位去偏斜 IO 方法和系统

技术领域

[0001] 本发明涉及在计算机和其他数字系统中进行数据传输的领域。

背景技术

[0002] 随着计算机和其他数字系统变得越来越复杂和功能强大,用以增强在系统部件或元件之间传输数据的方法和硬件通常也不断地发展。待传输的数据包括表示数据、命令的信号或任何其他信号。系统部件或元件可以包括位于单个集成电路 (IC) 或位于不同集成电路上的不同功能的硬件块。所述不同集成电路可以在或不在同一印刷电路板 (PCB) 上。系统部件通常包括专门设计用来从其他系统部件接收数据以及将数据发送到其他系统部件的输入 / 输出 (I/O) 接口。一般来说,现有的 I/O 接口可以被分类为串行“链接”和并行“链接”。不管是哪种 I/O 接口类型,所传输的数据必须在系统部件之间同步,以便进行正确的操作。同步包括考虑或补偿潜在地引起误差的多个现象,所述现象包括信号抖动和信号偏斜。所述现象包括部件时钟之间的差和数据路径的物理属性,所述物理属性引起噪声并且影响所传输信号的完整性。当前用来操纵串行 I/O 接口和并行 I/O 接口的方法处理这些数据同步问题,但是有局限性。

[0003] 典型的串行链接将时钟信息嵌入数据流中并且在接收器中使用一种时钟恢复方案来提取该时钟信息。这样的方案也被称为每线闭环定时 (per-line closed-loop timing)。保证转换密度需要对数据进行编码,通常利用 8B/10B 码对数据进行编码。这种方法的缺点是增加了带宽开销并且提高了复杂性,这损害了性能并且提高了成本。

[0004] 典型的并行链接在发送一组 N 个数据信号 (例如,在双数据率动态随机存取存储器 (DDR DRAM) 中, N 可以是 8) 的同时还发送时钟信号或选通脉冲 (strobe)。依赖于数据率和需要的精密水平,使用以下的“源同步定时”方法之一:如果选通脉冲相对于发送器所发送的数据移动了半个比特时间,则接收器只是直接用该选通脉冲对数据进行采样;或者如果采样脉冲与发送器所发送的数据的边沿是对齐的,则接收器在整组数据上将该选通脉冲延迟同一固定量,以在标称中心对数据眼进行采样。

[0005] 上述两种并行链接方法中每个都需要对整组数据和选通脉冲进行非常严格的迹线阻抗和迹线长度匹配,以达到高数据率。为了减轻这种情况,每个位接收器可以将选通脉冲延迟不同的量以将其自己的时钟置于其自己的数据的中心。有时这叫做每位去偏斜。这种并行方案的缺点是选通脉冲 (其通常在整个电路板上发送并且分布到整组数据) 是有噪声的,因而减小了系统的定时预算。另外,接收器只是使用或延迟选通脉冲,其增加了抖动而不对抖动进行滤波。在一些实施方式中,为每个数据位而不是一组数据位发送一个选通脉冲,这增加了管脚数量和成本。

附图说明

[0006] 图 1 是根据一个实施例的包括接收器接口的系统的一部分的框图。

[0007] 图 2 是根据一个实施例的由图 1 的电路执行的方法的流程图。

具体实施方式

[0008] 在此描述位去偏斜 IO 方法和系统的实施例。描述了一种用于位去偏斜的方法和系统。在一个实施例中,系统部件从发送部件接收前向选通脉冲信号和多个数据位信号。所述接收部件包括前向选通脉冲时钟恢复电路,该前向选通脉冲时钟恢复电路可配置成对齐前向选通脉冲采样时钟以提高采样精确度。所述接收部件还包括至少一个数据位时钟恢复电路,该数据位时钟恢复电路可配置成对齐数据位采样时钟以提高采样精确度,并且从前向选通脉冲时钟恢复电路接收信号,其在系统操作期间使得数据数据位采样时钟跟踪前向选通脉冲时钟。

[0009] 实施例达到的数据率与使用每线闭环定时的串行链接类似,但是没有通常相关联的复杂性和编码带宽开销。在一个实施例中,在接口中提供了这些优点,所述接口包括相对于现有的源同步并行链接改进了的性能,但是(例如由于将时钟编码到串行数据流中)不包括与当前串行链接相关联的复杂性和开销。

[0010] 图 1 是根据一个实施例的系统 100 的一部分的框图。系统 100 包括发送器 104 和接收器接口 102。系统 100 可以是任何计算机系统或其子系统、数字系统、在部件之间传输数据的部件或部件的组合。部件可以是集成电路上的电路块、同一印刷电路板上的不同集成电路或者通过网络进行通信的部件。在各个实施例中,所述部件以高速和高数据率进行通信。例如,系统 100 可以是计算机系统,具有与双数据率 (DDR) DRAM 通信的图形处理或视频处理单元,但实施例不限于此。

[0011] 示出了发送器 104 的相关部分,包括锁存器或触发器 106(0)-106(N-1) 和相关的输出缓冲器。在一个实施例中,发送器 104 发送与数据位 DQ(0)-DQ(N-1) 相关联的选通脉冲信号或前向时钟(标记为 DQS)。数据位和前向选通脉冲在传输介质 107 上发送。在不同的实施例中,传输介质 107 可以是一个或多个线缆、PCB 迹线或任何其他已知传输介质。数据位 DQ 根据发生在发送器 104 和包括接收器接口 102 的接收部件之间的通信而被发送。相对照的,如图所示,前向选通脉冲 DQS 作为触发逻辑值(toggling logic value)(101010...)连续地被发送。发送器 104 还包括发送锁相环(TxPLL)108,其是公知电路。例如,在大部分频率合成器中使用 PLL 作为控制机构。TxPLL108 以已知方式工作。

[0012] 接收器接口 102 包括以已知方式工作的接收 PLL(RxPLL)110。TxPLL 108 和 RxPLL 110 都接收参考时钟信号 Ref Clk 109。TxPLL 108 的输出为锁存器 106 提供时钟信号。RxPLL 110 的输出被输入到针对每个数据位 DQ 以及针对前向选通脉冲信号 DQS 的时钟相位延迟电路 120,其在以下更详细地描述。

[0013] 前向选通脉冲信号 DQS 由接收器接口 102 的时钟恢复电路 112(S) 接收。针对数据位 DQ 中的每一个,接收器接口 102 还包括单独的时钟恢复电路 113(时钟恢复电路 113(0)针对 DQ(0),时钟恢复电路 113(1)针对 DQ(1)等等)。

[0014] 为了帮助确保包括选通脉冲和数据信号的所接收信号被接收器接口 102 正确地采样,采样时钟信号被对齐,以便最优地采样所接收信号。例如,在一个实施例中,采样时钟信号被对齐,以便在所接收数据的有效窗口(也称为数据眼)的中心附近进行采样。这使建立和保持时间最大化,并且减小了采样误差的可能性。前向选通脉冲信号和数据位 DQ 以边沿对齐的方式被发送。接收器接口 102 中的时钟恢复电路 112 和 113 的功能是对所接收的

RxPLL 110 输出信号的相位进行调节,以使采样点接近数据眼的中心。在另一个实施例中,可以根据其他准则来调节或对齐所接收的 RxPLL 110 输出信号的相位,以提高适合于系统实施例的设计的采样精确度。

[0015] 参考时钟恢复电路 112(S),前向选通脉冲 DQS 由相位检测器 114 接收。相位检测器 114 是已知电路,例如比较器,其将所接收信号的相位和采样时钟信号的相位相比较,并确定所接收信号相对于采样时钟信号是早还是晚。如在以下进一步解释的,采样时钟信号是 RxPLL 110 的输出,之后,其与所接收信号的相位关系通过时钟相位延迟电路 120 被调节成与前向选通脉冲 DQS 的中心对齐。相位检测器 114 的输出是针对每个时钟周期的早/晚指示。早/晚指示被输入到除法器 116。除法器 116 可调节用于使得检测到的早/晚指示的数量以一定的比率减少。除法器 116 的输出是经调节的由相位计数器 118 所接收的早/晚指示的数量。之所以对早/晚指示的数量进行调节,是因为可能不希望通过调节 RxPLL 110 输出的相位来对每个早或晚指示做出反应。例如,响应于每个早/晚指示而调节 RxPLL 110 输出的相位可能导致时钟抖动。因此,早/晚指示被除以一个数,例如 32,使得 RxPLL 110 输出的相位每 32 个指示移动一次。

[0016] 相位计数器 118 的输出是信号 DQSPC,其被输入到时钟相位延迟电路 120,该时钟相位延迟电路 120 调节 RxPLL 110 输出的延迟以将 RxPLL 110 输出置于 DQS 的中心。在一个实施例中,时钟相位延迟电路 120 是相位内插器,但实施例不限于此。时钟相位延迟电路 120 输出恢复的前向时钟信号 DQSrc1k,该恢复的前向时钟信号 DQSrc1k 被反馈到相位检测器电路 114。在当前的实施例中,DQSrc1k 将被调节,直到其位于所接收 DQS 信号的中间以最大化建立/保持时间窗。这样,当时钟恢复电路 112(S) 被使能或激活时,DQSrc1k 与所接收 DQS 信号相比较以便不断地进行调节。

[0017] 根据一个实施例,时钟恢复电路 112(S) 运行在初始“训练”阶段,以便适当数量的延迟来训练电路 112(S),所述适当数量的延迟是将恢复的前向时钟信号 DQSrc1k 置于 DQS(所接收的选通脉冲信号)的数据眼的中心所需的。该数量的延迟由 DQSPC 信号表示。一旦时钟恢复电路 112(S) 被训练完并且获得了 DQSPC 信号,时钟恢复电路 112(S) 就由输入到除法器电路 116 的 DQS 冻结信号禁止。DQS 冻结信号具有使 DQSPC 信号保持在稳定值的作用。

[0018] 针对数据位 DQ 中的每一个,接收器接口 102 还包括数据位时钟恢复电路 113(0)、113(1) 等等,直到 113(N-1)。在一个实施例中,数据位时钟恢复电路 113 在时钟恢复电路 112(S) 的训练阶段由公共 DQ 冻结信号禁止。在时钟恢复电路 112(S) 被训练并被禁止之后,时钟恢复电路 113 在数据时钟恢复电路训练阶段被使能。在数据时钟恢复电路训练阶段,数据时钟恢复电路 113 中的每一个都进行操作以检测 RxPLL 110 的输出和各自所接收的数据信号的数据眼之间的相位差。在一个实施例中,在时钟恢复电路 112(S) 的训练阶段所确定的相位调节(其由 DQSPC 信号表示)被加到由每个时钟恢复电路 113 所确定的相位调节上。

[0019] 参考时钟恢复电路 133(0),数据信号 DQ(0) 由相位检测器电路 114 接收。如参考时钟恢复电路 112(S) 所解释的,相位检测器电路 114 的输出由可调节的除法器电路 116 接收。除法器电路 116 的输出由相位计数器 118 接收,相位计数器 118 将信号 DQPC(0) 输出到加法器 122。加法器 122 还接收来自选通脉冲时钟恢复电路 112(S) 的 DQSPC 信号,并且

将所接收的信号相加以产生到相位延迟电路 120 的输入。DQPC 信号是中间时钟偏移,其被加到 DQSPC 时钟偏移上以产生数据时钟偏移信号,该数据时钟偏移信号被输入到时钟相位延迟电路 120。从加法器 122 到时钟相位延迟电路 120 的输入指示了 RxPLL 110 的输出应该被延迟的量。时钟相位延迟电路 120 的输出是用于数据位 DQ(0) 的经恢复时钟信号,或 DQrc1k(0)。

[0020] 每个数据时钟恢复电路 113 都经过类似的训练阶段以得到 DQPC 信号和 DQrc1k 信号。针对不同时钟恢复电路 113 的训练阶段可以同时发生或在不同时间发生。当所有的数据时钟恢复电路 113 被训练完,它们都由 DQ 冻结信号禁止。禁止数据时钟恢复电路 113 防止了各个电路 113 的 DQPC 信号发生改变。

[0021] 在正常的系统操作中,当包含接收器接口 102 的部件在运行时,选通脉冲时钟恢复电路 112(S) 再次被使能并且自由运行。因而,电路 112(S) 将根据需要来调节 DQSPC,以使 DQSrc1k 保持在所接收的前向选通脉冲 (DQS) 的中心。另一方面,数据时钟恢复电路在正常的系统操作期间保持禁止。但是,因为每个数据时钟恢复电路都接收 DQSPC,为每个数据位 (从 DQ(0) 到 DQ(N-1)) 提供时钟的信号相位调节或偏移将被调节以跟踪任何 DQSPC 改变。数据因而“跟踪”前向选通脉冲。亦即,由于数据和前向选通脉冲各自的采样时钟一起移动,数据和前向选通脉冲也一起移动。这是有效的,因为每个数据信号和前向选通脉冲的关系 (或每个数据信号和前向选通脉冲各自的采样时钟之间的关系) 是在训练阶段建立的,并且如果它们每一个遇到的是类似的环境变化,那么该它们的关系就没有大的变化。

[0022] 图 2 是根据一个实施例的说明位去偏斜方法 200 的流程图,该位去偏斜方法可以由图 1 的系统执行。在 202,系统初始化。作为初始化过程的一部分,使能前向选通脉冲时钟恢复电路,并禁止数据时钟恢复电路,如在 204 所示。在 206,允许前向选通脉冲时钟恢复电路运行以确定 DQSPC。如先前所述,当 DQSPC 的值适于使时钟相位延迟电路将前向选通脉冲采样时钟 DQSrc1k 置于所接收的前向选通脉冲数据眼的中心时,确定 DQSPC。在一个实施例中,前向选通脉冲采样时钟 DQSrc1k 是发送 PLL、RxPLL 的延迟输出,该 RxPLL 接收参考时钟。在一个实施例中,前向选通脉冲时钟恢复电路运行预定量的时间 (例如,一毫秒),该预定量的时间被确定成足以确定 DQSPC。在另一个实施例中,附加的电路 (未示出) 确定何时确定 DQSPC。

[0023] 当确定了 DQSPC,禁止前向选通脉冲时钟恢复电路,并使能数据时钟恢复电路,如在 208 所示。在 210,运行数据时钟恢复电路以确定各个 DQPC。如先前参考图 1 所述,在该数据时钟恢复训练阶段,DQSPC 被加到每个 DQPC 相位计数器输出上。

[0024] 当确定了 DQPC,再次使能前向选通脉冲时钟恢复电路,并禁止数据时钟恢复电路,如在 212 所示。然后在 214 进行正常的系统操作。

[0025] 在不同的实施例中,在正常操作期间的时钟恢复事件可能引起一个或多个时钟恢复电路在系统运行期间完成另一训练阶段。例如,在一个实施例中,如果一个或多个 DQPC 值在预定数量的时钟周期 (例如一千个周期) 内没有改变,则将重复在 208 开始的训练过程。在另一个实施例中,包含接收器接口 102 的系统部件经历空闲时段或功率节省时段,在此期间,系统部件不做“有用的”工作。在这样的实施例中,空闲时段也是时钟恢复事件。这样的部件的一个例子是双数据率动态随机存取存储器 (DDRDRAM),对于 DDR DRAM 来说,刷新周期可以被用作时钟恢复事件。

[0026] 在不同的实施例中,通过高层系统协议来执行对所述电路的控制。可以针对特定部件指定电路的某种性状 (behavior),使得部件的用户可以通过协议来调整电路的性状。所指定的性状的例子是用于除法器电路的值、用于执行时钟恢复电路训练的预定量时间以及哪些事件 (如果有的话) 是时钟恢复事件。

[0027] 在这里公开的去偏斜 IO 方法和系统的实施例包括一种系统,该系统包括:至少一个可配置用于发送多个数据位和与多个数据位相关联的前向选通脉冲的部件;至少一个可配置用于接收多个信号的部件。在一个实施例中,所述至少一个可配置用于接收的部件包括:前向选通脉冲时钟恢复电路,可配置用于对齐前向选通脉冲采样时钟以提高采样精确度;以及至少一个数据位时钟恢复电路,可配置用于对齐数据位采样时钟以提高采样精确度,并且在所述至少一个可配置用于接收的部件的运行期间从前向选通脉冲时钟恢复电路接收信号,其使得数据位采样时钟跟踪前向选通脉冲采样时钟。

[0028] 在一个实施例中,从前向选通脉冲时钟恢复电路接收的信号包括前向选通脉冲时钟偏移,并且其中前向选通脉冲时钟偏移与中间数据位时钟偏移相结合以产生数据位时钟偏移。

[0029] 在一个实施例中,在训练阶段,所述数据位采样时钟通过产生数据位时钟偏移来对齐,所述至少一个数据位时钟恢复电路在所述训练阶段是激活的,并且其中所述数据位时钟偏移包括与来自所述前向选通脉冲时钟恢复电路的所述信号相结合的中间数据位时钟偏移,其中所述信号包括前向选通脉冲时钟偏移。

[0030] 在一个实施例中,在所述至少一个可配置用于接收的部件的运行期间,所述至少一个数据位时钟恢复电路是非激活的,所述中间数据位时钟偏移是固定的,并且所述数据位时钟偏移随所述前向选通脉冲时钟偏移而变化。

[0031] 在一个实施例中,在前向选通脉冲训练阶段,所述前向选通脉冲时钟恢复电路对齐所述前向选通脉冲采样时钟,包括产生前向选通脉冲时钟偏移;以及在数据位训练阶段,所述至少一个数据位时钟恢复电路对齐所述数据位采样时钟,所述前向选通脉冲时钟恢复电路在所述数据位训练阶段是非激活的,其中从所述前向选通脉冲时钟接收的所述信号是所述前向选通脉冲偏移,其与中间数据时钟偏移相结合以产生数据位时钟偏移。

[0032] 在一个实施例中,针对多个数据位中的每一个,所述至少一个数据位时钟恢复电路包括数据位时钟恢复电路。

[0033] 在一个实施例中,其中所述至少一个数据位时钟恢复电路包括相位检测器,该相位检测器接收相应的数据位和经恢复的数据时钟信号并且输出表示相位差的早/晚指示。

[0034] 在一个实施例中,所述至少一个数据位时钟恢复电路还包括相位计数器,该相位计数器接收早/晚指示,输出中间数据位时钟偏移。

[0035] 在一个实施例中,早/晚指示在由相位计数器接收前被除以预定的数。

[0036] 在一个实施例中,所述至少一个数据位时钟恢复电路还包括加法器,该加法器将中间数据位时钟偏移加到从前向选通脉冲时钟恢复电路接收的信号上,其中所述信号包括前向选通脉冲时钟偏移。

[0037] 在一个实施例中,所述至少一个数据位时钟恢复电路还包括时钟相位延迟电路,该时钟相位延迟电路接收加法器的输出并且产生经恢复的数据时钟信号。

[0038] 实施例还包括一种计算机可读介质,其上存储有指令,当在系统中运行时,其使得

所述系统实施一种数据传输的方法,所述方法包括:训练前向选通脉冲时钟恢复电路以确定用于提高采样精确度的前向选通脉冲采样时钟偏移;以及训练至少一个数据位时钟恢复电路以确定用于提高采样精确度的数据位采样时钟偏移,其中所述数据位采样时钟偏移包括所述前向选通脉冲采样时钟偏移和中间数据位采样时钟偏移。

[0039] 在一个实施例中,由所述系统实施的所述方法还包括:当训练所述前向选通脉冲时钟恢复电路时,使能所述前向选通脉冲时钟恢复电路并且禁止所述数据时钟恢复电路。

[0040] 在一个实施例中,由所述系统实施的所述方法还包括:当训练所述数据时钟恢复电路时,禁止所述前向选通脉冲时钟恢复电路并且使能所述数据时钟恢复电路。

[0041] 在一个实施例中,由所述系统实施的所述方法还包括:在系统运行期间,使能所述前向选通脉冲时钟恢复电路并且禁止所述数据时钟恢复电路,使得所述数据位采样时钟偏移跟踪所述前向选通脉冲采样时钟偏移。

[0042] 在一个实施例中,由所述系统实施的所述方法还包括:在所述系统的运行期间检测至少一个时钟恢复事件;以及重复训练至少一个数据位时钟恢复电路。

[0043] 在一个实施例中,所述至少一个时钟恢复事件包括:自所述至少一个数据时钟恢复电路的上一次训练起经过了预定量的时间;包括所述至少一个数据时钟恢复电路的系统部件的空闲状态;以及包括所述至少一个数据时钟恢复电路的系统部件的低功率状态。

[0044] 实施例还包括一种在系统中传输数据的方法,所述方法包括:训练前向选通脉冲时钟恢复电路以确定用于提高采样精确度的前向选通脉冲时钟偏移;训练至少一个数据位时钟恢复电路以确定用于提高采样精确度的数据位采样时钟偏移,其中所述数据位采样时钟偏移包括所述前向选通脉冲采样时钟偏移和中间数据位采样时钟偏移。

[0045] 一个实施例包括:当训练所述前向选通脉冲时钟恢复电路时,使能所述前向选通脉冲时钟恢复电路并且禁止所述数据时钟恢复电路。

[0046] 一个实施例包括:当训练所述数据时钟恢复电路时,禁止所述前向选通脉冲时钟恢复电路并且使能所述数据时钟恢复电路。

[0047] 一个实施例包括在系统运行期间,使能所述前向选通脉冲时钟恢复电路并且禁止所述数据时钟恢复电路,使得所述数据位采样时钟偏移跟踪所述前向选通脉冲采样时钟偏移。

[0048] 一个实施例包括:在所述系统的运行期间检测至少一个时钟恢复事件;以及重复训练至少一个数据位时钟恢复电路。

[0049] 在一个实施例中,所述至少一个时钟恢复事件包括:自所述至少一个数据时钟恢复电路的上一次训练起经过了预定量的时间;包括所述至少一个数据时钟恢复电路的系统部件的空闲状态;以及所述至少一个数据时钟恢复电路的低功率状态。

[0050] 实施例还包括一种发送数据的装置,包括:选通脉冲信号发送器,用于在传输介质上发送选通脉冲信号;以及至少一个数据发送器,用于在传输介质上发送至少一个数据信号,其中接收器选通脉冲采样时钟被对齐以便采样所述选通脉冲信号,并且其中至少一个接收器数据采样时钟被对齐以便跟踪所述对齐的接收器选通脉冲采样时钟。

[0051] 在一个实施例中,选通脉冲信号在传输介质上连续地被发送。

[0052] 在一个实施例中,连续地被发送的选通脉冲信号在逻辑高值和逻辑低值之间转换。

[0053] 实施例还包括一种发送数据的方法,包括:在传输介质上发送选通脉冲信号;以及在传输介质上发送至少一个数据信号,其中采样所发送的选通脉冲信号的选通脉冲采样时钟被调节一个用来对齐所述选通采样脉冲时钟的调节值,并且其中所述调节值还用来对齐对所述至少一个数据信号进行采样的至少一个数据采样时钟。

[0054] 在一个实施例中,发送选通脉冲信号包括在传输介质上连续地发送选通脉冲信号。

[0055] 在一个实施例中,连续地发送所述选通脉冲信号包括使所述连续地被发送的选通脉冲信号在逻辑高值和逻辑低值之间转换。

[0056] 实施例还包括一种用来接收数据的接收器,包括:前向选通脉冲时钟恢复电路,可配置用于对齐前向选通脉冲采样时钟;以及至少一个数据位时钟恢复电路,可配置用于对齐数据位采样时钟以及从所述前向选通脉冲时钟恢复电路接收信号,所述至少一个数据位恢复电路将所述数据位采样时钟配置成在运行期间跟踪所述前向选通脉冲采样时钟。

[0057] 在一个实施例中,从所述前向选通脉冲时钟恢复电路接收的所述信号包括前向选通脉冲时钟偏移,并且其中所述前向选通脉冲时钟偏移与中间数据位时钟偏移相结合以产生数据位时钟偏移。

[0058] 在一个实施例中,在训练阶段,所述数据位采样时钟通过产生数据位时钟偏移来对齐,所述至少一个数据位时钟恢复电路在所述训练阶段是激活的,并且其中所述数据位时钟偏移包括与来自所述前向选通脉冲时钟恢复电路的所述信号相结合的中间数据位时钟偏移,其中所述信号包括前向选通脉冲时钟偏移。

[0059] 在一个实施例中,在所述至少一个可配置用于接收的部件的运行期间,所述至少一个数据位时钟恢复电路是非激活的,所述中间数据位时钟偏移是固定的,并且所述数据位时钟偏移随所述前向选通脉冲时钟偏移而变化。

[0060] 在一个实施例中,在前向选通脉冲训练阶段,所述前向选通脉冲时钟恢复电路对齐所述前向选通脉冲采样时钟,包括产生前向选通脉冲时钟偏移;以及在数据位训练阶段,所述至少一个数据位时钟恢复电路对齐所述数据位采样时钟,所述前向选通脉冲时钟恢复电路在所述数据位训练阶段是非激活的,其中从所述前向选通脉冲时钟接收的所述信号是所述前向选通脉冲偏移,其与中间数据时钟偏移相结合以产生数据位时钟偏移。

[0061] 在一个实施例中,针对所述多个数据位中的每一个,所述至少一个数据位时钟恢复电路包括数据位时钟恢复电路。

[0062] 在一个实施例中,所述至少一个数据位时钟恢复电路包括相位检测器,所述相位检测器接收相应的数据位和经恢复的数据时钟信号并且输出表示相位差的早/晚指示。

[0063] 在一个实施例中,所述至少一个数据位时钟恢复电路还包括相位计数器,所述相位计数器接收所述早/晚指示,输出中间数据位时钟偏移。

[0064] 在一个实施例中,所述早/晚指示在由所述相位计数器接收前被除以预定的数。

[0065] 在一个实施例中,所述至少一个数据位时钟恢复电路还包括加法器,所述加法器将所述中间数据位时钟偏移加到从所述前向选通脉冲时钟恢复电路接收的所述信号上,其中所述信号包括前向选通脉冲时钟偏移。

[0066] 在一个实施例中,所述至少一个数据位时钟恢复电路还包括时钟相位延迟电路,所述时钟相位延迟电路接收所述加法器的输出并且产生所述经恢复的数据时钟信号。

[0067] 实施例还包括一种用于接收数据的方法,包括:响应于接收到前向选通脉冲,选通脉冲时钟恢复电路对齐前向选通脉冲采样时钟;以及在运行期间对齐数据位采样时钟以跟踪所述前向选通脉冲采样时钟。

[0068] 在一个实施例中,从所述前向选通脉冲时钟恢复电路接收的所述信号包括前向选通脉冲时钟偏移,并且其中所述前向选通脉冲时钟偏移与中间数据位时钟偏移相结合以产生数据位时钟偏移。

[0069] 在一个实施例中,在训练阶段,所述数据位采样时钟通过产生数据位时钟偏移来对齐,所述至少一个数据位时钟恢复电路在所述训练阶段是激活的,并且其中所述数据位时钟偏移包括与来自所述前向选通脉冲时钟恢复电路的所述信号相结合的中间数据位时钟偏移,其中所述信号包括前向选通脉冲时钟偏移。

[0070] 在一个实施例中,在所述至少一个可配置用于接收的部件的运行期间,所述至少一个数据位时钟恢复电路是非激活的,所述中间数据位时钟偏移是固定的,并且所述数据位时钟偏移随所述前向选通脉冲时钟偏移而变化。

[0071] 在一个实施例中,在前向选通脉冲训练阶段,所述前向选通脉冲时钟恢复电路对齐所述前向选通脉冲采样时钟,包括产生前向选通脉冲时钟偏移;以及在数据位训练阶段,所述至少一个数据位时钟恢复电路对齐所述数据位采样时钟,所述前向选通脉冲时钟恢复电路在所述数据位训练阶段是非激活的,其中从所述前向选通脉冲时钟接收的所述信号是所述前向选通脉冲偏移,其与中间数据时钟偏移相结合以产生数据位时钟偏移。

[0072] 在一个实施例中,针对所述多个数据位中的每一个,所述至少一个数据位时钟恢复电路包括数据位时钟恢复电路。

[0073] 在一个实施例中,所述至少一个数据位时钟恢复电路包括相位检测器,所述相位检测器接收相应的数据位和经恢复的数据时钟信号并且输出表示相位差的早/晚指示。

[0074] 在一个实施例中,所述至少一个数据位时钟恢复电路还包括相位计数器,所述相位计数器接收所述早/晚指示,输出中间数据位时钟偏移。

[0075] 在一个实施例中,所述早/晚指示在由所述相位计数器接收前被除以预定的数。

[0076] 在一个实施例中,所述至少一个数据位时钟恢复电路还包括加法器,所述加法器将所述中间数据位时钟偏移加到从所述前向选通脉冲时钟恢复电路接收到的所述信号上,其中所述信号包括前向选通脉冲时钟偏移。

[0077] 在一个实施例中,所述至少一个数据位时钟恢复电路还包括时钟相位延迟电路,所述时钟相位延迟电路接收所述加法器的输出并且产生所述经恢复的数据时钟信号。

[0078] 以上描述的本发明的方面可以作为编程到各种电路中任何一种中的功能来实现,所述电路包括但不限于可编程器件(PLD),比如现场可编程门阵列(FPGA)、可编程阵列逻辑(PAL)器件、电可编程逻辑和存储器件和基于标准单元的器件,以及专用集成电路(ASIC)和全定制集成电路。实现本发明的方面的一些其它可能性包括:带有存储器(如电可擦除可编程只读存储器(EEPROM))的微控制器、嵌入式微处理器、固件、软件等。此外,本发明的方面可以以具有基于软件的电路模拟的微处理器、分立逻辑(顺序的和组合的)、定制器件、模糊(神经)逻辑、量子器件以及任何以上器件类型的混合来实施。当然,基本的器件技术可以以各种部件类型来提供,例如金属氧化物半导体场效应晶体管(MOSFET)技术如互补金属氧化物半导体(CMOS)、双极技术如发射极耦合逻辑(ECL)、聚合物技术(例如

硅共轭聚合物和金属共轭聚合物金属结构)、数模混合技术等。

[0079] 除非上下文明确地另有要求,否则,在整个说明书和权利要求书中,词“包括”等应被解释为包含的意思而不是排除的或穷尽的意思。也就是说,是“包括但不限于”的意思。使用单数或复数的词也分别包括复数或单数的情况。另外,词“在此”、“在下文中”、“以上”、“以下”和含有类似意思的词,当用于本申请时,指的是整个本申请而不是本申请的任何特定部分。当词“或”用于两个或更多项的罗列时,该词覆盖了该词的所有以下解释:罗列中各项的任何一个、罗列中各项的全部以及罗列中各项的任何组合。

[0080] 以上对所图示的本发明的实施例的说明不是为了穷举或将本发明限制到所公开的精确形式。尽管为了说明的目的,在此描述了本发明的特定实施例和例子,但是本领域技术人员将认识到,在本发明的范围内进行各种等同修改是可能的。在此提供的本发明的教导可以应用于其它系统,而不只用于如以上所述的包括图形处理或视频处理或DDR DRAM的系统。所描述的各种操作可以在各种各样的体系结构中实施,并且可以以不同于所描述的方式分布。另外,虽然在此描述了很多配置,但是没有一个是意图用于限制或排他的。

[0081] 在另外的实施例中,在此描述的硬件或软件能力的一些或全部可以存在于打印机、照相机、电视、手持设备、移动电话或一些其它设备中。以上描述的不同实施例的部件和行为可以被组合以提供另外的实施例。可以根据以上详细描述对本发明进行这些或其它的改变。

[0082] 通常,在以下的权利要求中,所使用的术语不应被解释为将所述视频处理方法和系统限制为在说明书和权利要求中所公开的特定实施例,而应被解释为包括根据权利要求来运行以便提供视频处理的任何处理系统。因此,所述方法和系统不受所述公开的限制,相反,用于位去偏斜的方法和系统的范围将完全由权利要求所确定。

[0083] 尽管用于视频处理的方法和装置的某些方面在以下以某些权利要求的形式呈现,但是发明人以任何数量权利要求形式构思了所述方法和装置的各个方面。例如,尽管仅所述方法和装置的一个方面可以被描述为以计算机可读介质实施,但是其他方面也可以类似地以计算机可读介质实施。因此,发明人保留在提交本申请之后增加另外的权利要求的权利,以针对用于位去偏斜的方法和装置的其它方面继续实行这样的另外权利要求的形式。

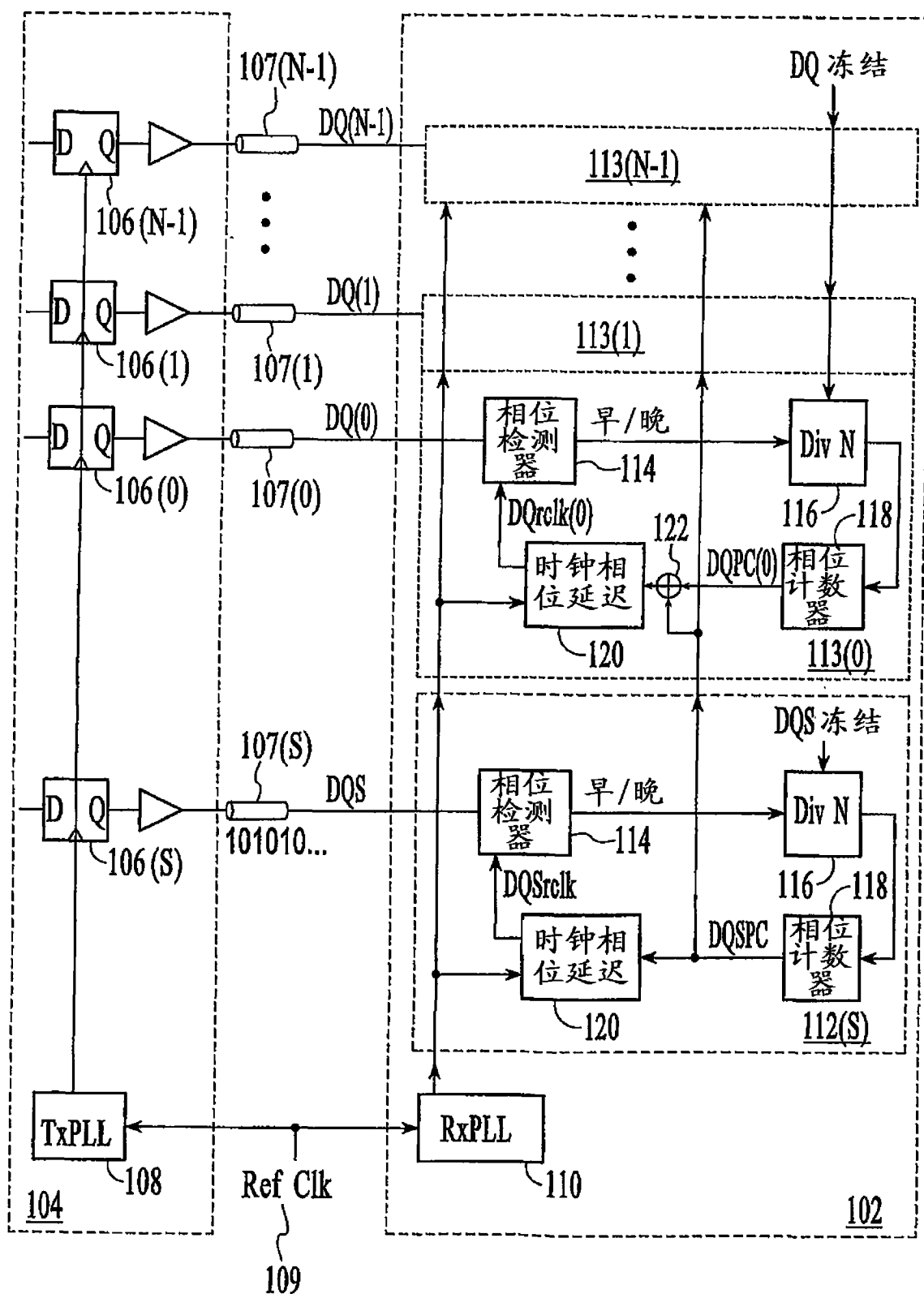


图 1

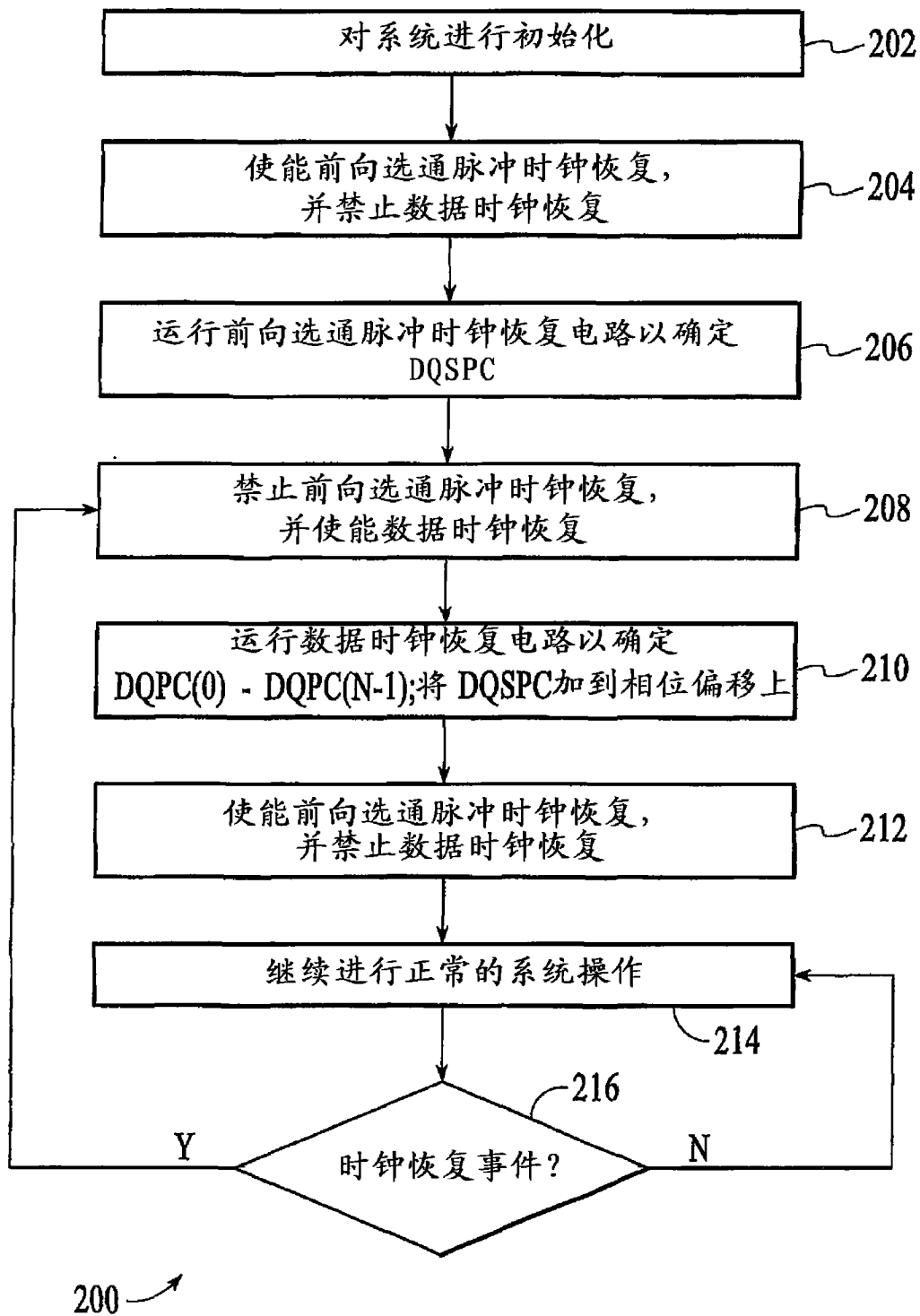


图 2