



(12) 发明专利申请

(10) 申请公布号 CN 116745902 A

(43) 申请公布日 2023. 09. 12

(21) 申请号 202180091685.3

(22) 申请日 2021.12.22

(30) 优先权数据

17/164,729 2021.02.01 US

(85) PCT国际申请进入国家阶段日

2023.07.21

(86) PCT国际申请的申请数据

PCT/US2021/064920 2021.12.22

(87) PCT国际申请的公布数据

W02022/164560 EN 2022.08.04

(71) 申请人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 卫洪博 M·徐 A·帕蒂尔

(74) 专利代理机构 北京市金杜律师事务所

11256

专利代理师 姚宗妮

(51) Int.Cl.

H01L 23/13 (2006.01)

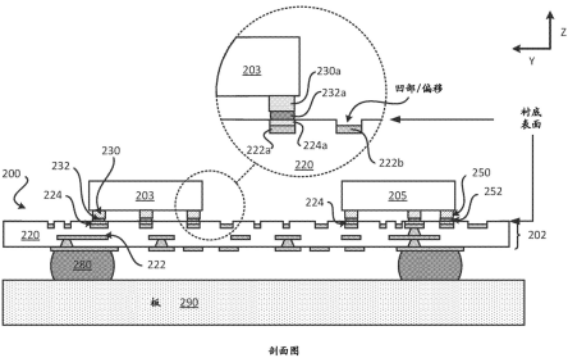
权利要求书2页 说明书11页 附图12页

(54) 发明名称

具有包括与衬底表面对准的表面互连件的衬底的封装件

(57) 摘要

一种封装件,包括衬底和集成器件。该衬底包括:至少一个电介质层;多个互连件,包括第一材料;以及多个表面互连件,耦合到该多个互连件。该多个表面互连件包括第二材料。该多个表面互连件的表面与该衬底的表面共面。该集成器件通过多个柱互连件和多个焊料互连件耦合到该衬底的该多个表面互连件。



1. 一种封装件,包括:
衬底,包括:
至少一个电介质层;
多个互连件,包括第一材料;以及
多个表面互连件,耦合到所述多个互连件,
其中所述多个表面互连件包括第二材料,并且
其中所述多个表面互连件的表面与所述衬底的表面共面,以及
集成器件,通过多个柱互连件和多个焊料互连件耦合到所述衬底的所述多个表面互连件。
2. 根据权利要求1所述的封装件,其中所述多个表面互连件包括表面焊盘互连件,所述表面焊盘互连件具有与所述衬底的所述表面共面的面向所述集成器件的表面。
3. 根据权利要求1所述的封装件,其中所述多个表面互连件位于所述多个互连件与所述集成器件之间。
4. 根据权利要求1所述的封装件,其中所述多个表面互连件没有晶种层。
5. 根据权利要求1所述的封装件,其中所述多个表面互连件包括锡(Sn)。
6. 根据权利要求1的封装件,
其中所述多个互连件包括穿过所述衬底的所述表面被嵌入所述衬底中的迹线互连件,
并且
其中所述迹线互连件邻近从所述衬底的所述表面凹陷的衬底凹部。
7. 根据权利要求6所述的封装件,其中所述衬底的所述表面是面向所述集成器件的表面。
8. 根据权利要求1的封装件,
其中所述多个互连件包括焊盘互连件,
其中所述多个表面互连件包括表面焊盘互连件,
其中所述表面焊盘互连件被耦合到所述焊盘互连件,并且
其中所述焊盘互连件的面向所述集成器件的表面与所述衬底的所述表面共面。
9. 根据权利要求8所述的封装件,其中所述集成器件通过柱互连件和焊料互连件被耦合到所述表面焊盘互连件。
10. 根据权利要求1所述的封装件,其中所述封装件被并入选自以下组成的组的设备中:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能电话、个人数字助理、固定位置终端、平板计算机、计算机、可穿戴设备、膝上型计算机、服务器、物联网(IoT)设备和机动车辆中的设备。
11. 一种衬底,包括:
至少一个电介质层;
多个互连件,包括第一材料;以及
多个表面互连件,耦合到所述多个互连件,
其中所述多个表面互连件包括第二材料,并且
其中多个表面互连件的表面与所述衬底的表面共面。
12. 根据权利要求11所述的衬底,其中所述多个表面互连件没有晶种层。

13. 根据权利要求11所述的衬底, 其中所述多个表面互连件包括锡(Sn)。
14. 根据权利要求11所述的衬底,
其中所述多个互连件包括穿过所述衬底的所述表面被嵌入所述衬底中的迹线互连件,
以及
其中所述迹线互连件邻近从所述衬底的所述表面凹陷的衬底凹部。
15. 根据权利要求14所述的衬底, 其中所述衬底的所述表面是面向所述集成器件的表面。
16. 根据权利要求11所述的衬底,
其中所述多个互连件包括焊盘互连件,
其中所述多个表面互连件包括表面焊盘互连件,
其中所述表面焊盘互连件被耦合到所述焊盘互连件, 并且
其中所述焊盘互连件的表面与所述衬底的所述表面共面。
17. 一种用于制造封装件的方法, 包括:
提供衬底, 所述衬底包括:
至少一个电介质层;
多个互连件, 包括第一材料; 以及
多个表面互连件, 耦合到所述多个互连件,
其中所述多个表面互连件包括第二材料, 并且
其中所述多个表面互连件的表面与所述衬底的表面共面, 以及
将集成器件通过多个柱互连件和多个焊料互连件耦合到所述衬底的所述多个表面互连件。
18. 根据权利要求17所述的方法, 其中所述多个表面互连件包括表面焊盘互连件, 所述表面焊盘互连件具有与所述衬底的所述表面共面的面向所述集成器件的表面。
19. 根据权利要求17所述的方法, 其中所述多个表面互连件位于所述多个互连件与所述集成器件之间。
20. 根据权利要求17所述的方法, 其中所述多个表面互连件没有晶种层。
21. 根据权利要求17所述的方法, 其中所述多个表面互连件包括锡(Sn)。
22. 根据权利要求17的方法,
其中所述多个互连件包括焊盘互连件,
其中所述多个表面互连件包括表面焊盘互连件,
其中所述表面焊盘互连件耦合到所述焊盘互连件, 并且
其中所述焊盘互连件的面向所述集成器件的表面与所述衬底的所述表面共面。
23. 根据权利要求22所述的方法, 其中所述集成器件通过柱互连件和焊料互连件被耦合到所述表面焊盘互连件。

具有包括与衬底表面对准的表面互连件的衬底的封装件

[0001] 相关申请的交叉引用

[0002] 本申请要求2021年2月1日在美国专利局提交的非临时申请序列第17/164,729号的优先权和权益,该申请的通过引用整体并入本文,如同在下文中为了所有适用的目的完全阐述了其全部内容一样。

技术领域

[0003] 各种特征涉及包括集成器件的封装件,但更特别地,涉及包括集成器件和衬底的封装件。

背景技术

[0004] 衬底包括电介质层和多个互连件。一些衬底制造工艺将产生具有表面凹部的表面互连件,其中表面互连件将被嵌入衬底中并且位于衬底的表面下方。衬底中的这些表面凹部可能导致表面互连件和耦合到衬底的集成器件之间的不良或差的焊料接合部。封装件中的不良和/或差的焊料接合部会导致封装件中的可靠性问题。存在提供更可靠的封装件的持续需求。

发明内容

[0005] 各种特征涉及包括集成器件的封装件,但更特别地,涉及包括集成器件和衬底的封装件。

[0006] 一个示例提供了包括衬底和集成器件的封装件。该衬底包括:至少一个电介质层;多个互连件,包括第一材料;以及多个表面互连件,耦合到多个互连件。多个表面互连件包括第二材料。多个表面互连件的表面与衬底的表面共面。集成器件通过多个柱互连件和多个焊料互连件耦合到衬底的多个表面互连件。

[0007] 另一示例提供了一种衬底,该衬底包括:至少一个电介质层;多个互连件,包括第一材料;以及多个表面互连件,耦合到多个互连件。多个表面互连件包括第二材料。多个表面互连件的表面与衬底的表面共面。

[0008] 另一示例提供了一种用于制造封装件的方法。该方法提供了衬底,该衬底包括:至少一个电介质层;多个互连件,包括第一材料;以及多个表面互连件,耦合到多个互连件。多个表面互连件包括第二材料。多个表面互连件的表面与衬底的表面共面。该方法通过多个柱互连件和多个焊料互连件将集成器件耦合到衬底的多个表面互连件。

附图说明

[0009] 当结合附图时,从下面阐述的详细描述中,各种特征、性质和优点将变得显而易见,在附图中,相同的附图标记贯穿全文对应地标识。

[0010] 图1图示了包括集成器件和衬底的封装件的剖面图。

[0011] 图2图示了包括衬底的封装件的剖面图,该衬底包括与衬底的表面对准的表面互

连件。

[0012] 图3图示了包括衬底的封装件的剖面图,该衬底包括与衬底的表面对准的表面互连件衬底的另一封装件。

[0013] 图4A至图4D图示了用于制造衬底的示例性序列。

[0014] 图5图示了用于制造衬底的方法的示例性流程图。

[0015] 图6A至图6B图示了用于制造包括衬底的封装件的示例性序列,该衬底包括与衬底的表面对准的表面互连件。

[0016] 图7图示了用于制造包括衬底的封装件的方法的示例性流程图,该衬底包括与衬底的表面对准的表面互连件。

[0017] 图8图示了可以集成本文所描述的裸片、电子电路、集成器件、集成无源器件(IPD)、无源组件、封装件和/或设备封装件的各种电子设备。

具体实施方式

[0018] 在以下描述中,给出了具体细节以提供对本公开的各个方面的透彻理解。然而,本领域普通技术人员应理解的是,可以在没有这些具体细节的情况下实践各方面。例如,可以在框图中示出电路以避免以不必要的细节模糊各方面。在其他情况下,为了不混淆本公开的方面,可能没有详细示出公知的电路、结构和技术。

[0019] 本公开描述了一种包括衬底和集成器件的封装件。该衬底包括:至少一个电介质层;多个互连件,包括第一材料;以及多个表面互连件,耦合到多个互连件。多个表面互连件包括第二材料。多个表面互连件的表面与衬底的表面共面。集成器件通过多个柱互连件和多个焊料互连件耦合到衬底的多个表面互连件。多个表面互连件(例如,表面焊盘互连件)有助于在集成器件和衬底之间提供可靠且牢固的焊料接合部,即使当集成器件耦合到衬底时存在集成器件的未对准。包括包含表面互连件的衬底的示例性封装件

[0020] 图1图示了包括衬底102、集成器件104和集成器件106的封装件100。衬底102包括至少一个电介质层120和多个互连件122。多个互连件122包括被嵌入在衬底102中的互连件。集成器件104通过多个柱互连件140和多个焊料互连件142耦合到衬底102。多个焊料互连件142耦合到多个互连件122。集成器件106通过多个柱互连件160和多个焊料互连件162耦合到衬底102。多个焊料互连件162耦合到多个互连件122。多个焊料互连件124耦合到衬底102。

[0021] 集成器件104与衬底102的互连件未对准。因此,多个柱互连件140的一部分和多个焊料互连件142的一部分不与衬底102的焊盘互连件(例如,122a)对准。这导致焊料互连件(例如,142)和焊盘互连件(例如,122a)之间的不良或差的焊料接合部,因为焊盘互连件和衬底102的顶部表面之间的竖直偏移拉伸了焊料互连件且/或在焊料互连件142中产生一个或多个小空隙,导致集成器件104和衬底102之间的不良或差的电连接。

[0022] 图2图示了包括具有表面互连件的衬底的封装件200的剖面图。封装件200包括衬底202、集成器件203和集成器件205。封装件200通过多个焊料互连件280耦合到板290(例如,印刷电路板(PCB))。集成器件203通过多个柱互连件230和多个焊料互连件232耦合到衬底202。集成器件205通过多个柱互连件250和多个焊料互连件252耦合到衬底202。

[0023] 衬底202可以是嵌入式迹线衬底(ETS)。衬底202包括至少一个电介质层220、多个

互连件222和多个表面互连件224。多个互连件222包括位于至少一个电介质层220中的互连件。多个互连件222包括多个互连件(例如,焊盘互连件、迹线互连件),该多个互连件穿过衬底202的表面而被嵌入并且从衬底202的表面偏移。来自多个互连件222的互连件的示例包括焊盘互连件222a和迹线互连件222b。偏移衬底202表面的多个互连件222可以具有位于多个互连件222之上的衬底凹部。互连件222b(例如,迹线互连件)是从衬底202的表面偏移并且邻近衬底凹部的互连件的示例。

[0024] 衬底202包括多个表面互连件224。多个表面互连件224耦合到多个互连件222中的一些。多个表面互连件224可以占据原本可能是衬底凹部的空间。多个表面互连件224包括与多个互连件222不同的材料。例如,多个互连件222可以包括铜,并且多个表面互连件224可以包括锡(Sn)。多个表面互连件224可以不同于晶种层(例如,铜晶种层)。多个表面互连件224可以没有晶种层。多个表面互连件224可以具有与衬底202的表面(例如,第一表面、顶部表面)对准和/或共面的表面。例如,背离衬底202的多个表面互连件224的表面与衬底202的表面(例如,第一表面、顶部表面)对准和/或共面。在另一示例中,多个表面互连件224的背离衬底202的表面与至少一个电介质层220的表面(例如,第一表面、顶部表面)对准和/或共面。背离衬底202的多个表面互连件224的表面是面向集成器件(例如,203、205)的表面。

[0025] 多个表面互连件224可以位于与来自衬底202的多个互连件222的任何互连件不同的金属层上。多个表面互连件224可以是仅有的具有与衬底202的第一表面(例如,顶部表面、面向集成器件的表面)(例如,衬底202的至少一个电介质层220的顶部表面)对准和/或共面的表面(例如,背离衬底的表面)的互连件。多个表面互连件224位于多个互连件222和至少一个集成器件(例如,203、205)之间。多个表面互连件224可以是用于表面互连的部件。

[0026] 多个表面互连件224耦合到多个互连件222中的一些,使得多个表面互连件的表面(例如,背离衬底的表面、面向集成器件的表面)共面和/或与衬底202的表面对准。多个表面互连件224有助于在集成器件和衬底之间提供可靠且牢固的焊料接合部,即使当集成器件耦合到衬底202时存在集成器件的未对准。

[0027] 图2图示了集成器件203被配置为通过多个柱互连件230和多个焊料互连件232电耦合到衬底202。特别地,集成器件203被配置为通过多个柱互连件230和多个焊料互连件232电耦合到多个表面互连件224。柱互连件230a和焊料互连件232a可以被认为是集成器件203的一部分。集成器件203耦合到柱互连件230a。柱互连件230a耦合到焊料互连件232a。焊料互连件232a耦合到表面互连件224a。表面互连件224a耦合到互连件222a。表面互连件224a位于互连件222a之上。表面互连件224a可以是表面焊盘互连件。互连件222a可以是焊盘互连件。因此,表面焊盘互连件可以耦合(例如,直接耦合)到焊盘互连件。表面互连件224a和互连件222a可以被认为是包括第一金属层和第二金属层的单个焊盘互连件,其中第二金属层包括与第一金属层的材料不同的材料。第一金属层可以由互连件222a表示并且第二金属层可以由表面互连件224a表示。第一金属层可以包括铜,并且第二金属层可以包括锡(Sn)。第一金属层可以包括晶种层。

[0028] 类似地,集成器件205被配置为通过多个柱互连件250和多个焊料互连件252电耦合到衬底202。特别地,集成器件205被配置为通过多个柱互连件250和多个焊料互连件252电耦合到多个表面互连件224。如上文针对多个柱互连件230、多个焊料互连件232、多个表面互连件224和多个互连件222所描述的,多个柱互连件250、多个焊料互连件252、多个表面

互连件224和多个互连件222可以在集成器件203和衬底202之间彼此耦合。

[0029] 集成器件(例如,203、205)可以包括裸片(例如,半导体裸管芯)。集成器件可以包括射频(RF)设备、无源器件、滤波器、电容器、电感器、天线、发射器、接收器、基于砷化镓(GaAs)的集成器件、表面声波(SAW)滤波器、体声波(BAW)滤波器、发光二极管(LED)集成器件、基于硅(Si)的集成器件、基于碳化硅(SiC)的集成器件、存储器、功率管理处理器(例如,功率管理集成电路)、应用处理器和/或其组合。集成器件(例如,203、205)可以包括至少一个电子电路(例如,第一电子电路、第二电子电路等)。

[0030] 应注意的是,不同的封装件可以具有不同数目的集成器件。集成器件的位置是示例性的。集成器件可以耦合到衬底的不同部分。

[0031] 图3图示了包括封装件300的剖面图,封装件300包括表面互连件衬底302。封装件300类似于封装件200。如此,封装件300包括与封装件200相同或类似的组件。衬底302类似于衬底202。因此,衬底302包括与衬底202相同或类似的组件。衬底302可以是嵌入式迹线衬底(ETS)。衬底302包括至少一个电介质层220、多个互连件222、多个表面互连件224、阻焊层320和包封层310。

[0032] 阻焊层320耦合到衬底302的底部表面。包封层310可以形成并且位于衬底302的第一表面(例如,顶部表面)和(一个或多个)集成器件(例如,203、205)之上。包封层310可以包括成型物、树脂和/或环氧树脂。可以使用压缩成型工艺、传送成型工艺或液体成型工艺来形成包封层310。包封层310可以是光可蚀刻的。包封层310可以是用于包封的部件。

[0033] 用于制造衬底的示例性序列

[0034] 在一些实现方式中,制造衬底包括若干工艺。图4A至图4D图示了用于提供或制造包括表面互连件的衬底的示例性序列。在一些实现方式中,可以使用图4A至图4D的序列来提供或制造图2的衬底202。然而,图4A至图4D的工艺可以用于制造本公开中描述的任何衬底。

[0035] 应注意的是,为了简化和/或阐明用于提供或制造衬底的序列,图4A至图4D的序列可以组合一个或多个阶段。在一些实现方式中,可以改变或修改工艺的顺序。在一些实现方式中,在不脱离本公开的范围的情况下,可以替换或替代一个或多个工艺。

[0036] 如图4A中所示,阶段1图示了在提供具有金属层402的载体400之后的状态。金属层402可以包括晶种层。金属层402可以包括铜。

[0037] 阶段2图示了在提供光致抗蚀剂层403之后的状态。光致抗蚀剂层403可以被形成在金属层402之上。层压工艺和/或沉积工艺可以用于形成光致抗蚀剂层403。

[0038] 阶段3图示了光致抗蚀剂层403的选择性蚀刻之后的状态,这导致光致抗蚀剂层403中的开口404。

[0039] 阶段4图示了通过光致抗蚀剂层403的开口404形成金属层405之后的状态。如本公开中所描述的,金属层405可以形成多个表面互连件224。金属层405可以包括锡(Sn)。然而,(一种或多种)不同的材料可以用于金属层405。可以使用电镀工艺来形成金属层405。金属层405可以不同于晶种层(例如,铜晶种层)。

[0040] 阶段5图示了在金属层405(例如,表面互连件224)和金属层402之上形成互连件406之后的状态。可以使用电镀工艺来形成互连件。互连件406可以包括铜。互连件406可以包括与金属层405和/或表面互连件224不同的材料)。

[0041] 如图4B中所示,阶段6图示了移除光致抗蚀剂层403后暴露金属层402的状态。

[0042] 阶段7图示了在金属层402、金属层405和载体400之上形成电介质层420之后的状态。电介质层420可以包括聚酰亚胺。然而,不同的实现方式可以针对电介质层使用不同的材料。沉积工艺和/或层压工艺可以用于形成电介质层420。

[0043] 阶段8图示了在电介质层420中形成多个腔410之后的状态。可以使用蚀刻工艺(例如,光蚀刻工艺)或激光工艺来形成多个腔410。多个腔410可以暴露互连件406的部分。

[0044] 阶段9图示了在电介质层420中和之上形成互连件412之后的状态。互连件412可以形成在多个腔410中。可以形成的互连件的示例包括过孔、焊盘和/或迹线。可以使用电镀工艺来形成互连件。互连件412可以包括铜。

[0045] 阶段10图示了在电介质层420之上形成另一电介质层422之后的状态。电介质层422可以是与电介质层420相同的材料。然而,不同的实现方式可以针对电介质层使用不同的材料。沉积工艺和/或层压工艺可以用于形成电介质层422。

[0046] 如图4C中所示,阶段11图示了在电介质层422中形成多个腔430之后的状态。可以使用蚀刻工艺或激光工艺来形成腔430。多个腔430可以暴露互连件412的部分。

[0047] 阶段12图示了在电介质层422中和之上形成互连件414之后的状态。互连件414可以被形成在多个腔430中。可以形成的互连件的示例包括过孔、焊盘和/或迹线。可以使用电镀工艺来形成互连件。互连件414可以包括铜。

[0048] 阶段13图示了在电介质层422之上形成另一电介质层424之后的状态。电介质层424可以是与电介质层420相同的材料。然而,不同的实现方式可以针对电介质层使用不同的材料。沉积工艺和/或层压工艺可以用于形成电介质层424。

[0049] 阶段14图示了在电介质层424中形成多个腔440之后的状态。可以使用蚀刻工艺或激光工艺来形成腔440。多个腔440可以暴露互连件414的部分。

[0050] 如图4D中所示,阶段15图示了在电介质层424中和电介质层424之上形成互连件416之后的状态。互连件416可以形成在多个腔440中。可以形成的互连件的示例包括过孔、焊盘和/或迹线。可以使用电镀工艺来形成互连件。互连件416可以包括铜。互连件416可以形成在电介质层424的表面之上。因此,互连件416可以形成在衬底202的表面之上。

[0051] 互连件406、412、414和/或416中的一些或全部可以限定衬底202的多个互连件222。电介质层420、422、424可以由至少一个电介质层220表示。

[0052] 阶段16图示了在载体400从电介质层220解耦(例如,移除、磨掉)并且金属层402(例如,晶种层)从电介质层220移除(例如,蚀刻)之后留下衬底202的状态。至少一个阻焊层(例如,320)可以形成在衬底202的表面(例如,顶部表面、底部表面)之上。多个表面互连件224耦合到多个互连件222中的一些,使得多个表面互连件224的表面(例如,背离衬底的表面、面向集成器件的表面)共面和/或与衬底202的表面(例如,至少一个电介质层220的表面)对准。在一些实现方式中,直接耦合到互连件222的表面互连件224可以被认为是包括第一金属层和第二金属层的单个焊盘互连件,其中第二金属层包括与第一金属层的材料不同的材料。第一金属层可以由多个互连件222中的互连件表示,并且第二金属层可以由表面互连件224表示。第一金属层可以包括铜,并且第二金属层可以包括锡(Sn)。第一金属层可以包括晶种层。如阶段16中所示,来自多个互连件222的一些互连件可以穿过衬底202的表面而被嵌入,并且可以存在来自多个互连件222的一些互连件之上和/或邻近来自多个互连件

的一些互连件的衬底凹部。

[0053] 不同的实现方式可以使用不同的工艺来形成(一个或多个)金属层。在一些实现方式中,化学气相沉积(CVD)工艺和/或物理气相沉积(PVD)工艺用于形成(一个或多个)金属层。例如,可以使用溅射工艺、喷涂工艺和/或电镀工艺来形成(一个或多个)金属层。用于制造衬底的方法的示例性流程图

[0054] 在一些实现方式中,制造衬底包括若干工艺。图5图示了用于提供或制造包括表面互连件的衬底的方法500的示例性流程图。在一些实现方式中,图5的方法500可以用于提供或制造图2的衬底202。然而,方法500可以用于制造本公开中描述的任何衬底。

[0055] 应注意的是,图5的方法可以组合一个或多个工艺以便简化和/或阐明用于提供或制造衬底的方法。在一些实现方式中,可以改变或修改工艺的顺序。

[0056] 该方法提供(在505)具有金属层402的载体400。金属层402可以包括晶种层(例如,铜晶种层)。不同的实现方式可以使用不同的材料作为载体。图10A的阶段1图示并且描述了在提供具有金属层的载体之后的状态的示例。

[0057] 该方法形成并且蚀刻(在510)光致抗蚀剂层403。光致抗蚀剂层403可以层压和/或沉积在载体400的金属层402之上。图10A的阶段2至阶段3图示并且描述了形成和蚀刻光致抗蚀剂层。

[0058] 该方法在金属层402之上形成(在515)多个表面互连件224。表面互连件224可以由金属层405(例如,表面金属层)形成。金属层405可以包括与金属层402不同的材料。金属层405可以包括锡(Sn)。金属层405可以不同于晶种层(例如,铜晶种层)。可以使用电镀工艺来形成金属层405。图4A的阶段4图示并且描述了形成表面互连件的示例。

[0059] 该方法在金属层405和金属层402之上形成(在520)互连件406。可以使用电镀工艺来形成互连件406。图4A的阶段5图示并且描述了形成互连件的示例。

[0060] 该方法移除(在525)光致抗蚀剂层403。图4B的阶段6图示并且描述了移除光致抗蚀剂层的示例。

[0061] 该方法在载体400和金属层402之上形成(在530)电介质层420。电介质层420可以包括聚酰亚胺。形成电介质层还可以包括在电介质层420中形成多个腔(例如,410)。可以使用蚀刻工艺(例如,光蚀刻)或激光工艺来形成多个腔。图4B的阶段7至图8图示并且描述了形成电介质层和电介质层中的腔的示例。

[0062] 该方法在电介质层中和之上形成(在535)互连件。例如,互连件412可以形成在电介质层420中和之上。可以使用电镀工艺来形成互连件。形成互连件可以包括在电介质层之上和/或中提供图案化的金属层。图4B的阶段9图示并且描述了在电介质层中和之上形成互连件的示例。

[0063] 该方法在电介质层420和互连件之上形成(在540)电介质层422。电介质层422可以包括聚酰亚胺。形成电介质层还可以包括在电介质层422中形成多个腔(例如,430)。可以使用蚀刻工艺或激光工艺来形成多个腔。图4B至图4C的阶段10至图11图示了形成电介质层和电介质层中的腔。

[0064] 该方法在电介质层中和/或之上形成(在545)互连件。例如,可以形成互连件414。可以使用电镀工艺来形成互连件。形成互连件可以包括在电介质层之上和电介质层中提供图案化的金属层。图4C的阶段12图示并且描述了在电介质层中和之上形成互连件的示例。

[0065] 该方法可以形成(一个或多个)附加电介质层和附加互连件,如540和545处所描述的。图4C至图4D的阶段13至图15图示并且描述了在电介质层中和之上形成附加互连件的示例。

[0066] 一旦形成了所有的(一个或多个)电介质层和另外的互连件,该方法可以将载体(例如,400)从电介质层420解耦(例如,移除、磨掉),并且移除(例如,蚀刻掉)金属层402(例如,晶种层),留下衬底202。图4D的阶段16图示并且描述了将载体从衬底解耦的示例。在一些实现方式中,该方法可以在衬底之上(例如,在衬底的第一表面之上,在衬底的第二表面之上)形成至少一个阻焊层(例如,320)。

[0067] 不同的实现方式可以使用不同的工艺来形成(一个或多个)金属层。在一些实现方式中,化学气相沉积(CVD)工艺和/或物理气相沉积(PVD)工艺用于形成(一个或多个)金属层。例如,可以使用溅射工艺、喷涂工艺和/或电镀工艺来形成(一个或多个)金属层。用于制造包括具有表面互连件的衬底的封装件的示例性序列

[0068] 图6A至图6B图示了用于提供或制造包括包含表面互连件的衬底的封装件的示例性序列。在一些实现方式中,图6A至图6B的序列可以用于提供或制造包括包含图3的表面互连件的衬底的封装件300,或本公开中描述的任何封装件。

[0069] 应注意的是,图6A至图6B的序列可以组合一个或多个阶段以便简化和/或阐明用于提供或制造封装件的序列。在一些实现方式中,可以改变或修改工艺的顺序。在一些实现方式中,在不脱离本公开的范围的情况下,可以替换或替代一个或多个工艺。图6A至图6B的序列可以用于一次制造一个封装件或若干封装件(作为晶片的一部分)。

[0070] 如图6A中所示,阶段1图示了提供衬底302之后的状态。衬底302可以由供应商供应或制造。可以使用类似于图4A至图4D中示出的工艺的工艺来制造衬底302。然而,不同的实现方式可以使用不同的工艺来制造衬底302。可以用于制造衬底302的工艺示例包括半加成工艺(SAP)和改进的半加成工艺(mSAP)。衬底302包括至少一个电介质层220、多个互连件222、多个表面互连件224和阻焊层320。衬底302可以是嵌入式迹线衬底(ETS)。

[0071] 多个表面互连件224可以具有与衬底302的表面(例如,第一表面、顶部表面)对准和/或共面的表面。例如,背离衬底302的多个表面互连件224的表面与衬底302的表面(例如,第一表面、顶部表面)对准和/或共面。在另一示例中,多个表面互连件224的背离衬底302的表面与至少一个电介质层220的表面(例如,第一表面、顶部表面)对准和/或共面。多个表面互连件224可以包括与多个互连件222的材料不同的材料。多个互连件224可以不同于晶种层。

[0072] 阶段2图示了集成器件203和集成器件205耦合到衬底302的第一表面(例如,顶部表面)之后的状态。集成器件203可以通过多个柱互连件230和多个焊料互连件232耦合到衬底302。多个焊料互连件232可以耦合到多个表面互连件224。集成器件205可以通过多个柱互连件250和多个焊料互连件252耦合到衬底302。多个焊料互连件252可以耦合到多个表面互连件224。回流焊工艺可以用于将集成器件耦合到衬底302。

[0073] 如图6B中所示,阶段3图示了在衬底302和集成器件(例如,203、205)之上提供包封层310之后的状态。包封层310可以包封(一个或多个)集成器件和/或组件。例如,包封层310可以形成在衬底302和(一个或多个)集成器件(例如,203、205)之上。包封层310可以包括成型物、树脂和/或环氧树脂。可以使用压缩成型工艺、传送成型工艺或液体成型工艺来形成

包封层310。包封层310可以是光可蚀刻的。包封层310可以是用于包封的部件。

[0074] 阶段4图示了多个焊料互连件280耦合到衬底302的第二表面(例如,底部表面)之后的状态。多个焊料互连件280可以耦合到来自衬底302的多个互连件222的互连件。回流焊工艺可以用于将多个焊料互连件280耦合到衬底302。阶段4可以图示封装件300。本公开中描述的封装件(例如,200、300)可以一次制造一个,或可以作为一个或多个晶片的一部分一起制造并且然后单片化成单独的封装件。

[0075] 用于制造包括包含表面互连件的衬底的封装件的方法的示例性流程图

[0076] 在一些实现方式中,制造包括包含表面互连件的衬底的封装件包括若干工艺。图7图示了用于提供或制造包括包含表面互连件衬底的封装件的方法700的示例性流程图。在一些实现方式中,图7的方法700可以用于提供或制造本公开中描述的图3的封装件300。然而,方法700可以用于提供或制造本公开中描述的任何封装件。

[0077] 应注意的是,图7的方法可以组合一个或多个工艺以便简化和/或阐明用于提供或制造包括包含表面互连件的衬底的封装件的方法。在一些实现方式中,可以改变或修改工艺的顺序。

[0078] 该方法提供(在705)具有表面互连件的衬底(例如,202、302)。衬底302可以由供应商供应或制造。衬底302包括第一表面和第二表面。衬底302包括至少一个电介质层220、多个互连件222、多个表面互连件224和阻焊层320。多个表面互连件224可以耦合到多个互连件222。多个表面互连件224可以位于多个互连件222之上。不同的实现方式可以提供不同的衬底。可以使用类似于图4A至图4D中示出的工艺的工艺来制造衬底302。然而,不同的实现方式可以使用不同的工艺来制造衬底302。图6A的阶段1图示并且描述了提供具有表面互连件的衬底的示例。

[0079] 该方法将多个集成器件(例如,203、205)耦合(在710)到衬底(例如,302)的第一表面。例如,集成器件203可以通过多个柱互连件230和多个焊料互连件232耦合到衬底202。多个焊料互连件232可以耦合到衬底302的多个互连件224。在另一示例中,集成器件205可以通过多个柱互连件250和多个焊料互连件252耦合到衬底302。多个焊料互连件252可以耦合到衬底302的多个表面互连件224。回流焊工艺可以用于将集成器件耦合到衬底。图6A的阶段2图示并且描述了耦合到衬底的集成器件的示例。

[0080] 该方法在衬底(例如,302)之上形成(在715)包封层(例如,310)。包封层310可以包括成型物、树脂和/或环氧树脂。可以使用压缩成型工艺、传送成型工艺或液体成型工艺来形成包封层310。包封层310可以是光可蚀刻的。包封层310可以是用于包封的部件。包封层可以包封(一个或多个)集成器件和/或组件。图6B的阶段3图示并且描述了在衬底之上形成包封层的示例。

[0081] 该方法将多个焊料互连件(例如,280)耦合(在720处)到衬底(例如,302)的第二表面。多个焊料互连件可以耦合到衬底的多个互连件222。图6B的阶段4图示并且描述了将焊料互连件耦合到衬底的示例。

[0082] 示例性电子设备

[0083] 图8图示了可以与前述器件、集成器件、集成电路(IC)封装件、集成电路(IC)器件、半导体器件、集成电路、裸片、中介层、封装件、层叠封装件(PoP)、系统级封装件(SiP)或片上系统(SoC)中的任一者集成的各种电子设备。例如,移动电话设备802、膝上型计算机设备

804、固定位置终端设备806、可穿戴设备808或机动车辆810可以包括如本文中所描述的设备800。设备800可以是例如本文所描述的任何设备和/或集成电路(IC)封装件。图8所示的设备802、804、806和808以及车辆810仅是示例性的。其他电子设备也可以以设备800为特征,包括但不限于包括以下的一组设备(例如,电子设备):移动设备、手持个人通信系统(PCS)单元、诸如个人数字助理的便携式数据单元、全球定位系统(GPS)使能设备、导航设备、机顶盒、音乐播放器、视频播放器、娱乐单元、诸如仪表读取装备、通信设备、智能电话、平板计算机、计算机、可穿戴设备(例如,手表、眼镜)的固定位置数据单元,物联网(IoT)设备、服务器、路由器、在机动车辆(例如,自主车辆)中实现的电子设备,或存储或检索数据或计算机指令的任何其他设备,或它们的任意组合。

[0084] 图2至图3、图4A至图4D、图5、图6A至图6B和/或图7至图8中所示的一个或多个组件、工艺、特征和/或功能可以重新布置和/或组合成单个组件、工艺、特征或功能,或在若干组件、工艺或功能中实施。在不脱离本公开的情况下,还可以添加另外的元件、组件、工艺和/或功能。还应注意的是,图2至图3、图4A至图4D、图5、图6A至图6B和/或图7至图8及其在本公开中的对应描述不限于裸片和/或IC。在一些实现中,图2至图3、图4A至图4D、图5、图6A至图6B和/或图7至图8及其对应的描述可以用于制造、创建、提供和/或生产设备和/或集成器件。在一些实现方式中,设备可以包括裸片、集成器件、集成无源器件(IPD)、裸片封装件、集成电路(IC)器件、器件封装件、集成电路(IC)封装件、晶片、半导体设备、层叠封装(PoP)器件、散热器件和/或中介层。

[0085] 应注意的是,本公开中的附图可以表示各种部分、组件、对象、器件、封装件、集成器件、集成电路和/或晶体管的实际表示和/或概念表示。在一些情况下,附图可能不是按比例绘制的。在一些情况下,为了清楚起见,可能没有示出所有的组件和/或部分。在一些情况下,附图中各种部分和/或组件的位置、地点、尺寸和/或形状可以是示例性的。在一些实现方式中,图中的各种组件和/或部分可以是可选的。

[0086] 本文使用的词语“示例”意指“用作示例、实例或说明”。本文中描述为“示例性”的任何实现方式或方面不一定被解释为比本公开的其他方面更优选或更有利。同样,术语“方面”不要求本公开的所有方面都包括所讨论的特征、优点或操作模式。本文使用的术语“耦合”是指两个对象之间的直接或间接耦合(例如,机械耦合)。例如,如果对象A物理接触对象B,并且对象B接触对象C,那么对象A和C仍然可以被认为是彼此耦合的——即使它们没有直接物理接触彼此。术语“电耦合”可以表示两个对象直接或间接耦合在一起,使得电流(例如,信号、电源、接地)可以在两个对象之间流动。电耦合的两个对象可能有或可能没有电流在该两个对象之间流动。术语“第一”、“第二”、“第三”和“第四”(和/或第四以上的任何术语)的使用是任意的。所描述的任何组件可以是第一组件、第二组件、第三组件或第四组件。例如,被称为第二组件的组件可以是第一组件、第二组件、第三组件或第四组件。术语“包封”表示该对象可以部分包封或完全包封另一对象。术语“顶部”和“底部”是任意的。位于顶部的组件可以位于位于底部的组件之上。顶部组件可以被认为是底部组件,并且反之亦然。如本公开中所描述的,位于第二组件“之上”的第一组件可以表示第一组件位于第二组件的上方或下方,这取决于底部或顶部是如何任意限定的。在另一示例中,第一组件可以位于第二组件的第一表面之上(例如,上方),并且第三组件可以位于第二组件的第二表面之上(例如,下方),其中第二表面与第一表面相对。还应注意的是,本申请中在一个组件位于另一组

件之上的上下文中使用的术语“之上”可以用于表示在另一组件之上和/或在另一组件中(例如,在组件的表面上或被嵌入在组件中)的组件。因此,例如,第一组件在第二组件之上可以表示(1)第一组件在第二组件之上,但是不直接接触第二组件,(2)第一组件在第二组件之上(例如,在其表面之上),和/或(3)第一组件在第二组件中(例如,嵌入其中)。位于第二组件“中”的第一组件可以部分位于第二组件中或完全位于第二组件中。本公开中使用的术语“约‘值X’”或“大约值X”是指在‘值X’的10%以内。例如,约为1或大约为1的值表示0.9至1.1范围内的值。

[0087] 在一些实现方式中,互连件是器件或封装件中的允许或促进两点、元件和/或组件之间的电连接的元件或组件。在一些实现方式中,互连件可以包括迹线、过孔、焊盘、柱、金属化层、重分布层和/或凸块下金属化(UBM)层/互连件。在一些实现方式中,互连件可以包括导电材料,该导电材料可以被配置为提供用于信号(例如,数据信号)、接地和/或电源的电路路径。互连件可以包括一个以上的元件或部件。互连件可以由一个或多个互连件来限定。互连件可以包括一个或多个金属层。互连件可以是电路的一部分。不同的实现方式可以使用不同的工艺和/或序列来形成互连件。在一些实现方式中,可以使用化学气相沉积(CVD)工艺、物理气相沉积(PVD)工艺、溅射工艺、喷涂工艺和/或电镀工艺来形成互连件。

[0088] 此外,应注意的是,本文所包含的各种公开可以被描述为被描绘为流程图、流程图、结构图或框图的工艺。尽管流程图可以将操作描述为序列工艺,但是许多操作可以并行或同时执行。此外,可以重新布置操作的顺序。当工艺的操作完成时,该工艺终止。

[0089] 在下文中,描述了进一步的示例以便于对本发明的理解。

[0090] 方面1:一种封装件,包括衬底和集成器件。该衬底包括:至少一个电介质层;多个互连件,包括第一材料;以及多个表面互连件,耦合到多个互连件。多个表面互连件包括第二材料,并且多个表面互连件的表面与衬底的表面共面。集成器件通过多个柱互连件和多个焊料互连件被耦合到衬底的多个表面互连件。

[0091] 方面2:根据方面1所述的封装件,其中该多个表面互连件包括表面焊盘互连件,该表面焊盘互连件与该衬底的表面共面的具有面向该集成器件的表面。

[0092] 方面3:根据方面1至2所述的封装件,其中多个表面互连件位于多个互连件与集成器件之间。

[0093] 方面4:根据方面1至3所述的封装件,其中该多个表面互连件没有晶种层。

[0094] 方面5:根据方面1至4的封装件,其中该多个表面互连件包括锡(Sn)。

[0095] 方面6:根据方面1至5所述的封装件,其中该多个互连件包括穿过该衬底的表面被嵌入该衬底中的迹线互连件,并且其中该迹线互连件邻近从衬底的表面凹陷的衬底凹部。

[0096] 方面7:根据方面6所述的封装件,其中衬底的表面是面向集成器件的表面。

[0097] 方面8:根据方面1至7所述的封装件,其中该多个互连件包括焊盘互连件,其中该多个表面互连件包括表面焊盘互连件,其中该表面焊盘互连件被耦合到该焊盘互连件,并且其中该焊盘互连件的面向该集成器件的表面与该衬底的表面共面。

[0098] 方面9:根据方面8所述的封装件,其中集成器件通过柱互连件和焊料互连件被耦合到表面焊盘互连件。

[0099] 方面10:根据方面1至9所述的封装件,其中该封装件被并入到选自以下组成的组的设备中:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电

话、智能电话、个人数字助理、固定位置终端、平板计算机、计算机、可穿戴设备、膝上型计算机、服务器、物联网 (IoT) 设备和机动车辆中的设备。

[0100] 方面11:一种衬底,包括:至少一个电介质层;多个互连件,包括第一材料;以及多个表面互连件,耦合到多个互连件。多个表面互连件包括第二材料。多个表面互连件的表面与衬底的表面共面。

[0101] 方面12:根据方面11所述的衬底,其中该多个表面互连件没有晶种层。

[0102] 方面13:根据方面11至12所述的衬底,其中该多个表面互连件包括锡 (Sn)。

[0103] 方面14:根据方面11至13所述的衬底,其中该多个互连件包括穿过该衬底的表面被嵌入该衬底中的迹线互连件,并且其中该迹线互连件邻近从衬底的表面凹陷的衬底凹部。

[0104] 方面15:根据方面14所述的衬底,其中该衬底的表面是面向集成器件的表面。

[0105] 方面16:根据方面11至15所述的衬底,其中该多个互连件包括焊盘互连件,其中该多个表面互连件包括表面焊盘互连件,其中该表面焊盘互连件被耦合到该焊盘互连件,并且其中该焊盘互连件的表面与该衬底的表面共面。

[0106] 方面17:一种用于制造封装件的方法。该方法提供衬底,该衬底包括:至少一个电介质层;多个互连件,包括第一材料;以及多个表面互连件,耦合到多个互连件;以及多个表面互连件,耦合到多个互连件,其中多个表面互连件包括第二材料,并且其中多个表面互连件的表面与衬底的表面共面。该方法将集成器件通过多个柱互连件和多个焊料互连件耦合到衬底的多个表面互连件。

[0107] 方面18:根据方面17所述的方法,其中该多个表面互连件包括表面焊盘互连件,该表面焊盘互连件具有与该衬底的表面共面的面向该集成器件的表面。

[0108] 方面19:根据方面17至18所述的方法,其中该多个表面互连件位于多个互连件与集成器件之间。

[0109] 方面20:根据方面17至19所述的方法,其中该多个表面互连件没有晶种层。

[0110] 方面21:根据方面17至20所述的方法,其中该多个表面互连件包括锡 (Sn)。

[0111] 方面22:根据方面17至21所述的方法,其中该多个互连件包括焊盘互连件,其中该多个表面互连件包括表面焊盘互连件,其中该表面焊盘互连件耦合到该焊盘互连件,并且其中该焊盘互连件的面向该集成器件的表面与该衬底的表面共面。

[0112] 方面23:根据方面22所述的方法,其中集成器件通过柱互连件和焊料互连件被耦合到表面焊盘互连件。

[0113] 在不脱离本公开的情况下,本文所描述的本公开的各种特征可以在不同的系统中实现。应注意的是,本公开的前述方面仅是示例并且不应被解释为限制本公开。本公开各方面的描述旨在是说明性的,而不是限制权利要求的范围。因此,本教导可以容易地应用于其他类型的装置,并且许多替代、修改和变型对于本领域技术人员来说将是显而易见的。

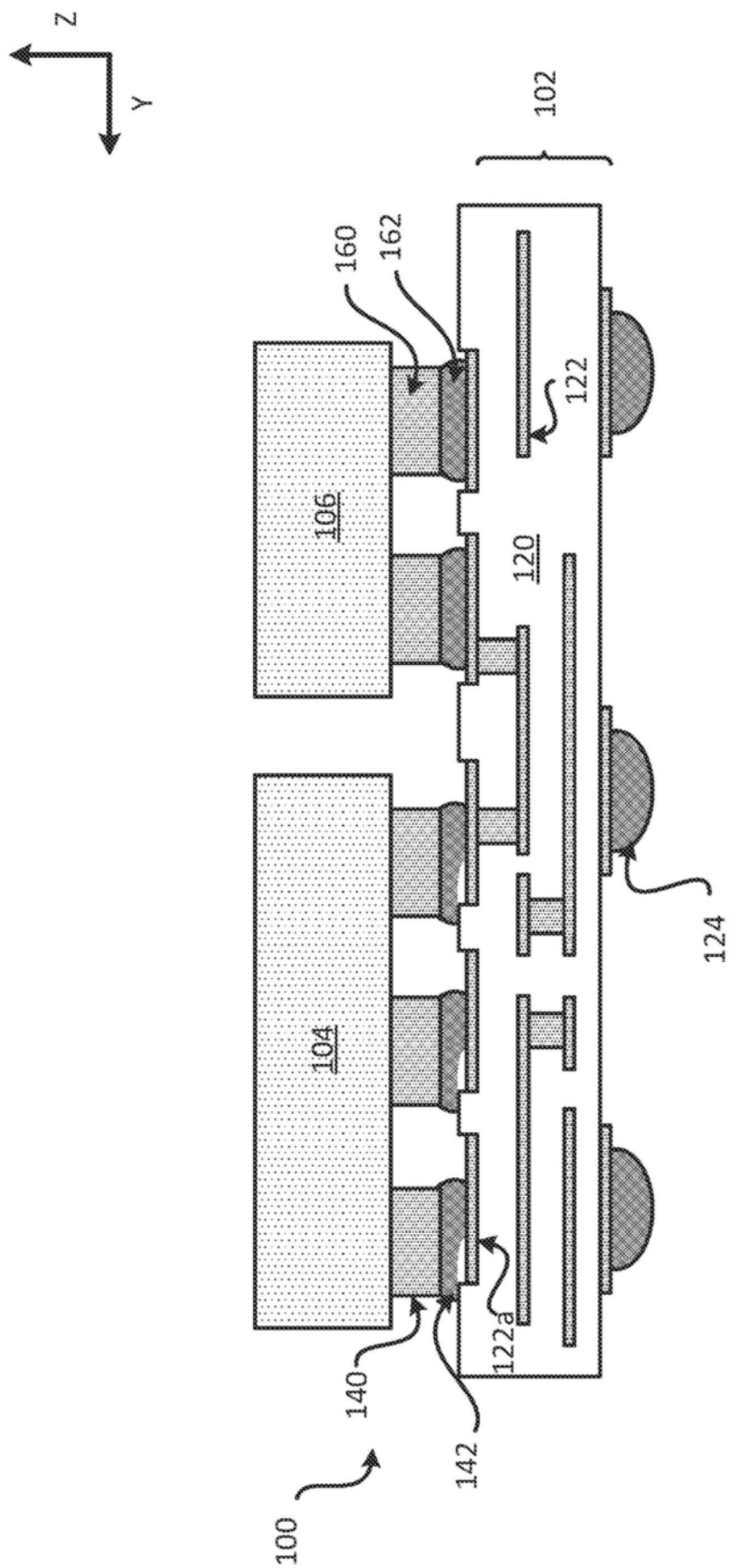


图1

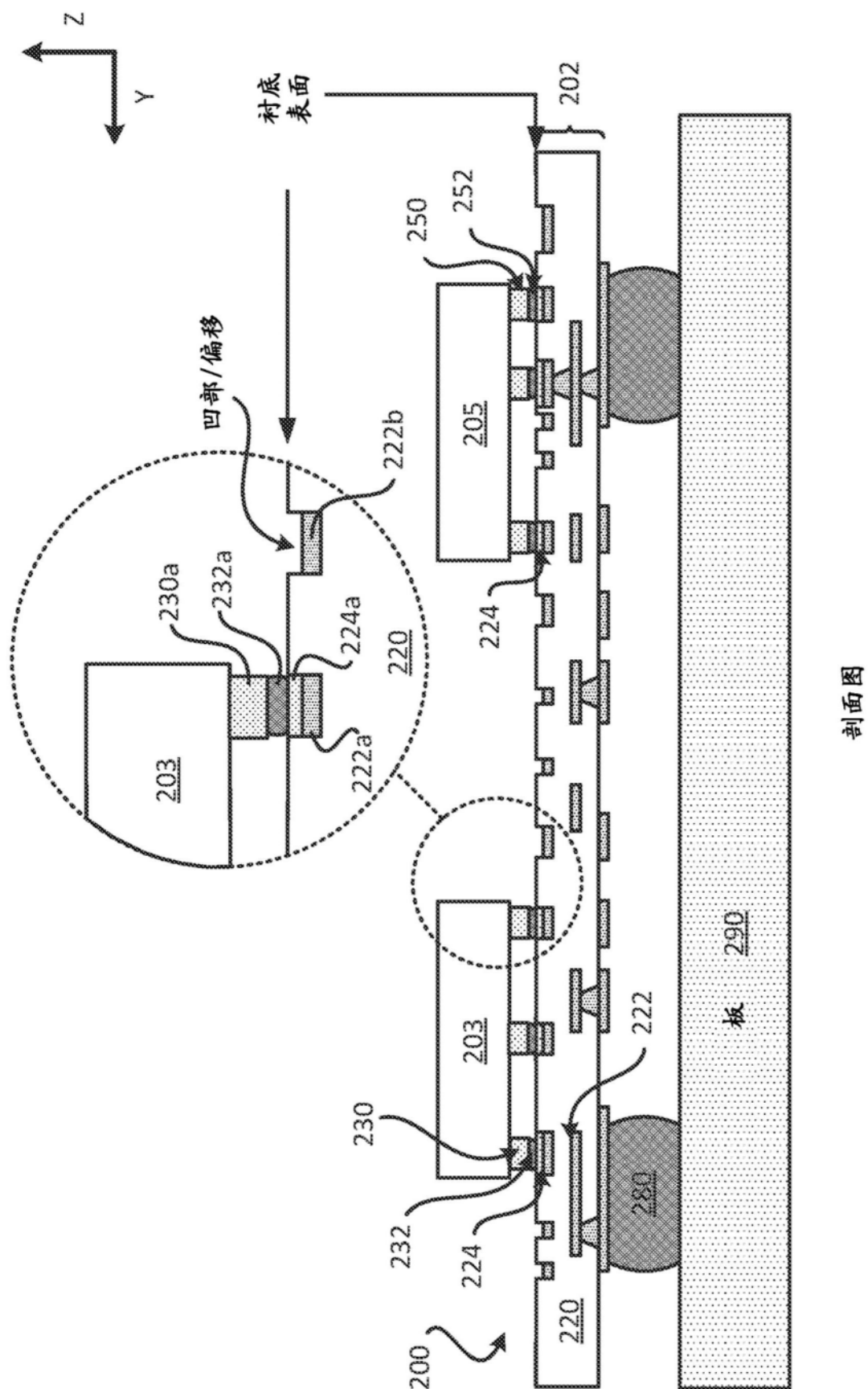
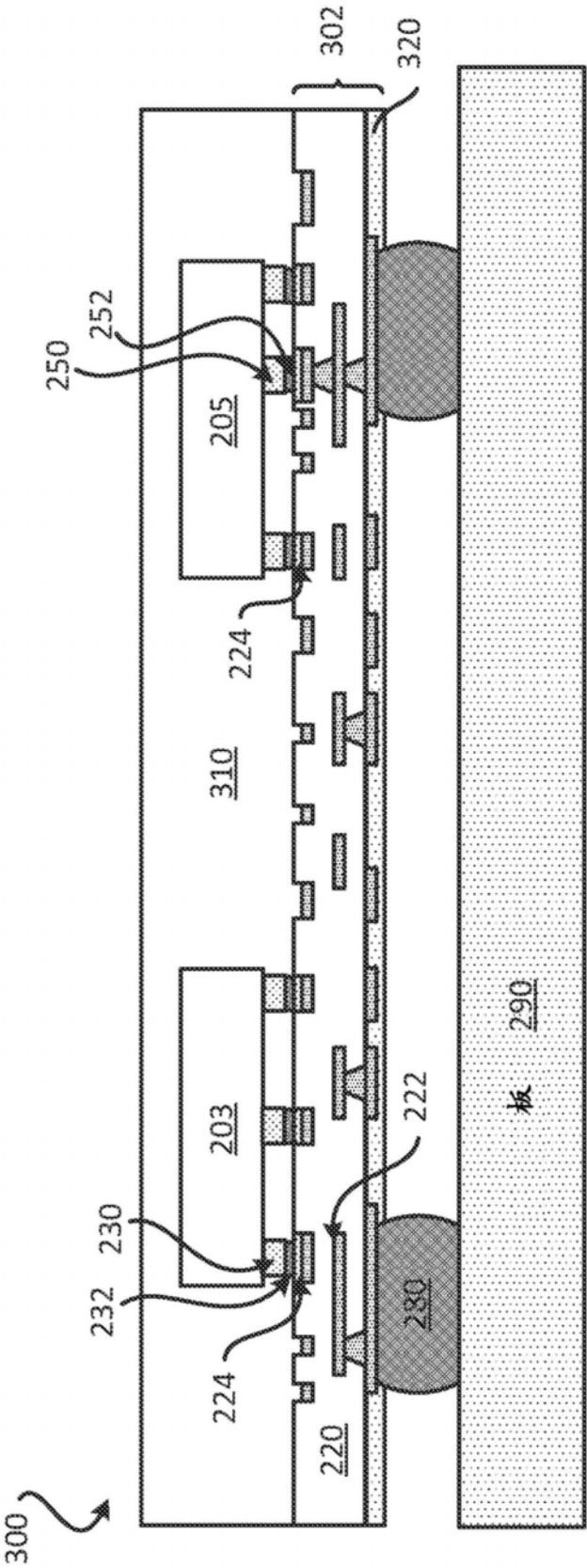
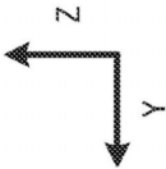


图2



剖面图

图3

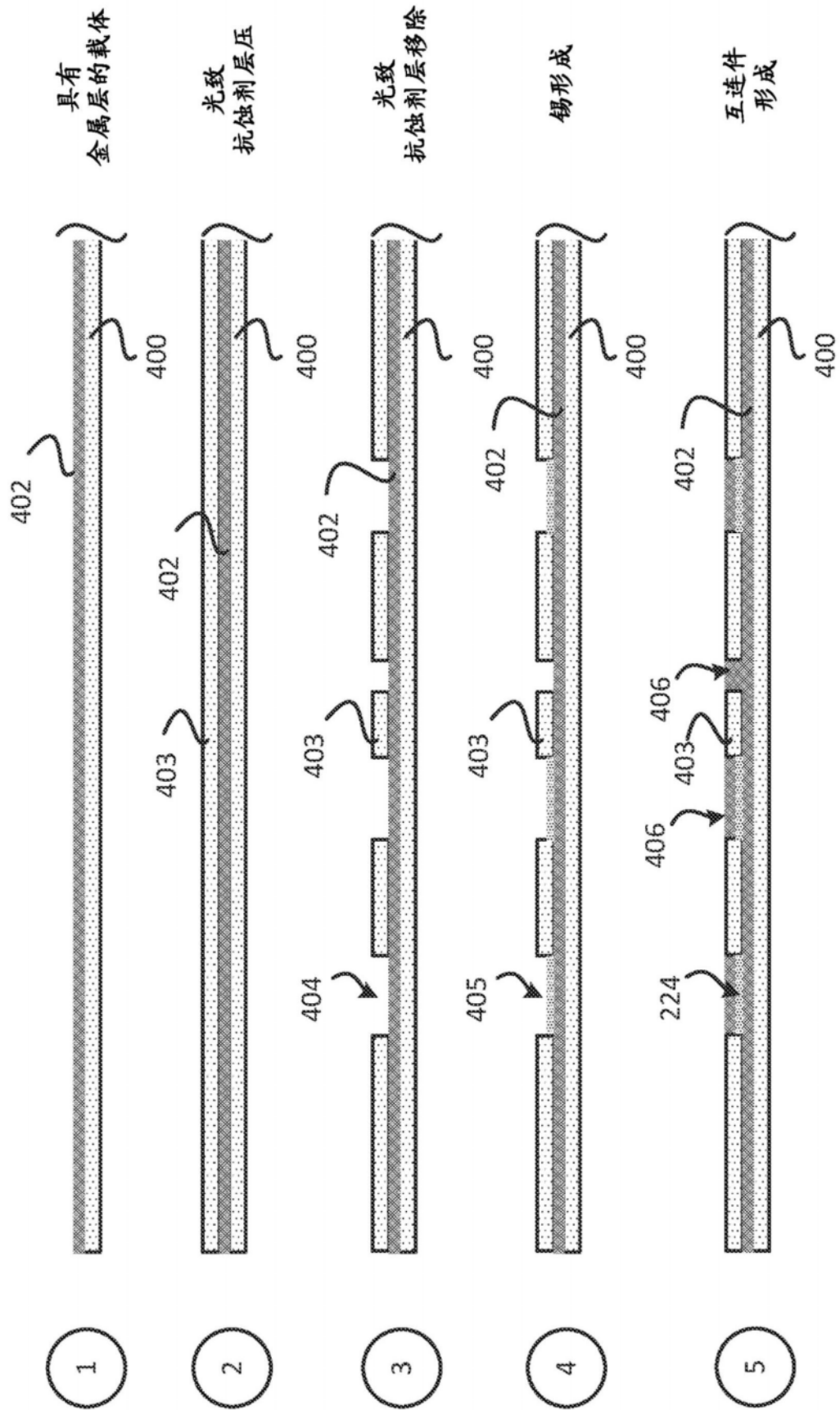


图4A

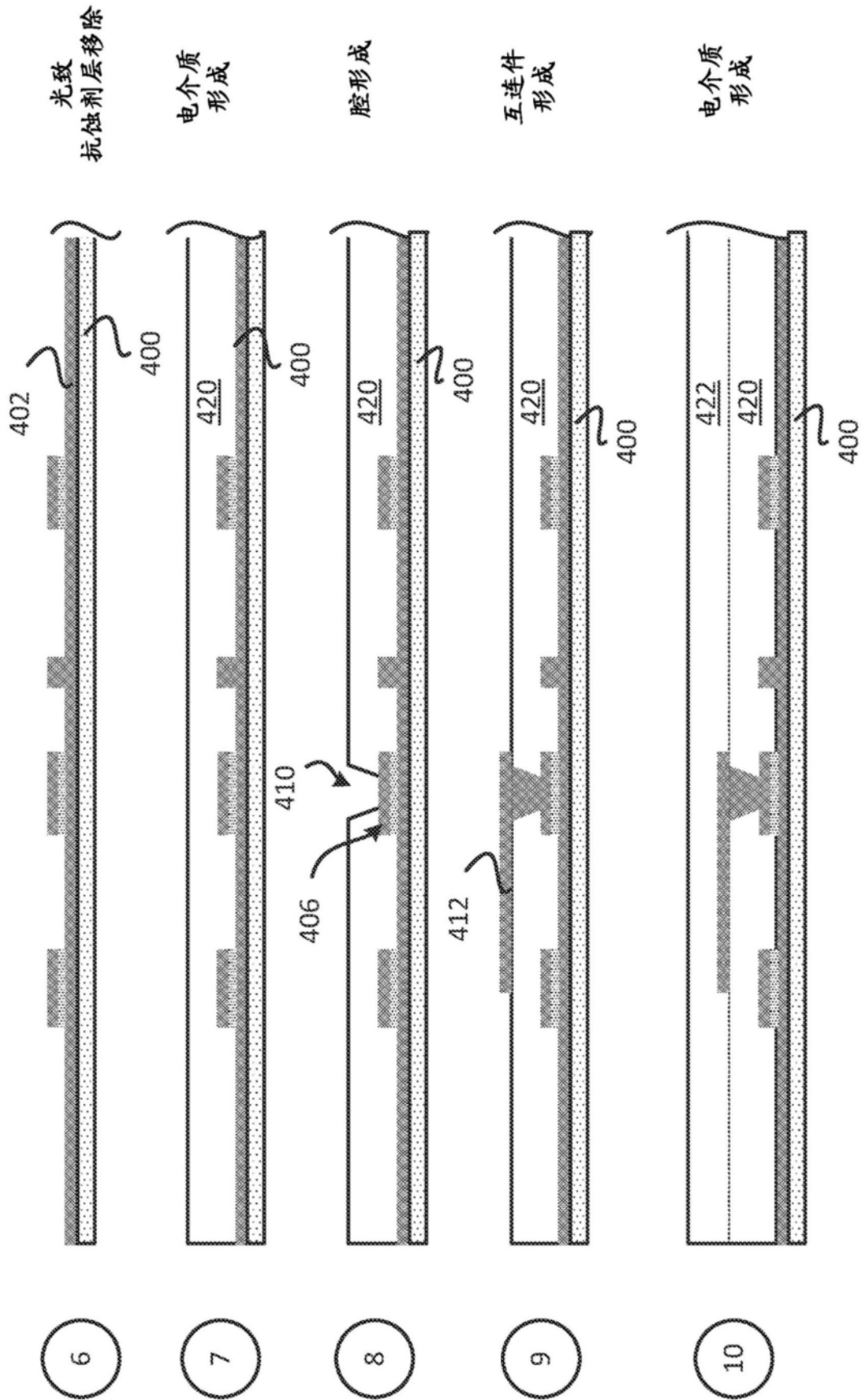


图4B

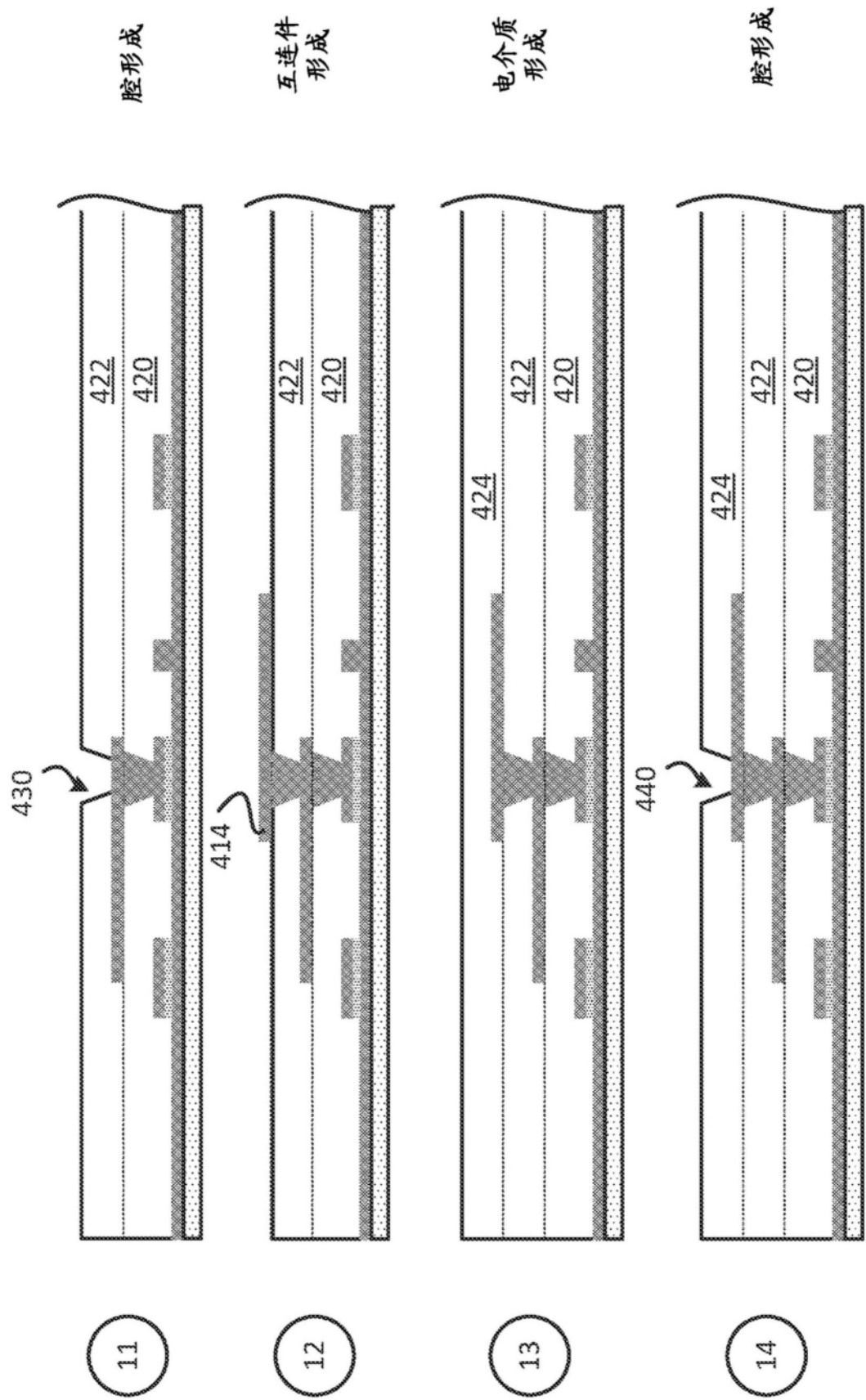


图4C

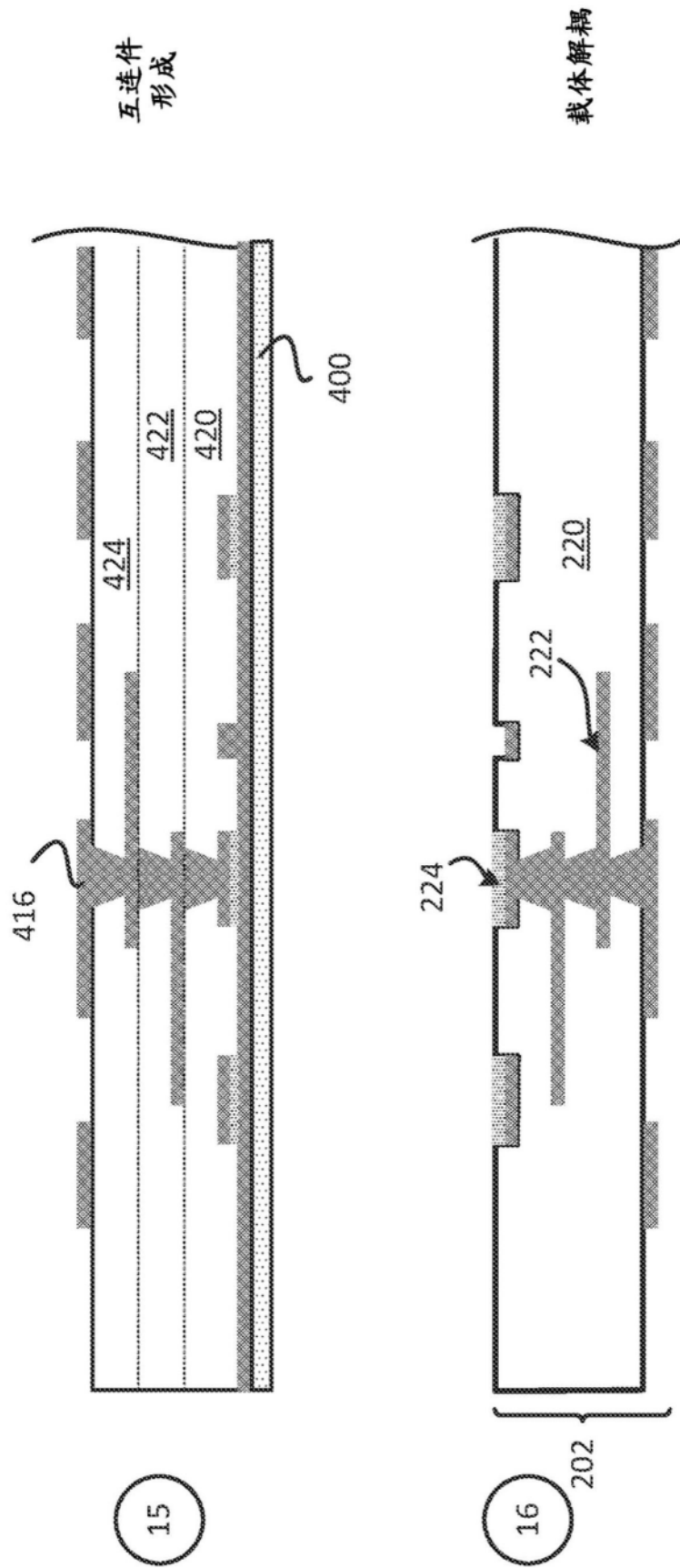


图4D

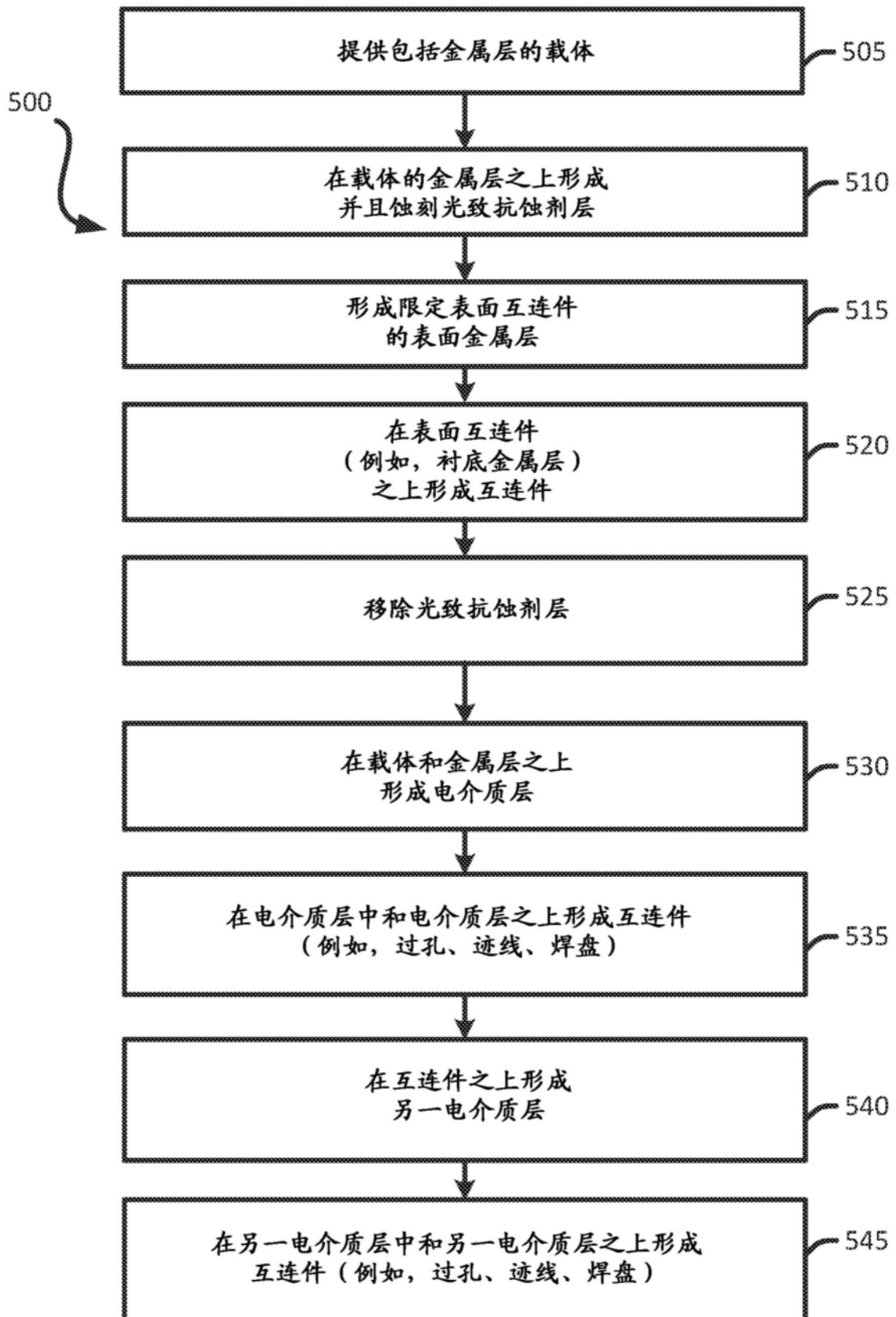


图5

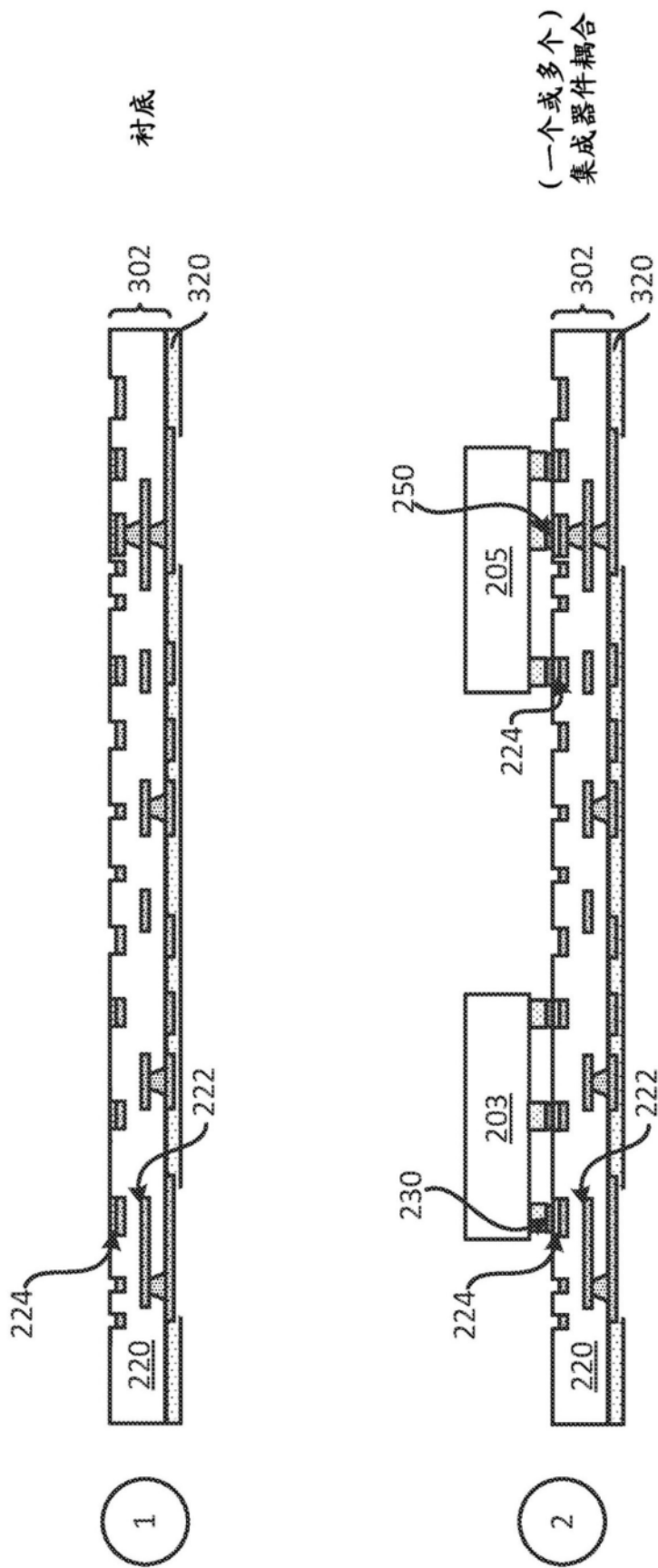


图6A

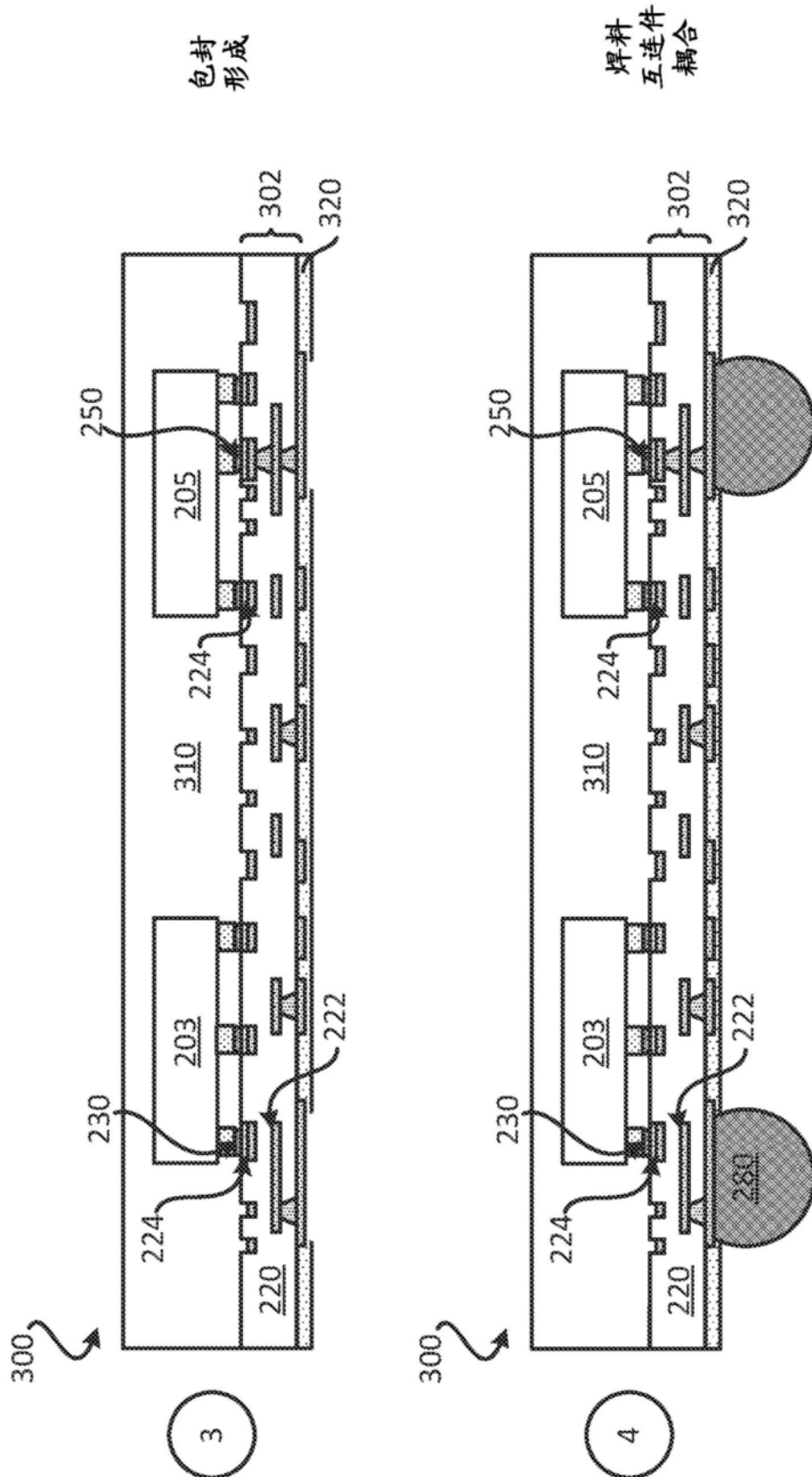


图6B

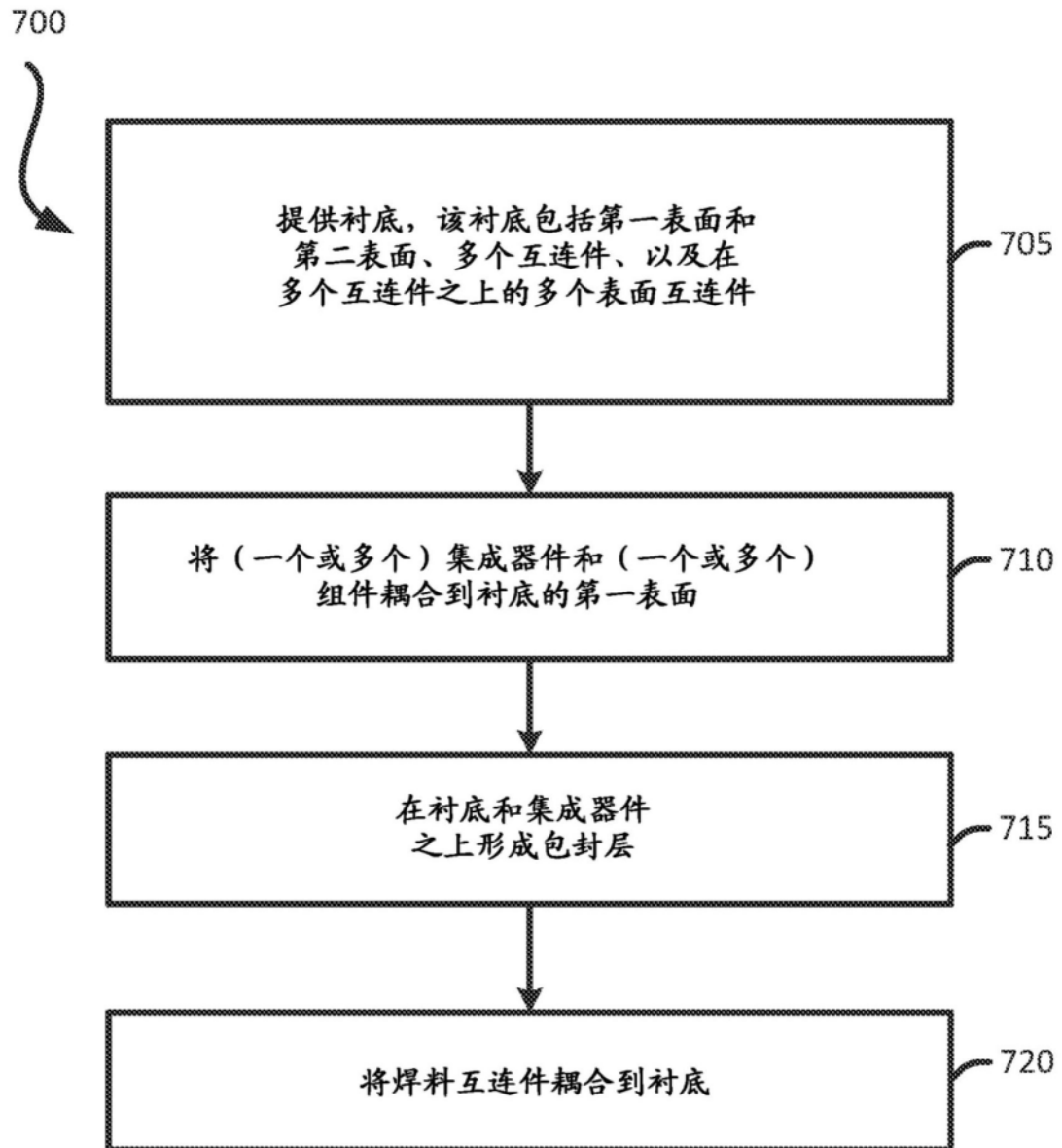


图7

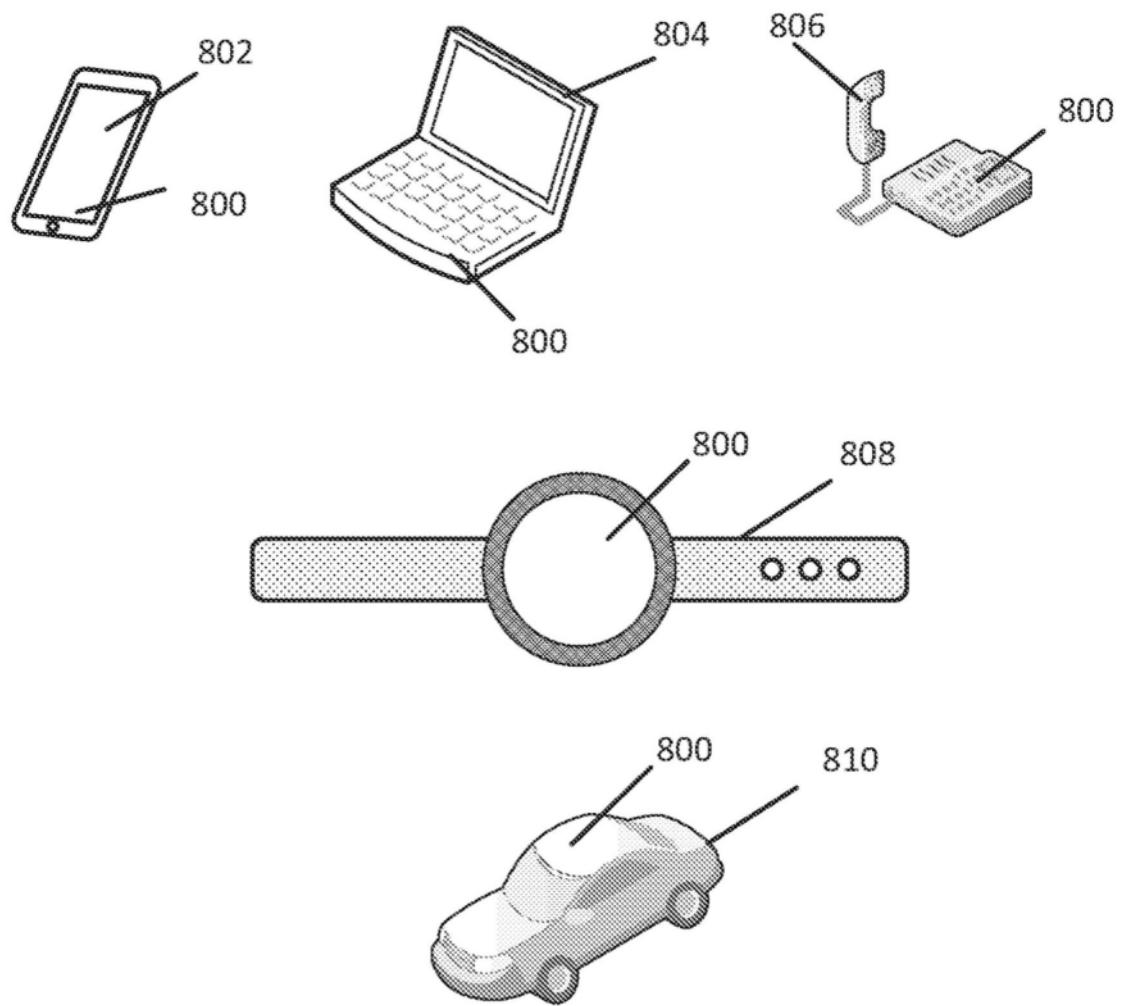


图8