

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

H01L 27/108 (2006.01)

H01L 21/8234 (2006.01)

H01L 21/8242 (2006.01)

专利号 ZL 200310124490.8

[45] 授权公告日 2007 年 8 月 8 日

[11] 授权公告号 CN 1331233C

[22] 申请日 2003.12.29

[21] 申请号 200310124490.8

[30] 优先权

[32] 2002.12.27 [33] JP [31] 2002-381382

[73] 专利权人 株式会社东芝

地址 日本东京

[72] 发明人 胜又龙太 青地英明

[56] 参考文献

JP2001-345433A 2001.12.14

US552111A 1996.5.28

JP7-58214A 1995.3.3

US6198151B1 2001.3.6

US5519236A 1996.5.21

审查员 陈 源

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 包于俊

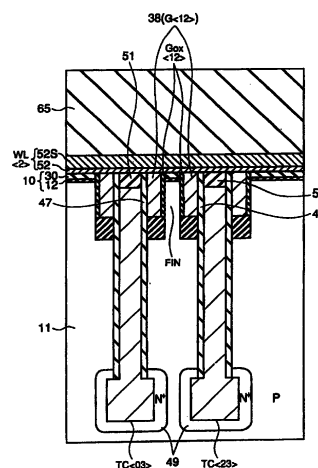
权利要求书 4 页 说明书 14 页 附图 27 页

[54] 发明名称

半导体器件、动态型半导体存储器件及半导体器件的制法

[57] 摘要

本发明提供能够简化结构，且能提高可靠性的半导体器件。其特征在于，在半导体基板的主表面形成凸起形状的半导体层 FIN，在该半导体层形成沟道区、源极区及漏极区。在上述半导体层的相对的侧壁的沟道区表面，形成一对第一绝缘膜 $G_{ox} < 12 >$ ，同时形成一对栅极电极 $G < 12 >$ 。在上述半导体层的源极区附近设置沟槽电容 TC < 03 > 及 TC < 23 >，将一个电极与源极区电气连接。然后，在上述一对栅极电极的形成上述第一绝缘膜的表面的相反面的表面与上述沟槽电容相邻配置的沟槽电容之间，设置膜厚比第一绝缘膜要厚的第二绝缘膜 47。由于栅极电极是被栅极绝缘膜 G_{ox} 与膜厚较厚的环状绝缘膜 47 夹住的结构，因此能够提高可靠性。



1.一种半导体器件，其特征在于，具有存储单元，
所述存储单元具有
在半导体基板的主表面形成的凸起形状的半导体层、
在所述半导体层的一部分形成的第一导电型的沟道区、
夹住所述沟道区的两侧，在所述半导体层中形成的第二导电型的源极区及漏极区、

在所述半导体层的相对的侧壁的所述沟道区表面形成的一对第一绝缘膜、
在所述半导体层的相对的侧壁的所述一对第一绝缘膜表面形成的一对栅极电极、

在所述半导体层的所述源极区附近设置的一个电极与所述源极区电气连接的沟槽电容、

以及在所述一对栅极电极的形成所述第一绝缘膜的表面的反面侧的表面与所述沟槽电容相邻配置的沟槽电容之间形成的、膜厚比所述第一绝缘膜要厚的第二绝缘膜。

2.如权利要求1所述的半导体器件，其特征在于，还具有在所述半导体层的上表面及侧壁的至少一方设置的将所述源极区与所述沟槽电容的一个电极电气连接的带状电极。

3.如权利要求1所述的半导体器件，其特征在于，还具有在所述沟槽电容的上部形成的第四绝缘膜、在所述半导体层上形成的并被所述一对栅极夹住的第五绝缘膜、在所述第四绝缘膜上形成的并与所述一对栅极电气连接的第一字线、以及在所述第五绝缘膜上形成的并与所述一对栅极电气连接的第二字线。

4.如权利要求3所述的半导体器件，其特征在于，所述第四绝缘膜的膜厚比所述第一绝缘膜的膜厚要厚。

5.如权利要求1所述的半导体器件，其特征在于，还具有与所述漏极区通过连接部电气连接的位线、以及设置在相邻的沟槽电容之间并实质上是与所述连接部相同结构的分离部分。

6.如权利要求1所述的半导体器件，其特征在于，所述带状电极是多晶硅层与硅化物层的层叠结构。

7.如权利要求1至权利要求6的任一项所述的半导体器件，其特征在于，还具有在所述半导体层的上部设置的由蚀刻速度比所述一对栅极电极材料更慢

的材料形成的第六绝缘膜。

8.一种动态型半导体存储器件，具有包含叶片栅极型双栅极晶体管、以及一个电极与该双栅极晶体管电气连接的沟槽电容的多个存储单元，各存储单元中的双栅极晶体管与沟槽电容分别每隔一对相邻配置，具有将这些一对双栅极晶体管及一对沟槽电容相互交错状配置的存储单元阵列，所述动态型半导体存储器件中，其特征在于，

所述双栅极晶体管具有

在半导体基板的主表面形成的柱体、

在所述柱体的一部分形成的第一导电型的沟道区、

夹住所述沟道区的两侧，在所述柱体中形成的第二导体型的源极区及漏极区、

在所述柱体的相对的侧壁的所述沟道区表面形成的一对第一绝缘膜、

以及在所述柱体的相对的侧壁的所述一对第一绝缘膜表面形成的一对栅极电极，

所述沟槽电容具有

在所述柱体的所述源极区附近设置的与所述源极区电气连接的第一电极、

在与所述第一电极之间隔着电容绝缘膜而相对配置的第二电极、

以及分别在所述一对栅极电极的形成所述第一绝缘膜的表面的反面侧的表面与所述沟槽电容相邻配置的一对沟槽电容之间形成的、膜厚比所述第一绝缘膜要厚的一对第二绝缘膜。

9.如权利要求 8 所述的动态型半导体存储器件，其特征在于，还具有在所述柱体的上表面及侧壁的至少一方设置的将所述源极区与所述沟槽电容的第一电极电气连接的带状电极。

10.如权利要求 8 所述的动态型半导体存储器件，其特征在于，还具有在所述沟槽电容的上部形成的第四绝缘膜、在所述柱体上形成的并被所述一对栅极电极夹住的第五绝缘膜、在所述第四绝缘膜上形成并沿第一方向配置的与各存储单元中的所述一对栅极电极分别电气连接的第一字线、以及在所述第五绝缘膜上形成并沿第一方向配置的与各存储单元中的所述一对栅极电极电气连接的第二字线。

11.如权利要求 10 所述的动态型半导体存储器件，其特征在于，所述第四绝缘膜的膜厚比所述第一绝缘膜的膜厚要厚。

12.如权利要求 8 所述的动态型半导体存储器件，其特征在于，还具有沿与

所述第一方向垂直的第二方向配置的并与各存储单元中的所述漏极区分别通过连接部电气连接的位线、以及设置在相邻的沟槽电容之间并实质上是与所述连接部相同结构的分离部分。

13.如权利要求 8 所述的动态型半导体存储器件，其特征在于，所述带状电极是多晶硅层与硅化物层的层叠结构。

14.如权利要求 8 至权利要求 13 的任一项所述的动态型半导体存储器件，其特征在于，还具有在所述柱体的上部设置的由蚀刻速度比所述一对栅极电极材料更慢的材料形成的第六绝缘膜。

15.一种半导体器件的制造方法，其特征在于，具有

将半导体基板的主表面进行凹陷蚀刻而形成凸起形状的多个半导体层的工序、

在所述凹陷区埋入第一绝缘膜的工序、

将所述第一绝缘膜的上部进行蚀刻除去并在所述凹陷区的下部保留所述第一绝缘膜的工序、

在所述凹陷区的所述第一绝缘膜上埋入第一栅极电极材料的工序、

从所述凹陷区的一部分遍及所述半导体层的一部分及夹住该半导体层的相邻的凹陷区进行蚀刻而形成深沟槽的工序、

在所述深沟槽的侧壁形成环状绝缘膜的工序、

在所述深沟槽内形成沟槽电容的工序、

在所述沟槽电容的上部埋入第二绝缘膜的工序、

淀积所述第二栅极电极材料的工序、以及

同时将所述第一栅极电极材料及所述第二电极材料形成图形而形成栅极电极的工序。

16.如权利要求 15 所述的半导体器件的制造方法，其特征在于，在形成所述栅极电极的工序之后，还具有将所述栅极电极作为掩模向所述半导体基板的主表面区域中注入杂质并形成源极区及漏极区的工序。

17.如权利要求 16 所述的半导体器件的制造方法，其特征在于，在形成源极区及漏极区的工序之后，还具有将前述源极区的一部分的所述半导体基板及所述深沟槽的上部蚀刻而除去的工序。

18.如权利要求 17 所述的半导体器件的制造方法，其特征在于，还具有在所述除去的所述源极区及所述深沟槽的上部、相邻的深沟槽之间的区域及所述漏极区上分别形成多晶硅层的工序。

19.如权利要求 18 所述的半导体器件的制造方法，其特征在于，还具有利用硅化物工序在所述多晶硅层的表面形成硅化物层、同时在所述除去的所述源极区及所述深沟槽的上部形成带状电极、在相邻的深沟槽之间的区域形成分离层及在所述漏极区上形成连接部的工序。

半导体器件、动态型半导体存储器件及半导体器件的制法

技术领域

本发明涉及半导体器件、动态型半导体存储器件及半导体器件的制造方法，例如适用于能够高速写入的通用 DRAM 及混装 DRAM，特别适合于加工尺寸在 $0.1\mu\text{m}$ 以下（含 $0.1\mu\text{m}$ ）的微小 DRAM。

背景技术

近年来，随着 DRAM 高集成化、高密度化倾向的加速，单元尺寸越来越缩小，单元晶体管的栅极长度也加快缩小。在 DRAM（Dynamic Random Access Memory，动态随机存储器）单元中，为了维持电容器中存储的电荷的保持特性（记忆特性），必须控制单元晶体管的亚阈值电流、结漏电流及 GIDL（Gate Induced Drain Leakage，栅极感应漏极洩漏）电流。特别是为了抑制亚阈值电流，必须将单元晶体管的阈值电压设定得较高。

另外，必须通过增大沟道用量（dose）来补偿因伴随栅极长度的缩小而产生的短沟道效应所引起的阈值电压降低，其结果却助长了结漏电流的增大及电子的沟道迁移率的降低。前者引起 DRAM 的记忆特性的恶化，后者在形成高速动作的 DRAM 时阻止改善单元晶体管的驱动力。特别是随着单元尺寸的缩小，决定单元晶体管的驱动力的重要参数即沟道宽度 W 缩小，驱动力的降低越来越显著。

作为解决上述问题的有效手段之一，是提出了叶片栅极型的双栅极晶体管（例如参照专利文献 1）。另外，在近年来的学会等场合，也发表了双栅极晶体管（例如参照非专利文献 1）。

由于叶片栅极型的双栅极晶体管是完全耗尽层型，因此阈值电压不是唯一地由沟道用量来决定，与两个相对设置的栅极电极间的沟道宽度等有很大的关系。因此，能够减少决定阈值电压的沟道用量，有可能解决上述的问题。

但是，上述的以往技术存在下述的问题。

在专利文献 1（日本专利特愿 2001-224740 号公报（第 1~2 页，图 1）中，对于近年来集成化的 DRAM 那样具有复杂立体结构的单元结构，提出采用双栅极晶体管的方法。但是，其结构本身复杂，不是简单而容易制造的结构。

另外，在非专利文献 1(久本大等，IEEE Trans.On Electron Devices Vol.47 No.12 P.2320)中，主要是有关面向适用于 ASIC、SRAM 等逻辑电路的晶体管的报告。因而，关于 DRAM 固有的结构及晶体管的必要的特性等没有叙述。但是，对于在 DRAM 中采用具有简单而且容易制造的结构叶片栅极型双栅极晶体管，单元电容器与单元晶体管的绝缘性问题是重要的。即，若激活字线下的绝缘性及通过字线下的绝缘性不够，则由于对存储单元的误写入或误读出，而产生可靠性降低及制造成品率降低等问题。

如上所述，以往的半导体器件存在的问题是，结构复杂，可靠性也低。

另外，以往的动态型半导体存储器件存在的问题是，由于绝缘性不够，因此发生对存储单元的误写入或误读出，可靠性降低。

再有，以往的半导体器件的制造方法存在的问题是，制造工序复杂，成品率低。

本发明是鉴于上述情况提出的，目的在于提供能够简化结构、同时能够提高可靠性的半导体器件。

另外的目的在于提供能够抑制对存储单元的误写入或误读出、提高可靠性的动态型半导体存储器件。

再有，目的在于提供力图简化制造工序、提高成品率的半导体器件的制造方法。

发明内容

本发明一形态涉及的半导体器件，其特征在于，具有存储单元，所述存储单元具有在半导体基板的主表面形成的凸起形状的半导体层、在所述半导体层的一部分形成的第一导电型的沟道区、夹住所述沟道区的两侧，在所述半导体层中形成的第二导电型的源极区及漏极区、在所述半导体层的相对的侧壁的所述沟道区表面形成的一对第一绝缘膜、在所述半导体层的相对的侧壁的所述一对第一绝缘膜表面形成的一对栅极电极、在所述半导体层的所述源极区附近设置的一个电极与所述源极区电气连接的沟槽电容、以及在所述一对栅极电极的形成所述第一绝缘膜的表面的反面侧的表面与所述沟槽电容相邻配置的沟槽电容之间形成的膜厚比所述第一绝缘膜要厚的第二绝缘膜。

另外，本发明一形态有关的动态型半导体存储器件，具有包含叶片栅极型双栅极晶体管，以及一个电极与该双栅极晶体管电气连接的沟槽电容的多个存储单元，各存储单元中的双栅极晶体管与沟槽电容分别每隔一对相邻配置，具有

将这些一对双栅极晶体管及一对沟槽电容相互交错状配置的存储单元阵列，所述动态型半导体存储器件中，其特征在于，所述双栅极晶体管具有在半导体基板的主表面形成的柱体、在所述柱体的一部分形成的第一导电型的沟道区、夹住所述沟道区的两侧，在所述柱体中形成的第二导体型的源极区及漏极区、在所述柱体的对面的侧壁的所述沟道区表面形成的一对第一绝缘膜、以及在所述柱体的对面的侧壁的所述一对第一绝缘膜表面形成的一对栅极电极，所述沟槽电容具有在所述柱体的所述源极区附近设置的与所述源极区电气连接的第一电极、在与所述第一电极之间隔着电容绝缘膜而相对配置的第二电极、以及分别在所述一对栅极电极的形成所述第一绝缘膜的表面的反面侧的表面与所述沟槽电容相邻配置的一对沟槽电容之间形成的膜厚比所述第一绝缘膜要厚的一对第二绝缘膜。

再有，本发明一形态有关的半导体器件的制造方法，其特征在于，具有将半导体基板的主表面进行凹陷蚀刻而形成凸起形状的多个半导体层的工序、在所述凹陷区埋入第一绝缘膜的工序、将所述第一绝缘膜的上部蚀刻除去并在所述凹陷区的下部保留所述第一绝缘膜的工序、在所述凹陷区的所述第一绝缘膜上埋入第一栅极电极材料的工序、从所述凹陷区的一部分遍及所述半导体层的一部分及夹住该半导体层的相邻的凹陷区进行蚀刻而形成深沟槽的工序、在所述深沟槽的侧壁形成环状绝缘膜的工序、在所述深沟槽内形成沟槽电容的工序、在所述沟槽电容的上部埋入第二绝缘膜的工序、淀积所述第二栅极电极材料的工序、以及同时将所述第一栅极电极材料及所述第二电极材料形成图形而形成栅极电极的工序。

附图说明

图1为关于本发明一实施形态有关的半导体器件用的说明图，所示为DRAM单元，是沿图3的A-A'线的剖面结构图。

图2为关于本发明一实施形态有关的半导体器件用的说明图，所示为DRAM单元，是沿图3的B-B'线的剖面结构图。

图3为关于本发明一实施形态有关的半导体器件用的说明图，所示为采用叶片栅极型双栅极晶体管的DRAM单元的存储单元阵列平面示意图。

图4为关于本发明一实施形态有关的半导体器件用的说明图，所示为存储单元阵列的主要部分立体图。

图5为关于本发明一实施形态有关的半导体器件的制造方法用的说明图，所

示为存储单元及外围电路的第一制造工序剖面结构图。

图 6 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图,所示为存储单元及外围电路的第 2 制造工序剖面结构图。

图 7 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图,所示为存储单元及外围电路的第 3 制造工序剖面结构图。

图 8 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图,所示为存储单元及外围电路的第 4 制造工序剖面结构图。

图 9 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图,所示为存储单元及外围电路的第 5 制造工序剖面结构图。

图 10 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图,所示为存储单元及外围电路的第 6 制造工序剖面结构图。

图 11 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图,所示为存储单元及外围电路的第 7 制造工序剖面结构图。

图 12 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图,所示为存储单元及外围电路的第 8 制造工序剖面结构图。

图 13 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图,所示为存储单元及外围电路的第 9 制造工序剖面结构图。

图 14 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图,所示为存储单元及外围电路的第 10 制造工序剖面结构图。

图 15 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图,所示为存储单元及外围电路的第 11 制造工序剖面结构图。

图 16 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图,所示为存储单元及外围电路的第 12 制造工序剖面结构图。

图 17 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图,所示为存储单元及外围电路的第 13 制造工序剖面结构图。

图 18 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图,所示为存储单元及外围电路的第 14 制造工序剖面结构图。

图 19 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图,所示为存储单元及外围电路的第 15 制造工序剖面结构图。

图 20 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图,所示为存储单元及外围电路的第 16 制造工序剖面结构图。

图 21 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图,

所示为存储单元及外围电路的第 17 制造工序剖面结构图。

图 22 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图，所示为存储单元及外围电路的第 18 制造工序剖面结构图。

图 23 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图，所示为存储单元及外围电路的第 19 制造工序剖面结构图。

图 24 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图，所示为存储单元及外围电路的第 20 制造工序剖面结构图。

图 25 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图，所示为存储单元及外围电路的第 21 制造工序剖面结构图。

图 26 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图，所示为存储单元及外围电路的第 22 制造工序剖面结构图。

图 27 为关于本发明一实施形态有关的半导体器件的制造方法用的说明图，所示为存储单元及外围电路的第 23 制造工序剖面结构图。

符号说明

11…P 型硅基板，FIN…柱体（凸起形状的半导体区域），10…绝缘膜，12…硅氧化膜，30…氮化硅膜，Gox…栅极绝缘膜，38…栅极电极，47…环状绝缘膜，49…片状电极，50…存储电极，51…埋入绝缘膜，52…多晶硅层，52S…硅化物的多晶硅层，WL…字线，TC…沟槽电容，ST…带状电极。

具体实施方式

下面参照附图说明本发明的实施形态。另外，在本说明中，对于全部附图中共同的部分附加共同的参照符号。

图 1 至图 4 分别是关于本发明一实施形态有关的半导体器件及动态型半导体存储器件用的说明图，所示为以 DRAM 为例子的情况。图 3 所示为采用叶片栅极双栅极晶体管及沟槽电容的 DRAM 单元的存储单元阵列平面示意图。图 1 为沿图 3 的 A—A' 线的剖面结构图，图 2 为沿图 3 的 B—B' 线的剖面结构图。图 4 所示为图 3 所示的存储单元阵列主要部分的立体示意图。

另外，图中 $\langle m\ n \rangle$ （ m 、 n 分别为正整数）分别与各存储单元中的 $\langle$ 行（row）列（column） $\rangle$ 相对应。

首先，用图 3 的平面图说明存储单元阵列的图形构成例子。用虚线包围起来表示的 $MC\langle 00 \rangle \sim MC\langle 36 \rangle$ 分别是 1 位的存储单元。这些存储单元 MC （ $MC\langle 00 \rangle \sim MC\langle 36 \rangle$ ）分别与位线 BL （ $BL\langle 0 \rangle \sim BL\langle 3 \rangle$ ）及字线 WL （ WL

$\langle 0 \rangle \sim \text{WL} \langle 7 \rangle$ 的交点对应设置。

上述各存储单元 MC 由叶片栅极型双栅极晶体管 TR ($\text{TR} \langle 00 \rangle \sim \text{TR} \langle 36 \rangle$) 及沟槽电容 TC ($\text{TC} \langle 00 \rangle \sim \text{TC} \langle 36 \rangle$) 形成。另外, 各晶体管 TR 的源极区与沟槽电容 TC 的 1 个电极连接, 漏极区与相邻的存储单元 MC 中的晶体管 TR 的漏极区公共连接, 形成 1 对存储单元 MC。各晶体管 TR 的漏极区通过位线接触点 (连接体) BC 与位线 BL 连接。这一对存储单元 MC 沿各字线 WL 配置, 使得晶体管 TR 与沟槽电容 TC 每隔一对交替反复。例如若来看字线 $\text{WL} \langle 1 \rangle$, 则按照存储器的单元 $\text{MC} \langle 00 \rangle$ 的晶体管 $\text{TR} \langle 00 \rangle$ 、存储单元 $\langle 01 \rangle$ 的沟槽电容 $\text{TC} \langle 01 \rangle$ 、存储单元 $\langle 02 \rangle$ 的晶体管 $\text{TR} \langle 02 \rangle$ 及存储单元 $\text{MC} \langle 03 \rangle$ 的沟槽电容 $\text{TC} \langle 03 \rangle$ 的顺序形成。这样, 通过将一对双栅极晶体管与一对沟槽电容互相交错地配置, 就能够减少图形占有面积。

下面抽取上述图 3 中的存储单元 $\text{MC} \langle 03 \rangle$ 及存储单元 $\text{MC} \langle 04 \rangle$, 用图 1 及图 2 详细说明其剖面结构, 并用图 4 的示意图详细说明立体结构。

在 P 型硅基板 11 上形成将该硅基板 11 的表面加工成凸起形状的凸起形状半导体区 (也称为柱体, 在以后的说明中称为柱体) FIN。该柱体 FIN 的高度例如为 $0.3 \sim 1.0 \mu\text{m}$, 但也可以在 $0.3 \mu\text{m}$ 以下。在上述柱体 FIN 的两侧壁形成沟道区 $\text{CH} \langle 03 \rangle$ 。在该沟道区 $\text{CH} \langle 03 \rangle$ 中, 为了调整阈值电压, 利用离子注入将例如硼 (B) 注入。

另外, 如图 2 所示, 在沟道区 $\text{CH} \langle 03 \rangle$ (未图示) 的表面上形成栅极绝缘膜 $\text{Gox} \langle 12 \rangle$, 其膜厚例如为 5nm 。另外, 如图 1 所示, 各源极区 S 通过带状电极 ST 与沟槽电容 TC 的 1 个电极 50 (存储电极 50) 连接。上述各带状电极 ST 是多晶硅层 63 与高熔点金属的硅化物层 63S 的层叠结构。例如, 存储单元 $\text{MC} \langle 03 \rangle$ 的带状电极 $\text{ST} \langle 03 \rangle$ 与在柱体 FIN 的侧面形成的源极区 $\text{S} \langle 03 \rangle$ 的上表面的一部分及侧壁的一部分接触, 源极区 $\text{S} \langle 03 \rangle$ 与沟槽电容 $\text{TC} \langle 03 \rangle$ 的存储电极 50 电气连接。该源极区 $\text{S} \langle 03 \rangle$ 与带状电极 $\text{ST} \langle 03 \rangle$ 的连接也可以是仅仅源极区 $\text{S} \langle 03 \rangle$ 的上表面或仅仅侧壁与带状电极 $\text{ST} \langle 03 \rangle$ 相接那样进行连接。这是因为, 只要源极区 S 与带状电极 ST 电气完全导通即可。这样, 通过带状电极 ST, 源极区 S 与沟槽电容 TC 的存储电极 50 连接, 通过这样能够降低源极区 S 与沟槽电容 TC 之间的电阻值。

另外, 沟槽电容 TC 是由隔着电容绝缘膜 (未图示) 的存储电极 50 与片状电极 49 形成的。这里, 存储电极 50 例如由埋入沟槽中的多晶硅形成, 片状电极 49 例如由基板 11 中扩散 As 的 N^+ 型区形成。

再有，在柱体 FIN 的上表面，隔着例如 $0.1\mu\text{m}$ 左右以下的绝缘膜 10 形成字线 WL。例如，隔着在存储单元 MC<03> 的沟道区形成的绝缘膜 10 形成字线（激活字线）WL。这里，所谓激活字线 WL，是使其正下方的晶体管进行开关动作的字线。上述激活字线 WL 由多晶硅层 52 及高熔点金属的硅化物层 52S 构成。另外，上述绝缘膜 10 由例如膜厚为 $0.002\mu\text{m}$ 的硅氧化膜 12 及膜厚为 $0.07\mu\text{m}$ 的氮化硅膜 30 形成。

在上述沟槽电容 TC 的上表面形成埋入绝缘膜 51，在沟槽电容 TC 的上部，沿内壁形成环状绝缘膜 47。上述埋入绝缘膜 51 形成的膜厚为 $0.03\mu\text{m}$ 以上，比栅极绝缘膜 Gox 的膜厚要厚。在各埋入绝缘膜 51 之上，形成相邻的存储单元的字线（通过字线）WL。例如，在沟槽电容 TC<03> 的上表面形成的埋入绝缘膜 51 之上，形成通过字线 WL<2>。该通过字线 WL 不过仅仅是通过沟槽电容 TC<03> 之上，对于存储单元 MC<03>，任何开关动作都不起作用。这样，字线 WL 的激活字线与通过字线交替配置。

然后，在沿位线 BL 形成的存储单元 MC 沟槽电容 TC 之间的元件分离区 5 的上部，形成分离部 6。

如图 2 所示，在柱体 FIN 的两侧壁，隔着上述栅极绝缘膜 Gox 夹住柱体 FIN 形成由多晶硅层构成的栅极电极 G。再与上述栅极电极 G 的上表面接触，形成由多晶硅层 52 及硅化物的多晶硅层 52S 构成的字线 WL。另外，与上述栅极电极 G 相邻，沿上述字线 WL 形成沟槽电容 TC。例如，与栅极电极 G<12> 相邻，沿字线 WL<2> 形成沟槽电容 TC<03> 及沟槽电容 TC<23>。在该沟槽电容 TC 的上部的内壁形成环状绝缘膜 47，在该沟槽电容 TC 的上表面形成埋入绝缘膜 51。再与环状绝缘膜 47 及埋入绝缘膜 51 的上表面接触，形成字线 WL。因而，栅极电极 G 具有被栅极绝缘膜 Gox 与环状绝缘膜 47 夹住的结构。这里，环状绝缘膜 47 形成的膜厚比栅极绝缘膜 Gox 的膜厚要厚。

下面举出存储单元 MC<03> 为例，说明各存储单元 MC 的基本动作的一个例子。以下对基本动作一个例子的说明，是着眼于读出/写入动作时的位线 BL<0> 的电压变化来进行的。

首先，说明数据的读出动作。选择位线 BL<0>，进行预充电，激活位线 BL<0>。该位线 BL<0> 的预充电电平，例如是驱动读出来自位线 BL<0> 的信号的读出放大器用的电源电压 VDD 的 $1/2$ ($VDD/2$)。

然后，选择进行数据读出的字线 WL。对所选择的字线 WL，从未图示的行译码器中的字线驱动器加上正电位。例如，若选择字线 WL<3>，则具有与字

线 $WL<3>$ 连接的栅极电极的晶体管分别“导通”。在图 3 的情况下，与字线 $WL<3>$ 连接的栅极电极 $G<03>$ 被选择，晶体管 $TR<03>$ 处于“导通”状态。

通过这样，预充电电平的位线 $BL<0>$ 与存储单元 $MC<03>$ 的沟槽电容 $TC<03>$ 的 1 个电极即存储电极电气连接。

这时，若存储单元 $MC<03>$ 的沟槽电容 $TC<03>$ 中存储了电荷，则电荷从存储单元 $MC<03>$ 的沟槽电容 $TC<03>$ 向位线 $BL<0>$ 放电。其结果，位线 $BL<0>$ 的电位比预充电电平 ($VDD/2$) 的其它位线的电位要高。与此相反，若沟槽电容 $TC<03>$ 中没有存储电荷，则从位线 $BL<0>$ 向沟槽电容 $TC<03>$ 供给电荷而放电。通过这样，位线 $BL<0>$ 的电位比预充电电平 ($VDD/2$) 的其它位线的电平要低。然后，利用此前连接的读出放大器，检测并放大上述电位差，通过这样进行“1”或“0”的读出动作。这时，根据读出的“1”或“0”的数据，对存储单元 $MC<03>$ 中的沟槽电容 $TC<03>$ ，再写入“1”或“0”的数据（数据刷新）。

然后，说明数据的写入动作。首先，根据从读出放大器写入位线 BL 的数据“1”或“0”，加上 VDD 电平或 OV 。这里，若选择字线 $WL<3>$ 则晶体管 $TR<03>$ 处于“导通”状态，位线 $BL<0>$ 与沟槽电容 $TC<03>$ 的存储电容电气连接。

然后，电荷从位线 $BL<03>$ 通过晶体管 $TR<03>$ 向沟槽电容 $TC<03>$ 进行充电，或者电荷从沟槽电容 $TC<03>$ 放电，进行写入动作。

关于其它的存储单元 MC 的动作也同样。

根据上述的结构，能够得到下述的效果。

首先，由于埋入绝缘膜 51 的膜厚比栅极绝缘膜 G_{ox} 的膜要厚，因此能够抑制误动作，提高可靠性。

即，如前所述，在进行读出/写入动作时，位线 BL 及字线 WL 上流过电流，检测位线 BL 的电位变化。该位线 BL 的电位取决于电荷是流入沟槽电容 TC 还是放出而变化。

但是，如上所述，在本实施形态中，埋入绝缘膜 51 完全覆盖在沟槽电容 TC 的上表面，形成达到电气绝缘要求的足够的膜厚。例如在图 2 中，能够充分保持字线 $WL<2>$ 与沟槽电容 $TC<03>$ 、 $TC<23>$ 的电气绝缘性。

再由于栅极 G 具有被栅极绝缘膜 G_{ox} 与膜厚较厚的环状绝缘膜 47 夹着的结构，因而能够防止例如图 2 所示的相邻的沟槽电容 $TC<03>$ 及 $TC<23>$ 发生

误动作。即，在利用柱体 FIN 的两侧壁形成的栅极电极进行开关动作时，若与相邻的沟槽电容的电气绝缘性不够，则由于与上述同样的作用，将成为误动作的原因。但是，由于利用膜厚较厚的环状绝缘膜 47，能够确保充分的绝缘性。

再有，由于通过带状电极 ST 将源极区与沟槽电容 TC 连接，因此能够减少源极区 S 与沟槽电容 TC 之间的电阻值。

再有，由于字线 WL、带状电极 ST 及位线连接点 BC 是利用多晶硅层与高熔点金属的硅化物层的双层结构形成的，因此能够利用硅化物层来减少电阻值。

下面以具有图 1 至图 4 所示的叶片栅极型双栅极晶体管及沟槽电容的存储单元的制造方法为例，说明本发明一实施形态有关的半导体器件的制造方法。在该例中，用一连串的工序形成上述存储单元阵列及其外围电路、或与存储器不同的其它逻辑电路及运算电路等。

图 5(a)～图 27(a) 依次表示沿图 3 中的 A-A' 线剖面的制造工序图。图 5(b)～图 27(b) 分别依次表示沿图 3 中的 B-B' 线剖面的制造工序图。图 5(c)～图 27(c) 分别依次表示在存储单元阵列的外围设置的地址缓冲器、译码器、读出放大器或输入输出缓冲器等外围电路（也可以是与存储器不同的其它逻辑电路及运算电路等）的制造工序图。

首先，在 P 型硅基板 11 的主表面利用例如热氧化，形成 2nm 左右厚度的硅氧化膜 12。另外，该硅氧化膜 12 也可以是利用化学处理形成的薄膜组成偏移的氧化膜。再在该硅氧化膜 12 上，淀积形成例如 70nm 的氮化硅膜 30。在上述氮化硅膜 30 上，利用反应气体采用 TEOS 的 CVD (Chemical Vapor Deposition, 化学气相淀积) 法，淀积形成例如 550nm 左右厚度的 TEOS-SiO₂ 膜 31。再在上述 TEOS-SiO₂ 膜 31 上，淀积形成例如 300nm 厚度的绝缘膜系硬掩模 32 及例如 10nm 厚度的 SOG 膜 33。这些硬掩模 32 及 SOG 膜 33 是为了在 TEOS-SiO₂ 膜 31 正确形成后述的沟槽用的薄膜。然后，在上述 SOG 膜 33 上涂布光刻胶 34，进行曝光及显影，形成在该光刻胶 34 上形成元件分离区 (STI: Shallow Trench Isolation, 浅沟槽隔离) 用的图形。上述元件分离区的宽度为例如 90nm～110nm 左右，以 90nm～110nm 的间隔配置 (图 5(a) 及图 5(b))。

外围电路也利用与存储单元阵列相同的工序，在硅基板 11 上依次淀积形成氮化硅膜 30、TEOS-SiO₂ 膜 31 及 SOG 膜 33。再在上述 SOG 膜 33 上，涂布光刻胶 34，将该光刻胶 34 形成图形 (图 5(c))。

然后，将上述光刻胶 34 作为掩模，利用 RIE 法，对 SOG 膜 33、硬掩模膜

32 及 TEOS—SiO₂ 膜 31 进行蚀刻。然后，除去上述 SOG 膜 33 及光刻胶 34（图 6（a）、图 6（b）、及图 6（c））。

接着，将剩下的硬掩膜 32 及 TEOS—SiO₂ 膜 31 作为掩膜，在氮化硅膜 30、硅氧化膜 12 及硅基板 11 上例如利用 RIE 法形成宽 30nm~130nm、深 250nm 左右的沟槽 35。利用该沟槽 35，在硅基板 11 的主表面上形成的凸起形状的半导体区（宽 20nm~110nm）成为存储单元<12>中的柱体 FIN<12>（图 7（a）及图 7（b））。

外围电路也用同一工序，同时利用例如 RIE 法，在氮化硅膜 30 及硅基板 11 的 STI 区的形成预定区形成沟槽（图 7（c））。

然后，在上述沟槽的内壁，例如利用热氧化形成氧化膜（未图示）。再例如利用 CVD 法埋入 SiO₂ 之后，利用 CMP（Chemical Mechanical Polishing，化学机械抛光）法进行抛光处理。利用以上的工序，在沟槽 35 内形成 STI 区 36（图 8（a）及图 8（b））。

外围电路也利用相同的工序，在沟槽内形成 STI 区 36（图 8（c））。

另外，在这之前的形成存储单元阵列及外围电路的 STI 区的工序中，可以公用掩模。因此，与对于存储单元阵列及外围电路单独形成 STI 区 36 的情况相比，能够简化工序，降低制造成本。

然后，在外围电路上加上掩模，将存储单元阵列的 STI 区 36 例如利用湿法蚀刻法进行 150nm 左右深腐蚀。这时，残存在沟槽底部的 STI 区 36 的膜厚为 30nm 左右（图 9（a）图 9（b）及图 9（c））。

然后，例如利用离子注入法，对存储单元阵列的 STI 区 36 的上部硅基板 11 的侧壁，将磷(P)沿斜方向改变方向注入 2 次。另外，该工序也可以在将 STI 区 36 形成凹陷区前进行。在那种情况下，是将离子沿垂直方向注入，然后例如利用热氧化，形成 5nm 左右的栅极绝缘膜（未图示）。再在氮气气氛中或等离子气氛中氮化，进行退火。然后，淀积成为栅极电极的多晶硅层 38（图 10（a）、图 10（b）及图 10（c））。

然后，在上述基板 11 的整个表面上，在例如燃烧 O₂ 及 H₂ 的低压气氛中或含臭氧的气氛中淀积形成氧化膜（未图示）。再依次淀积形成 100nm 左右的氮化硅膜 40、1600nm 左右的成为掩模材料的 BSG 膜 41、700nm 左右的硬掩模 42 及 10nm 左右的 SOG 膜 43。再在上述 SOG 膜 43 上涂布光刻胶 44，进行该光刻胶 44 的曝光及显影，形成为形成深沟槽用的掩模图形。另外，上述硬掩模 42 及 SOG 膜 43 是为了正确对 BSG 膜 41 进行蚀刻而淀积形成的（图 11

(a)、图 11 (b) 及图 11(c))。

然后, 将上述光刻胶 44 作为掩模, 例如利用 RIE 法, 依次对 SOG 膜 43、硬掩模膜 42、BSG 膜 41、氮化硅膜 40、氮化硅膜 30 及氧化硅膜 12 进行蚀刻, 形成用于形成深沟槽用的作为掩模的沟槽 45。然后, 除去光刻胶 44 及 SOG 膜 43。在该工序中, 由于有在氮化硅膜 30 与氮化硅膜之间形成未图示的氧化膜, 因此能够有选择地仅除去氮化硅膜 40 (图 12 (a)、图 12 (b) 及图 12 (c))。

然后, 利用低选择比蚀刻法, 将存储单元阵列的多晶硅层 38 及 STI 区 36 进行蚀刻 (图 13 (a)、图 13 (b) 及图 13 (c))。

接着, 将硅基板 11 例如利用 RIE 法进行蚀刻, 形成例如 $6\mu\text{m}$ 左右的深沟槽 46。再在其后进行清洗 (图 14 (a)、图 14 (b) 及图 14 (c))。

接着, 除去硬掩模 42 及 BSG 膜 41。再将多晶硅层 38 全部进行氧化 (未图示)。然后, 将硅基板 11 例如进行 1100°C 左右的热氧化。在沟槽 46 内部形成氧化膜 (未图示), 再在沟槽 46 内部形成氮化硅膜 (未图示), 除去沟槽 46 的上部氮化硅膜。然后, 再例如利用热氧化, 仅在除去氮化硅膜的部分有选择地形成环状绝缘膜 47。该环状绝缘膜 47 的最终膜厚例如是 $25\text{nm}\sim 30\text{nm}$ 左右。利用这样的工序, 能够控制所希望的环状绝缘膜 47 的膜厚 (图 15 (a)、图 15 (b) 及图 15 (c))。

然后, 将深沟槽 46 的底部例如利用化学干法蚀刻法进行 30nm 左右的蚀刻, 以拓宽底部。再利用气相反应, 在深沟槽 46 的内部吸附及扩散 As 或 P, 在硅基板 11 内形成 N^+ 型扩散区 49 (片状电极)。接着, 沿深沟槽 46 的底部 48 的内壁, 形成电容绝缘膜 (未图示), 在该深沟槽 46 内埋入形成多晶硅层 50 (存储电极)。然后, 将上表面例如利用 CMP 法进行抛光处理 (图 16 (a)、图 16 (b) 及图 16 (c))。

然后, 对上述多晶硅层 50 例如利用湿法蚀刻法进行 50nm 左右的深腐蚀。再在利用深腐蚀形成的凹陷中, 例如利用反应气体采用 TEOS 的 CVD 法, 淀积形成 200nm 的由 TEOS— SiO_2 构成的埋入绝缘膜 51。然后, 例如利用 CMP 法, 除去埋入绝缘膜 51 的一部分及氮化硅膜 40, 进行抛光处理, 直到多晶硅层 38 的上表面露出 (图 17 (a)、图 17 (b) 及图 17 (c))。

然后, 在整个表面淀积形成 70nm 左右的不掺杂质的多晶硅层 52。再对该多晶硅层 52, 利用离子注入法例如以 5KeV 在 $2\times 10^{15}/\text{cm}^3$ 的条件下掺入硼 (B)。再在上述多晶硅层 52 上, 淀积形成 150nm 左右厚的成为覆盖材料的 BSG 膜 53。然后, 仅将存储单元阵列的区域加以掩模 (图 18 (a)、图 18 (b))。

利用蚀刻法除去外围电路区的多晶硅层 52 及 BSG 膜 53，再进行沟道离子注入，形成沟道区（未图示）。这时，利用退火使注入的杂质进行热扩散（图 18（c））。

然后，将基板进行热氧化，形成栅极绝缘膜 54。再在该栅极绝缘膜 54 上，依次淀积形成 200nm 左右的成为外围电路的栅极电极的多晶硅层 55、以及 100nm 左右厚的成为覆盖材料的 BSG 膜 56（图 19（a）、图 19（b）及图 19（c））。

然后，在除去存储单元阵列的多晶硅层 55 及 BSG 膜 56 之后，形成存储单元中的晶体管栅极电极的上部及字线 WL。这时，首先在上述 BSG 膜 56 上涂布光刻胶，对该光刻胶进行曝光及显影等处理而形成所希望的图形后，将上述光刻胶作为掩模，例如利用 RIE 法，将多晶硅层 52、BSG 膜 53 及多晶硅层 38 进行蚀刻。这里，除去多晶硅层 38 的元件分离区 5 所起作用是为了将沿字线 BL 相邻的沟槽电容 TC 进行分离。即，如图 20（b）所示，是沿要形成的位线 BL<0> 相邻的沟槽电容 TC<00> 与沟槽电容 TC<03> 之间的元件分离区。这时，在本实施形态的制造工序中，就这样一下子形成栅极电极、位线连接点 BC 及成为元件分离区 5 的区域。即，由于能够使用线条及空间的光刻胶图形，因此能够降低制造成本，而且实现元件微细化。

然后，利用离子注入法，注入上述硅基板 11 的导电型及逆导电型杂质、例如磷（P）或砷（As），通过退火使其扩散，从而形成晶体管 TR 的源极区 S 及漏极区 D（图 20（a）、图 20（b）及图 20（c））。

然后，在整个表面淀积形成成为隔膜的氮化硅膜 59，例如利用 RIE 法进行蚀刻。其结果，仅留下应该成为晶体管 TR 的栅极电极的多晶硅层 55、位于 BSG 膜 56 的侧壁的氮化硅隔膜 59 及位于下表面的氮化硅膜 30。再在整个表面淀积形成氮化硅阻挡膜 60。然后，在沿位线 BL 相邻的沟槽电容 TC 的元件分离区 5，淀积形成 BPSG 膜 61（图 21（a）及图 21（b））。

在外围电路中也进行同样的工序。通过这样，在 BSG 膜 56 上仅留下氮化硅阻挡膜 60（图 21（c））。

然后，将氮化硅阻挡膜 60、BPSG 膜 61 及埋入绝缘膜 51 的各一部分例如利用 RIE 法除去。这样，通过除去埋入绝缘膜 51 的一部分，形成沟槽电容 TC 的节点电极与后来应该形成的带状电极的导通路径（图 22（a）及图 22（b））。

在外围电路中也进行同样的工序，通过这样利用上述 RIE 工序，除去氮化硅阻挡膜 60（图 22（c））。

然后，例如利用 LPCVD 法在整个表面淀积形成掺杂的多晶硅层 63。利用该工序，形成将存储单元 MC 的源极区与沟槽电容 TC 的一个电极电气连接的带状电极 ST、以及位线连接点 BC。另外，在将沿位线 BL 相邻的沟槽电容 TC 进行分离的元件分离区 5 的上部，也淀积形成多晶硅层（图 23(a)、图 23(b)、图 23(c)）。

然后，形成外围电路的栅极结构。首先，将 BSG 膜 56 及多晶硅层 55 例如利用 RIE 法形成图形，形成栅极电极结构。将该栅极电极结构作为掩模，向基板 11 中注入杂质，形成低浓度的杂质扩散区 57。接着，在例如淀积形成硅氧化膜后，例如利用 RIE 法进行深腐蚀，使其残存于栅极电极结构的侧壁，通过这样形成隔膜 64（图 24（c））。在该工序中，存储单元阵列一侧加上掩模进行（图 24（a）及图 24（b））。

然后，除去在成为晶体管 TR 的栅极电极的多晶硅层 52 上形成的 BSG 膜 53 及外围电路的晶体管栅极 55 上形成的 BSG 膜 56（图 25（a）及图 25（b））。

在这之后，将形成上述隔膜 64 的栅极电极作为掩模，通过离子注入，形成高浓度的杂质区 58。完成外围电路的晶体管源极区及漏极区（图 25（c））。

然后，利用硅化物工艺，通过使成为字线 WL 的多晶硅层 52 与高熔点金属层反应，形成硅化物层 52S，以及通过使多晶硅层 63 与高熔点金属层反应，形成硅化物层 63S。同样，通过使源极及漏极区上的基板 11 与高熔点金属层反应，形成硅化物层 64。这样，通过使各多晶硅层的表面形成硅化物，能够力图使布线电阻实现低电阻（图 26（a）、图 26（b）及图 26（c））。

然后，对整个表面淀积形成氮化硅膜 65。在这之后，例如利用 RIE 法，形成贯穿上述氮化硅膜 65 的通孔，通过在这些通孔内形成埋入插塞，通过这样形成位线连接点 BC<11>，同时形成外围电路的晶体管用的源极连接点及漏极连接点等。然后，在上述氮化硅膜 65 形成位线 BL<1>（图 27（a）、图 27（b）及图 27（c））。

利用以上的工序，能够形成图 1 至图 4 所示的 DRAM。

本实施形态有关的制造方法具有下述效果。

首先，为了形成叶片栅极型双栅极晶体管，而是先形成柱体 FIN，然后形成沟槽电容 TC。因此，如图 17 所示，将多晶硅层 50 进行蚀刻的深度，通过控制时间及温度等，能够形成足够深。该蚀刻的深度成为在这之后形成的埋入绝缘膜 51 的膜厚。该埋入绝缘膜 51 的膜厚如上所述，对于与字线 WL 的电气绝缘是很重要的。因而，根据本制造法，能够自由设定所希望的埋入绝缘膜 51

的膜厚。

再有，如图 20 所示，能够一下子形成栅极电极、位线连接点 BC 及成为元件分离区 5 的区域。即，由于能够使用线条及空间的光刻胶图形，因此能够降低制造成本，而且实现元件微细化。

再有，如图 25 所示，能够同时将字线 WL、带状电极 ST、位线连接点 BC 及外围电路形成硅化物。因此，能够简化制造工序，降低制造成本。

再有，由于氮化硅膜 30 与栅极电极 38 相比，蚀刻速率非常慢，因此蚀刻时能够保护栅极电极 38。

再有，埋入绝缘膜 51 如上所述，能够容易制造。因此，为了制造它，不会增大制造成本。

再有，由于有带状电极 ST，因此成为利用柱体 FIN 深注入离子的工序，柱体 FIN 不会损伤。若想要不通过带状电极 ST 连接，则必须直接连接源极区及沟槽电容 TC。在这种情况下，必须利用柱体 FIN 对成为源极区的扩散区进行深注入，在进行注入离子的工序时，柱体 FIN 有可能损伤。

以上是用上述的实施形态对本发明进行说明的，但本发明不限于上述实施形态，在实施阶段，在不超出其要点的范围内能够进行各种变形。另外，上述实施形态中包含各种阶段性发明，通过揭示的多个构成要件的适当组合，能够提取出各种发明。例如，在从实施形态所示的全部构成要件中即使删除几个构成要件，也能够至少解决一个本发明想要解决的问题栏中所述的问题，在能够至少得到一个本发明效果栏中所述的效果时，也可将该构成要件被删除的构成提出作为发明。

如上详细所述，根据本发明，能够提供可简化结构、同时可提高可靠性的半导体器件。

另外，能够提供抑制对存储单元的误写入或误读出、可提高可靠性的动态型半导体存储器件。

再有，能够提供力图简化制造工序及提高成品率的半导体器件的制造方法。

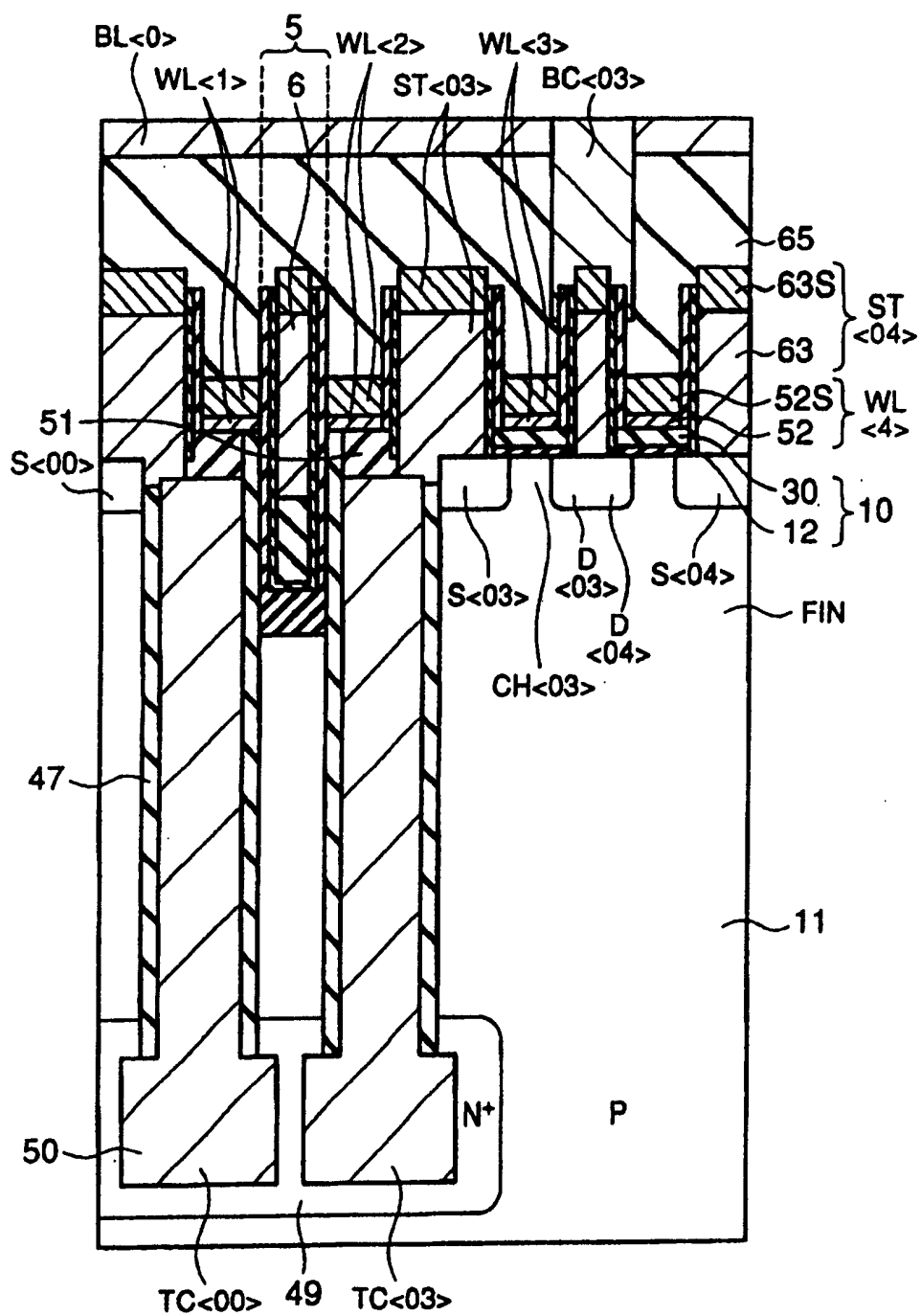


图 1

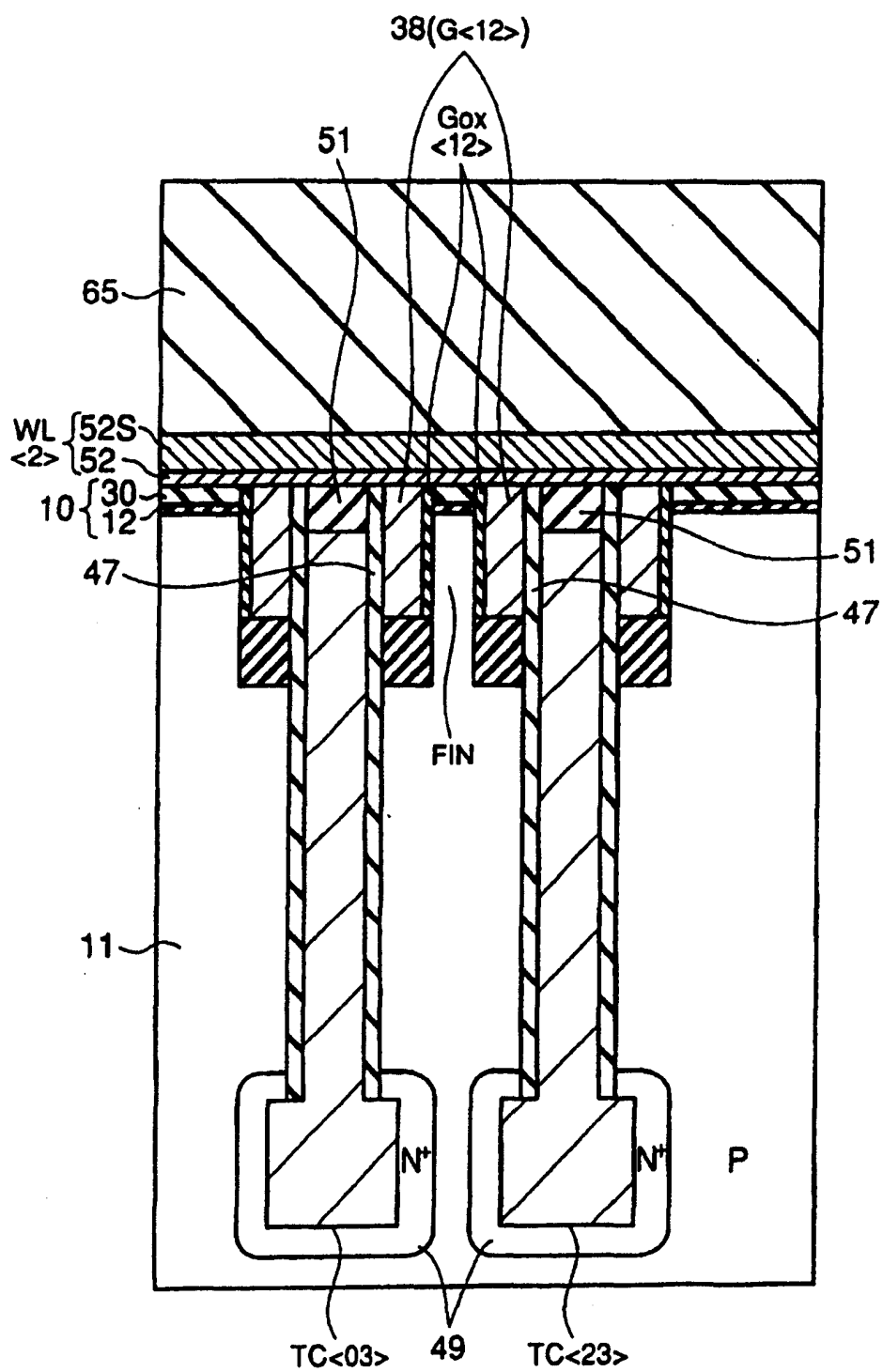


图 2

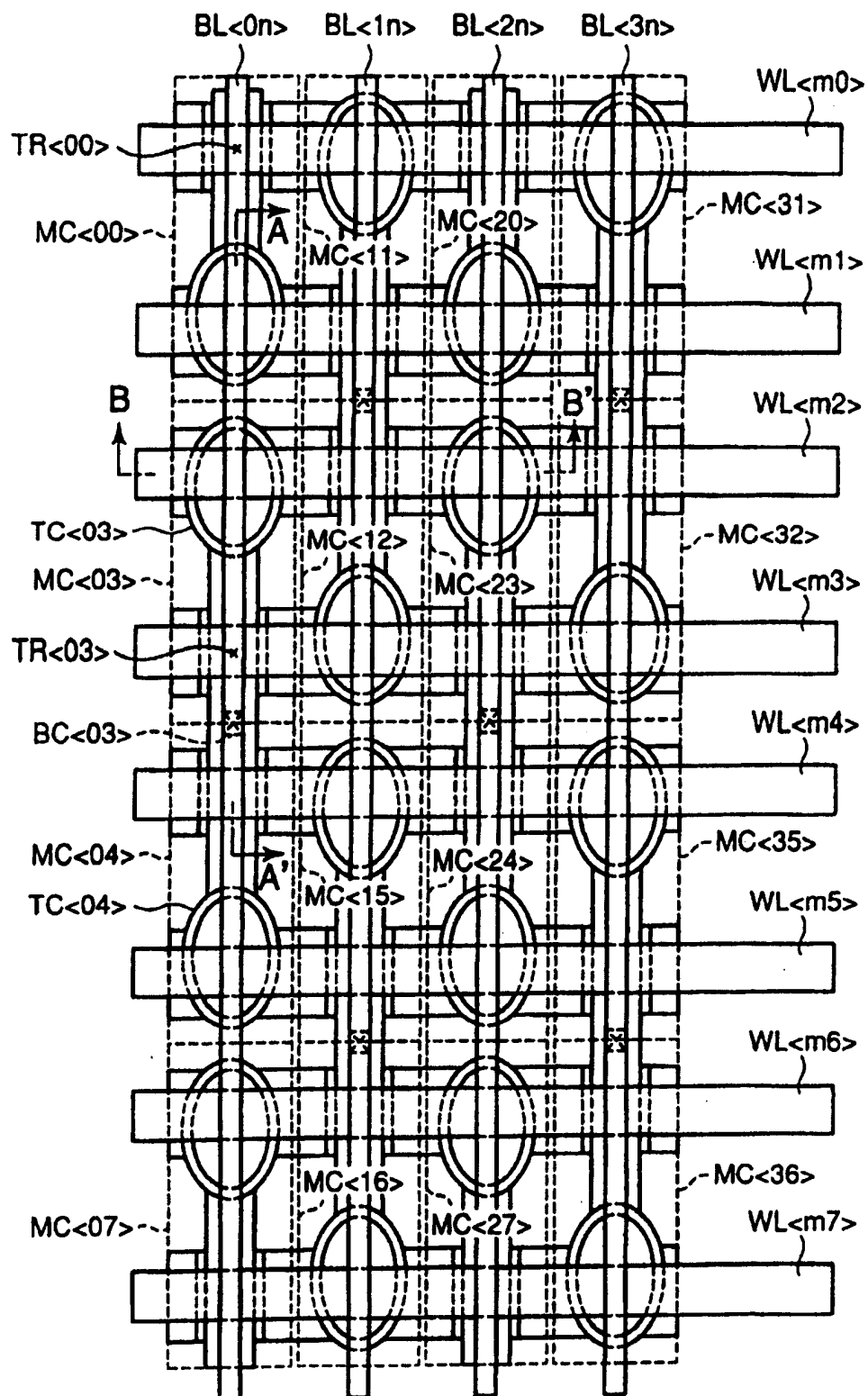


图 3

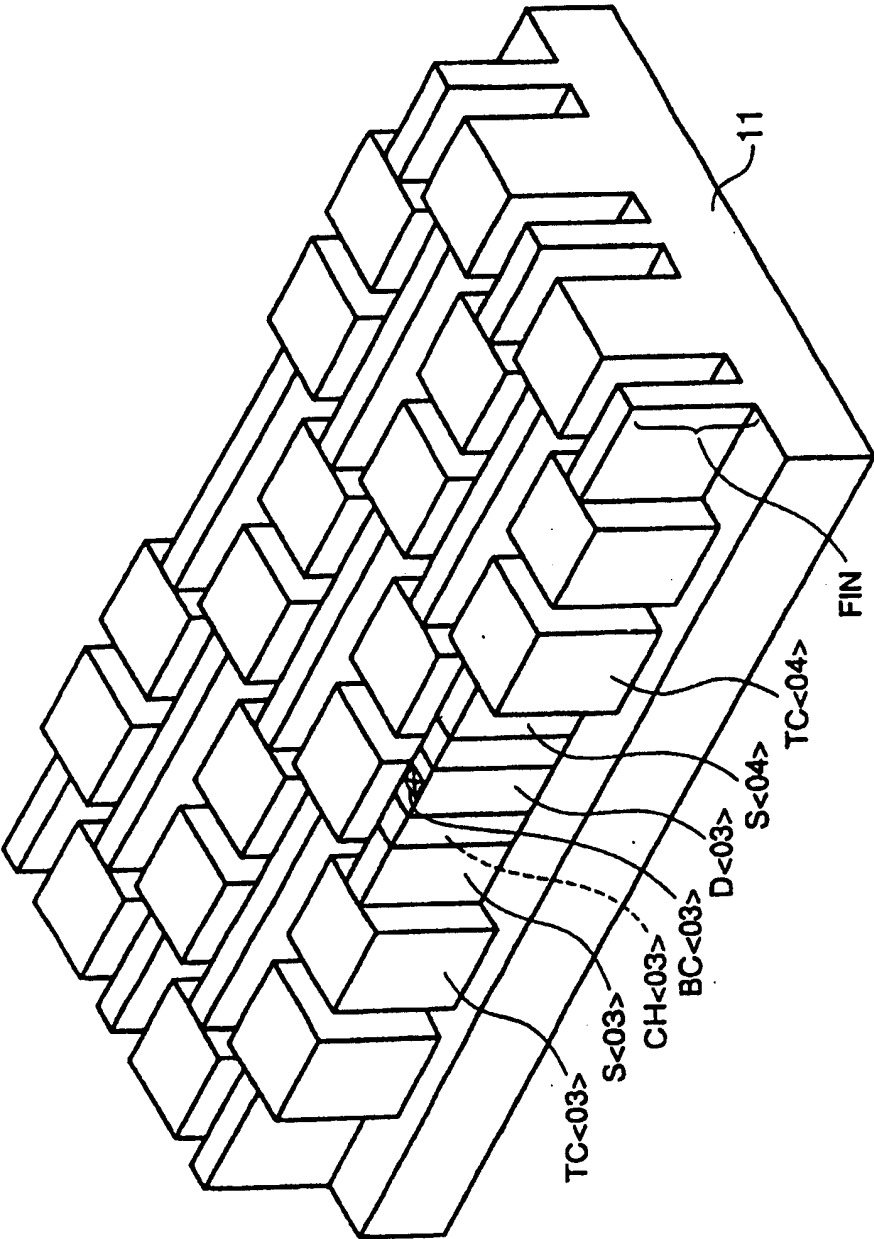
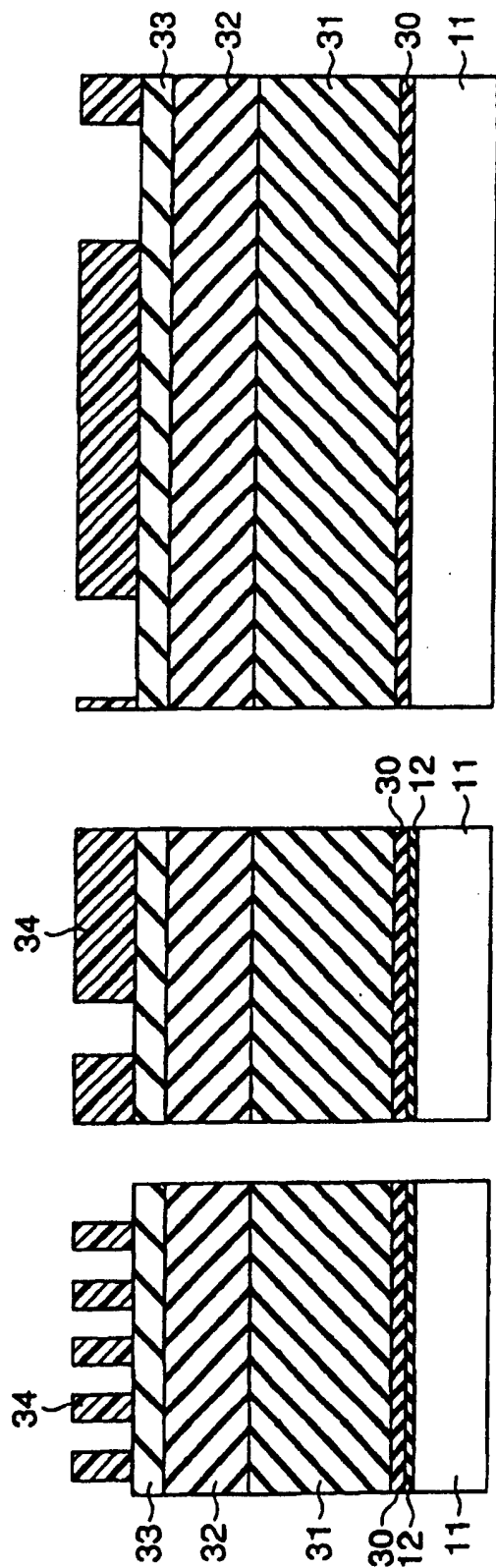


图 4



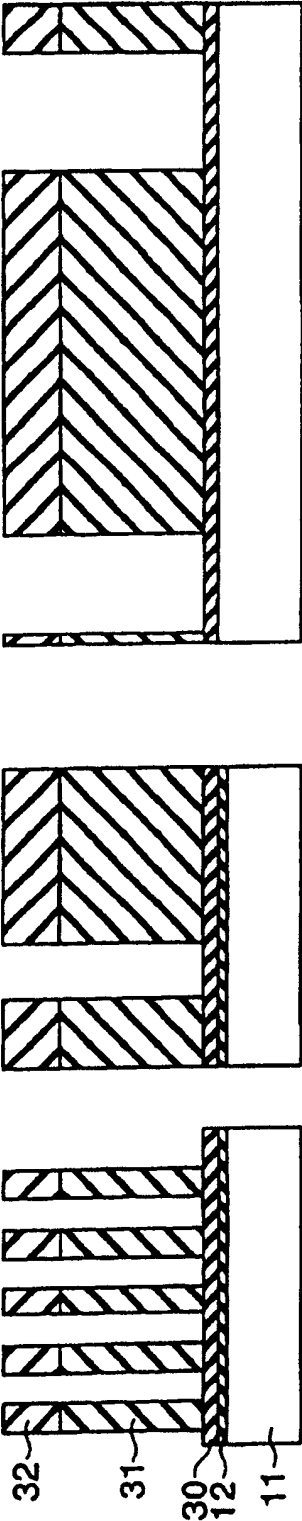
(c)

(b)

(a)

5





(a) (b) (c)

图 6

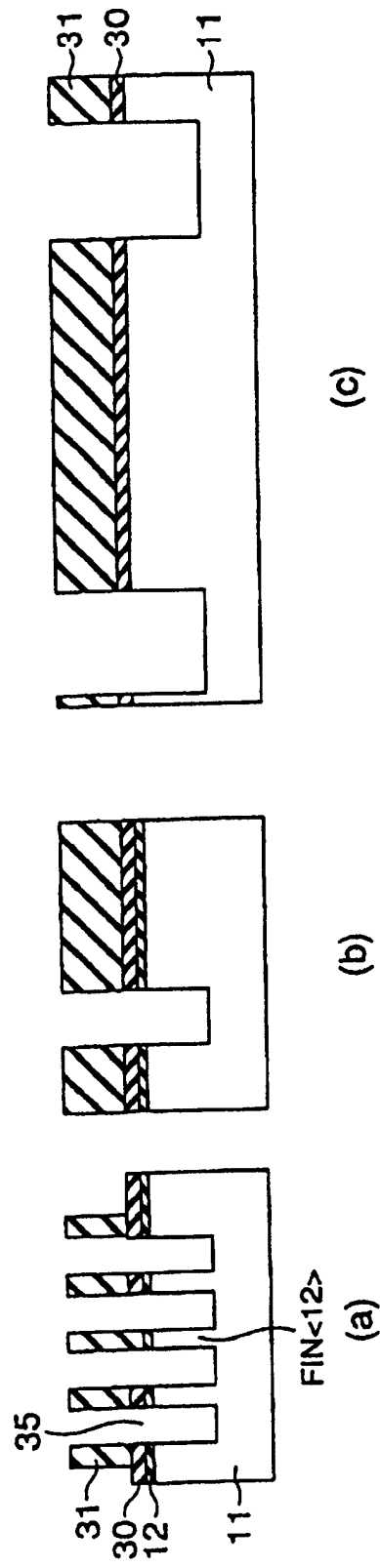


图 7

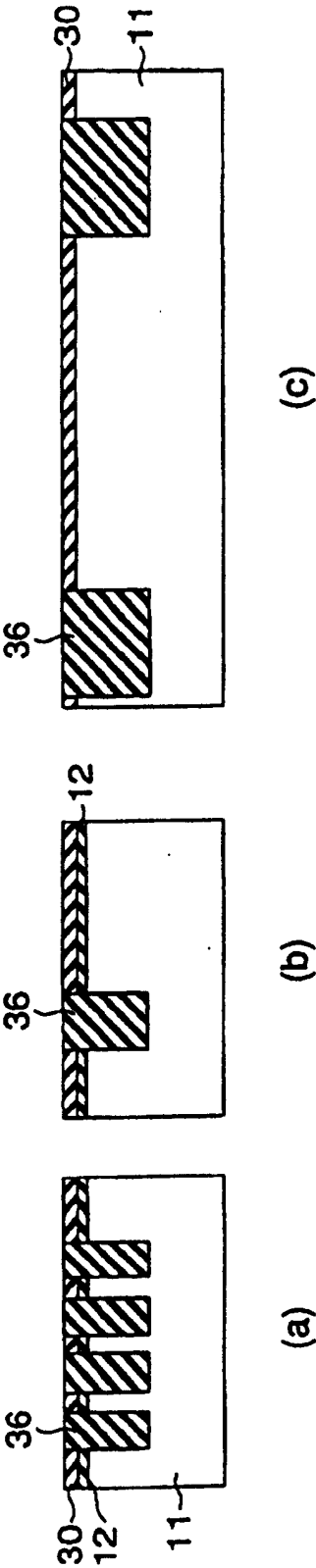


图 8

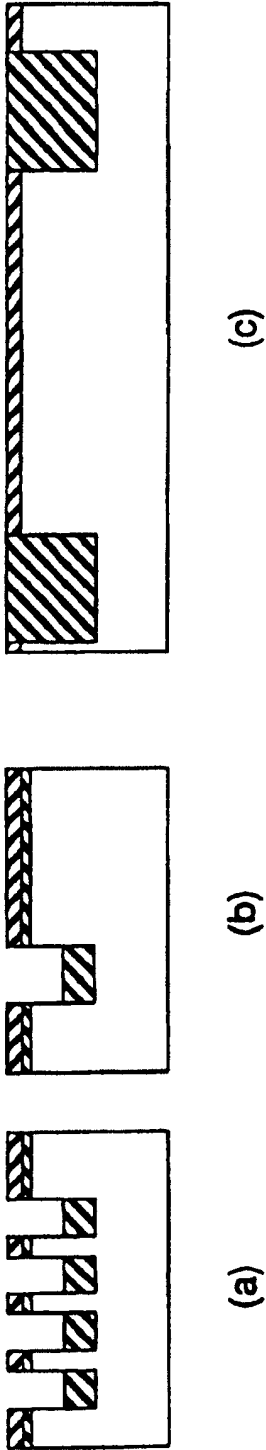


图 9

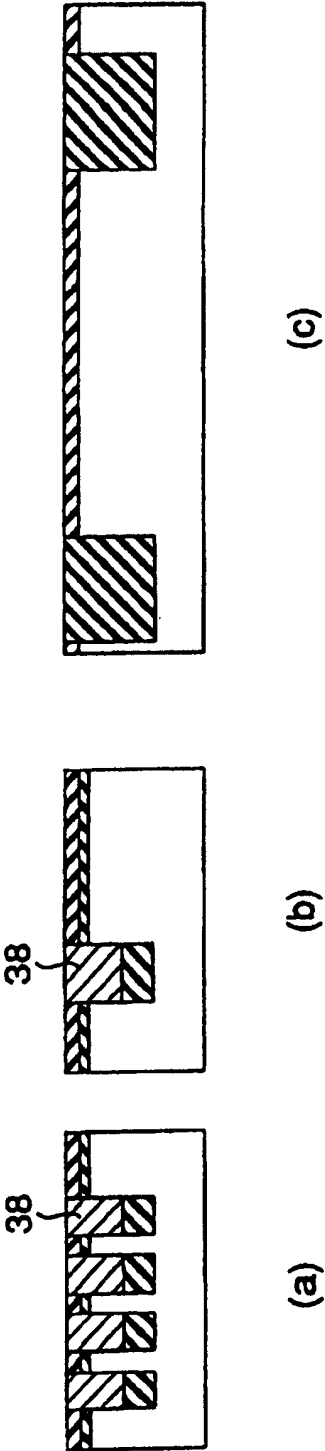


图 10

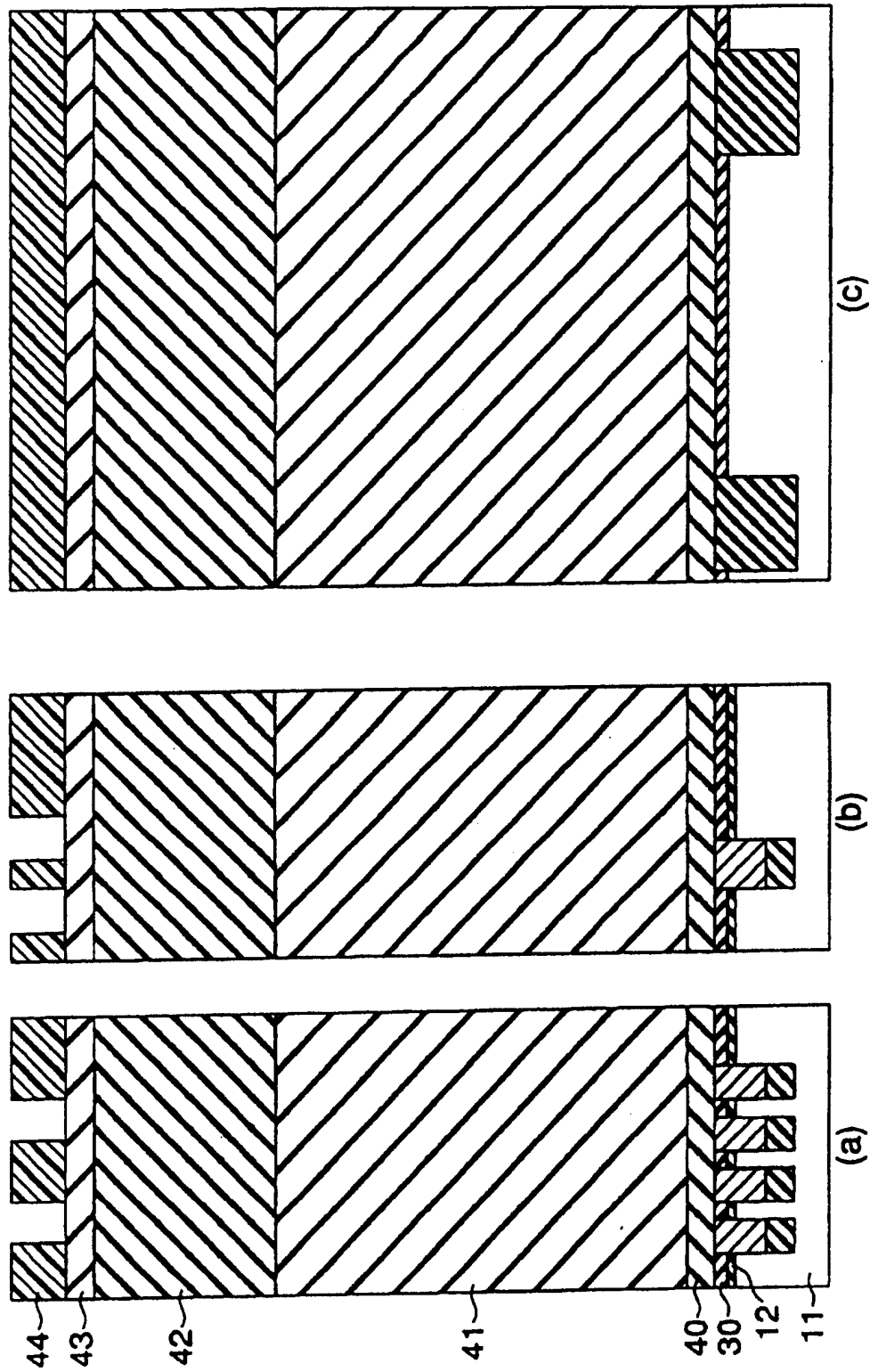


图 11

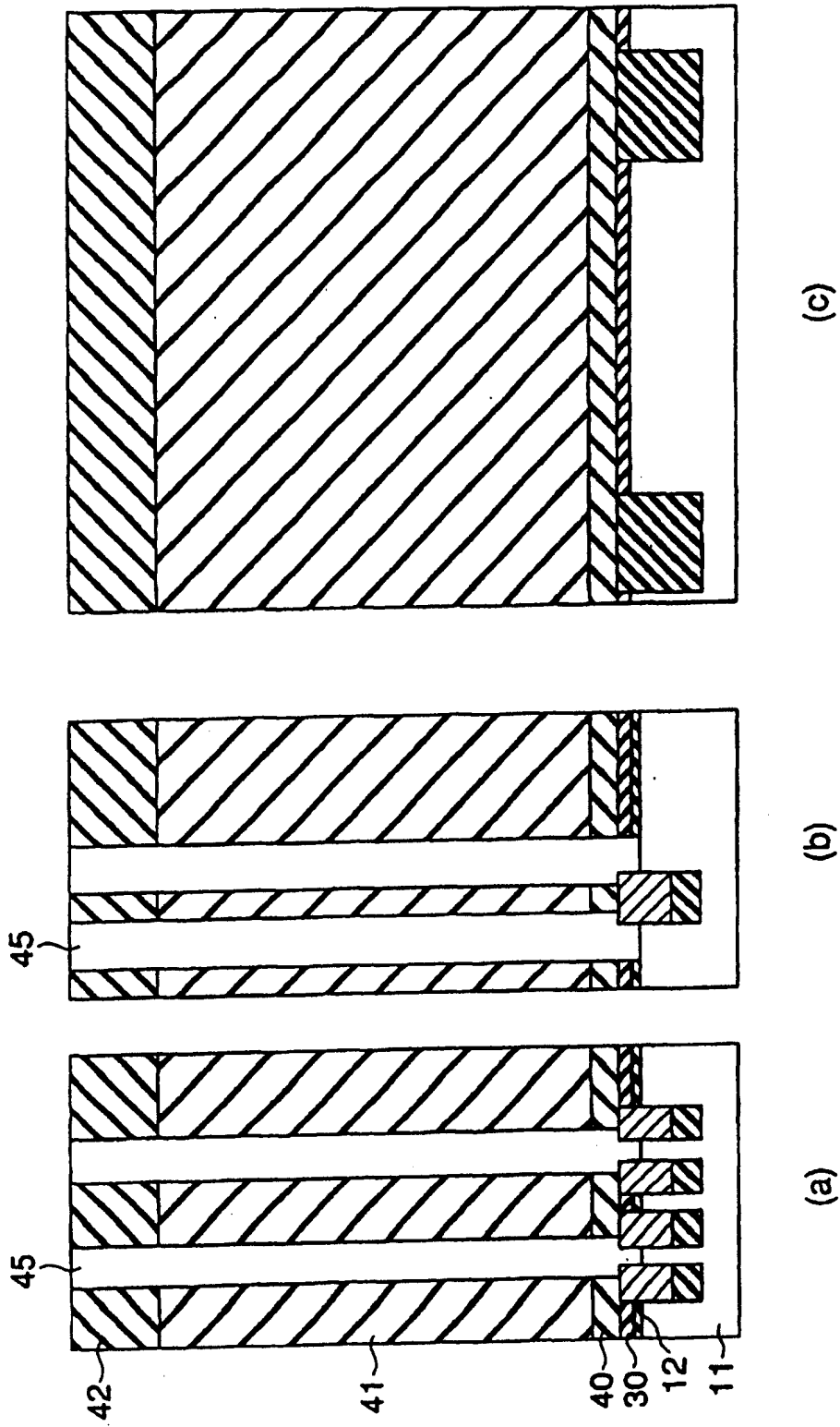


图 12

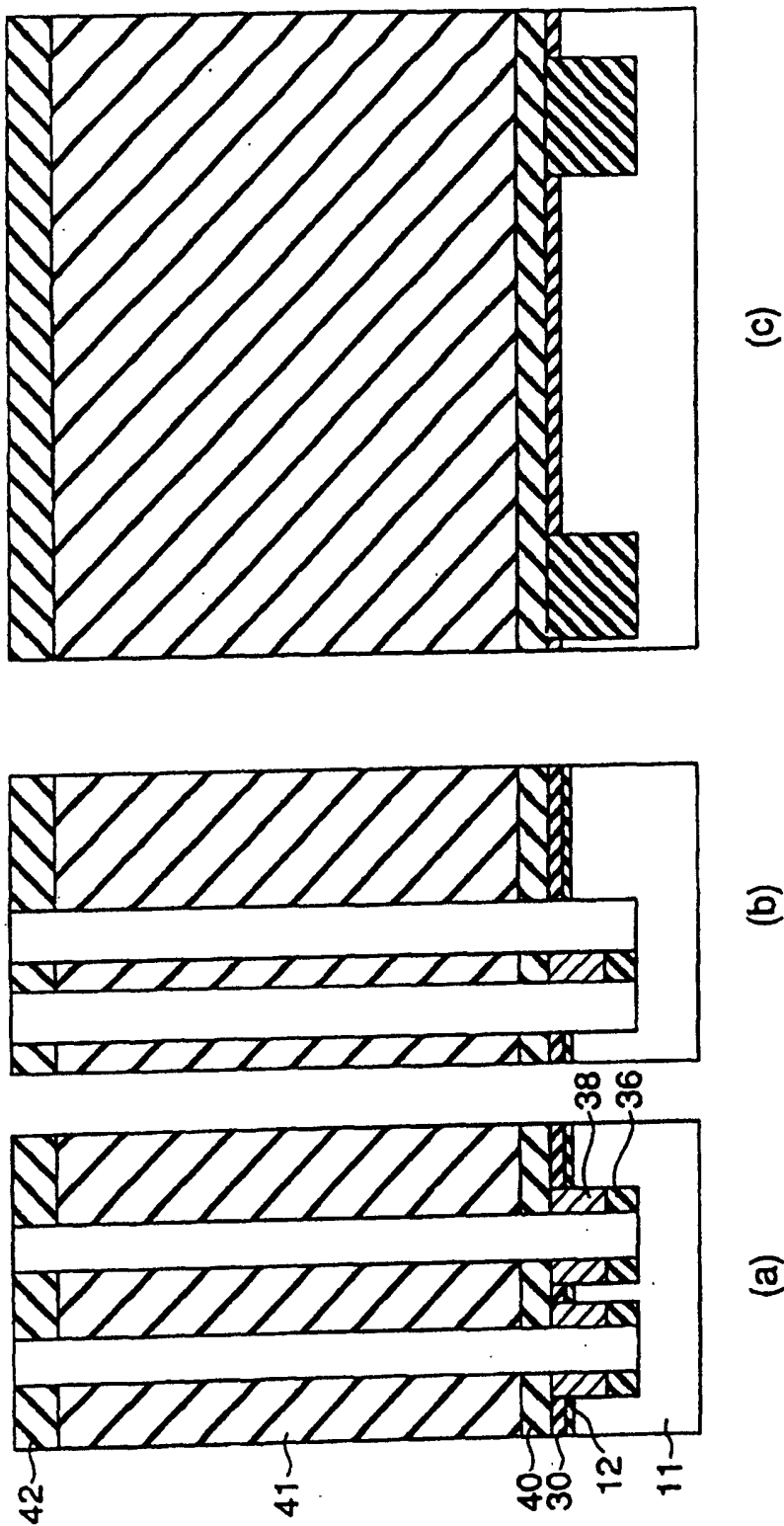


图 13

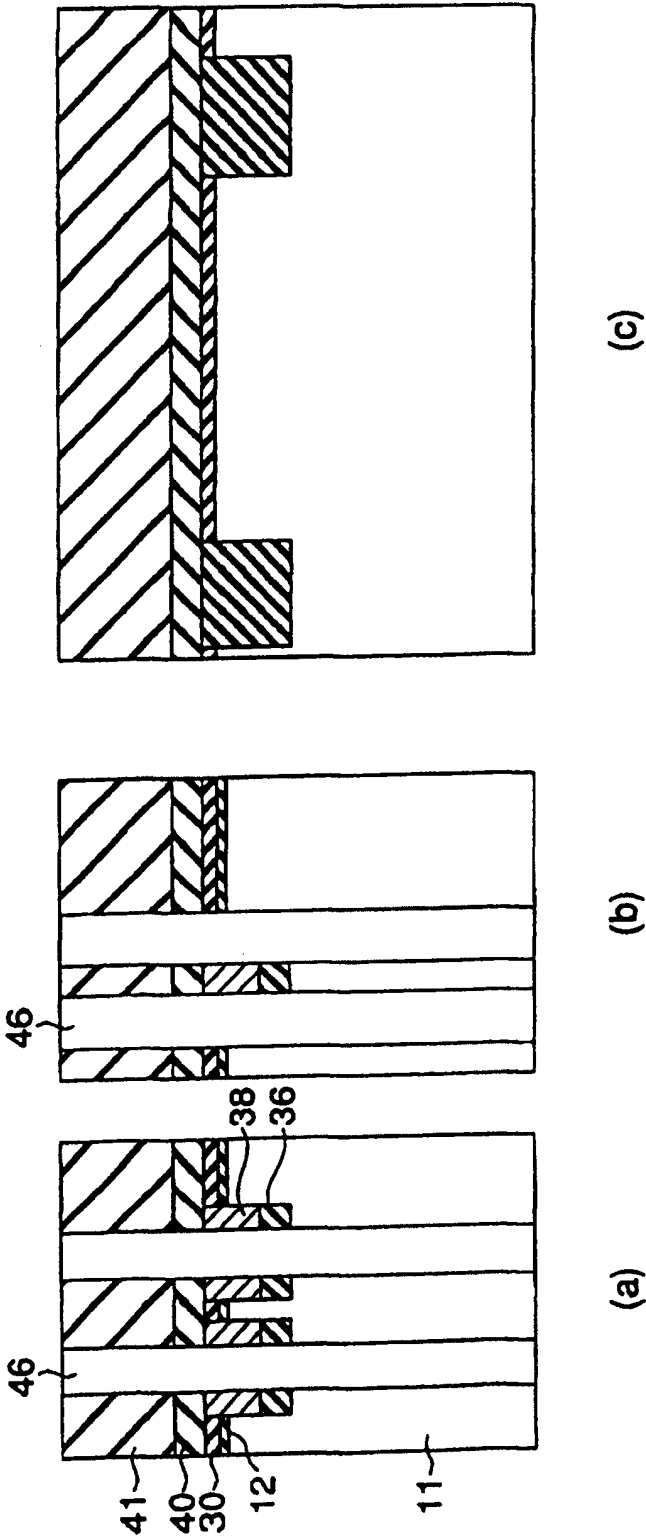


图 14

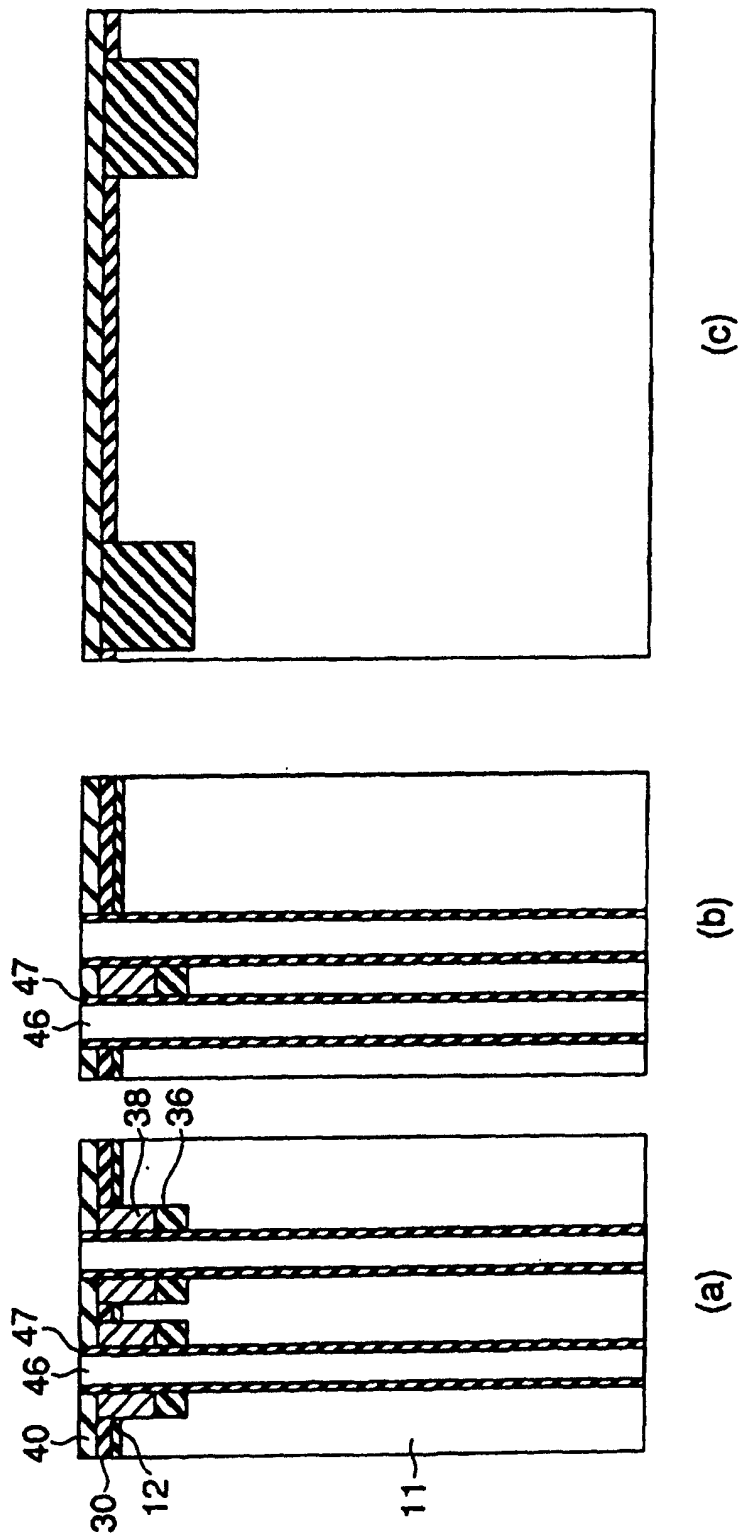


图 15

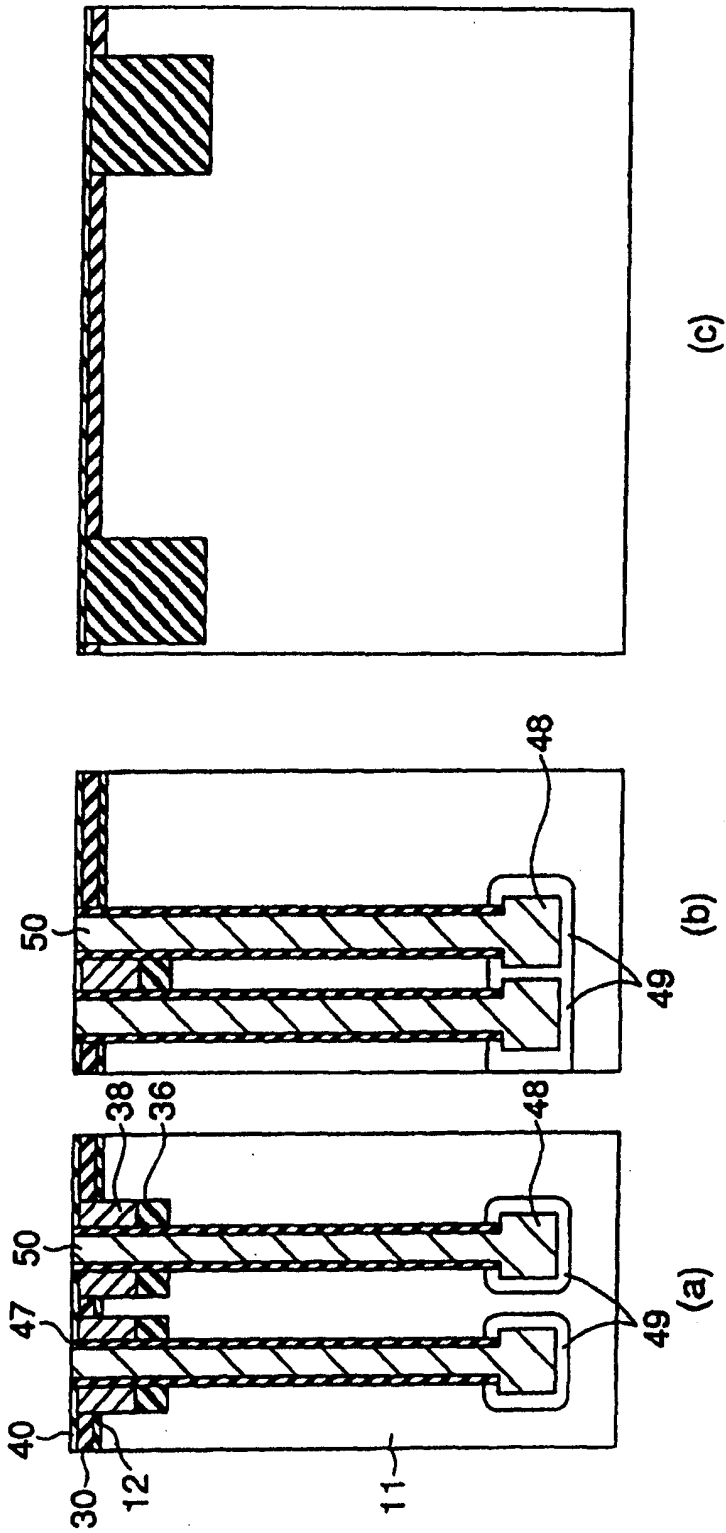


图 16

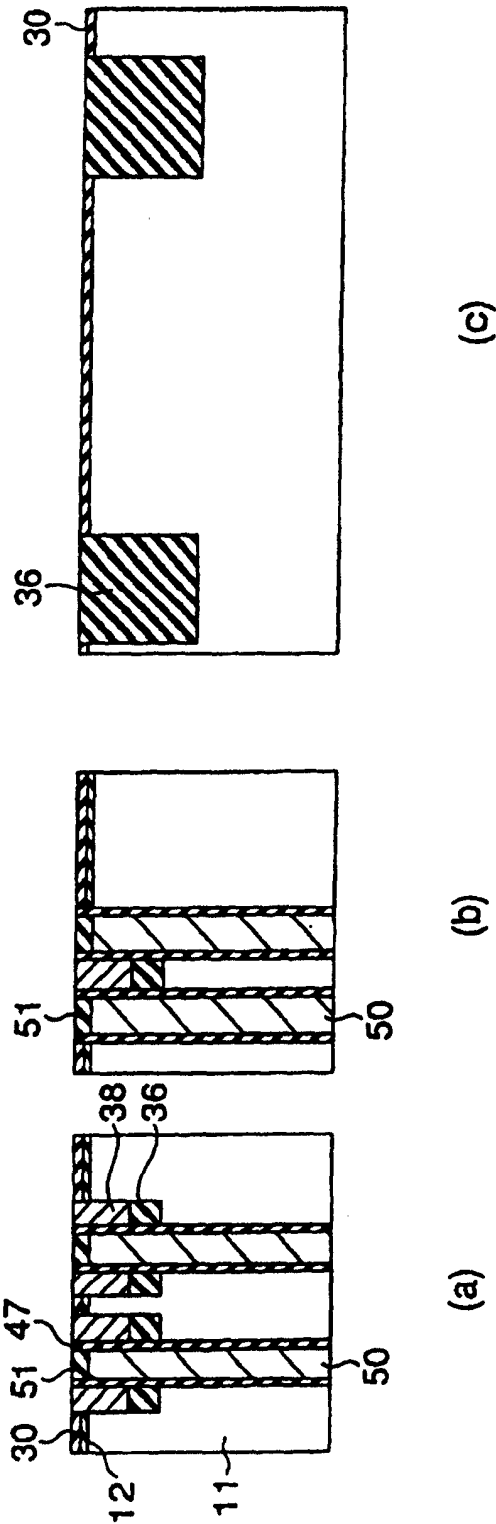


图 17

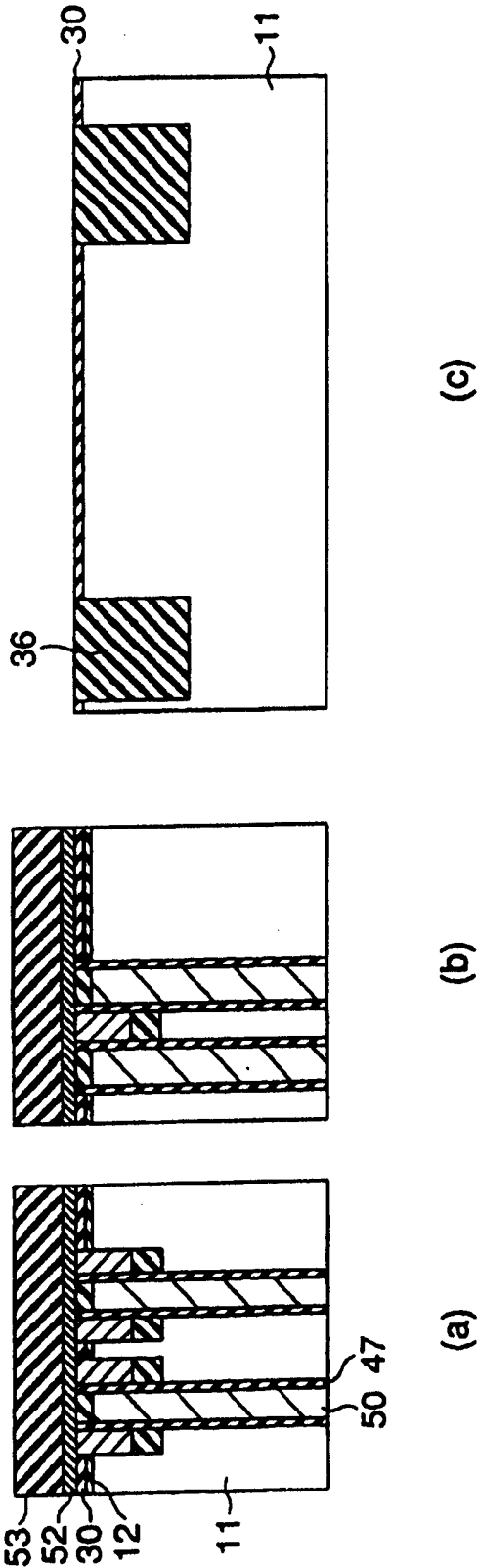


图 18

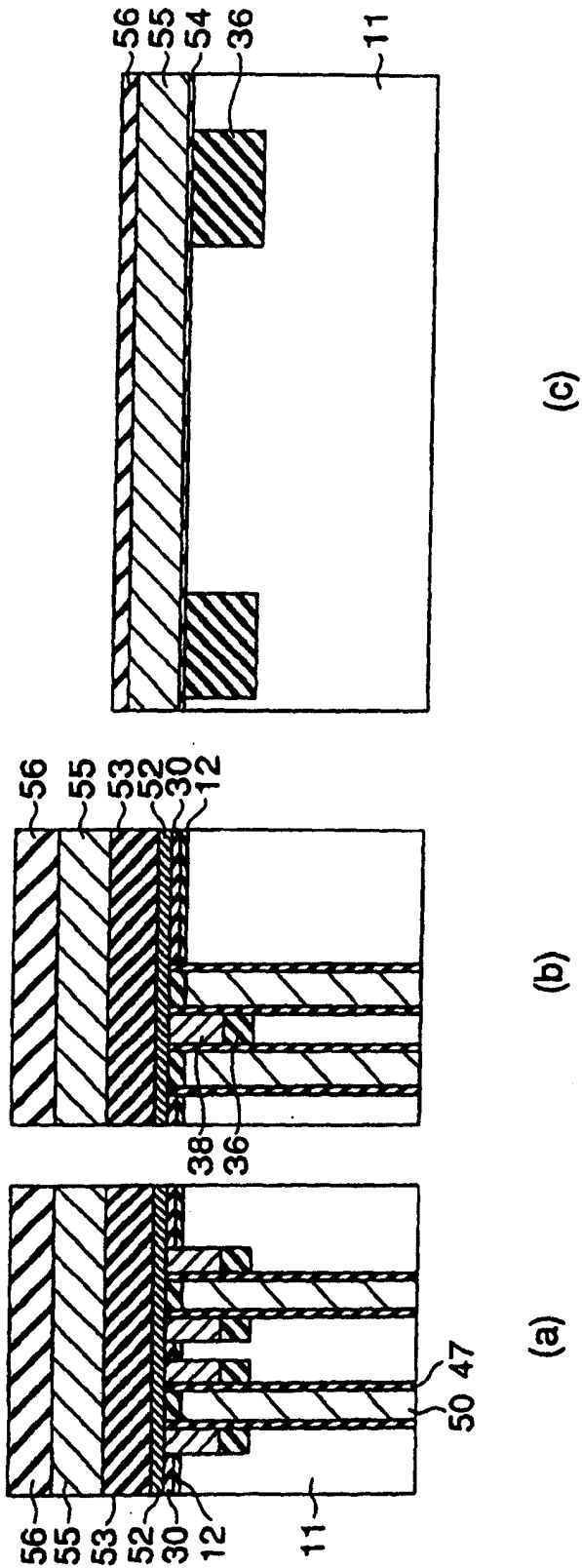


图 19

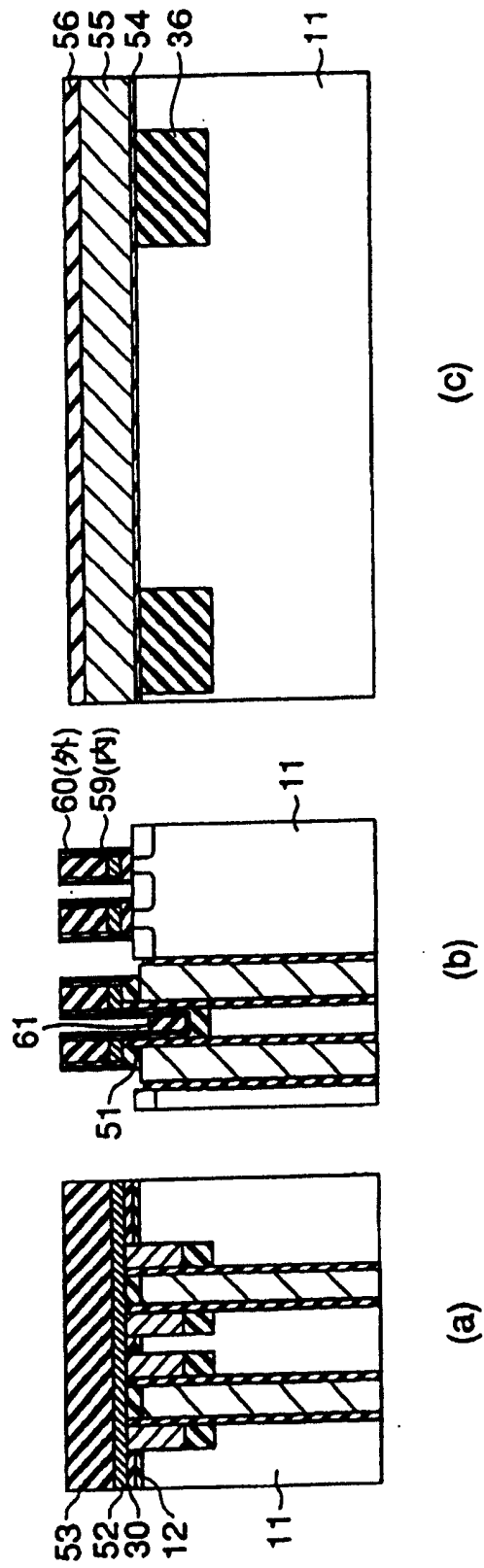


图 22

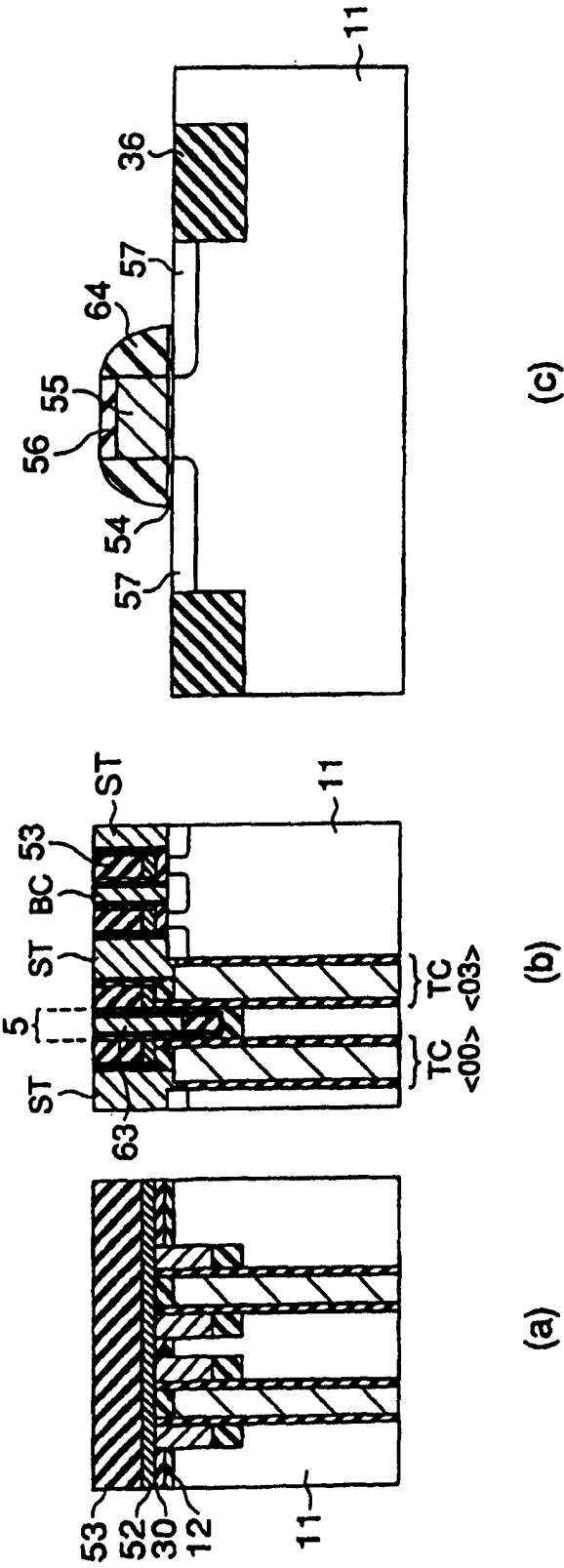


图 24

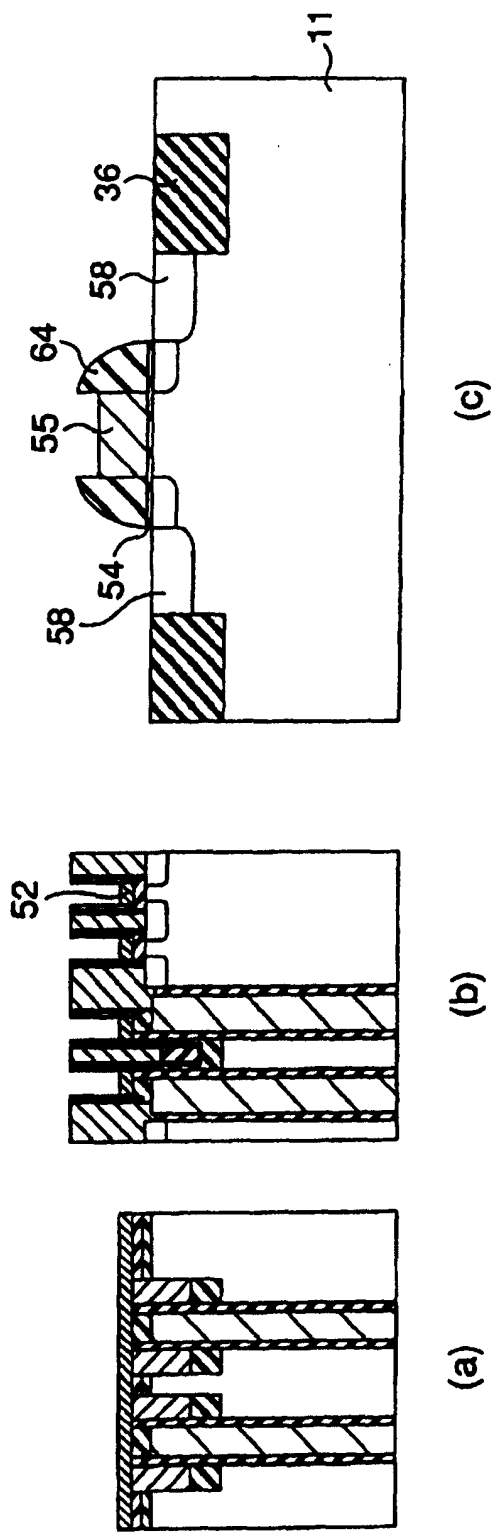


图 25

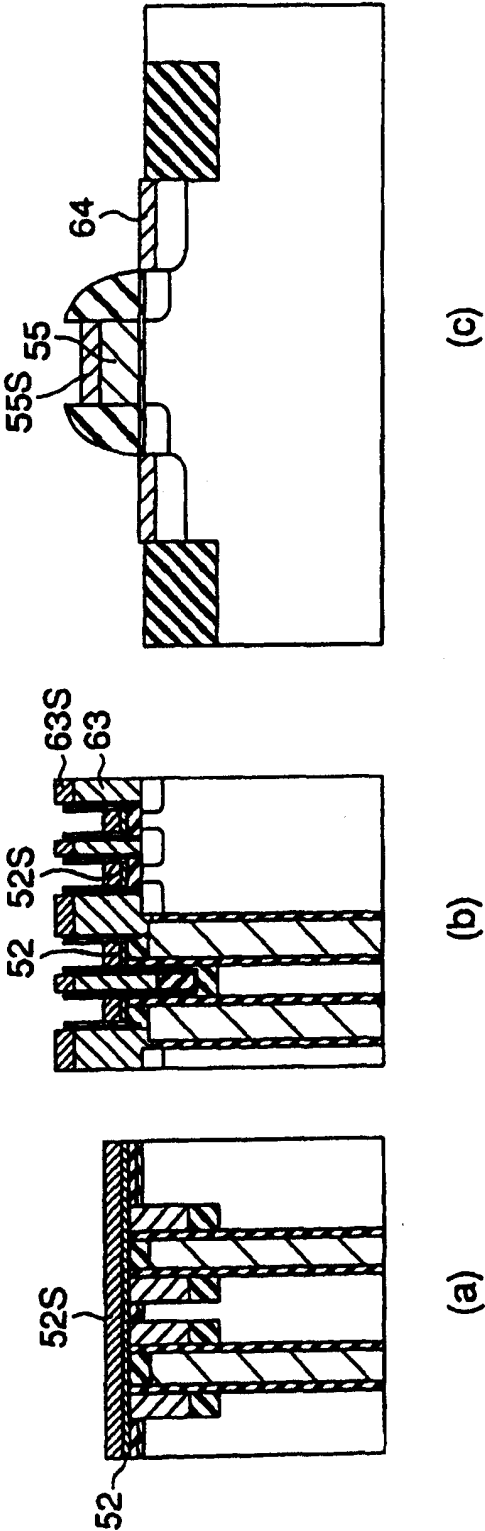


图 26

