

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-123665
(P2014-123665A)

(43) 公開日 平成26年7月3日(2014.7.3)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/095 (2006.01)	HO 1 L 29/80 E	5 F 1 0 2
HO 1 L 29/812 (2006.01)	HO 1 L 29/80 H	5 H 0 0 6
HO 1 L 29/778 (2006.01)	HO 2 M 7/12 Q	5 J 5 0 0
HO 1 L 21/338 (2006.01)	HO 3 F 3/24	
HO 2 M 7/12 (2006.01)	HO 3 F 1/22	

審査請求 未請求 請求項の数 9 O L (全 27 頁) 最終頁に続く

(21) 出願番号 特願2012-279707 (P2012-279707)
(22) 出願日 平成24年12月21日 (2012.12.21)

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番1号
(74) 代理人 100092978
弁理士 真田 有
(74) 代理人 100112678
弁理士 山本 雅久
(72) 発明者 山田 敦史
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
Fターム(参考) 5F102 GA02 GB01 GC01 GD01 GD10
GJ02 GJ03 GJ04 GJ10 GL04
GM04 GM08 GN04 GQ01 GR12
GS01 GT01 GV07 GV08
最終頁に続く

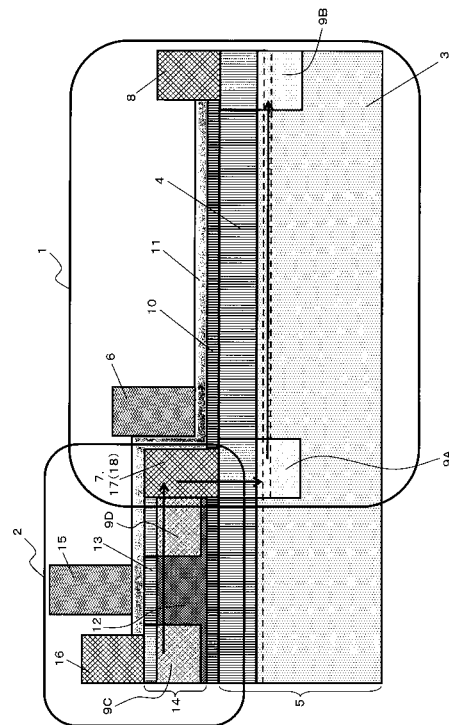
(54) 【発明の名称】 半導体装置及びその製造方法、電源装置、高周波増幅器

(57) 【要約】

【課題】 オン抵抗を低減し、高耐圧化を可能としながら、ノーマリオフを実現する。

【解決手段】 半導体装置を、第1ゲート電極6と、第1ソース電極7と、第1ドレイン電極8と、第1電子走行層3及び第1電子供給層4を含む第1窒化物半導体積層構造5とを有する第1トランジスタ1と、第2ゲート電極15と、第2ソース電極16と、第1ソース電極と共通電極18である第2ドレイン電極17と、第2ゲート電極の下方の領域にp型不純物を含む第2電子走行層12及び第2電子供給層13を含む第2窒化物半導体積層構造14とを有する第2トランジスタ2と、p型不純物拡散防止層10とを備え、第1窒化物半導体積層構造の上方にp型不純物拡散防止層を挟んで第2窒化物半導体積層構造が設けられており、第1ゲート電極と第2ソース電極とが電氣的に接続されて、第1トランジスタと第2トランジスタとがカスコード接続されているものとする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 ゲート電極と、第 1 ソース電極と、第 1 ドレイン電極と、第 1 電子走行層及び第 1 電子供給層を含む第 1 窒化物半導体積層構造とを有する第 1 トランジスタと、

第 2 ゲート電極と、第 2 ソース電極と、前記第 1 ソース電極と共通電極である第 2 ドレイン電極と、前記第 2 ゲート電極の下方の領域に p 型不純物を含む第 2 電子走行層及び第 2 電子供給層を含む第 2 窒化物半導体積層構造とを有する第 2 トランジスタと、

p 型不純物拡散防止層とを備え、

前記第 1 窒化物半導体積層構造の上方に前記 p 型不純物拡散防止層を挟んで前記第 2 窒化物半導体積層構造が設けられており、

前記第 1 ゲート電極と前記第 2 ソース電極とが電氣的に接続されて、前記第 1 トランジスタと前記第 2 トランジスタとがカスコード接続されていることを特徴とする半導体装置。

10

【請求項 2】

前記第 1 電子供給層は、前記第 2 電子供給層よりも厚くなっていることを特徴とする、請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 ゲート電極と前記第 1 ドレイン電極との間の距離が、前記第 1 ゲート電極と前記第 1 ソース電極との間の距離よりも大きくなっていることを特徴とする、請求項 1 又は 2 に記載の半導体装置。

20

【請求項 4】

前記共通電極である前記第 1 ソース電極及び前記第 2 ドレイン電極は、前記第 1 ドレイン電極及び前記第 2 ソース電極と同一の金属電極によって構成されることを特徴とする、請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記共通電極である前記第 1 ソース電極及び前記第 2 ドレイン電極は、前記第 2 窒化物半導体積層構造の表面から前記第 1 電子走行層まで延びる n 型不純物ドーピング領域によって構成されることを特徴とする、請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記共通電極である前記第 1 ソース電極及び前記第 2 ドレイン電極は、前記第 2 窒化物半導体積層構造の表面から前記第 1 窒化物半導体積層構造の表面まで延びる n 型半導体層によって構成されることを特徴とする、請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置。

30

【請求項 7】

トランジスタチップを備え、

前記トランジスタチップは、

第 1 ゲート電極と、第 1 ソース電極と、第 1 ドレイン電極と、第 1 電子走行層及び第 1 電子供給層を含む第 1 窒化物半導体積層構造とを有する第 1 トランジスタと、

第 2 ゲート電極と、第 2 ソース電極と、前記第 1 ソース電極と共通電極である第 2 ドレイン電極と、前記第 2 ゲート電極の下方の領域に p 型不純物を含む第 2 電子走行層及び第 2 電子供給層を含む第 2 窒化物半導体積層構造とを有する第 2 トランジスタと、

p 型不純物拡散防止層とを備え、

前記第 1 窒化物半導体積層構造の上方に前記 p 型不純物拡散防止層を挟んで前記第 2 窒化物半導体積層構造が設けられており、

前記第 1 ゲート電極と前記第 2 ソース電極とが電氣的に接続されて、前記第 1 トランジスタと前記第 2 トランジスタとがカスコード接続されていることを特徴とする電源装置。

40

【請求項 8】

入力信号を増幅するアンプを備え、

前記アンプは、トランジスタチップを含み、

前記トランジスタチップは、

50

第1ゲート電極と、第1ソース電極と、第1ドレイン電極と、第1電子走行層及び第1電子供給層を含む第1窒化物半導体積層構造とを有する第1トランジスタと、

第2ゲート電極と、第2ソース電極と、前記第1ソース電極と共通電極である第2ドレイン電極と、前記第2ゲート電極の下方の領域にp型不純物を含む第2電子走行層及び第2電子供給層を含む第2窒化物半導体積層構造とを有する第2トランジスタと、

p型不純物拡散防止層とを備え、

前記第1窒化物半導体積層構造の上方に前記p型不純物拡散防止層を挟んで前記第2窒化物半導体積層構造が設けられており、

前記第1ゲート電極と前記第2ソース電極とが電氣的に接続されて、前記第1トランジスタと前記第2トランジスタとがカスコード接続されていることを特徴とする高周波増幅器。

10

【請求項9】

半導体基板上に、第1電子走行層及び第1電子供給層を含む第1窒化物半導体積層構造、p型不純物拡散防止層、p型不純物を含む第2電子走行層及び第2電子供給層を含む第2窒化物半導体積層構造を形成し、

第1ゲート電極、第1ソース電極、第1ドレイン電極及び前記第1窒化物半導体積層構造を有する第1トランジスタを形成する第1トランジスタ形成領域の前記第2窒化物半導体積層構造を除去し、

前記第1トランジスタ形成領域の前記第1窒化物半導体積層構造の上方に前記第1ドレイン電極を形成するとともに、第2ゲート電極、第2ソース電極、第2ドレイン電極及び前記第2窒化物半導体積層構造を有する第2トランジスタを形成する第2トランジスタ形成領域の前記第2窒化物半導体積層構造の上方に前記第2ソース電極を形成し、

20

前記第1ソース電極及び前記第2ドレイン電極となる共通電極を形成し、

前記第1窒化物半導体積層構造の上方に前記第1ゲート電極を形成するとともに、前記第2窒化物半導体積層構造の上方に前記第2ゲート電極を形成し、

前記第1ゲート電極と前記第2ソース電極とを電氣的に接続して、前記第1トランジスタと前記第2トランジスタとをカスコード接続することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、半導体装置及びその製造方法、電源装置、高周波増幅器に関する。

【背景技術】

【0002】

窒化物半導体デバイスは、高い飽和電子速度やワイドバンドギャップなどの特徴を有する。この特徴を利用して高耐圧・高出力デバイスの開発が活発に行われている。

このような高耐圧・高出力デバイスに用いられる窒化物半導体デバイスとしては、電界効果トランジスタ、特に、高電子移動度トランジスタ（HEMT：High Electron Mobility Transistor）がある。

【0003】

40

例えば、GaN電子走行層上にAlGaN電子供給層を積層したHEMT構造を有するGaN-HEMT（AlGaN/GaN-HEMT）がある。GaN-HEMTでは、AlGaNとGaNとの格子定数差に起因した歪みがAlGaNに生じ、これにより、ピエゾ分極が生じる。そして、ピエゾ分極及びAlGaNの自発分極によって、高濃度の2次元電子ガス（2DEG：Dimensional electron gas）が得られる。このため、GaN-HEMTによって高耐圧・高出力デバイスを実現することができる。

【0004】

しかしながら、GaN-HEMTでは、高濃度の2DEGが得られるため、ノーマリオフを実現するのが難しい。

ノーマリオフを実現するための技術としては、例えば、ゲート電極直下の電子供給層を

50

エッチングして2DEGを分断することで、ノーマリオフの実現を可能とする技術がある。これを第1の技術という。また、例えば、ゲート電極直下にp型Ga_N層を追加して2DEGを打ち消すことで、ノーマリオフの実現を可能とする技術がある。これを第2の技術という。また、この構造をp-GaNゲート構造ともいう。また、例えば、ソース電極とゲート電極との間の電子供給層上に、p型不純物を添加した2次元電子ガス解消層、及び、n型不純物を添加した低抵抗層を設けることで、低ソース抵抗化と高電圧動作を両立しながら、ノーマリオフの実現を可能とする技術がある。これを第3の技術という。また、例えば、ソース電極とゲート電極の下方の電子走行層の一部の領域を、p型不純物をドーピングした領域とすることで、オン抵抗の低減と高耐圧化を両立しながら、ノーマリオフの実現を可能とする技術がある。これを第4の技術という。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2009-76845号公報

【特許文献2】特開2007-19309号公報

【特許文献3】国際公開第2010/016564号

【特許文献4】特開2004-260140号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

20

しかしながら、上述の第1の技術では、ノーマリオフ型のトランジスタのゲート電極直下にエッチングによるダメージが加わるため、オン抵抗の増加やリーク電流の増加が生じる。このため、オン抵抗を低減しながら、確実にノーマリオフを実現するのは難しい。

また、上述の第2の技術では、p型Ga_N層で2DEGを打ち消してノーマリオフを実現するためには電子供給層を薄くしなくてはならないが、この場合、オン抵抗を低減し、高耐圧化を実現するのは難しい。つまり、ノーマリオフを実現するために電子供給層を薄くすると、ゲート電極とドレイン電極との間の距離を離して高耐圧化を図ろうとしても、距離の増加に伴ってオン抵抗が増加してしまう。このため、オン抵抗を低減し、高耐圧化を可能としながら、ノーマリオフを実現するのは難しい。

【0007】

30

また、上述の第3の技術では、結晶成長時に2次元電子ガス解消層に添加されたp型不純物が電子供給層や電子走行層に拡散してしまうため、オン抵抗を低減し、高耐圧化を可能としながら、ノーマリオフを実現するのは難しい。例えば、上述の第3の技術では、電子供給層を厚くし、ゲート電極とドレイン電極との間の距離を離して、高耐圧化を図りながら、オン抵抗を低減しようとしても、低いオン抵抗を維持するのは難しい。また、上述の第3の技術では、単に2次元電子ガス解消層、低抵抗層を積層させた構造であり、電子の移動度が低く、チャンネル抵抗が高いため、オン抵抗を低減するのは難しい。

【0008】

また、上述の第4の技術では、結晶成長時に電子走行層の一部の領域にドーピングされたp型不純物が電子走行層の他の領域に拡散してしまうため、オン抵抗を低減し、高耐圧化を可能としながら、ノーマリオフを実現するのは難しい。例えば、上述の第4の技術では、電子供給層を厚くし、ゲート電極とドレイン電極との間の距離を離して、高耐圧化を図りながら、オン抵抗を低減しようとしても、低いオン抵抗を維持するのは難しい。

40

【0009】

そこで、オン抵抗を低減し、高耐圧化を可能としながら、ノーマリオフを実現したい。

【課題を解決するための手段】

【0010】

本半導体装置は、第1ゲート電極と、第1ソース電極と、第1ドレイン電極と、第1電子走行層及び第1電子供給層を含む第1窒化物半導体積層構造とを有する第1トランジスタと、第2ゲート電極と、第2ソース電極と、第1ソース電極と共通電極である第2ドレ

50

イン電極と、第2ゲート電極の下方の領域にp型不純物を含む第2電子走行層及び第2電子供給層を含む第2窒化物半導体積層構造とを有する第2トランジスタと、p型不純物拡散防止層とを備え、第1窒化物半導体積層構造の上方にp型不純物拡散防止層を挟んで第2窒化物半導体積層構造が設けられており、第1ゲート電極と第2ソース電極とが電氣的に接続されて、第1トランジスタと第2トランジスタとがカスコード接続されていることを要件とする。

【0011】

本電源装置は、変圧器と、変圧器を挟んで設けられた高圧回路及び低圧回路とを備え、高圧回路は、トランジスタチップを含み、トランジスタチップは、上記の半導体装置の構成を備えることを要件とする。

10

本高周波増幅器は、入力信号を増幅するアンプを備え、アンプは、トランジスタチップを含み、トランジスタチップは、上記の半導体装置の構成を備えることを要件とする。

【0012】

本半導体装置の製造方法は、半導体基板上に、第1電子走行層及び第1電子供給層を含む第1窒化物半導体積層構造、p型不純物拡散防止層、p型不純物を含む第2電子走行層及び第2電子供給層を含む第2窒化物半導体積層構造を形成し、第1ゲート電極、第1ソース電極、第1ドレイン電極及び前記第1窒化物半導体積層構造を有する第1トランジスタを形成する第1トランジスタ形成領域の第2窒化物半導体積層構造を除去し、第1トランジスタ形成領域の第1窒化物半導体積層構造の上方に第1ドレイン電極を形成するとともに、第2ゲート電極、第2ソース電極、第2ドレイン電極及び第2窒化物半導体積層構造を有する第2トランジスタを形成する第2トランジスタ形成領域の第2窒化物半導体積層構造の上方に第2ソース電極を形成し、第1ソース電極及び第2ドレイン電極となる共通電極を形成し、第1窒化物半導体積層構造の上方に第1ゲート電極を形成するとともに、第2窒化物半導体積層構造の上方に第2ゲート電極を形成し、第1ゲート電極と第2ソース電極とを電氣的に接続して、第1トランジスタと第2トランジスタとをカスコード接続することを要件とする。

20

【発明の効果】

【0013】

したがって、本半導体装置及びその製造方法、電源装置、高周波増幅器によれば、オン抵抗を低減し、高耐圧化を可能としながら、ノーマリオフを実現できるという利点がある。

30

【図面の簡単な説明】

【0014】

【図1】第1実施形態にかかる半導体装置の構成を示す模式的断面図である。

【図2】(A)～(D)は、第1実施形態にかかる半導体装置の製造方法を説明するための模式的断面図である。

【図3】(A)～(C)は、第1実施形態の変形例にかかる半導体装置の製造方法を説明するための模式的断面図である。

【図4】(A)、(B)は、第1実施形態の変形例にかかる半導体装置の製造方法及び半導体装置の構成を示す模式的断面図である。

40

【図5】(A)、(B)は、第1実施形態の第1変形例にかかる半導体装置の製造方法及び半導体装置の構成を示す模式的断面図である。

【図6】(A)、(B)は、第1実施形態の第2変形例にかかる半導体装置の製造方法及び半導体装置の構成を示す模式的断面図である。

【図7】第2実施形態にかかる半導体装置(半導体パッケージ)の構成を示す模式的平面図である。

【図8】第2実施形態にかかる電源装置に含まれるPFC回路の構成を示す模式図である。

【図9】第3実施形態の高周波増幅器の構成を示す模式図である。

【発明を実施するための形態】

50

【 0 0 1 5 】

以下、図面により、本発明の実施の形態にかかる半導体装置及びその製造方法、電源装置、高周波増幅器について説明する。

[第 1 実施形態]

まず、第 1 実施形態にかかる半導体装置及びその製造方法について、図 1 ~ 図 4 を参照しながら説明する。

【 0 0 1 6 】

本実施形態にかかる半導体装置は、化合物半導体装置であり、特に、窒化物半導体材料を用いた高耐圧・高出力デバイスである。なお、これを窒化物半導体デバイスともいう。

また、本半導体装置は、窒化物半導体材料を用いた電界効果トランジスタを備える。なお、これを窒化物半導体電界効果トランジスタともいう。

具体的には、本半導体装置は、図 1 に示すように、GaN系半導体材料を用いたGaN系デバイスであって、ノーマリオン型のトランジスタであるGaN-HEMT1と、ノーマリオフ型のトランジスタであるGaN-HEMT2とを備える。なお、図 1 では、点線で2DEGを示し、矢印で電流経路を示している。

【 0 0 1 7 】

なお、ノーマリオン型のトランジスタであるGaN-HEMTを、ノーマリオン型HEMT、ノーマリオンHEMT領域又は第1トランジスタともいう。また、ノーマリオフ型のトランジスタであるGaN-HEMTを、ノーマリオフ型HEMT、ノーマリオフHEMT領域又は第2トランジスタともいう。

ここでは、本半導体装置は、同一半導体基板上にノーマリオン型HEMT1及びノーマリオフ型HEMT2を設けた構造であって、ノーマリオン型HEMT1の上方にノーマリオフ型HEMT2を設け、これらをカスコード接続した構造を備える。

【 0 0 1 8 】

ここで、ノーマリオン型HEMT1は、図示しない半導体基板上に、i-GaN電子走行層3、n-AlGaN電子供給層4を積層させた第1窒化物半導体積層構造5を備え、さらに、ゲート電極6、ソース電極7及びドレイン電極8を備える。

本実施形態では、ソース電極7の直下のn-AlGaN電子供給層4及びi-GaN電子走行層3の一部の領域をn型不純物でドーピングしたn型不純物ドーピング領域をn型コンタクト領域9Aとし、このn型コンタクト領域9A(ここではn-AlGaN電子供給層のn型コンタクト領域)上にソース電極7を設けている。同様に、ドレイン電極8の直下のn-AlGaN電子供給層4及びi-GaN電子走行層3の一部の領域をn型不純物でドーピングしたn型不純物ドーピング領域をn型コンタクト領域9Bとし、このn型コンタクト領域9B(ここではn-AlGaN電子供給層のn型コンタクト領域)上にドレイン電極8を設けている。例えば、n型コンタクト領域9A、9Bは、例えばSiなどのn型不純物をイオン注入して形成すれば良い。この場合、n型コンタクト領域9A、9Bは、n型不純物イオン注入領域である。なお、第1窒化物半導体積層構造5上に設けられたAlN不純物拡散防止層10の表面は、例えばSiN膜11(パッシベーション膜;ゲート絶縁膜;絶縁膜)で覆われており、このSiN膜11上にゲート電極6が設けられている。ここでは、MIS(Metal Insulator Semiconductor)構造になっているが、ゲート電極6の直下の領域のSiN膜11を除去して、ショットキー構造としても良い。なお、ここでは、ソース電極7の直下及びドレイン電極8の直下にn型コンタクト領域9A、9Bを設けているが、これらのn型コンタクト領域9A、9Bは設けなくても良い。また、ソース電極7の直下及びドレイン電極8の直下のn-AlGaN電子供給層4の一部を除去して、ソース電極7及びドレイン電極8を設けても良い。

【 0 0 1 9 】

なお、第1窒化物半導体積層構造5を、化合物半導体積層構造、GaN-HEMT構造、AlGaN/GaN-HEMT構造、あるいは、GaN-HEMT結晶ともいう。また、第1窒化物半導体積層構造5は、少なくとも電子走行層及び電子供給層を含むものであれば良く、他の半導体層を含むものであっても良い。例えば、窒化物半導体を用いた電界

10

20

30

40

50

効果トランジスタなどの電界効果トランジスタを構成しうる窒化物半導体積層構造であれば良い。また、 i -Ga N 電子走行層3を第1電子走行層ともいう。また、 n -AlGa N 電子供給層4を第1電子供給層ともいう。また、ゲート電極6を第1ゲート電極ともいう。また、ソース電極7を第1ソース電極ともいう。また、ドレイン電極8を第1ドレイン電極ともいう。

【0020】

また、本半導体装置では、上述の第1窒化物半導体積層構造5の上方に、Al N 不純物拡散防止層10が設けられている。このAl N 不純物拡散防止層10は、結晶成長時にその上方に設けられる p -Ga N 電子走行層12から n -AlGa N 電子供給層4や i -Ga N 電子走行層3へ p 型不純物が拡散するのを防止するためのものである。このため、Al N 不純物拡散防止層10を p 型不純物拡散防止層ともいう。

10

【0021】

なお、ここでは、 p 型不純物拡散防止層10としてAl N 層を用いているが、これに限られるものではなく、例えばAlGa N 層を用いても良い。つまり、 p 型不純物拡散防止層10は、AlGa N 又はAl N を含むものであれば良い。また、 p 型不純物拡散防止層10は、Al組成が0.5以上のAlGa N 又はAl N を含むものであることが好ましい。つまり、 p 型不純物拡散防止層10は、Al組成(Al含有率)がその下方に設けられる n -AlGa N 電子供給層4よりも多くなるようにするのが好ましい。本実施形態では、その下方に設けられる n -AlGa N 電子供給層4のAl組成は例えば0.3であり、 p 型不純物拡散防止層10としてAl N 層を用いているため、 p 型不純物拡散防止層10は、Al組成がその下方に設けられる n -AlGa N 電子供給層4よりもよりに多くなっている。これにより、 p 型不純物の拡散防止効果を高くすることができる。また、このように、 n -AlGa N 電子供給層4よりもAl組成が多い p 型不純物拡散防止層10は、自発分極及びピエゾ分極が大きいため、ノーマリオン型HEMT1の2DEGを増加させる効果もある。なお、 p 型不純物拡散防止層10のAl組成を多くするほど2DEGを増加させることができる。

20

【0022】

そして、Al N 不純物拡散防止層10の上方の一部の領域に、ノーマリオフ型HEMT2が設けられている。

ここで、ノーマリオフ型HEMT2は、 p -Ga N 電子走行層12、 n -AlGa N 電子供給層13を積層させた第2窒化物半導体積層構造14を備える。この第2窒化物半導体積層構造14は、ノーマリオン型HEMT1を構成する第1窒化物半導体積層構造5の上方にAl N 不純物拡散防止層10を挟んで積層されている。

30

【0023】

そして、この第2窒化物半導体積層構造14に、ゲート電極15、ソース電極16及びドレイン電極17が設けられている。ここで、ドレイン電極17は、ノーマリオン型HEMT1のソース電極7と共通電極18である。ここでは、共通電極18であるノーマリオン型HEMT1のソース電極7及びノーマリオフ型HEMT2のドレイン電極17は、ノーマリオン型HEMT1のドレイン電極8及びノーマリオフ型HEMT2のソース電極16と同一の金属電極によって構成されている。

40

【0024】

本実施形態では、ソース電極16の直下の n -AlGa N 電子供給層13及び p -Ga N 電子走行層12の一部の領域を n 型不純物でドーピングした n 型不純物ドーピング領域を n 型コンタクト領域9Cとし、この n 型コンタクト領域9C(ここでは n -AlGa N 電子供給層13の n 型コンタクト領域)上にソース電極16を設けている。また、ドレイン電極17に接する n -AlGa N 電子供給層13及び p -Ga N 電子走行層12の一部の領域を n 型不純物でドーピングした n 型不純物ドーピング領域を n 型コンタクト領域9Dとし、この n 型コンタクト領域9Dに接するようにドレイン電極17を設けている。例えば、 n 型コンタクト領域9C、9Dは、例えばSiなどの n 型不純物をイオン注入して形成すれば良い。この場合、 n 型コンタクト領域9C、9Dは、 n 型不純物イオン注入領

50

域である。なお、第2窒化物半導体積層構造14の表面、即ち、第2窒化物半導体積層構造14を構成するn-AlGa_N電子供給層13の表面は、例えばSi₃N₄膜11(パッシベーション膜;ゲート絶縁膜;絶縁膜)で覆われており、このSi₃N₄膜11上にゲート電極15が設けられている。ここでは、MIS構造になっているが、ゲート電極15の直下の領域のSi₃N₄膜11を除去して、ショットキー構造としても良い。

【0025】

このように構成する場合、p-GaN電子走行層12は、ソース電極16側の領域がn型となり、ゲート電極15の直下の領域がp型となり、ドレイン電極17側の領域がn型となるため、ノーマリオフ型HEMT2は、npn構造を備えるものとなる。なお、両側のn型コンタクト領域9C、9Dはゲート電極15の直下の領域まで延びているのが好ましい。このように、ノーマリオフ型HEMT2の電子走行層12は、ゲート電極15の下方の領域にp型不純物を含むものであれば良い。

10

【0026】

なお、第2窒化物半導体積層構造14を、化合物半導体積層構造、GaN-HEMT構造、AlGa_N/GaN-HEMT構造、あるいは、GaN-HEMT結晶ともいう。また、第2窒化物半導体積層構造14は、少なくとも電子走行層及び電子供給層を含むものであれば良く、他の半導体層を含むものであっても良い。例えば、窒化物半導体を用いた電界効果トランジスタなどの電界効果トランジスタを構成しうる窒化物半導体積層構造であれば良い。また、p-GaN電子走行層12を第2電子走行層ともいう。また、n-AlGa_N電子供給層13を第2電子供給層ともいう。また、ゲート電極15を第2ゲート電極ともいう。また、ソース電極16を第2ソース電極ともいう。また、ドレイン電極17を第2ドレイン電極ともいう。

20

【0027】

特に、本実施形態では、電子走行層12にp-GaN層を用いることで、ノーマリオフを実現している。つまり、電子走行層12にp-GaN層を用いることで、ゲート電極15の下方の領域でバンドが引き上げられ、これにより、p-GaN電子走行層12とn-AlGa_N電子供給層13との界面の伝導帯のエネルギーレベルがフェルミレベルよりも高くなり、2DEGの発生が抑制され、ノーマリオフが実現される。この場合、従来のp-GaNゲート構造の場合、即ち、ゲート電極と電子供給層との間にp-GaN層を設ける場合と比較して、チャネル領域(電子が走行する領域)のより近くにp-GaN層12を配置できるため、より容易にノーマリオフを実現できるようになる。また、この場合、p-GaN層12に添加されるp型不純物の濃度に比例してノーマリオフ型HEMT2のしきい値が決まるため、p-GaN層12に添加されるp型不純物の濃度によってしきい値の制御が可能となる。このため、従来のp-GaNゲート構造の場合と比較して、しきい値の制御が容易になる。

30

【0028】

また、本実施形態では、ノーマリオフを実現するためのトランジスタが、電子走行層12にp型不純物を含むものとしているものの、電子走行層12と電子供給層13とを含むHEMT構造を備えるものとしているため、電子の移動度が高く、一般的なMOSFETよりも高速化が可能で高性能なノーマリオフ型のトランジスタを実現できる。

40

また、本実施形態では、p-GaN電子走行層12は、p型不純物としてMgをドーピングしたものである。なお、p-GaN電子走行層12にドーピングされるp型不純物は、これに限られるものではなく、例えば、Be、Fe、Cなどであっても良い。つまり、p-GaN電子走行層12は、GaNを含み、p型不純物としてBe、Mg、Fe、Cのいずれかを含むものであれば良い。また、本実施形態では、電子供給層13としてAlGa_Nを用いているが、これに限られるものではなく、電子供給層13は、AlGa_N、InAl_N、AlInGa_Nのいずれかを含むものであれば良い。

【0029】

ところで、本実施形態では、ノーマリオン型HEMT1を構成する第1窒化物半導体積層構造5上に設けられたAl_N不純物拡散防止層10の表面、及び、ノーマリオフ型HE

50

MT2を構成する第2窒化物半導体積層構造14の表面だけでなく、共通電極18であるノーマリオン型HEMT1のソース電極7及びノーマリオフ型HEMT2のドレイン電極17の表面も、例えばSiN膜11(パッシベーション膜;ゲート絶縁膜;絶縁膜)で覆われている。

【0030】

そして、本実施形態では、ノーマリオン型HEMT1のドレイン電極8、ノーマリオフ型HEMT2のゲート電極15及びソース電極16のそれぞれに、配線やパッド等が接続されている。また、ノーマリオン型HEMT1のゲート電極6とノーマリオフ型HEMT2のソース電極16とが電氣的に接続されて、ノーマリオン型HEMT1とノーマリオフ型HEMT2とがカスコード接続されている。ここでは、ノーマリオフ型HEMT2のソース電極16が接地されているため、これに、ノーマリオン型HEMT1のゲート電極6を電氣的に接続している。つまり、ソース接地のノーマリオフ型HEMT2とゲート接地のノーマリオン型HEMT1とを直列に接続することで、ノーマリオン型HEMT1とノーマリオフ型HEMT2とをカスコード接続している。

10

【0031】

このように構成された本半導体装置では、ノーマリオン型HEMT1の電子供給層4及び電子走行層3の上方にp型不純物拡散防止層10を挟んでノーマリオフ型HEMT2のp型不純物を含む電子走行層12を設けているため、結晶成長時にノーマリオフ型HEMT2の電子走行層12に含まれるp型不純物がノーマリオン型HEMT1の電子供給層4や電子走行層3に拡散してしまうのを防止することができる。また、上述のように、n-AlGaN電子供給層4よりもAl組成が多いp型不純物拡散防止層10を用いることで、ノーマリオン型HEMT1の2DEGを増加させることができる。これにより、オン抵抗を低減し、高耐圧化を可能としながら、ノーマリオフを実現することが可能となる。

20

【0032】

また、ノーマリオフ型HEMT2は、電子走行層12にp-GaN層を用いており、p型不純物が含まれているものの、電子走行層12と電子供給層13とを含むHEMT構造を備えるため、電子の移動度が高く、チャネル抵抗が低いため、オン抵抗を低減することができ、これにより、高耐圧化を可能としながら、ノーマリオフを実現することが可能となる。

【0033】

また、後述のように、ノーマリオフ型HEMT2は、エッチングによるダメージが加わらない。このため、エッチングによるダメージに起因してオン抵抗の増加やリーク電流の増加が生じることはない。したがって、オン抵抗を低減しながら、確実にノーマリオフを実現することが可能となる。

30

また、ノーマリオフ型HEMT2は、電子走行層12にp-GaN層を用いており、この場合、p-GaN層12に添加されるp型不純物の濃度に比例してしきい値が決まるため、p-GaN層12に添加されるp型不純物の濃度によってしきい値の制御が可能となる。このため、しきい値の制御が容易になる。例えば、従来p-GaNゲート構造の場合と比較して、しきい値の制御が容易になり、また、ノーマリオフの実現も容易になる。

【0034】

また、同一半導体基板上に設けられたノーマリオン型HEMT1とノーマリオフ型HEMT2とをカスコード接続(モノリシックカスコード接続)した構造であるため、例えば異なる半導体基板上に設けられたSi-MOSFETとGaN-HEMTとをカスコード接続(ハイブリッドカスコード接続)した構造と比較して、配線の長さを短縮することができ、これにより、回路のリアクタンスが低減でき、より高速化が可能となる。

40

【0035】

また、上述のように構成された本半導体装置では、ノーマリオフ型HEMT2でノーマリオフ機能は実現することができるため、ノーマリオン型HEMT1は、ノーマリオフ機能を考慮せずに独立に設計することが可能となる。

つまり、ノーマリオン型HEMT1では、ノーマリオフ機能を考慮しなくて良いため、

50

オン抵抗が低くなるように、2DEG量、即ち、電子供給層4の厚さを独自に設定可能である。このため、ノーマリオン型HEMT1は、電子供給層4の厚さを厚くすることで、2DEGを増加させ、オン抵抗を低減させることが可能である。つまり、ノーマリオン型HEMT1は、オン抵抗を低減させるために、電子供給層4の厚さを厚くするのが好ましい。例えば、ノーマリオン型HEMT1の電子供給層4は、ノーマリオフ型HEMT2の電子供給層13よりも厚くするのが好ましい。このように、ノーマリオン型HEMT1の電子供給層4を厚くする場合、電子供給層4による抵抗を下げるため、ソース電極7の直下及びドレイン電極8の直下にn型コンタクト領域9A、9Bを設けるのが好ましい。但し、電子供給層4の厚さを厚くすると、2DEG量が多くなるため、これらのn型コンタクト領域9A、9Bは設けなくても良い。また、ノーマリオン型HEMT1は、ゲート電極6とドレイン電極8との間の距離を離すことで、高耐圧化を図ることが可能である。つまり、ノーマリオン型HEMT1は、高耐圧化を図るために、ゲート電極6とドレイン電極8との間の距離を大きくすることが好ましい。例えば、ノーマリオン型HEMT1は、ゲート電極6とドレイン電極8との間の距離が、ゲート電極6とソース電極7との間の距離よりも大きくなるように、ゲート電極6、ドレイン電極8及びソース電極7を設けるのが好ましい。

10

【0036】

したがって、ノーマリオン型HEMT1では、ゲート電極6とドレイン電極8との間の距離を離して高耐圧化を図る場合に、電子供給層4の厚さを厚くすることで、距離の増加に伴ってオン抵抗が増加してしまうのを抑制することができる。つまり、オン抵抗を低減しながら、高耐圧化を図ることが可能である。このため、ノーマリオン型HEMT1を、高耐圧機能領域ともいう。

20

【0037】

そして、上述のように、この高耐圧機能領域としてのノーマリオン型HEMT1と、ノーマリオフ機能領域としてのノーマリオフ型HEMT2とを組み合わせることで、オン抵抗の低減と高耐圧化を両立しながら、ノーマリオフを実現することが可能となる。つまり、ノーマリオフ機能領域と高耐圧機能領域とを分離し、カスコード接続することによって、オン抵抗の低減と高耐圧化を両立しながら、ノーマリオフ型のデバイスを実現することが可能となる。

【0038】

特に、上述のように、結晶成長時にノーマリオフ型HEMT2の電子走行層12に含まれるp型不純物がノーマリオン型HEMT1の電子供給層4や電子走行層3に拡散してしまうのを防止することができるため、ノーマリオン型HEMT1の低いオン抵抗を維持することが可能となる。

30

次に、本実施形態にかかる半導体装置の製造方法について、図2～図4を参照しながら説明する。

【0039】

まず、図2(A)に示すように、図示しない半導体基板上に、第1電子走行層となるi-GaN層3、第1電子供給層となるn-AlGaN層4、p型不純物拡散防止層となるAlN層10、第2電子走行層となるp-GaN層12、第2電子供給層となるn-AlGaN層13を形成する。

40

ここで、半導体基板としては、例えば半絶縁性SiC基板20を用いれば良い[図3(A)参照]。また、半導体基板20と第1電子走行層となるi-GaN層3との間に、例えば核形成層21やバッファ層22を形成しても良い[図3(A)参照]。また、第1電子走行層となるi-GaN層3の厚さは、例えば約3 μ mとすれば良い。また、第1電子走行層となるi-GaN層3と第1電子供給層となるn-AlGaN層4との間に、第1スペーサ層となるi-AlGaN層23を設けても良い[図3(A)参照]。この場合、第1スペーサ層となるi-AlGaN層23の厚さは、例えば約5nmとすれば良い。また、第1電子供給層となるn-AlGaN層4は、その厚さを例えば約30nmとし、Al組成を0.3、即ち、Al_xGa_{1-x}Nにおいてx=0.3とし、n型不純物として

50

例えばSiを用い、そのドーピング濃度を例えば約 $5 \times 10^{18} \text{ cm}^{-3}$ 程度とすれば良い。また、p型不純物拡散防止層となるAlN (Al_xGa_{1-x}Nにおいてx=1)層10の厚さは、例えば約5nmとすれば良い。また、第2電子走行層となるp-GaN層12は、その厚さを例えば約100nmとし、p型不純物として例えばMgを用い、そのドーピング濃度を例えば約 $1 \times 10^{21} \text{ cm}^{-3}$ 程度とすれば良い。また、第2電子走行層となるp-GaN層12と第2電子供給層となるn-AlGaN層13との間に、第2スペーサ層となるi-AlGaN層24を設けても良い[図3(A)参照]。この場合、第2スペーサ層となるi-AlGaN層24の厚さは、例えば約5nmとすれば良い。また、第2電子供給層となるn-AlGaN層13は、その厚さを例えば約30nmとし、n型不純物として例えばSiを用い、そのドーピング濃度を例えば約 $5 \times 10^{18} \text{ cm}^{-3}$ 程度とすれば良い。また、結晶成長法としては、例えば有機金属気相成長(MOVPE: Metal Organic Vapor Phase Epitaxy)法などを用いれば良い。また、各窒化物半導体層を形成するための原料ガスとしては、TMA(トリメチルアルミニウム)、TMG(トリメチルガリウム)及びNH₃(アンモニア)の混合ガスを用い、成長させる窒化物半導体層に応じて、Al源であるTMA、Ga源であるTMGの供給の有無及び流量を適宜調整すれば良い。

10

【0040】

なお、半導体基板として半絶縁性SiC基板20を用い、その上に、核形成層21、バッファ層22、第1電子走行層となるi-GaN層3、第1スペーサ層となるi-AlGaN層23、第1電子供給層となるn-AlGaN層4、p型不純物拡散防止層となるAlN層10、第2電子走行層となるp-GaN層12、第2スペーサ層となるi-AlGaN層24、第2電子供給層となるn-AlGaN層13を形成する場合、図3(A)に示すようになる。

20

【0041】

また、第2電子走行層となるp-GaN層12に含まれるp型不純物(例えばMg)は、結晶成長時に非常に拡散しやすい。しかしながら、第2電子走行層となるp-GaN層12の下方に、p型不純物拡散防止層となるAlN層10が設けられており、その下方の第1電子供給層となるn-AlGaN層4及び第1電子走行層となるi-GaN層3が、p型不純物拡散防止層となるAlN層10によって覆われている。このため、第2電子走行層となるp-GaN層12を形成するための結晶成長時に、第2電子走行層となるp-GaN層12に含まれるp型不純物(例えばMg)が、その下方の第1電子供給層となるn-AlGaN層4及び第1電子走行層となるi-GaN層3に拡散するのを防止することができる。これにより、オン抵抗が増加してしまうなどの性能の低下を生じないようにすることができる。また、p型不純物拡散防止層となるAlN層10は、ノーマリオン型HEMT1の2DEGを増加させる効果もある。

30

【0042】

なお、ここでは、p型不純物拡散防止層10としてAlN層を形成しているが、これに限られるものではなく、例えばAlGaN層を形成しても良い。つまり、p型不純物拡散防止層10は、AlGaN又はAlNによって形成すれば良い。特に、p型不純物拡散防止層10は、Al組成が0.5以上のAlGaN又はAlNによって形成するのが好ましい。また、ここでは、第2電子走行層12として、p型不純物としてMgをドーピングしたp-GaN層を形成しているが、これに限られるものではなく、p型不純物として、例えば、Be、Fe、Cなどをドーピングしたp-GaN層を形成しても良い。つまり、第2電子走行層となるp-GaN層12として、GaNを含み、p型不純物としてBe、Mg、Fe、Cのいずれかを含むものを形成すれば良い。また、ここでは、第2電子供給層として、AlGaN層13を形成しているが、これに限られるものではなく、AlGaN、InAlN、AlInGaNのいずれかを含む層を形成すれば良い。また、第1電子供給層4の厚さは厚くすることが好ましい。例えば、第1電子供給層4は、第2電子供給層13よりも厚く形成することが好ましい。これにより、2DEGを増加させ、オン抵抗を低減させることができる。また、ゲート電極6とドレイン電極8との間の距離を大きくす

40

50

るのが好ましい。これにより、高耐圧化を図ることが可能となる。例えば、ゲート電極 6 とドレイン電極 8 との間の距離が、ゲート電極 6 とソース電極 7 との間の距離よりも大きくなるように、ゲート電極 6、ドレイン電極 8 及びソース電極 7 を形成するのが好ましい。

【0043】

次に、図 2 (B) に示すように、例えばフォトリソグラフィ技術を用いて、ノーマリオフ型 H E M T 形成領域以外の領域、即ち、ノーマリオン型 H E M T 形成領域 [図 2 (B) 中、右側の領域] の n -AlGa_N 層 13 及び p -Ga_N 層 12 を例えばエッチングによって除去する。この際、 p 型不純物拡散防止層となる Al_N 層 10 は、エッチング停止層として機能する。このため、ノーマリオン型 H E M T 1 を構成する第 1 電子供給層となる n -AlGa_N 層 4 や第 1 電子走行層となる i -Ga_N 層 3 に、即ち、チャンネル領域 (アクセス領域) に、エッチングによるダメージが加わるのを抑制することが可能である。さらに、例えばフォトリソグラフィ技術を用いて、ノーマリオン型 H E M T 1 のソース電極形成領域及びドレイン電極形成領域の p 型不純物拡散防止層となる Al_N 層 10 を例えばエッチングによって除去する。

10

【0044】

これにより、ノーマリオン型 H E M T 1 を構成する第 1 窒化物半導体積層構造 5 として、 i -Ga_N 電子走行層 3 (第 1 電子走行層) 及び n -AlGa_N 電子供給層 4 (第 1 電子供給層) を積層した窒化物半導体積層構造が形成される。また、ノーマリオフ型 H E M T 2 を構成する第 2 窒化物半導体積層構造 14 として、 p -Ga_N 電子走行層 12 (第 2 電子走行層) 及び n -AlGa_N 電子供給層 13 (第 2 電子供給層) を積層した窒化物半導体積層構造が、 p 型不純物拡散防止層としての Al_N 不純物拡散防止層 10 を挟んで、ノーマリオン型 H E M T 1 を構成する第 1 窒化物半導体積層構造 5 の上方に形成される。

20

【0045】

なお、半導体基板として半絶縁性 SiC 基板 20 を使い、その上に、核形成層 21、バッファ層 22、第 1 電子走行層となる i -Ga_N 層 3、第 1 スペーサ層となる i -AlGa_N 層 23、第 1 電子供給層となる n -AlGa_N 層 4、 p 型不純物拡散防止層となる Al_N 層 10、第 2 電子走行層となる p -Ga_N 層 12、第 2 スペーサ層となる i -AlGa_N 層 24、第 2 電子供給層となる n -AlGa_N 層 13 を形成した場合、ノーマリオフ型 H E M T 形成領域以外の領域の n -AlGa_N 層 13、 i -AlGa_N 層 24 及び p -Ga_N 層 12 を例えばエッチングによって除去し、さらに、ノーマリオン型 H E M T 形成領域のソース電極形成領域及びドレイン電極形成領域の p 型不純物拡散防止層となる Al_N 層 10 を例えばエッチングによって除去すると、図 3 (B) に示すようになる。

30

【0046】

この場合、ノーマリオン型 H E M T 1 を構成する第 1 窒化物半導体積層構造 5 として、核形成層 21、バッファ層 22、 i -Ga_N 電子走行層 3 (第 1 電子走行層)、 i -AlGa_N 第 1 スペーサ層 23、 n -AlGa_N 電子供給層 4 (第 1 電子供給層) を積層した窒化物半導体積層構造が形成される。また、ノーマリオフ型 H E M T 2 を構成する第 2 窒化物半導体積層構造 14 として、 p -Ga_N 電子走行層 12 (第 2 電子走行層)、 i -AlGa_N 第 2 スペーサ層 24 及び n -AlGa_N 電子供給層 13 (第 2 電子供給層) を積層した窒化物半導体積層構造が、 p 型不純物拡散防止層としての Al_N 不純物拡散防止層 10 を挟んで、ノーマリオン型 H E M T 1 を構成する第 1 窒化物半導体積層構造 5 の上方に形成される。

40

【0047】

次に、図 2 (C) に示すように、ノーマリオン型 H E M T 1 のドレイン電極 8 が接することになる領域、ノーマリオフ型 H E M T 2 のソース電極 16 が接することになる領域、並びに、ノーマリオン型 H E M T 1 のソース電極 7 及びノーマリオフ型 H E M T 2 のドレイン電極 17 としての共通電極 18 が接することになる領域に、例えば Si などの n 型不純物をイオン注入し、例えば熱処理などの活性化処理を行なって、 n 型不純物ドーピング領域としての n 型コンタクト領域 9 A ~ 9 D を形成する。

50

【0048】

ここでは、ノーマリオン型HEMT1のドレイン電極8の下方となるn-AlGaIn電子供給層4及びi-GaN電子走行層3の一部に、例えばSiなどのn型不純物をイオン注入する。また、ノーマリオフ型HEMT2のソース電極16の下方となるn-AlGaIn電子供給層13及びp-GaN電子走行層12の一部に、例えばSiなどのn型不純物をイオン注入する。また、ノーマリオン型HEMT1のソース電極7及びノーマリオフ型HEMT2のドレイン電極17としての共通電極18の下方となるn-AlGaIn電子供給層4及びi-GaN電子走行層3の一部、並びに、ノーマリオン型HEMT1のソース電極7及びノーマリオフ型HEMT2のドレイン電極17としての共通電極18の側方となるn-AlGaIn電子供給層13及びp-GaN電子走行層12の一部に、例えばSiなどのn型不純物をイオン注入する。そして、例えば熱処理などの活性化処理を行なって、n型不純物ドーピング領域としてのn型コンタクト領域9A~9Dを形成する。これにより、ノーマリオフ型HEMT2に、npn構造が形成される。

【0049】

なお、半導体基板として半絶縁性SiC基板20を用い、その上に、核形成層21、バッファ層22、第1電子走行層となるi-GaN層3、第1スペーサ層となるi-AlGaIn層23、第1電子供給層となるn-AlGaIn層4、p型不純物拡散防止層となるAlN層10、第2電子走行層となるp-GaN層12、第2スペーサ層となるi-AlGaIn層24、第2電子供給層となるn-AlGaIn層13を形成した場合、ノーマリオン型HEMT1のドレイン電極8の下方となるn-AlGaIn電子供給層4、i-AlGaIn第1スペーサ層23及びi-GaN電子走行層3の一部に、例えばSiなどのn型不純物をイオン注入する。また、ノーマリオフ型HEMT2のソース電極16の下方となるn-AlGaIn電子供給層13、i-AlGaIn第2スペーサ層24及びp-GaN電子走行層12の一部に、例えばSiなどのn型不純物をイオン注入する。また、ノーマリオン型HEMT1のソース電極7及びノーマリオフ型HEMT2のドレイン電極17としての共通電極18の下方となるn-AlGaIn電子供給層4、i-AlGaIn第1スペーサ層23及びi-GaN電子走行層3の一部、並びに、ノーマリオン型HEMT1のソース電極7及びノーマリオフ型HEMT2のドレイン電極17としての共通電極18の側方となるn-AlGaIn電子供給層13、i-AlGaIn第2スペーサ層24及びp-GaN電子走行層12の一部に、例えばSiなどのn型不純物をイオン注入する。そして、例えば熱処理などの活性化処理を行なって、n型不純物ドーピング領域としてのn型コンタクト領域9A~9Dを形成する。この場合、図3(C)に示すようになる。

【0050】

なお、このn型コンタクト領域9A、9Bを形成せずに、例えば、ノーマリオン型HEMT1のドレイン電極形成領域の直下のn-AlGaIn電子供給層4の一部を除去し、ノーマリオン型HEMT1のソース電極7及びノーマリオフ型HEMT2のドレイン電極17としての共通電極形成領域の直下のn-AlGaIn電子供給層4の一部を除去しても良い。

【0051】

次に、図示していないが、例えばフォトリソグラフィ技術を用いて、素子間分離領域に開口部を有するレジスタマスクを形成し、このレジスタマスクを用いて、例えば塩素系ガスを用いたドライエッチング又はイオン注入法によって、素子間分離を行なう。

次に、図2(D)に示すように、ノーマリオン型HEMT1のドレイン電極8、ノーマリオフ型HEMT2のソース電極16、並びに、ノーマリオン型HEMT1のソース電極7及びノーマリオフ型HEMT2のドレイン電極17としての共通電極18を形成する。つまり、ノーマリオン型HEMT1の第1窒化物半導体積層構造5の上方に、ノーマリオン型HEMT1のドレイン電極8を形成し、ノーマリオフ型HEMT2の第2窒化物半導体積層構造14の上方に、ノーマリオフ型HEMT2のソース電極16を形成し、ノーマリオン型HEMT1の第1窒化物半導体積層構造5の上方及びノーマリオフ型HEMT2の第2窒化物半導体積層構造14の側方に、ノーマリオン型HEMT1のソース電極7及

びノーマリオフ型 HEMT 2 のドレイン電極 17 としての共通電極 18 を形成する。

【0052】

例えば、フォトリソグラフィ技術及び蒸着・リフトオフ技術を用いて、ノーマリオン型 HEMT 1 のドレイン電極形成領域、ノーマリオフ型 HEMT 2 のソース電極形成領域、並びに、ノーマリオン型 HEMT 1 のソース電極 7 及びノーマリオフ型 HEMT 2 のドレイン電極 17 としての共通電極形成領域に、Ta、Al を順に積層させて Ta / Al からなるドレイン電極 8、ソース電極 16 及び共通電極 18 を形成する。つまり、上述のようにして形成された n 型コンタクト領域 9A ~ 9D に接するように、Ta / Al からなるドレイン電極 8、ソース電極 16 及び共通電極 18 を形成する。この場合、Ta の厚さは例えば約 20 nm とし、Al の厚さは例えば約 200 nm とすれば良い。そして、例えば窒素雰囲気中にて約 400 から約 1000 の間、例えば 550 で熱処理を行ない、オーミック特性を確立する。このように、本実施形態では、共通電極 18 として、ドレイン電極 8 及び第 2 ソース電極 16 と同一の金属電極を形成する。

10

【0053】

なお、半導体基板として半絶縁性 SiC 基板 20 を用い、その上に、核形成層 21、バッファ層 22、第 1 電子走行層となる i - GaN 層 3、第 1 スペース層となる i - AlGaN 層 23、第 1 電子供給層となる n - AlGaN 層 4、p 型不純物拡散防止層となる AlN 層 10、第 2 電子走行層となる p - GaN 層 12、第 2 スペース層となる i - AlGaN 層 24、第 2 電子供給層となる n - AlGaN 層 13 を形成した場合、ノーマリオン型 HEMT 1 のドレイン電極 8、ノーマリオフ型 HEMT のソース電極 16、並びに、ノーマリオン型 HEMT 1 のソース電極 7 及びノーマリオフ型 HEMT 2 のドレイン電極 17 としての共通電極 18 を形成すると、図 4 (A) に示すようになる。なお、ノーマリオン型 HEMT 1 のソース電極 7 及びノーマリオフ型 HEMT 2 のドレイン電極 17 としての共通電極 18 は、図 2 (D) に示すような形状としても良いし、図 4 (A) に示すような形状としても良い。つまり、ノーマリオン型 HEMT 1 のソース電極 7 及びノーマリオフ型 HEMT 2 のドレイン電極 17 としての共通電極 18 は、ノーマリオフ型 HEMT 2 の一方の n 型コンタクト領域 9D の側面のみ に接するように形成しても良いし、側面及び上面に接するように形成しても良い。

20

【0054】

そして、図 2 (D) に示すように、表面に例えば SiN 膜 11 (パッシベーション膜 ; ゲート絶縁膜 ; 絶縁膜) を形成した後、SiN 膜 11 上に、ノーマリオン型 HEMT 1 のゲート電極 6、及び、ノーマリオフ型 HEMT 2 のゲート電極 15 を形成する。この場合、MIS 構造となる。つまり、ノーマリオン型 HEMT 1 を構成する第 1 窒化物半導体積層構造 5 の上方に、ノーマリオン型 HEMT 1 のゲート電極 6 を形成するとともに、ノーマリオフ型 HEMT 2 を構成する第 2 窒化物半導体積層構造 14 の上方に、ノーマリオフ型 HEMT 2 のゲート電極 15 を形成する。ここでは、ノーマリオフ型 HEMT 2 を構成する第 2 窒化物半導体積層構造 14 に含まれる p - GaN 電子走行層 12 の p 型不純物を含む領域、即ち、n 型不純物ドーピング領域以外の領域の上方に、ノーマリオフ型 HEMT 2 のゲート電極 15 を形成する。

30

【0055】

例えば、フォトリソグラフィ技術及び蒸着・リフトオフ技術を用いて、ゲート電極形成領域に、Ni、Au を順に積層させて Ni / Al からなる各ゲート電極 6、15 を形成する。この場合、Ni の厚さは例えば約 30 nm とし、Au の厚さは例えば約 400 nm とすれば良い。

40

なお、半導体基板として半絶縁性 SiC 基板 20 を用い、その上に、核形成層 21、バッファ層 22、第 1 電子走行層となる i - GaN 層 3、第 1 スペース層となる i - AlGaN 層 23、第 1 電子供給層となる n - AlGaN 層 4、p 型不純物拡散防止層となる AlN 層 10、第 2 電子走行層となる p - GaN 層 12、第 2 スペース層となる i - AlGaN 層 24、第 2 電子供給層となる n - AlGaN 層 13 を形成した場合であって、SiN 膜 11 を形成せずに、ノーマリオン型 HEMT 1 のゲート電極 6、及び、ノーマリオフ

50

型 H E M T 2 のゲート電極 1 5 を形成するとき、即ち、ショットキー構造とするときには、図 4 (B) に示すようになる。

【 0 0 5 6 】

その後、ノーマリオン型 H E M T 1 のドレイン電極 8、ノーマリオフ型 H E M T 2 のゲート電極 1 5 及びソース電極 1 6 のそれぞれに、配線やパッド等を接続する。また、ノーマリオン型 H E M T 1 のゲート電極 6 とノーマリオフ型 H E M T 2 のソース電極 1 6 とを電氣的に接続し、ノーマリオン型 H E M T 1 とノーマリオフ型 H E M T 2 とをカスコード接続する。

【 0 0 5 7 】

このようにして、ノーマリオン型 H E M T 1 の上方に p 型不純物拡散防止層 1 0 を挟んでノーマリオフ型 H E M T 2 が設けられ、これらのノーマリオン型 H E M T 1 とノーマリオフ型 H E M T 2 とがカスコード接続された本実施形態の半導体装置が完成する。

なお、ここでは、半導体基板として S i C 基板 2 0 を例に挙げているが、これに限られるものではなく、例えば、サファイア基板、S i 基板、G a N 基板などの半導体基板等の他の基板を用いても良い。また、ここでは、半絶縁性の基板 2 0 を用いているが、これに限られるものではなく、例えば、n 型導電性や p 型導電性の基板を用いても良い。

【 0 0 5 8 】

また、上述のソース電極 1 6、ドレイン電極 8、共通電極 1 8 及びゲート電極 6、1 5 の層構造は一例であり、上述のものに限られるものではなく、他の層構造であっても良い。例えば、上述のソース電極 1 6、ドレイン電極 8、共通電極 1 8 及びゲート電極 6、1 5 の層構造は、単層であっても良いし、多層であっても良い。また、上述のソース電極 1 6、ドレイン電極 8、共通電極 1 8 及びゲート電極 6、1 5 の形成方法についても、一例にすぎず、他のいかなる方法によって形成しても良い。

【 0 0 5 9 】

また、ここでは、ソース電極 1 6、ドレイン電極 8 及び共通電極 1 8 のオーミック特性を得るために熱処理を行なっているが、これに限られるものではなく、熱処理を行なわなくてもオーミック特性が得られるのであれば、ソース電極 1 6、ドレイン電極 8 及び共通電極 1 8 のオーミック特性を得るための熱処理は行なわなくても良い。また、ここでは、ゲート電極 6、1 5 に熱処理を施していないが、ゲート電極 6、1 5 に熱処理を施しても良い。

【 0 0 6 0 】

したがって、本実施形態にかかる半導体装置及びその製造方法によれば、オン抵抗を低減し、高耐圧化を可能としながら、ノーマリオフを実現できるという利点がある。

なお、本実施形態にかかる半導体装置の構成及び製造方法は、これに限られるものではなく、以下の各変形例の構成及び製造方法のようにしても良い。

まず、第 1 変形例について、図 5 (A)、図 5 (B) を参照しながら説明する。

【 0 0 6 1 】

第 1 変形例では、図 5 (B) に示すように、ノーマリオン型 H E M T 1 のソース電極 7 及びノーマリオフ型 H E M T 2 のドレイン電極 1 7 としての共通電極 1 8 を、金属電極によって形成するのに代えて、n 型不純物ドーピング領域 9 E によって形成している点が異なる。

なお、ここでは、半導体基板として半絶縁性 S i C 基板 2 0 を用い、その上に、核形成層 2 1、バッファ層 2 2、第 1 電子走行層となる i - G a N 層 3、第 1 スペーサ層となる i - A l G a N 層 2 3、第 1 電子供給層となる n - A l G a N 層 4、p 型不純物拡散防止層となる A l N 層 1 0、第 2 電子走行層となる p - G a N 層 1 2、第 2 スペーサ層となる i - A l G a N 層 2 4、第 2 電子供給層となる n - A l G a N 層 1 3 を形成した場合を例に挙げて説明する。

【 0 0 6 2 】

この場合、ノーマリオン型 H E M T 形成領域のソース電極形成領域の p 型不純物拡散防止層となる A l N 層 1 0 をエッチングによって除去せずに、図 5 (A) に示すように、ノ

10

20

30

40

50

ノーマリオン型 HEMT 1 のソース電極 7 及びノーマリオフ型 HEMT 2 のドレイン電極 17 としての共通電極形成領域に、例えば Si などの n 型不純物をイオン注入し、例えば熱処理などの活性化処理を行なって、共通電極 18 としての n 型不純物ドーピング領域 9E を形成すれば良い。つまり、ノーマリオン型 HEMT 1 のソース電極 7 及びノーマリオフ型 HEMT 2 のドレイン電極 17 としての共通電極形成領域において、ノーマリオフ型 HEMT 2 を構成する n-AlGaIn 電子供給層 13、i-AlGaIn 第 2 スペース層 24 及び p-GaN 電子走行層 12、AlN 不純物拡散防止層 10、ノーマリオン型 HEMT 1 を構成する n-AlGaIn 電子供給層 4、i-AlGaIn 第 1 スペース層 23 及び i-GaN 層電子走行層 3 の一部に、例えば Si などの n 型不純物をイオン注入し、例えば熱処理などの活性化処理を行なって、共通電極 18 としての n 型不純物ドーピング領域 9E (n 型不純物イオン注入領域) を形成すれば良い。このように、ノーマリオフ型 HEMT 2 を構成する第 2 窒化物半導体積層構造 14 の表面 (ここでは n-AlGaIn 電子供給層 13 の表面) からノーマリオン型 HEMT 1 を構成する第 1 窒化物半導体積層構造 5 に含まれる i-GaN 層電子走行層 (第 1 電子走行層) 3 まで延びる n 型不純物ドーピング領域 9E によって共通電極 18 を構成すれば良い。つまり、共通電極 18 として、第 2 窒化物半導体積層構造 14 の表面からノーマリオン型 HEMT 1 を構成する第 1 窒化物半導体積層構造 5 に含まれる i-GaN 層電子走行層 (第 1 電子走行層) 3 まで延びる n 型不純物ドーピング領域 9E を形成すれば良い。なお、この共通電極 18 としての n 型不純物ドーピング領域 9E の形成は、図 5 (A) に示すように、ノーマリオン型 HEMT 1 のドレイン電極形成領域及びノーマリオフ型 HEMT 2 のソース電極形成領域に n 型コンタクト領域 9B、9C を形成する際に行なえば良い。この場合、ノーマリオン型 HEMT 1 のドレイン電極 8 及びノーマリオフ型 HEMT 2 のソース電極 16 を形成する工程と、ノーマリオン型 HEMT 1 のソース電極 7 及びノーマリオフ型 HEMT 2 のドレイン電極 17 としての共通電極 18 を形成する工程とは、異なる工程となる。これに対し、上述の実施形態では、これらの工程は同一工程である。その後、図 5 (B) に示すように、ノーマリオン型 HEMT 1 のドレイン電極 8 及びノーマリオフ型 HEMT 2 のソース電極 16 を形成し、さらに、ノーマリオン型 HEMT 1 のゲート電極 6 及びノーマリオフ型 HEMT 2 のゲート電極 15 を形成すれば良い。なお、その他の構成及び製造方法の詳細は、上述の実施形態の場合と同様である。

【0063】

次に、第 2 変形例について、図 6 (A)、図 6 (B) を参照しながら説明する。

第 2 変形例では、図 6 (B) に示すように、n 型コンタクト領域として n 型不純物ドーピング領域 9A ~ 9D を形成するのに代えて、n 型コンタクト層として n 型半導体層 25A ~ 25C を形成している点が異なる。

なお、ここでは、半導体基板として半絶縁性 SiC 基板 20 を使い、その上に、核形成層 21、バッファ層 22、第 1 電子走行層となる i-GaN 層 3、第 1 スペース層となる i-AlGaIn 層 23、第 1 電子供給層となる n-AlGaIn 層 4、p 型不純物拡散防止層となる AlN 層 10、第 2 電子走行層となる p-GaN 層 12、第 2 スペース層となる i-AlGaIn 層 24、第 2 電子供給層となる n-AlGaIn 層 13 を形成した場合であって、n 型半導体層 25A ~ 25C として n-GaN 層を形成する場合を例に挙げて説明する。なお、n 型半導体層 25A ~ 25C は、これに限られるものではなく、例えば n-InGaIn 層を用いても良い。

【0064】

この場合、上述の実施形態の n 型コンタクト領域形成工程 [図 2 (C)、図 3 (C) 参照] に代えて、図 6 (A) に示すように、ノーマリオン型 HEMT 1 のドレイン電極形成領域の下方、ノーマリオフ型 HEMT 2 のソース電極形成領域の下方、並びに、ノーマリオン型 HEMT 1 のソース電極 7 及びノーマリオフ型 HEMT 2 のドレイン電極 17 としての共通電極形成領域の下方に、n-GaN を成長 (再成長) させて、n 型コンタクト層としての n-GaN 層 25A ~ 25C を形成すれば良い。この場合、共通電極形成領域の下方に形成される n 型コンタクト層としては、ノーマリオフ型 HEMT 2 を構成する第 2

窒化物半導体積層構造 14 の表面からノーマリオン型 HEMT 1 を構成する第 1 窒化物半導体積層構造 5 の表面まで延びる n - GaN 層 25 B (n 型半導体層) を形成すれば良い。例えば、フォトリソグラフィ及び熱 CVD 法によって、ノーマリオン型 HEMT 1 のドレイン電極形成領域、ノーマリオフ型 HEMT 2 のソース電極形成領域、並びに、ノーマリオン型 HEMT 1 のソース電極 7 及びノーマリオフ型 HEMT 2 のドレイン電極 17 としての共通電極形成領域に開口部を有する SiO₂ 膜 26 を形成し、SiO₂ 膜 26 上に GaN が成長しにくいという性質を利用して、例えば MOVPE 法によって、開口部に n - GaN を選択的にエピタキシャル成長させて、n 型コンタクト層としての n - GaN 層 25 A ~ 25 C を形成すれば良い。その後、図 6 (B) に示すように、n 型コンタクト層としての n - GaN 層 25 A ~ 25 C 上に、それぞれ、ノーマリオン型 HEMT 1 のドレイン電極 8、ノーマリオフ型 HEMT 2 のソース電極 16、並びに、ノーマリオン型 HEMT 1 のソース電極 7 及びノーマリオフ型 HEMT 2 のドレイン電極 17 としての共通電極 18 を形成し、さらに、マスクとして用いた SiO₂ 膜 26 を絶縁膜 (パッシベーション膜 ; ゲート絶縁膜) として残し、この SiO₂ 膜 26 上に、ノーマリオン型 HEMT 1 のゲート電極 6 及びノーマリオフ型 HEMT 2 のゲート電極 15 を形成すれば良い。この場合、MIS 構造となる。なお、その他の構成及び製造方法の詳細は、上述の実施形態の場合と同様である。

10

【 0065 】

なお、このように、n 型コンタクト領域として n 型不純物ドーピング領域 9 A ~ 9 D を形成するのに代えて、n 型コンタクト層として n 型半導体層 25 A ~ 25 C を形成する場合、ノーマリオン型 HEMT 1 のソース電極 7 及びノーマリオフ型 HEMT 2 のドレイン電極 17 としての共通電極 18 としての金属電極は設けなくても良い。この場合、n 型半導体層 25 B が、ノーマリオン型 HEMT 1 のソース電極 7 及びノーマリオフ型 HEMT 2 のドレイン電極 17 としての共通電極 18 として機能することになる。つまり、共通電極 18 であるソース電極 7 及びドレイン電極 17 は、第 2 窒化物半導体積層構造 14 の表面から第 1 窒化物半導体積層構造 5 の表面まで延びる n 型半導体層 25 B によって構成されることになる。この場合、ノーマリオン型 HEMT 1 のドレイン電極 8 及びノーマリオフ型 HEMT 2 のソース電極 16 を形成する工程と、ノーマリオン型 HEMT 1 のソース電極 7 及びノーマリオフ型 HEMT 2 のドレイン電極 17 としての共通電極 18 を形成する工程とは、異なる工程となる。つまり、ノーマリオン型 HEMT 1 のドレイン電極 8 及びノーマリオフ型 HEMT 2 のソース電極 16 を形成する工程とは別の工程で、共通電極 18 として、第 2 窒化物半導体積層構造 14 の表面から第 1 窒化物半導体積層構造 5 の表面まで延びる n 型半導体層 25 B を形成することになる。

20

30

【 0066 】

また、この第 2 変形例では、マスクとして用いた SiO₂ 膜 26 を残して絶縁膜として用い、MIS 構造としているが、これに限られるものではなく、例えば、マスクとして用いた SiO₂ 膜 26 を除去した後、ノーマリオン型 HEMT 1 のゲート電極 6 及びノーマリオフ型 HEMT 2 のゲート電極 15 を形成するようにしても良い。この場合、ショットキー構造となる。また、例えば、マスクとして用いた SiO₂ 膜 26 を除去した後、別の絶縁膜 (例えば SiN 膜 ; パッシベーション膜 ; ゲート絶縁膜) を形成し、その上に、ノーマリオン型 HEMT 1 のゲート電極 6 及びノーマリオフ型 HEMT 2 のゲート電極 15 を形成するようにしても良い。この場合、MIS 構造となる。

40

[第 2 実施形態]

次に、第 2 実施形態にかかる半導体装置及びその製造方法、電源装置について、図 7、図 8 を参照しながら説明する。

【 0067 】

本実施形態にかかる半導体装置は、上述の第 1 実施形態及び変形例のいずれかの半導体装置 (ノーマリオン型 HEMT 1 とノーマリオフ型 HEMT 2 をカスコード接続したトランジスタ回路を含む) を半導体チップとして備える半導体パッケージである。なお、半導体チップを HEMT チップ又はトランジスタチップともいう。

50

以下、ディスクリートパッケージを例に挙げて説明する。

【0068】

本半導体装置は、図7に示すように、上述の第1実施形態及び変形例のいずれかの半導体チップ34（ノーマリオン型HEMT1とノーマリオフ型HEMT2をカスコード接続したトランジスタ回路を含む）を搭載するステージ30と、ゲートリード37と、ソースリード39と、ドレインリード38と、ボンディングワイヤ36（ここではA1ワイヤ）と、封止樹脂40とを備える。なお、封止樹脂をモールド樹脂ともいう。

【0069】

そして、ステージ30上に搭載された半導体チップ34のゲートパッド31、ソースパッド32及びドレインパッド33は、それぞれ、ゲートリード37、ソースリード39及びドレインリード38に、A1ワイヤ36によって接続されており、これらが樹脂封止されている。ここでは、半導体チップ34は、ノーマリオフ型HEMT2のゲート電極15、ソース電極16、ノーマリオン型HEMT1のドレイン電極8が、それぞれ、ゲートパッド31、ソースパッド32、ドレインパッド33に接続されている。また、ノーマリオン型HEMT1のゲート電極6は、ノーマリオフ型HEMT2のソース電極16に電氣的に接続されている。このため、ノーマリオフ型HEMT2のゲート電極15、ソース電極16、ノーマリオン型HEMT1のドレイン電極8は、それぞれ、ゲートパッド31、ソースパッド32、ドレインパッド33を介して、ゲートリード37、ソースリード39、ドレインリード38に接続されていることになる。

【0070】

ここでは、半導体チップ34の基板裏面がダイアタッチ剤35（ここでははんだ）によって固定されたステージ30は、ドレインリード38と電氣的に接続されている。なお、これに限られるものではなく、ステージ30がソースリード39と電氣的に接続されるようにしても良い。

次に、本実施形態にかかる半導体装置（ディスクリートパッケージ）の製造方法について説明する。

【0071】

まず、上述の第1実施形態及び変形例のいずれかの半導体チップ34を、例えばダイアタッチ剤35（ここでははんだ）を用いてリードフレームのステージ30上に固定する。

次に、例えばA1ワイヤ36を用いたボンディングによって、半導体チップ34のゲートパッド31をゲートリード37に接続し、ドレインパッド33をドレインリード38に接続し、ソースパッド32をソースリード39に接続する。

【0072】

その後、例えばトランスファーモールド法によって樹脂封止を行なった後、リードフレームを切り離す。

このようにして、半導体装置（ディスクリートパッケージ）を作製することができる。

なお、ここでは、半導体チップ34の各パッド31～33を、ワイヤボンディングのためのボンディングパッドとして用いたディスクリートパッケージを例に挙げて説明しているが、これに限られるものではなく、他の半導体パッケージであっても良い。例えば、半導体チップの各パッドを、例えばフリップチップボンディングなどのワイヤレスボンディングのためのボンディングパッドとして用いた半導体パッケージであっても良い。また、ウエハレベルパッケージであっても良い。また、ディスクリートパッケージ以外の半導体パッケージであっても良い。

【0073】

次に、上述のノーマリオン型HEMT1とノーマリオフ型HEMT2をカスコード接続したトランジスタ回路を含む半導体チップ34を有する半導体パッケージを備える電源装置について、図8を参照しながら説明する。

以下、サーバに用いられる電源装置に備えられるPFC（power factor correction）回路に、上述の半導体パッケージに含まれるノーマリオン型HEMT1とノーマリオフ型HEMT2をカスコード接続したトランジスタ回路を用いる場合を例に挙げて説明する。

【 0 0 7 4 】

本 P F C 回路は、図 8 に示すように、ダイオードブリッジ 5 6 と、チョークコイル 5 2 と、第 1 コンデンサ 5 4 と、上述の半導体パッケージに含まれるトランジスタ回路 5 1 と、ダイオード 5 3 と、第 2 コンデンサ 5 5 とを備える。なお、ここでは、上述のノーマリオン型 H E M T 1 とノーマリオフ型 H E M T 2 をカスコード接続したトランジスタ回路 5 1 は、ノーマリオン型 H E M T 1 のドレイン電極 8、ノーマリオフ型 H E M T 2 のソース電極 1 6 及びゲート電極 1 5 の 3 つの端子を有するため、図 8 では、ドレイン電極 D、ソース電極 S 及びゲート電極 G を 3 つの端子として備えるトランジスタとして表記する。

【 0 0 7 5 】

ここでは、本 P F C 回路は、回路基板上に、ダイオードブリッジ 5 6、チョークコイル 5 2、第 1 コンデンサ 5 4、上述の半導体パッケージに含まれるトランジスタ 5 1、ダイオード 5 3、及び、第 2 コンデンサ 5 5 が実装されて構成されている。

本実施形態では、上述の半導体パッケージのドレインリード 3 8、ソースリード 3 9 及びゲートリード 3 7 が、それぞれ、回路基板のドレインリード挿入部、ソースリード挿入部及びゲートリード挿入部に挿入され、例えばはんだなどによって固定されている。このようにして、回路基板に形成された P F C 回路に、上述の半導体パッケージに含まれるトランジスタ 5 1 が接続されている。

【 0 0 7 6 】

そして、本 P F C 回路では、トランジスタ 5 1 のドレイン電極 D (ここではノーマリオン型 H E M T 1 のドレイン電極 8 ; 図 1 参照) に、チョークコイル 5 2 の一方の端子及びダイオード 5 3 のアノード端子が接続されている。また、チョークコイル 5 2 の他方の端子には第 1 コンデンサ 5 4 の一方の端子が接続され、ダイオード 5 3 のカソード端子には第 2 コンデンサ 5 5 の一方の端子が接続されている。そして、第 1 コンデンサ 5 4 の他方の端子、トランジスタ 5 1 のソース電極 S (ここではノーマリオフ型 H E M T 2 のソース電極 1 6 ; 図 1 参照) 及び第 2 コンデンサ 5 5 の他方の端子が接地されている。また、第 1 コンデンサ 5 4 の両端子には、ダイオードブリッジ 5 6 の一対の端子が接続されており、ダイオードブリッジ 5 6 の他の一対の端子は、交流 (A C) 電圧が入力される入力端子に接続されている。また、第 2 コンデンサ 5 5 の両端子は、直流 (D C) 電圧が出力される出力端子に接続されている。また、トランジスタ 5 1 のゲート電極 G (ここではノーマリオフ型 H E M T 2 のゲート電極 1 5 ; 図 1 参照) には、図示しないゲートドライバが接続されている。そして、本 P F C 回路では、ゲートドライバによってトランジスタ 5 1 を駆動することで、入力端子から入力された A C 電圧を、D C 電圧に変換して、出力端子から出力するようになっている。

【 0 0 7 7 】

したがって、本実施形態にかかる電源装置によれば、信頼性の向上させることができるという利点がある。つまり、上述の第 1 実施形態及び変形例のいずれかの半導体チップ 3 4 を備えるため、信頼性の高い電源装置を構築することができるという利点がある。

なお、ここでは、上述の半導体装置 (半導体チップ又は半導体パッケージ) を、サーバに用いられる電源装置に備えられる P F C 回路に用いる場合を例に挙げて説明しているが、これに限られるものではない。例えば、上述の半導体装置 (半導体チップ又は半導体パッケージ) を、サーバ以外のコンピュータなどの電子機器 (電子装置) に用いても良い。また、上述の半導体装置 (半導体チップ又は半導体パッケージ) を、電源装置に備えられる他の回路 (例えば D C - D C コンバータなど) に用いても良い。

[第 3 実施形態]

次に、第 3 実施形態にかかる高周波増幅器について、図 9 を参照しながら説明する。

【 0 0 7 8 】

本実施形態にかかる高周波増幅器は、上述の第 1 実施形態及び変形例の半導体装置のいずれかを備える高周波増幅器 (高出力増幅器) である。

本高周波増幅器は、図 9 に示すように、デジタル・プレディストーション回路 4 1 と、ミキサー 4 2 a , 4 2 b と、パワーアンプ 4 3 とを備えて構成される。なお、パワーア

10

20

30

40

50

ンプを、単にアンプともいう。

【0079】

デジタル・プレディストーション回路41は、入力信号の非線形歪みを補償するものである。

ミキサー42a, 42bは、非線形歪みが補償された入力信号と交流信号をミキシングするものである。

パワーアンプ43は、交流信号とミキシングされた入力信号を増幅するものであり、上述の第1実施形態及び変形例のいずれかの半導体装置、即ち、ノーマリオン型HEMTとノーマリオフ型HEMTをカスコード接続したトランジスタ回路を含む半導体チップを備える。なお、半導体チップをHEMTチップ又はトランジスタチップともいう。

10

【0080】

なお、図9では、例えばスイッチの切り替えによって、出力側の信号をミキサー42bで交流信号とミキシングしてデジタル・プレディストーション回路41に送出できる構成となっている。

したがって、本実施形態にかかる高周波増幅器によれば、上述の第1実施形態及び変形例にかかる半導体装置を、パワーアンプ43に適用しているため、信頼性の高い高周波増幅器を実現することができるという利点がある。

[その他]

なお、本発明は、上述した各実施形態及び変形例に記載した構成に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形することが可能である。

20

【0081】

以下、上述の各実施形態及び変形例に関し、更に、付記を開示する。

(付記1)

第1ゲート電極と、第1ソース電極と、第1ドレイン電極と、第1電子走行層及び第1電子供給層を含む第1窒化物半導体積層構造とを有する第1トランジスタと、

第2ゲート電極と、第2ソース電極と、前記第1ソース電極と共通電極である第2ドレイン電極と、前記第2ゲート電極の下方の領域にp型不純物を含む第2電子走行層及び第2電子供給層を含む第2窒化物半導体積層構造とを有する第2トランジスタと、

p型不純物拡散防止層とを備え、

前記第1窒化物半導体積層構造の上方に前記p型不純物拡散防止層を挟んで前記第2窒化物半導体積層構造が設けられており、

30

前記第1ゲート電極と前記第2ソース電極とが電氣的に接続されて、前記第1トランジスタと前記第2トランジスタとがカスコード接続されていることを特徴とする半導体装置。

【0082】

(付記2)

前記第1電子供給層は、前記第2電子供給層よりも厚くなっていることを特徴とする、付記1に記載の半導体装置。

(付記3)

前記第1ゲート電極と前記第1ドレイン電極との間の距離が、前記第1ゲート電極と前記第1ソース電極との間の距離よりも大きくなっていることを特徴とする、付記1又は2に記載の半導体装置。

40

【0083】

(付記4)

前記p型不純物拡散防止層は、Al組成が0.5以上のAlGaN又はAlNを含むことを特徴とする、付記1～3のいずれか1項に記載の半導体装置。

(付記5)

前記共通電極である前記第1ソース電極及び前記第2ドレイン電極は、前記第1ドレイン電極及び前記第2ソース電極と同一の金属電極によって構成されることを特徴とする、付記1～4のいずれか1項に記載の半導体装置。

50

【 0 0 8 4 】

(付 記 6)

前記共通電極である前記第1ソース電極及び前記第2ドレイン電極は、前記第2窒化物半導体積層構造の表面から前記第1電子走行層まで延びるn型不純物ドーピング領域によって構成されることを特徴とする、付記1～4のいずれか1項に記載の半導体装置。

(付 記 7)

前記共通電極である前記第1ソース電極及び前記第2ドレイン電極は、前記第2窒化物半導体積層構造の表面から前記第1窒化物半導体積層構造の表面まで延びるn型半導体層によって構成されることを特徴とする、付記1～4のいずれか1項に記載の半導体装置。

【 0 0 8 5 】

(付 記 8)

前記第1電子走行層は、GaNを含み、

前記第1電子供給層は、AlGaNを含み、

前記p型不純物拡散防止層は、AlGaN又はAlNを含み、

前記第2電子走行層は、GaNを含み、前記p型不純物としてBe、Mg、Fe、Cのいずれかを含み、

前記第2電子供給層は、AlGaN、InAlN、AlInGaNのいずれかを含むことを特徴とする、付記1～7のいずれか1項に記載の半導体装置。

【 0 0 8 6 】

(付 記 9)

トランジスタチップを備え、

前記トランジスタチップは、

第1ゲート電極と、第1ソース電極と、第1ドレイン電極と、第1電子走行層及び第1電子供給層を含む第1窒化物半導体積層構造とを有する第1トランジスタと、

第2ゲート電極と、第2ソース電極と、前記第1ソース電極と共通電極である第2ドレイン電極と、前記第2ゲート電極の下方の領域にp型不純物を含む第2電子走行層及び第2電子供給層を含む第2窒化物半導体積層構造とを有する第2トランジスタと、

p型不純物拡散防止層とを備え、

前記第1窒化物半導体積層構造の上方に前記p型不純物拡散防止層を挟んで前記第2窒化物半導体積層構造が設けられており、

前記第1ゲート電極と前記第2ソース電極とが電氣的に接続されて、前記第1トランジスタと前記第2トランジスタとがカスコード接続されていることを特徴とする電源装置。

【 0 0 8 7 】

(付 記 1 0)

入力信号を増幅するアンプを備え、

前記アンプは、トランジスタチップを含み、

前記トランジスタチップは、

第1ゲート電極と、第1ソース電極と、第1ドレイン電極と、第1電子走行層及び第1電子供給層を含む第1窒化物半導体積層構造とを有する第1トランジスタと、

第2ゲート電極と、第2ソース電極と、前記第1ソース電極と共通電極である第2ドレイン電極と、前記第2ゲート電極の下方の領域にp型不純物を含む第2電子走行層及び第2電子供給層を含む第2窒化物半導体積層構造とを有する第2トランジスタと、

p型不純物拡散防止層とを備え、

前記第1窒化物半導体積層構造の上方に前記p型不純物拡散防止層を挟んで前記第2窒化物半導体積層構造が設けられており、

前記第1ゲート電極と前記第2ソース電極とが電氣的に接続されて、前記第1トランジスタと前記第2トランジスタとがカスコード接続されていることを特徴とする高周波増幅器。

【 0 0 8 8 】

(付 記 1 1)

10

20

30

40

50

半導体基板上に、第1電子走行層及び第1電子供給層を含む第1窒化物半導体積層構造、p型不純物拡散防止層、p型不純物を含む第2電子走行層及び第2電子供給層を含む第2窒化物半導体積層構造を形成し、

第1ゲート電極、第1ソース電極、第1ドレイン電極及び前記第1窒化物半導体積層構造を有する第1トランジスタを形成する第1トランジスタ形成領域の前記第2窒化物半導体積層構造を除去し、

前記第1トランジスタ形成領域の前記第1窒化物半導体積層構造の上方に前記第1ドレイン電極を形成するとともに、第2ゲート電極、第2ソース電極、第2ドレイン電極及び前記第2窒化物半導体積層構造を有する第2トランジスタを形成する第2トランジスタ形成領域の前記第2窒化物半導体積層構造の上方に前記第2ソース電極を形成し、

10

前記第1ソース電極及び前記第2ドレイン電極となる共通電極を形成し、

前記第1窒化物半導体積層構造の上方に前記第1ゲート電極を形成するとともに、前記第2窒化物半導体積層構造の上方に前記第2ゲート電極を形成し、

前記第1ゲート電極と前記第2ソース電極とを電気的に接続して、前記第1トランジスタと前記第2トランジスタとをカスコード接続することを特徴とする半導体装置の製造方法。

【0089】

(付記12)

前記第1電子供給層は、前記第2電子供給層よりも厚く形成することを特徴とする、付記11に記載の半導体装置の製造方法。

20

(付記13)

前記第1ゲート電極と前記第1ドレイン電極との間の距離が、前記第1ゲート電極と前記第1ソース電極との間の距離よりも大きくなるように、前記第1ゲート電極、前記第1ドレイン電極及び前記第1ソース電極を形成することを特徴とする、付記11又は12に記載の半導体装置の製造方法。

【0090】

(付記14)

前記p型不純物拡散防止層は、Al組成が0.5以上のAlGaN又はAlNによって形成することを特徴とする、付記11～13のいずれか1項に記載の半導体装置の製造方法。

30

(付記15)

前記第1ソース電極及び前記第2ドレイン電極となる前記共通電極として、前記第1ドレイン電極及び前記第2ソース電極と同一の金属電極を形成することを特徴とする、付記11～14のいずれか1項に記載の半導体装置の製造方法。

【0091】

(付記16)

前記第1ソース電極及び前記第2ドレイン電極となる前記共通電極として、前記第2窒化物半導体積層構造の表面から前記第1電子走行層まで延びるn型不純物ドーピング領域を形成することを特徴とする、付記11～14のいずれか1項に記載の半導体装置の製造方法。

40

【0092】

(付記17)

前記第1ソース電極及び前記第2ドレイン電極となる前記共通電極として、前記第2窒化物半導体積層構造の表面から前記第1窒化物半導体積層構造の表面まで延びるn型半導体層を形成することを特徴とする、付記11～14のいずれか1項に記載の半導体装置の製造方法。

【0093】

(付記18)

前記第1電子走行層は、GaNを含み、

前記第1電子供給層は、AlGaNを含み、

50

前記 p 型不純物拡散防止層は、AlGa_nN 又は AlN を含み、
前記第 2 電子走行層は、Ga_nN を含み、前記 p 型不純物として Be、Mg、Fe、C の
いずれかを含み、

前記第 2 電子供給層は、AlGa_nN、InAlN、AlInGa_nN のいずれかを含むこ
とを特徴とする、付記 11 ~ 17 のいずれか 1 項に記載の半導体装置の製造方法。

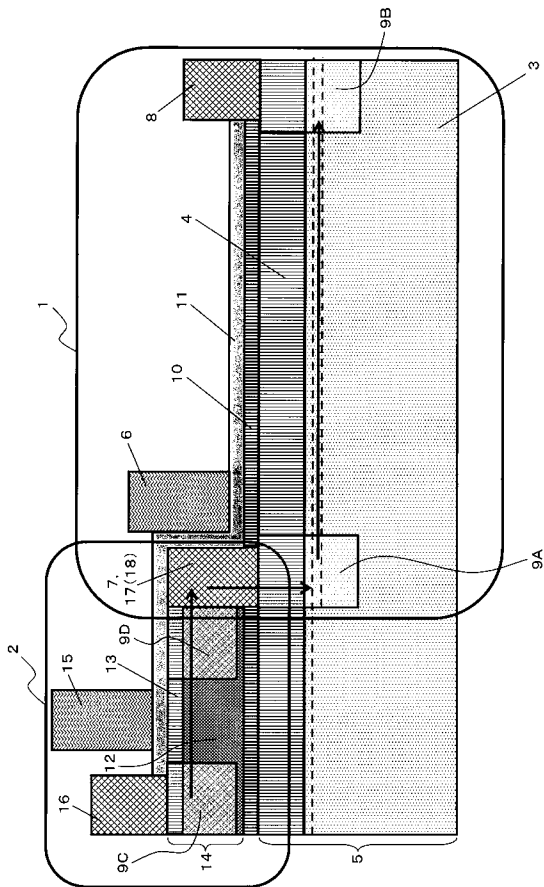
【符号の説明】

【0094】

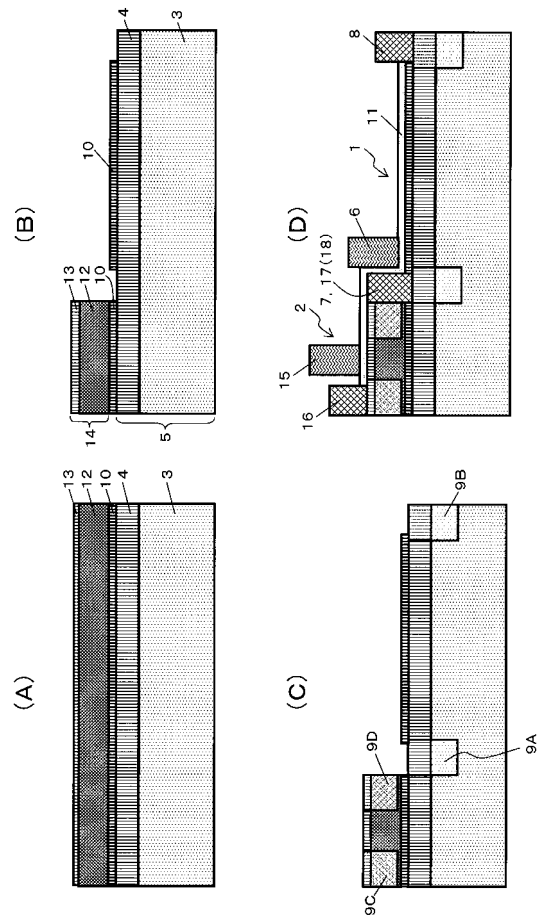
- | | | |
|-----------|--|----|
| 1 | ノーマリオン型 HEMT | |
| 2 | ノーマリオフ型 HEMT | |
| 3 | i - Ga _n N 電子走行層 (第 1 電子走行層) | 10 |
| 4 | n - AlGa _n N 電子供給層 (第 1 電子供給層) | |
| 5 | 第 1 窒化物半導体積層構造 | |
| 6 | ゲート電極 (第 1 ゲート電極) | |
| 7 | ソース電極 (第 1 ソース電極) | |
| 8 | ドレイン電極 (第 1 ドレイン電極) | |
| 9A ~ 9D | n 型コンタクト領域 (n 型不純物ドーピング領域) | |
| 9E | n 型不純物ドーピング領域 (共通電極) | |
| 10 | AlN 不純物拡散防止層 (p 型不純物拡散防止層) | |
| 11 | SiN 膜 (パッシベーション膜; ゲート絶縁膜; 絶縁膜) | |
| 12 | p - Ga _n N 電子走行層 (第 2 電子走行層) | 20 |
| 13 | n - AlGa _n N 電子供給層 (第 2 電子供給層) | |
| 14 | 第 2 窒化物半導体積層構造 | |
| 15 | ゲート電極 (第 2 ゲート電極) | |
| 16 | ソース電極 (第 2 ソース電極) | |
| 17 | ドレイン電極 (第 2 ドレイン電極) | |
| 18 | 共通電極 | |
| 20 | 半絶縁性 SiC 基板 (半導体基板) | |
| 21 | 核形成層 | |
| 22 | バッファ層 | |
| 23 | i - AlGa _n N 第 1 スペーサ層 | 30 |
| 24 | i - AlGa _n N 第 2 スペーサ層 | |
| 25A ~ 25C | n - Ga _n N 層 (n 型半導体層; n 型コンタクト層) | |
| 26 | SiO ₂ 膜 (マスク; パッシベーション膜; ゲート絶縁膜; 絶縁膜) | |
| 30 | ステージ | |
| 31 | ゲートパッド | |
| 32 | ソースパッド | |
| 33 | ドレインパッド | |
| 34 | 半導体チップ | |
| 35 | ダイアタッチ剤 | |
| 36 | ワイヤ | 40 |
| 37 | ゲートリード | |
| 38 | ドレインリード | |
| 39 | ソースリード | |
| 40 | 封止樹脂 | |
| 41 | デジタル・プレディストーション回路 | |
| 42a, 42b | ミキサー | |
| 43 | パワーアンプ | |
| 51 | カスコード接続されたノーマリオン型 HEMT 及びノーマリオフ型 HEMT | |
| 52 | チョークコイル | |
| 53 | ダイオード | 50 |

- 5 4 第 1 コンデンサ
- 5 5 第 2 コンデンサ
- 5 6 ダイオードブリッジ

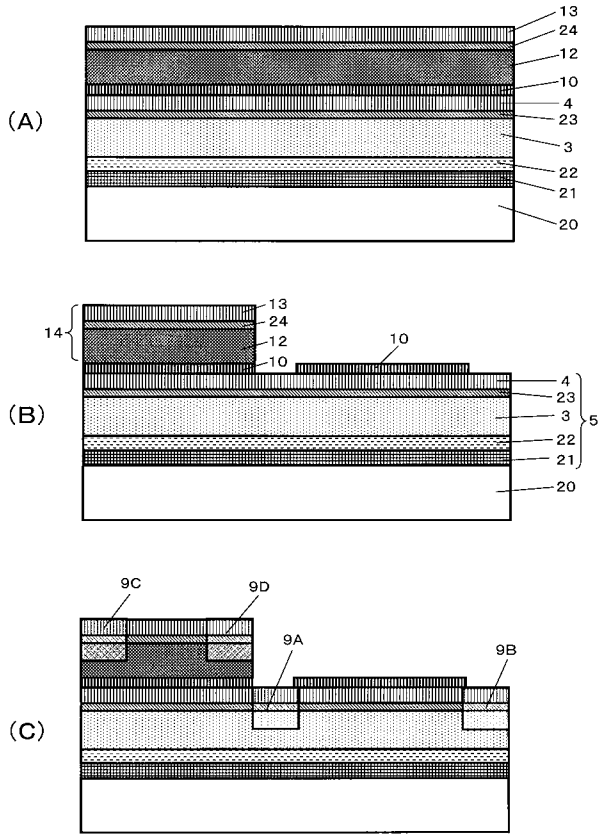
【 図 1 】



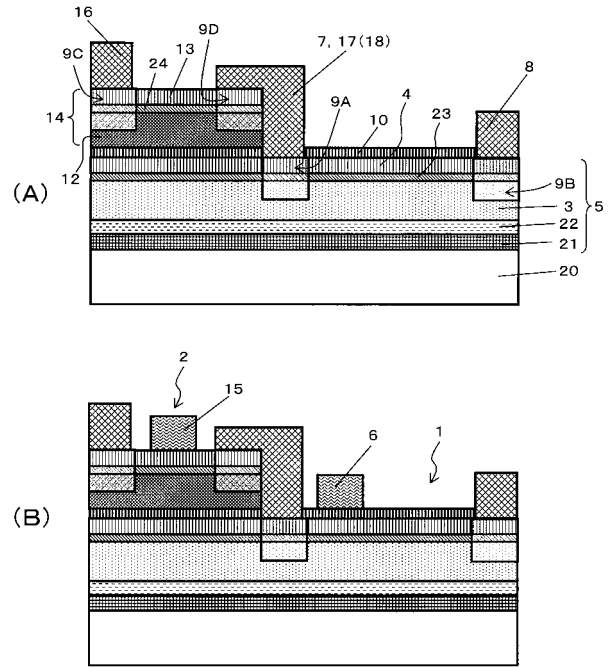
【 図 2 】



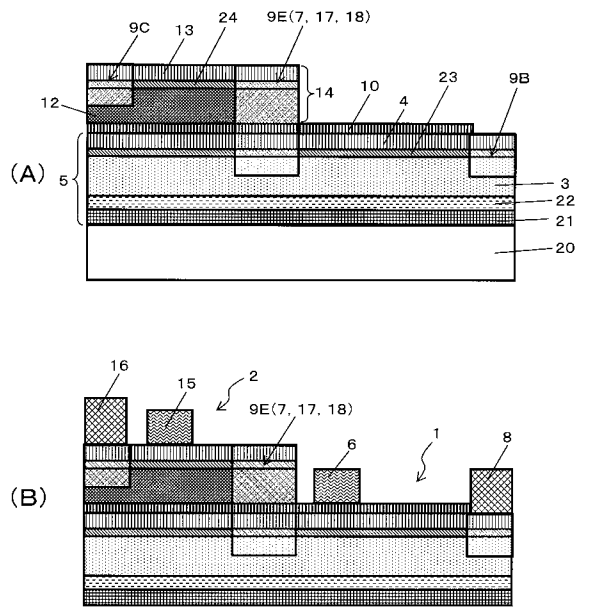
【 図 3 】



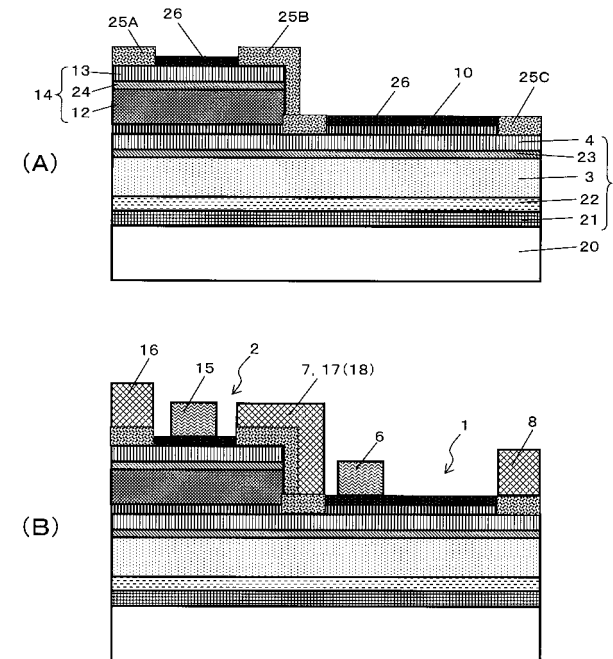
【 図 4 】



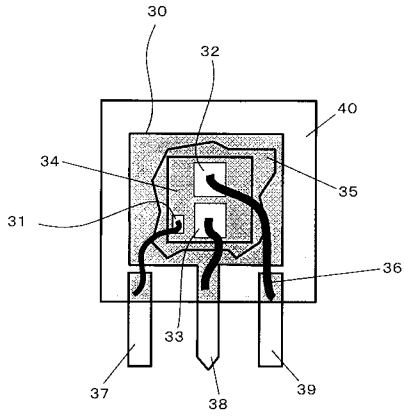
【 図 5 】



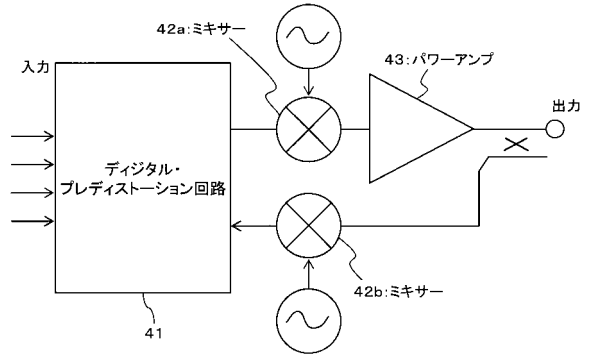
【 図 6 】



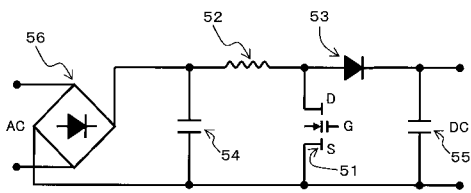
【 図 7 】



【 図 9 】



【 図 8 】



フロントページの続き

(51)Int.Cl.			F I		テーマコード(参考)
H 0 3 F	3/24	(2006.01)		H 0 3 F	1/32
H 0 3 F	1/22	(2006.01)			
H 0 3 F	1/32	(2006.01)			

Fターム(参考) 5H006 AA02 AA05 CA02 CB08 CC02 HA07 HA08
5J500 AA13 AA41 AC21 AC61 AF07 AF08 AF16 AF17 AH12 AH14
AH15 AK32 AK53 AK55 AM13 AM17 AQ02 AQ04 AS14 AT01
NG03 NG06