

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 11 月 17 日 (17.11.2016)



(10) 国际公布号
WO 2016/179855 A1

- (51) 国际专利分类号:
H02M 3/07 (2006.01)
- (21) 国际申请号: PCT/CN2015/079727
- (22) 国际申请日: 2015 年 5 月 25 日 (25.05.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510236631.8 2015 年 5 月 11 日 (11.05.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。
- (72) 发明人: 张华 (ZHANG, Hua); 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。 曹丹 (CAO, Dan); 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。
- (74) 代理人: 深圳翼盛智成知识产权事务所(普通合伙) (ESSEN PATENT & TRADEMARK AGENCY); 中国

广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: NEGATIVE VOLTAGE SIGNAL GENERATION CIRCUIT

(54) 发明名称: 负压信号生成电路

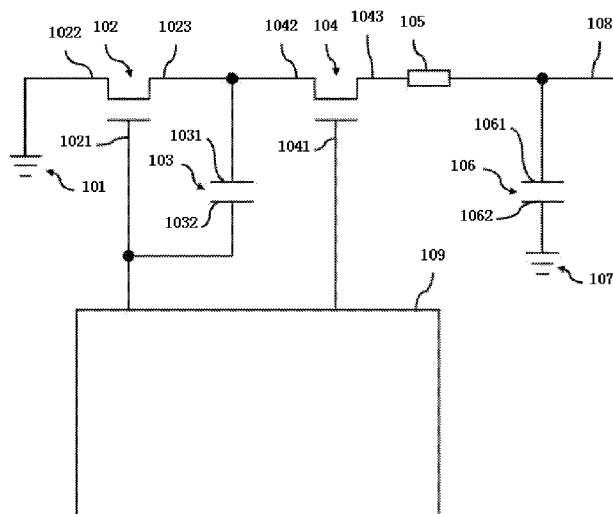


图 1

(57) Abstract: Disclosed is a negative voltage signal generation circuit. A first thin film transistor switch is connected to a first grounded end and a control signal generation unit. A second thin film transistor switch is connected to the first thin film transistor switch, the control signal generation unit, and a negative voltage signal output end. A first capacitor is connected to the first thin film transistor switch, the second thin film transistor switch and the control signal generation unit. The present invention can improve the stability of a negative voltage signal generation circuit.

(57) 摘要: 本发明公开了一种负压信号生成电路。第一薄膜晶体管开关与第一接地端和控制信号生成单元连接; 第二薄膜晶体管开关与第一薄膜晶体管开关、控制信号生成单元、负压信号输出端连接; 第一电容与第一、第二薄膜晶体管开关以及控制信号生成单元连接。本发明可以提高负压信号生成电路的稳定性。

WO 2016/179855 A1

负压信号生成电路

技术领域

- [1] 本发明涉及驱动电路技术领域，特别涉及一种负压信号生成电路。

背景技术

- [2] 传统的显示面板的驱动电路中一般都包括负压信号生成电路，所述负压信号生成电路用于生成负压信号。
- [3] 传统的负压信号生成电路反应速度较低，因此其所生成的负压信号的所对应的电压值的精确度也较低。
- [4] 此外，传统的负压信号生成电路能承受的功率的值较低，这会影响整个负压信号生成电路的稳定性。
- [5] 故，有必要提出一种新的技术方案，以解决上述技术问题。

对发明的公开

技术问题

- [6] 本发明的目的在于提供一种负压信号生成电路，其能提高所述负压信号生成电路的稳定性。

问题的解决方案

技术解决方案

- [7] 为解决上述问题，本发明的技术方案如下：
- [8] 一种负压信号生成电路，所述负压信号生成电路包括：负压信号输出端；第一接地端；控制信号生成单元，用于生成第一控制信号和第二控制信号；第一薄膜晶体管开关，所述第一薄膜晶体管开关包括第一栅极、第一源极和第一漏极，所述第一薄膜晶体管开关与所述第一接地端和所述控制信号生成单元连接，所述第一薄膜晶体管开关用于根据所述第一控制信号开启或关闭所述第一源极和所述第一漏极之间的第一电流通道；第二薄膜晶体管开关，所述第二薄膜晶体管开关包括第二栅极、第二源极和第二漏极，所述第二薄膜晶体管开关与所述第一薄膜晶体管开关、所述控制信号生成单元以及所述负压信号输出端连接

，所述第二薄膜晶体管开关用于根据所述第二控制信号开启或关闭所述第二源极和所述第二漏极之间的第二电流通道；以及第一电容，所述第一电容包括第一极板和第二极板，所述第一极板与所述第一薄膜晶体管开关和所述第二薄膜晶体管开关之间的第一连接线连接，所述第二极板与所述控制信号生成单元连接；其中，所述第一电流通道开启时所述第二电流通道关闭，所述第一电流通道关闭时所述第二电流通道开启；所述第一栅极与所述控制信号生成单元连接，所述第一栅极用于接收所述第一控制信号，所述第一源极、所述第一漏极中的一者与所述第一接地端连接，所述第一源极、所述第一漏极中的一者与所述第二薄膜晶体管开关连接；所述第二栅极与所述控制信号生成单元连接，所述第二栅极用于接收所述第二控制信号，所述第二源极、所述第二漏极中的一者与所述第一薄膜晶体管开关连接，所述第二源极、所述第二漏极中的一者与所述负压信号输出端连接；所述第一极板用于在所述第一电流通道开启时连接到所述第一接地端；所述第二极板用于在所述第一电流通道开启时充入控制信号生成单元所发送的所述第一控制信号对应的电荷；所述第二极板用于在所述第一电流通道关闭时使得所述第二极板所对应的电压突变为零；所述第一极板用于在所述第一电流通道关闭时使得所述第一极板所对应的电压突变为负电压，从而形成负电压信号；所述第二薄膜晶体管开关用于在所述第一电流通道关闭时输出所述负电压信号；所述负压信号生成电路还包括：调节电阻，所述调节电阻包括第一末端和第二末端，所述第一末端与所述第二薄膜晶体管开关连接，所述第二末端与所述负压信号输出端连接，所述调节电阻用于调节与所述负压信号对应的电流的大小；所述控制信号生成单元包括控制信号生成器和反相器；所述控制信号生成器与所述第一栅极、所述第二极板以及所述反相器的反相输入端连接，所述反相器的反相输出端与所述第二栅极连接；所述第二控制信号是所述第一控制信号经过反相处理得到的，其中，所述控制信号生成器用于生成所述第一控制信号，并输出所述第一控制信号，所述反相器用于对所述第一控制信号进行反相处理，以生成所述第二控制信号；或者所述第一控制信号是所述第二控制信号经过反相处理得到的，其中，所述控制信号生成器用于生成所述第二控制信号，并输出所述第二控制信号，所述反相器用于对所述第

二控制信号进行反相处理，以生成所述第一控制信号；所述控制信号生成单元还包括：占空比控制器，用于控制所述第一控制信号和/或所述第二控制信号的占空比，以控制所述第二电流通道的开启持续时间。

[9] 在上述负压信号生成电路中，在所述第一控制信号为高电平时，所述第二控制信号为低电平；在所述第一控制信号为低电平时，所述第二控制信号为高电平；所述第一薄膜晶体管开关和所述第二薄膜晶体管开关均为P沟道金属氧化物半导体晶体管或N沟道金属氧化物半导体晶体管。

[10] 在上述负压信号生成电路中，所述第一控制信号和所述第二控制信号为相同的信号；所述第一薄膜晶体管开关为P沟道金属氧化物半导体晶体管、N沟道金属氧化物半导体晶体管中的一者，所述第二薄膜晶体管开关为P沟道金属氧化物半导体晶体管、N沟道金属氧化物半导体晶体管中的另一者。

[11] 在上述负压信号生成电路中，所述负压信号生成电路还包括：第二接地端；以及第二电容，所述第二电容包括第三极板和第四极板，所述第三极板与所述调节电阻和所述负压信号输出端之间的第二连接线连接，所述第四极板与所述第二接地端连接。

[12] 一种负压信号生成电路，所述负压信号生成电路包括：负压信号输出端；第一接地端；控制信号生成单元，用于生成第一控制信号和第二控制信号；第一薄膜晶体管开关，所述第一薄膜晶体管开关包括第一栅极、第一源极和第一漏极，所述第一薄膜晶体管开关与所述第一接地端和所述控制信号生成单元连接，所述第一薄膜晶体管开关用于根据所述第一控制信号开启或关闭所述第一源极和所述第一漏极之间的第一电流通道；第二薄膜晶体管开关，所述第二薄膜晶体管开关包括第二栅极、第二源极和第二漏极，所述第二薄膜晶体管开关与所述第一薄膜晶体管开关、所述控制信号生成单元以及所述负压信号输出端连接，所述第二薄膜晶体管开关用于根据所述第二控制信号开启或关闭所述第二源极和所述第二漏极之间的第二电流通道；以及第一电容，所述第一电容包括第一极板和第二极板，所述第一极板与所述第一薄膜晶体管开关和所述第二薄膜晶体管开关之间的第一连接线连接，所述第二极板与所述控制信号生成单元连接；其中，所述第一电流通道开启时所述第二电流通道关闭，所述第一电流通

道关闭时所述第二电流通道开启。

- [13] 在上述负压信号生成电路中，所述第一栅极与所述控制信号生成单元连接，所述第一栅极用于接收所述第一控制信号，所述第一源极、所述第一漏极中的一者与所述第一接地端连接，所述第一源极、所述第一漏极中的一者与所述第二薄膜晶体管开关连接；所述第二栅极与所述控制信号生成单元连接，所述第二栅极用于接收所述第二控制信号，所述第二源极、所述第二漏极中的一者与所述第一薄膜晶体管开关连接，所述第二源极、所述第二漏极中的一者与所述负压信号输出端连接。
- [14] 在上述负压信号生成电路中，所述第一极板用于在所述第一电流通道开启时连接到所述第一接地端；所述第二极板用于在所述第一电流通道开启时充入控制信号生成单元所发送的所述第一控制信号对应的电荷。
- [15] 在上述负压信号生成电路中，所述第二极板用于在所述第一电流通道关闭时使得所述第二极板所对应的电压突变为零；所述第一极板用于在所述第一电流通道关闭时使得所述第一极板所对应的电压突变为负电压，从而形成负电压信号；所述第二薄膜晶体管开关用于在所述第一电流通道关闭时输出所述负电压信号。
- [16] 在上述负压信号生成电路中，在所述第一控制信号为高电平时，所述第二控制信号为低电平；在所述第一控制信号为低电平时，所述第二控制信号为高电平。
- [17] 在上述负压信号生成电路中，所述第一薄膜晶体管开关和所述第二薄膜晶体管开关均为P沟道金属氧化物半导体晶体管。
- [18] 在上述负压信号生成电路中，所述第一薄膜晶体管开关和所述第二薄膜晶体管开关均为N沟道金属氧化物半导体晶体管。
- [19] 在上述负压信号生成电路中，所述第一控制信号和所述第二控制信号为相同的信号。
- [20] 在上述负压信号生成电路中，所述第一薄膜晶体管开关为P沟道金属氧化物半导体晶体管，所述第二薄膜晶体管开关为N沟道金属氧化物半导体晶体管。
- [21] 在上述负压信号生成电路中，所述第一薄膜晶体管开关为N沟道金属氧化物半

导体晶体管，所述第二薄膜晶体管开关为P沟道金属氧化物半导体晶体管。

[22] 在上述负压信号生成电路中，所述负压信号生成电路还包括：调节电阻，所述调节电阻包括第一末端和第二末端，所述第一末端与所述第二薄膜晶体管开关连接，所述第二末端与所述负压信号输出端连接，所述调节电阻用于调节与所述负压信号对应的电流的大小。

[23] 在上述负压信号生成电路中，所述负压信号生成电路还包括：第二接地端；以及第二电容，所述第二电容包括第三极板和第四极板，所述第三极板与所述调节电阻和所述负压信号输出端之间的第二连接线连接，所述第四极板与所述第二接地端连接。

[24] 在上述负压信号生成电路中，所述控制信号生成单元包括控制信号生成器和反相器；所述控制信号生成器与所述第一栅极、所述第二极板以及所述反相器的反相输入端连接，所述反相器的反相输出端与所述第二栅极连接。

[25] 在上述负压信号生成电路中，所述第二控制信号是所述第一控制信号经过反相处理得到的，其中，所述控制信号生成器用于生成所述第一控制信号，并输出所述第一控制信号，所述反相器用于对所述第一控制信号进行反相处理，以生成所述第二控制信号。

[26] 在上述负压信号生成电路中，所述第一控制信号是所述第二控制信号经过反相处理得到的，其中，所述控制信号生成器用于生成所述第二控制信号，并输出所述第二控制信号，所述反相器用于对所述第二控制信号进行反相处理，以生成所述第一控制信号。

[27] 在上述负压信号生成电路中，所述控制信号生成单元还包括：占空比控制器，用于控制所述第一控制信号和/或所述第二控制信号的占空比，以控制所述第二电流通道的开启持续时间。

发明的有益效果

有益效果

[28] 相对现有技术，本发明可以提高所述负压信号生成电路的稳定性。

对附图的简要说明

附图说明

- [29] 图1为本发明的负压信号生成电路的第一实施例的电路图；
- [30] 图2为本发明的负压信号生成电路的第三实施例的电路图；
- [31] 图3为本发明的负压信号生成电路的第四实施例的电路图。

实施该发明的最佳实施例

本发明的最佳实施方式

- [32] 本说明书所使用的词语“实施例”意指实例、示例或例证。此外，本说明书和所附权利要求中所使用的冠词“一”一般地可以被解释为“一个或多个”，除非另外指定或从上下文可以清楚确定单数形式。
- [33] 本发明的负压信号生成电路适用于显示面板的驱动电路，其中，所述显示面板可以是TFT-LCD（Thin Film Transistor Liquid Crystal Display，薄膜晶体管液晶显示面板）、OLED（Organic Light Emitting Diode，有机发光二极管显示面板）等。
- [34] 参考图1，图1为本发明的负压信号生成电路的第一实施例的电路图。
- [35] 本实施例的负压信号生成电路包括负压信号输出端108、第一接地端101、控制信号生成单元109、第一薄膜晶体管开关102、第二薄膜晶体管开关104和第一电容103。
- [36] 所述控制信号生成单元109用于生成第一控制信号和第二控制信号。
- [37] 所述第一薄膜晶体管开关102包括第一栅极1021、第一源极1022和第一漏极1023，所述第一薄膜晶体管开关102与所述第一接地端101和所述控制信号生成单元109连接，所述第一薄膜晶体管开关102用于根据所述第一控制信号开启或关闭所述第一源极1022和所述第一漏极1023之间的第一电流通道。
- [38] 所述第二薄膜晶体管开关104包括第二栅极1041、第二源极1042和第二漏极1043，所述第二薄膜晶体管开关104与所述第一薄膜晶体管开关102、所述控制信号生成单元109以及所述负压信号输出端108连接，所述第二薄膜晶体管开关104用于根据所述第二控制信号开启或关闭所述第二源极1042和所述第二漏极1043之间的第二电流通道。
- [39] 所述第一电容103包括第一极板1031和第二极板1032，所述第一极板1031与所述第一薄膜晶体管开关102和所述第二薄膜晶体管开关104之间的第一连接线连

接, 所述第二极板1032与所述控制信号生成单元109连接。

[40] 其中, 所述第一电流通道开启时所述第二电流通道关闭, 所述第一电流通道关闭时所述第二电流通道开启。

[41] 在本实施例中, 所述第一栅极1021与所述控制信号生成单元109连接, 所述第一栅极1021用于接收所述第一控制信号, 所述第一源极1022、所述第一漏极1023中的一者与所述第一接地端101连接, 所述第一源极1022、所述第一漏极1023中的一者与所述第二薄膜晶体管开关104连接。

[42] 所述第二栅极1041与所述控制信号生成单元109连接, 所述第二栅极1041用于接收所述第二控制信号, 所述第二源极1042、所述第二漏极1043中的一者与所述第一薄膜晶体管开关102连接, 所述第二源极1042、所述第二漏极1043中的一者与所述负压信号输出端108连接。

[43] 在本实施例中, 所述第一极板1031用于在所述第一电流通道开启时连接到所述第一接地端101, 所述第二极板1032用于在所述第一电流通道开启时充入控制信号生成单元109所发送的所述第一控制信号对应的电荷。

[44] 在本实施例中, 所述第二极板1032用于在所述第一电流通道关闭时使得所述第二极板1032所对应的电压突变为零。所述第一极板1031用于在所述第一电流通道关闭时使得所述第一极板1031所对应的电压突变为负电压, 从而形成负电压信号。所述第二薄膜晶体管开关104用于在所述第一电流通道关闭时输出所述负电压信号。

[45] 在本实施例中, 所述负压信号生成电路还包括调节电阻105, 所述调节电阻105包括第一末端和第二末端, 所述第一末端与所述第二薄膜晶体管开关104连接, 所述第二末端与所述负压信号输出端108连接, 所述调节电阻105用于调节与所述负压信号对应的电流的大小。

[46] 在本实施例中, 所述负压信号生成电路还包括第二接地端107和第二电容106, 所述第二电容106包括第三极板1061和第四极板1062, 所述第三极板1061与所述调节电阻105和所述负压信号输出端108之间的第二连接线连接, 所述第四极板1062与所述第二接地端107连接。

[47] 在本实施例中, 所述第一控制信号和所述第二控制信号为相同的信号。

- [48] 所述第一薄膜晶体管开关102为PMOS (Positive channel Metal Oxide Semiconductor, P沟道金属氧化物半导体) 晶体管、NMOS (Negative channel Metal Oxide Semiconductor, N沟道金属氧化物半导体) 晶体管中的一者, 所述第二薄膜晶体管开关104为P沟道金属氧化物半导体晶体管、N沟道金属氧化物半导体晶体管中的另一者。
- [49] 通过上述技术方案, 可以减少所述负压信号生成电路的功率损失, 以及提高所述负压信号生成电路的稳定性。
- [50] 本发明的负压信号生成电路的第二实施例与上述第一实施例相似, 不同之处在于:
- [51] 在本实施例中, 所述第一控制信号和所述第二控制信号为不同的信号。具体地, 在所述第一控制信号为高电平时, 所述第二控制信号为低电平, 在所述第一控制信号为低电平时, 所述第二控制信号为高电平。
- [52] 所述第一薄膜晶体管开关102和所述第二薄膜晶体管开关104均为P沟道金属氧化物半导体晶体管或N沟道金属氧化物半导体晶体管, 例如, 所述第一薄膜晶体管开关102和所述第二薄膜晶体管开关104均为P沟道金属氧化物半导体晶体管, 或者所述第一薄膜晶体管开关102和所述第二薄膜晶体管开关104均为N沟道金属氧化物半导体晶体管。
- [53] 参考图2, 图2为本发明的负压信号生成电路的第三实施例的电路图。本实施例与上述第二实施例相似, 不同之处在于:
- [54] 所述控制信号生成单元109包括控制信号生成器1091和反相器1092。
- [55] 所述控制信号生成器1091与所述第一栅极1021、所述第二极板1032以及所述反相器1092的反相输入端连接, 所述反相器1092的反相输出端与所述第二栅极1041连接。
- [56] 所述第二控制信号是所述第一控制信号经过反相处理得到的, 其中, 所述控制信号生成器1091用于生成所述第一控制信号, 并输出所述第一控制信号, 所述反相器1092用于对所述第一控制信号进行反相处理, 以生成所述第二控制信号。或者所述第一控制信号是所述第二控制信号经过反相处理得到的, 其中, 所述控制信号生成器1091用于生成所述第二控制信号, 并输出所述第二控制信号。

，所述反相器1092用于对所述第二控制信号进行反相处理，以生成所述第一控制信号。

[57] 参考图3，图3为本发明的负压信号生成电路的第四实施例的电路图。本实施例与上述第一实施例至第三实施例中的任意一个实施例相似，不同之处在于：

[58] 所述控制信号生成单元109还包括占空比控制器1093，所述占空比控制器1093用于控制所述第一控制信号和/或所述第二控制信号的占空比，以控制所述第二电流通道的开启持续时间。

[59] 在上述技术方案中，通过调节所述第一控制信号和/或所述第二控制信号（金属氧化物半导体晶体管的驱动信号）的占空比，可以调节流过所述第一薄膜晶体管开关和所述第二薄膜晶体管开关的电流大小，有利于减小所述负压信号生成电路的功率的损失。

[60] 尽管已经相对于一个或多个实现方式示出并描述了本发明，但是本领域技术人员基于对本说明书和附图的阅读和理解将会想到等价变型和修改。本发明包括所有这样的修改和变型，并且仅由所附权利要求的范围限制。特别地关于由上述组件执行的各种功能，用于描述这样的组件的术语旨在对应于执行所述组件的指定功能（例如其在功能上是等价的）的任意组件（除非另外指示），即使在结构上与执行本文所示的本说明书的示范性实现方式中的功能的公开结构不同。此外，尽管本说明书的特定特征已经相对于若干实现方式中的仅一个被公开，但是这种特征可以与如可以对给定或特定应用而言是期望和有利的其他实现方式的一个或多个其他特征组合。而且，就术语“包括”、“具有”、“含有”或其变形被用在具体实施方式或权利要求中而言，这样的术语旨在以与术语“包含”相似的方式包括。

[61] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

[权利要求 1]

一种负压信号生成电路，其中，所述负压信号生成电路包括：

负压信号输出端；

第一接地端；

控制信号生成单元，用于生成第一控制信号和第二控制信号；

第一薄膜晶体管开关，所述第一薄膜晶体管开关包括第一栅极、

第一源极和第一漏极，所述第一薄膜晶体管开关与所述第一接地端和所述控制信号生成单元连接，所述第一薄膜晶体管开关用于根据所述第一控制信号开启或关闭所述第一源极和所述第一漏极之间的第一电流通道；

第二薄膜晶体管开关，所述第二薄膜晶体管开关包括第二栅极、第二源极和第二漏极，所述第二薄膜晶体管开关与所述第一薄膜晶体管开关、所述控制信号生成单元以及所述负压信号输出端连接，所述第二薄膜晶体管开关用于根据所述第二控制信号开启或关闭所述第二源极和所述第二漏极之间的第二电流通道；以及

第一电容，所述第一电容包括第一极板和第二极板，所述第一极板与所述第一薄膜晶体管开关和所述第二薄膜晶体管开关之间的第一连接线连接，所述第二极板与所述控制信号生成单元连接；其中，所述第一电流通道开启时所述第二电流通道关闭，所述第一电流通道关闭时所述第二电流通道开启；

所述第一栅极与所述控制信号生成单元连接，所述第一栅极用于接收所述第一控制信号，所述第一源极、所述第一漏极中的一者与所述第一接地端连接，所述第一源极、所述第一漏极中的一者与所述第二薄膜晶体管开关连接；

所述第二栅极与所述控制信号生成单元连接，所述第二栅极用于接收所述第二控制信号，所述第二源极、所述第二漏极中的一者与所述第一薄膜晶体管开关连接，所述第二源极、所述第二漏极中的一者与所述负压信号输出端连接；

所述第一极板用于在所述第一电流通道开启时连接到所述第一接地端；

所述第二极板用于在所述第一电流通道开启时充入控制信号生成单元所发送的所述第一控制信号对应的电荷；

所述第二极板用于在所述第一电流通道关闭时使得所述第二极板所对应的电压突变为零；

所述第一极板用于在所述第一电流通道关闭时使得所述第一极板所对应的电压突变为负电压，从而形成负电压信号；

所述第二薄膜晶体管开关用于在所述第一电流通道关闭时输出所述负电压信号；

所述负压信号生成电路还包括：

调节电阻，所述调节电阻包括第一末端和第二末端，所述第一末端与所述第二薄膜晶体管开关连接，所述第二末端与所述负压信号输出端连接，所述调节电阻用于调节与所述负压信号对应的电流的大小；

所述控制信号生成单元包括控制信号生成器和反相器；

所述控制信号生成器与所述第一栅极、所述第二极板以及所述反相器的反相输入端连接，所述反相器的反相输出端与所述第二栅极连接；

所述第二控制信号是所述第一控制信号经过反相处理得到的，其中，所述控制信号生成器用于生成所述第一控制信号，并输出所述第一控制信号，所述反相器用于对所述第一控制信号进行反相处理，以生成所述第二控制信号；或者

所述第一控制信号是所述第二控制信号经过反相处理得到的，其中，所述控制信号生成器用于生成所述第二控制信号，并输出所述第二控制信号，所述反相器用于对所述第二控制信号进行反相处理，以生成所述第一控制信号；

所述控制信号生成单元还包括：

占空比控制器，用于控制所述第一控制信号和/或所述第二控制信号的占空比，以控制所述第二电流通道的开启持续时间。

[权利要求 2] 根据权利要求1所述的负压信号生成电路，其中，在所述第一控制信号为高电平时，所述第二控制信号为低电平；
在所述第一控制信号为低电平时，所述第二控制信号为高电平；
所述第一薄膜晶体管开关和所述第二薄膜晶体管开关均为P沟道金属氧化物半导体晶体管或N沟道金属氧化物半导体晶体管。

[权利要求 3] 根据权利要求1所述的负压信号生成电路，其中，所述第一控制信号和所述第二控制信号为相同的信号；
所述第一薄膜晶体管开关为P沟道金属氧化物半导体晶体管、N沟道金属氧化物半导体晶体管中的一者，所述第二薄膜晶体管开关为P沟道金属氧化物半导体晶体管、N沟道金属氧化物半导体晶体管中的另一者。

[权利要求 4] 根据权利要求1所述的负压信号生成电路，其中，所述负压信号生成电路还包括：
第二接地端；以及
第二电容，所述第二电容包括第三极板和第四极板，所述第三极板与所述调节电阻和所述负压信号输出端之间的第二连接线连接，所述第四极板与所述第二接地端连接。

[权利要求 5] 一种负压信号生成电路，其中，所述负压信号生成电路包括：
负压信号输出端；
第一接地端；
控制信号生成单元，用于生成第一控制信号和第二控制信号；
第一薄膜晶体管开关，所述第一薄膜晶体管开关包括第一栅极、第一源极和第一漏极，所述第一薄膜晶体管开关与所述第一接地端和所述控制信号生成单元连接，所述第一薄膜晶体管开关用于根据所述第一控制信号开启或关闭所述第一源极和所述第一漏极之间的第一电流通道；

第二薄膜晶体管开关，所述第二薄膜晶体管开关包括第二栅极、第二源极和第二漏极，所述第二薄膜晶体管开关与所述第一薄膜晶体管开关、所述控制信号生成单元以及所述负压信号输出端连接，所述第二薄膜晶体管开关用于根据所述第二控制信号开启或关闭所述第二源极和所述第二漏极之间的第二电流通道；以及第一电容，所述第一电容包括第一极板和第二极板，所述第一极板与所述第一薄膜晶体管开关和所述第二薄膜晶体管开关之间的第一连接线连接，所述第二极板与所述控制信号生成单元连接；其中，所述第一电流通道开启时所述第二电流通道关闭，所述第一电流通道关闭时所述第二电流通道开启。

[权利要求 6] 根据权利要求5所述的负压信号生成电路，其中，所述第一栅极与所述控制信号生成单元连接，所述第一栅极用于接收所述第一控制信号，所述第一源极、所述第一漏极中的一者与所述第一接地端连接，所述第一源极、所述第一漏极中的一者与所述第二薄膜晶体管开关连接；

所述第二栅极与所述控制信号生成单元连接，所述第二栅极用于接收所述第二控制信号，所述第二源极、所述第二漏极中的一者与所述第一薄膜晶体管开关连接，所述第二源极、所述第二漏极中的一者与所述负压信号输出端连接。

[权利要求 7] 根据权利要求6所述的负压信号生成电路，其中，所述第一极板用于在所述第一电流通道开启时连接到所述第一接地端；

所述第二极板用于在所述第一电流通道开启时充入控制信号生成单元所发送的所述第一控制信号对应的电荷。

[权利要求 8] 根据权利要求6所述的负压信号生成电路，其中，所述第二极板用于在所述第一电流通道关闭时使得所述第二极板所对应的电压突变为零；

所述第一极板用于在所述第一电流通道关闭时使得所述第一极板所对应的电压突变为负电压，从而形成负电压信号；

所述第二薄膜晶体管开关用于在所述第一电流通道关闭时输出所述负电压信号。

[权利要求 9] 根据权利要求5所述的负压信号生成电路，其中，在所述第一控制信号为高电平时，所述第二控制信号为低电平；
在所述第一控制信号为低电平时，所述第二控制信号为高电平。

[权利要求 10] 根据权利要求9所述的负压信号生成电路，其中，所述第一薄膜晶体管开关和所述第二薄膜晶体管开关均为P沟道金属氧化物半导体晶体管。

[权利要求 11] 根据权利要求9所述的负压信号生成电路，其中，所述第一薄膜晶体管开关和所述第二薄膜晶体管开关均为N沟道金属氧化物半导体晶体管。

[权利要求 12] 根据权利要求5所述的负压信号生成电路，其中，所述第一控制信号和所述第二控制信号为相同的信号。

[权利要求 13] 根据权利要求12所述的负压信号生成电路，其中，所述第一薄膜晶体管开关为P沟道金属氧化物半导体晶体管，所述第二薄膜晶体管开关为N沟道金属氧化物半导体晶体管。

[权利要求 14] 根据权利要求12所述的负压信号生成电路，其中，所述第一薄膜晶体管开关为N沟道金属氧化物半导体晶体管，所述第二薄膜晶体管开关为P沟道金属氧化物半导体晶体管。

[权利要求 15] 根据权利要求5所述的负压信号生成电路，其中，所述负压信号生成电路还包括：

调节电阻，所述调节电阻包括第一末端和第二末端，所述第一末端与所述第二薄膜晶体管开关连接，所述第二末端与所述负压信号输出端连接，所述调节电阻用于调节与所述负压信号对应的电流的大小。

[权利要求 16] 根据权利要求15所述的负压信号生成电路，其中，所述负压信号生成电路还包括：

第二接地端；以及

第二电容，所述第二电容包括第三极板和第四极板，所述第三极板与所述调节电阻和所述负压信号输出端之间的第二连接线连接，所述第四极板与所述第二接地端连接。

[权利要求 17] 根据权利要求5所述的负压信号生成电路，其中，所述控制信号生成单元包括控制信号生成器和反相器；

所述控制信号生成器与所述第一栅极、所述第二极板以及所述反相器的反相输入端连接，所述反相器的反相输出端与所述第二栅极连接。

[权利要求 18] 根据权利要求17所述的负压信号生成电路，其中，所述第二控制信号是所述第一控制信号经过反相处理得到的，其中，所述控制信号生成器用于生成所述第一控制信号，并输出所述第一控制信号，所述反相器用于对所述第一控制信号进行反相处理，以生成所述第二控制信号。

[权利要求 19] 根据权利要求17所述的负压信号生成电路，其中，所述第一控制信号是所述第二控制信号经过反相处理得到的，其中，所述控制信号生成器用于生成所述第二控制信号，并输出所述第二控制信号，所述反相器用于对所述第二控制信号进行反相处理，以生成所述第一控制信号。

[权利要求 20] 根据权利要求17所述的负压信号生成电路，其中，所述控制信号生成单元还包括：
占空比控制器，用于控制所述第一控制信号和/或所述第二控制信号的占空比，以控制所述第二电流通道的开启持续时间。

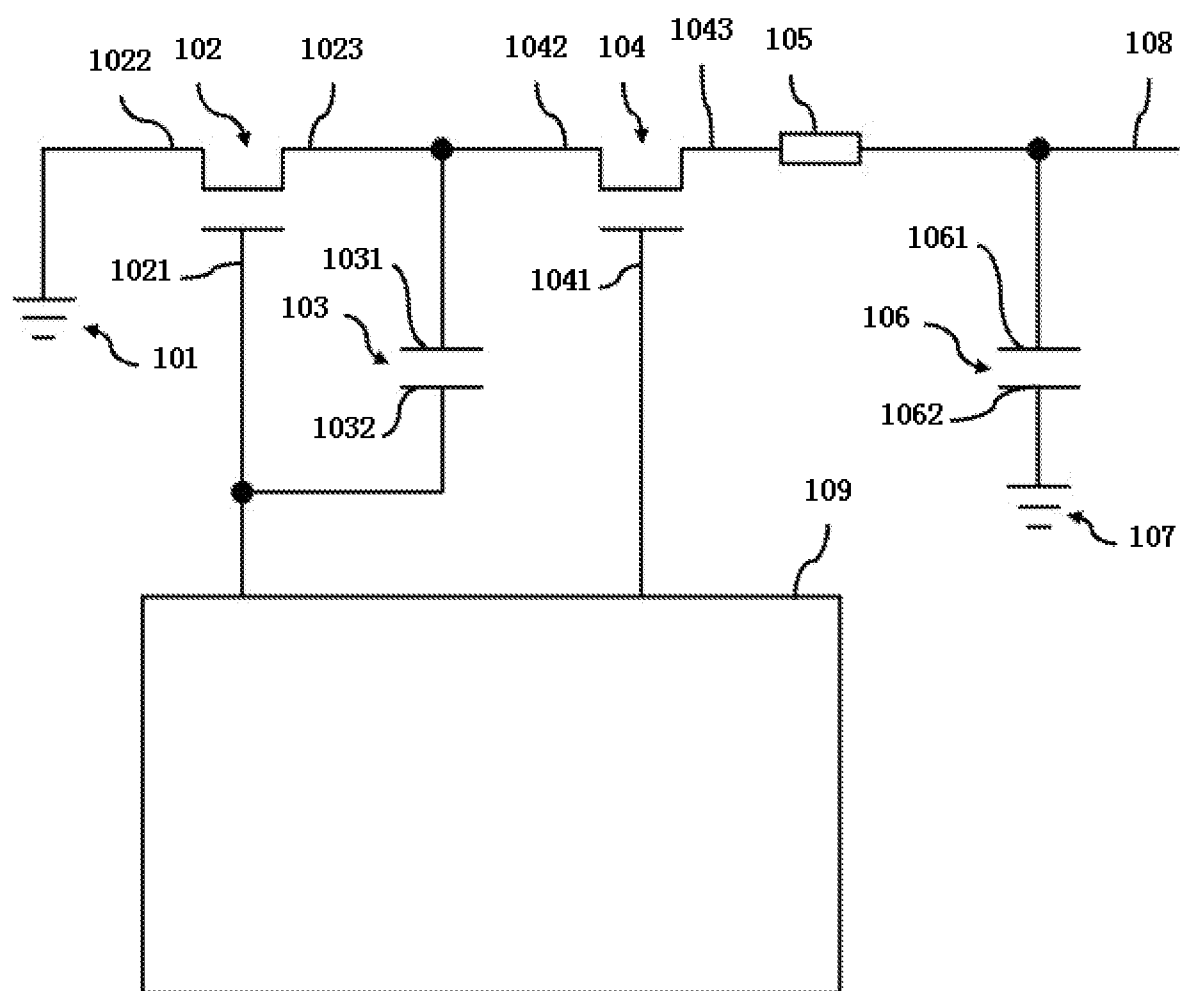


图 1

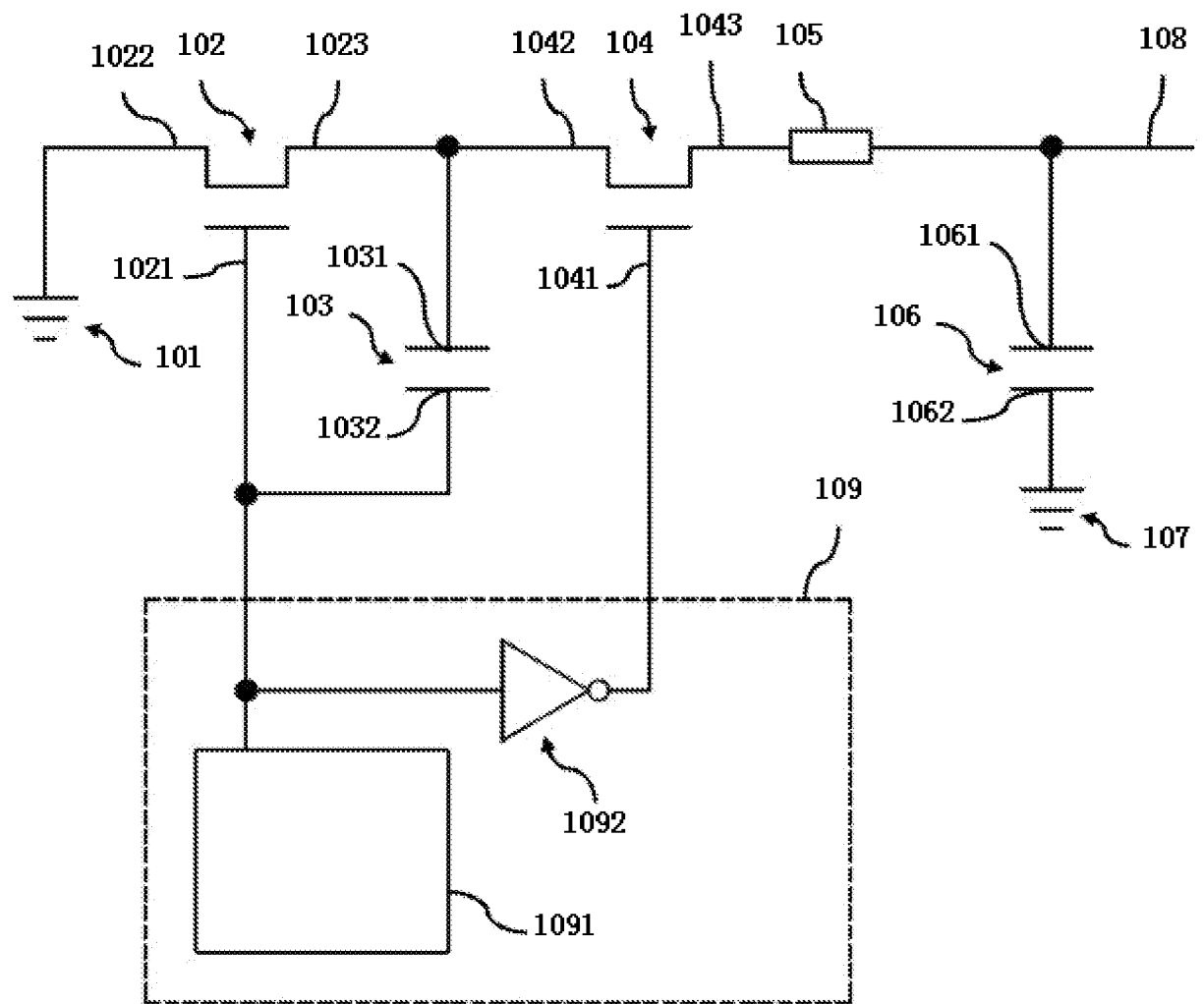


图 2

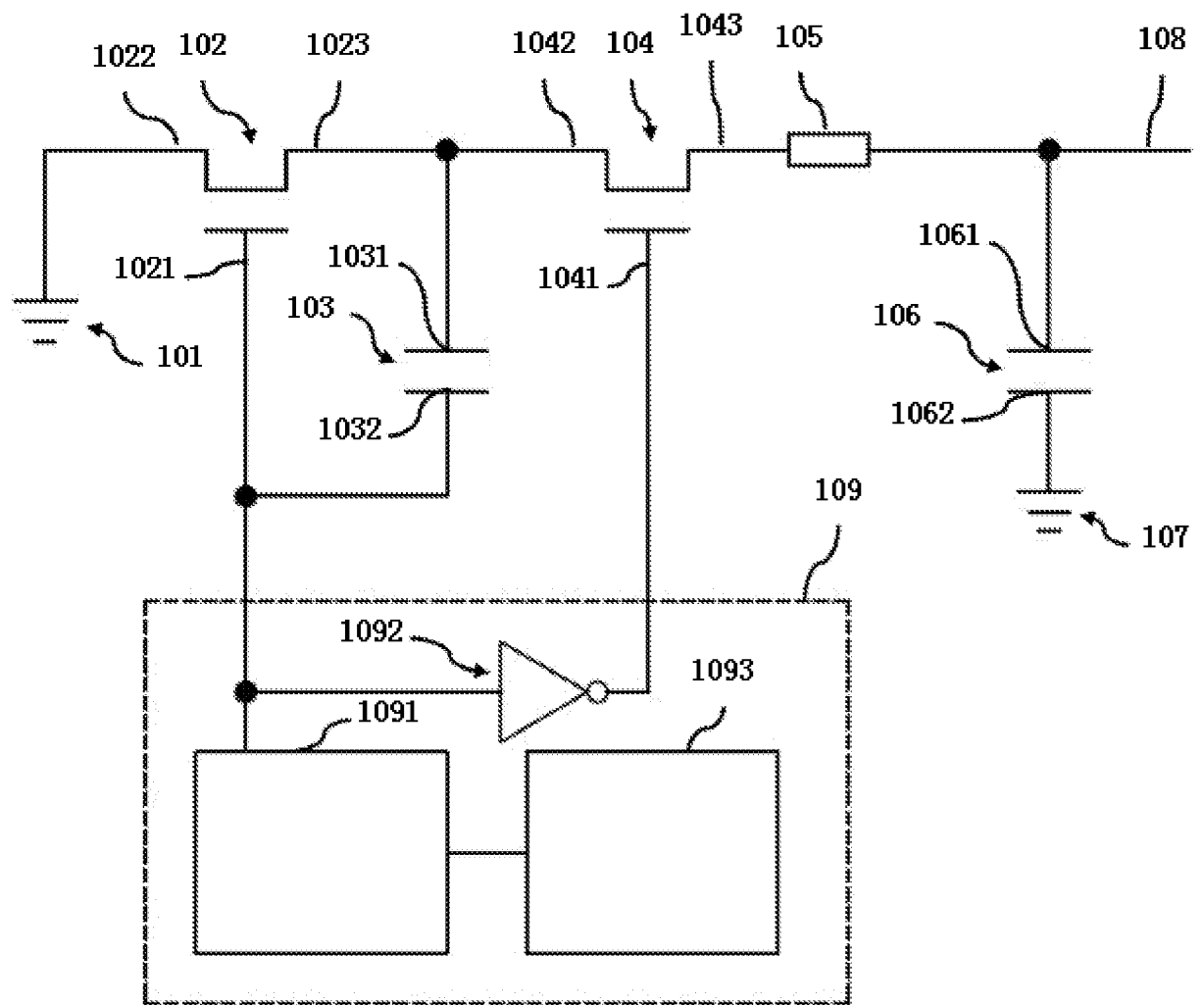


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/079727

A. CLASSIFICATION OF SUBJECT MATTER

H02M 3/07 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M, G09G 3/-, H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNKI; DWPI: negative pressure, negative voltage, electric circuit, transistor, grid electrode, source electrode, drain electrode, negative, voltage, pressure, signal, circuit, capacitor, capacitance, mos, grid, source, drain, control, duty cycle

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 102195471 A (ALPHA IMAGING TECHNOLOGY CORP.), 21 September 2011 (21.09.2011), description, paragraph [0002], and figure 1	1-20
Y	CN 103646629 A (TRULY SEMICONDUCTORS CO., LTD.), 19 March 2016 (19.03.2016), description, paragraph [0004], and figure 1	1-20
A	CN 201237887 Y (SHENZHEN AV-DISPLAY CO., LTD.), 13 May 2009 (13.05.2009), the whole document	1-20
A	CN 1703824 A (RENESAS TECHNOLOGY CORP.), 30 November 2005 (30.11.2005), the whole document	1-20
A	CN 201114211 Y (XU, Zhe), 10 September 2008 (10.09.2008), the whole document	1-20
A	US 2010014201 A1 (E2V SEMICONDUCTORS), 21 January 2010 (21.01.2010), the whole document	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 14 January 2016 (14.01.2016)	Date of mailing of the international search report 03 February 2016 (03.02.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer WANG, Xiaoyuan Telephone No.: (86-10) 010-62089294

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/079727

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102195471 A	21 September 2011	None	
CN 201237887 Y	13 May 2009	None	
CN 1703824 A	30 November 2005	KR 20050072145 A	08 July 2005
		JP 2005333685 A	02 December 2005
		KR 100696356 B1	20 March 2007
		CN 100382421 C	16 April 2008
		AU 2003272895 A1	15 June 2004
		US 2006006925 A1	12 January 2006
		US 7215179 B2	08 May 2007
		WO 2004047274 A1	03 June 2004
		JP 4336489 B2	30 September 2009
CN 201114211 Y	10 September 2008	None	
US 2010014201 A1	21 January 2010	EP 2087592 A1	12 August 2009
		DE 602007004518 D1	11 March 2010
		WO 2008055830 A1	15 May 2008
		FR 2908570 B1	06 March 2009
		AT 456191 T	15 February 2010
		EP 2087592 B1	20 January 2010
		ES 2339504 T3	20 May 2010
		FR 2908570 A1	16 May 2008

A. 主题的分类 H02M 3/07 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H02M, G09G3/-, H03K 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS; CNKI; DWPI: 负压, 负电压, 信号, 电路, 电容, 晶体管, 栅极, 源极, 漏极, 控制, 占空比, negative, voltage, pressure, signal, circuit, capacitor, capacitance, mos, grid, source, drain, control, duty cycle		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 102195471 A (曜鹏亿发北京科技有限公司) 2011年 9月 21日 (2011 - 09 - 21) 说明书第[0002]段、图1	1-20
Y	CN 103646629 A (信利半导体有限公司) 2016年 3月 19日 (2016 - 03 - 19) 说明书第[0004]段、图1	1-20
A	CN 201237887 Y (深圳秋田微电子有限公司) 2009年 5月 13日 (2009 - 05 - 13) 全文	1-20
A	CN 1703824 A (株式会社瑞萨科技) 2005年 11月 30日 (2005 - 11 - 30) 全文	1-20
A	CN 201114211 Y (徐哲) 2008年 9月 10日 (2008 - 09 - 10) 全文	1-20
A	US 2010014201 A1 (E2V半导体公司) 2010年 1月 21日 (2010 - 01 - 21) 全文	1-20
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2016年 1月 14日		国际检索报告邮寄日期 2016年 2月 3日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		授权官员 王晓渊 电话号码 (86-10) 010-62089294

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/079727

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102195471	A	2011年 9月 21日	无			
CN	201237887	Y	2009年 5月 13日	无			
CN	1703824	A	2005年 11月 30日	KR	20050072145	A	2005年 7月 8日
				JP	2005333685	A	2005年 12月 2日
				KR	100696356	B1	2007年 3月 20日
				CN	100382421	C	2008年 4月 16日
				AU	2003272895	A1	2004年 6月 15日
				US	2006006925	A1	2006年 1月 12日
				US	7215179	B2	2007年 5月 8日
				WO	2004047274	A1	2004年 6月 3日
				JP	4336489	B2	2009年 9月 30日
CN	201114211	Y	2008年 9月 10日	无			
US	2010014201	A1	2010年 1月 21日	EP	2087592	A1	2009年 8月 12日
				DE	602007004518	D1	2010年 3月 11日
				WO	2008055830	A1	2008年 5月 15日
				FR	2908570	B1	2009年 3月 6日
				AT	456191	T	2010年 2月 15日
				EP	2087592	B1	2010年 1月 20日
				ES	2339504	T3	2010年 5月 20日
				FR	2908570	A1	2008年 5月 16日