

(43) 国際公開日
2006 年 6 月 8 日 (08.06.2006)

PCT

(10) 国際公開番号
WO 2006/059589 A1

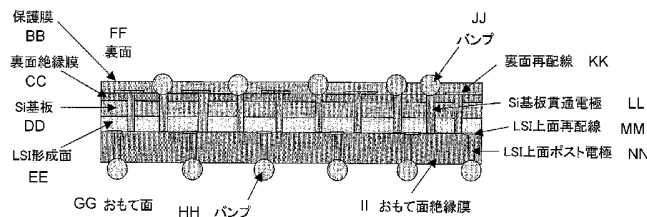
- (51) 国際特許分類:
H01L 25/065 (2006.01) H01L 21/3205 (2006.01)
H01L 25/07 (2006.01) H01L 23/52 (2006.01)
H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2005/021852
- (22) 国際出願日: 2005 年 11 月 29 日 (29.11.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2004-345274
2004 年 11 月 30 日 (30.11.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人九州工業大学 (KYUSHU INSTITUTE OF TECHNOLOGY) [JP/JP]; 〒8048550 福岡県北九州市戸畑区仙水町 1 番 1 号 Fukuoka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 石原 政道 (ISHI-HARA, Masamichi) [JP/JP]; 〒8048550 福岡県北九州
- (74) 代理人: 大川 譲 (OHKAWA, Yuzuru); 〒1160013 東京都荒川区西日暮里 5 丁目 1 番 8 号 三共セントラルプラザビル 5 階 開明国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) Title: PACKAGED STACKED SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: パッケージングされた積層型半導体装置及びその製造方法

AA 積層型半導体装置断面図



AA... CROSS SECTION OF STACKED SEMICONDUCTOR DEVICE
 BB... PROTECTION FILM
 CC... REAR PLANE INSULATING FILM
 DD... SI SUBSTRATE
 EE... LSI FORMING PLANE
 FF... REAR PLANE
 GG... FRONT PLANE
 HH... BUMP
 II... FRONT PLANE INSULATING FILM
 JJ... BUMP
 KK... REAR PLANE REWIRING
 LL... SI SUBSTRATE PENETRATING ELECTRODE
 MM... LSI UPPER PLANE REWIRING
 NN... LSI UPPER PLANE POST ELECTRODE

(57) Abstract: A packaged stacked semiconductor device is provided with bumps which function as external electrode terminals on both surfaces on the front plane side and its opposing rear plane side of the semiconductor device, and is stacked on other semiconductor device, substrate or a board having other electrode terminal and is used by being directly and electrically connected to such electrode terminal. On the front plane side of the semiconductor substrate whereupon a penetrating electrode is formed, the penetrating electrode is connected to a wiring layer, rewiring is performed on an insulating film applied, and a post electrode connected to the wiring is connected to the bump for external connection on the surface on the front plane side. The penetrating electrode is connected to the wiring formed on the insulating film applied on the rear plane side of the semiconductor substrate, excluding the head part of the penetrating electrode, and the wiring is connected to the bump for external connection.

[続葉有]



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

- 国際調査報告書
- 補正書

(57) 要約: 本発明は、外部電極端子として機能するバンプを、半導体装置のおもて面側及びその反対面である裏面側の両表面に備え、かつ、他の電極端子を有する他の半導体装置、基板、或いはボードに積層されて、その電極端子と直接に電氣的に接続されて用いられる。貫通電極を形成した半導体基板のおもて面側で、該貫通電極を配線層に接続し、塗布した絶縁膜の上に再配線して、該配線と接続されるポスト電極を、おもて面側表面で外部接続用のバンプに接続する。半導体基板の裏面側で、貫通電極の頭部分を除いて塗布した絶縁膜の上に形成した配線に貫通電極を接続すると共に、該配線を外部接続用のバンプに接続する。

明 細 書

パッケージングされた積層型半導体装置及びその製造方法

技術分野

- [0001] 本発明は、薄型化及び高速動作化が図れる半導体装置及びその製造方法に係わり、特に、複数の半導体装置を順次積層するパッケージングされた積層型半導体装置及びその製造方法に関する。

背景技術

- [0002] LSIチップの高集積化に伴い、パッケージサイズの縮小化も強く要求されており、様々な実装パッケージ構造が提案されている。近年、半導体ベアチップに貫通電極を形成して積層しようとする開発が盛んに行われている。一方、リアルサイズの両面電極パッケージもこれから製品化される可能性が高い。各種電子装置の多機能・小型化に伴い、電子装置に組み込まれる半導体装置も多くの回路素子を内蔵する構造になってきている。このような半導体装置(集積回路装置)の集積密度を向上させる方法として、三次元積層型半導体装置を用いることができる。
- [0003] しかしながら、従来技術の三次元積層型半導体装置は、裏面再配線については開示していない。裏面に再配線をすることにより、立体方向への接続(積層)が自由にでき、組み合わせの自由度が飛躍的に向上することになる。
- [0004] また、従来、貫通電極の形成は、複雑で高コストであり、低コストの手法が望まれている。従来の貫通孔の絶縁方法は、熱酸化膜やCVD方式が用いられているが、これらは高温で処理されるため半導体の実装プロセスへの適用は困難であった。実装プロセスではLSIの配線工程が終了してから処理するため、出来るだけ低温プロセスが要求される。半導体基板への貫通孔の形成とその絶縁方法にはまだ課題が残されている。
- [0005] 特許文献1や特許文献2が公知であるが、いずれも熱酸化膜とその低温化が提案されているのみである。
- [0006] さらに特許文献3や特許文献4に半導体ベアチップに貫通電極を形成して3次元に積層する手法が提案されているが、いずれもシリコン基板だけで剛性を持たせる構造

しか開示されていない。このためシリコン基板はある厚さを必ず(例えば50 μ m以上)保持しなければならず、必然的に貫通孔は深くなる構造であり、貫通電極形成を困難なものにしている。

特許文献1:特開2003-086591号公報

特許文献2:特開2002-237468号公報

特許文献3:特開2003-309221号公報

特許文献4:特開平10-223833号公報

発明の開示

発明が解決しようとする課題

[0007] このように、従来の技術は、三次元積層型半導体装置の裏面再配線については開示していない。また、高温で処理されるため半導体の実装プロセスへ適用することのできる半導体基板への貫通孔の形成とその絶縁方法についても開示していない。さらに貫通電極形成の形成を容易にするためのシリコン基板を薄くする工夫も開示していない。

[0008] そこで、本発明は、係る問題点を解決して、裏面に再配線をすることにより、立体方向への接続(積層)が自由にでき、組み合わせの自由度を飛躍的に向上させたパッケージングされた積層型半導体装置及びその製造方法を提供することを目的としている。

[0009] また、本発明は、貫通孔の絶縁を出来るだけ低温で処理して、低コストで、貫通電極の形成を行なうことを目的としている。さらにシリコン基板を薄くしてもシリコン基板を挟んだ上下の絶縁層で実質的に剛性を持たせる構造を提案しており、貫通電極の形成を容易にするパッケージングされた積層型半導体装置及びその製造方法を提供することも目的としている。

課題を解決するための手段

[0010] 本発明のパッケージングされた積層型半導体装置は、外部電極端子として機能するバンプを、半導体装置のおもて面側及びその裏面側の両表面に備え、かつ、他の電極端子を有する他の半導体装置、基板、或いはボードに積層されて、その電極端子と直接に電氣的に接続されて用いられる。半導体基板を貫通する貫通電極を形成

した半導体基板のおもて面側に、複数の回路素子を形成したLSI形成面、及び該LSI形成面の上に複数の回路素子に接続する多層配線部を有して、貫通電極を多層配線部の所定の配線層に接続し、そして、多層配線部の上面に塗布する第1の絶縁膜、配線層と接続されるポスト電極、該ポスト電極の頭部面を除いて半導体基板のおもて面を覆う第2の絶縁膜、及びポスト電極の頭部面に接続される外部接続用のバンプを備える。半導体基板の裏面側において、貫通電極の頭部面が露出するように塗布した第3の絶縁膜の上で、貫通電極の頭部面に配線により接続されるバンプ形成部を備え、該バンプ形成部を、それを覆う第4の絶縁膜に開けた開口を通して外部接続用のバンプに接続したことを特徴としている。

- [0011] また、本発明のパッケージングされた積層型半導体装置の製造方法は、外部電極端子として機能するバンプを、半導体装置のおもて面側及びその裏面側の両表面に備え、かつ、他の電極端子を有する他の半導体装置、基板、或いはボードに積層されて、その電極端子と直接に電氣的に接続されて用いられる。スクライブラインを介して格子状に複数配置された半導体ウエハ状の半導体基板のおもて面に、複数の回路素子を形成したLSI形成面、及び該LSI形成面の上に前記複数の回路素子に接続する多層配線部を形成すると共に、該半導体基板に孔を開け、その孔の側壁および半導体基板のおもて面に第1の絶縁膜を形成し、該孔を金属で充填して貫通電極を形成し、該貫通電極を多層配線部内の所定配線層に接続する。さらに多層配線部内の所定配線層に接続されたポスト電極を形成した後、該おもて面に第2の絶縁膜を、ポスト電極の先端が露出するように塗布し、次に、半導体基板の裏面を研削して、貫通電極の先端を露出させた後、半導体基板の裏面上に第3の絶縁膜を、貫通電極頭部面が露出するように塗布する。次に、半導体基板の裏面側の第3の絶縁膜の上に、該露出した貫通電極頭部面とバンプ形成部との配線を実施し、該配線の上に塗布された第4の絶縁膜に開けられた開口を通して、該バンプ形成部にバンプを形成し、半導体基板のおもて面側においては、ポスト電極の先端にバンプを形成する。

発明の効果

- [0012] 本発明によれば、裏面側の貫通電極頭部面と絶縁膜の同一平坦面を得ることやあ

るいは簡単に貫通電極頭部面を露出させることができ、その後ナノ金属粒子を用いてインクジェットによる配線を行うことができ、これによって、安価に再配線が可能となる。

[0013] 本発明によれば、裏面に再配線をすることにより、立体方向への接続(積層)が自由にでき組み合わせの自由度が飛躍的に向上する。現在、PoP(Package on Package)が広がり始めているが、これと同じ効果で占有面積が1/5～1/10程度縮小可能であり、また高さ方向も1/5程度低減可能となる。

[0014] また、本発明によれば、立体方向には原理的に無限の接続が可能であり、平面積の少ない立体部(例えばロボットの各部分へ分散の集積が可能)に有効に集積する方法に優れている。

[0015] また、本発明によれば、ベアチップに匹敵する大きさでありながら、十分なテストが可能である。言い換えればKGD(Known Good Die)が簡潔に実施できる。本発明の積層型半導体装置は、一つのパッケージとして完成しており、バンプ等も形成されていることからテスト治具とのコンタクトは確実に行える。これは従来のベアチップと同じ大きさでベアチップに対するKGDが簡単に実施できることと同じである。すなわち余分な工程や治具を必要とせず、コスト高にもならない。

[0016] 本発明では絶縁膜として窒化膜を用い、その形成には加熱された触媒体上での原料の接触分解反応によって生成された分解種により行うことにより、絶縁膜形成のプロセス温度の低減化(200℃以下)を図ることが可能になる。

[0017] これによって、半導体のウエハレベル実装もしくは半導体のベアチップ積層構造において、シリコン基板の貫通孔の周囲には絶縁膜を低温で堆積することができ、パッケージサイズの大幅な縮小に必要な貫通電極形成を可能にする。

図面の簡単な説明

[0018] [図1]本発明を適用することのできる積層型半導体装置を例示する断面図である。

[図2]IC等を形成した半導体基板(Si基板)に貫通電極を形成したウエハプロセス完成断面図－Iである。

[図3]ウエハプロセス完成後に貫通電極を形成するウエハプロセス完成断面図－IIである。

[図4]図2に示したウエハプロセス完成後貫通電極を形成するプロセスの詳細を示す図である。

[図5]半導体基板のおもて面の所定位置に接続するCuポスト電極の形成を説明する図である。

[図6]第2の絶縁膜の表面の除去を説明する図である。

[図7]ウエハプロセス完成後、チップ周辺にボンディングパッドを配置した状態で示す平面図である。

[図8]ウエハ上に再配線後、ボンディングパッドをエリア配置した状態で示す平面図である。

[図9]半導体基板の第2の主面(裏面)の研削を説明する図である。

[図10]半導体基板の裏面側のエッチングを説明する図である。

[図11]半導体基板の裏面側の絶縁層の形成を説明する図である。

[図12]図13に示したB-B'ラインで切断した断面図である。

[図13]裏面再配線後の配置を示す図である。

[図14]裏面の再配線を、ナノ金属粒子を用いてインクジェットで行う場合を例示する図である。

[図15]再配線の上に塗布される絶縁膜を説明する図である。

[図16]図17に示したC-C'ラインで切断した断面図である。

[図17]裏面のバンプ形成後の平面図である。

[図18]図19に示したD-D'ラインで切断した断面図である。

[図19]おもて面のバンプ形成後の平面図である。

[図20]ウエハプロセス完成後貫通電極を形成する図4とは異なる方式のプロセスの詳細を示す図である。

[図21]別の構成を有するパッケージングされた積層型半導体装置及びその製造方法を説明する図である。

[図22]積層型半導体装置の実装状態を示す模式的断面図である。

[図23]第1の半導体装置の上に、それよりも大きな面積の第2の半導体装置を積層する場合を例示する断面図である。

[図24]図23の平面図である。

[図25]積層型半導体装置の実装状態を示す模式的断面図である。

[図26]処理装置の断面の概略図である。

[図27]得られた薄膜の組成を光電子分光法のSi(2p)スペクトルのピーク分離によって求めたSi-CとSi-N結合の組成とアンモニア流量の関係を示す図である。

[図28]堆積した膜の段差被覆性を見積もるためにおこなった実験のセットアップの模式図である。

[図29]本発明者が、先に出願した三次元積層型半導体装置を例示する断面図である。

[図30]図29の三次元積層型半導体装置の全体を概略的に示す斜視図である。

[図31]図29の底面を示す図である。

発明を実施するための最良の形態

[0019] 本発明について説明する前に、本発明者が、先に出願した三次元積層型半導体装置(特願2003-370651)について図29～図31を参照して説明する。図29はこの三次元積層型半導体装置の断面図、図30はその全体を概略的に示す斜視図、図31は底面を示す図である。図示したように、この三次元積層型半導体装置は、下段となる第1の半導体装置2と、この第1の半導体装置2の上面に積層固定される中段の第3の半導体装置4と、この第3の半導体装置4の上面に積層固定される上段の第2の半導体装置3とからなっている。

[0020] 第1・第2・第3の半導体装置2, 3, 4において、各部の同じ名称の符号は、第1の半導体装置2では数字の末尾にaを付し、第2の半導体装置3では数字の末尾にbを付し、第3の半導体装置4では数字の末尾にcを付して説明する。第1の半導体装置2は、シリコン(Si)からなる半導体基板6aを有しており、その第1の主面(IC等の回路が形成される面であり、図29では上面)側には多層配線部7aが形成され、かつこの多層配線部7a上には絶縁性樹脂からなる第1の絶縁層8aが設けられている。

[0021] また、第1の絶縁層8aを貫通し、多層配線部7aの所定の配線に電氣的に接続されるポスト電極9aが設けられている。ポスト電極9aの露出部分には突起電極(バンプ)10aが設けられている。半導体基板6aの第1の主面には、各種構造のトランジスタやダ

イオード等の能動素子や、抵抗素子、容量素子、インダクタ層等の受動素子が必要に応じて形成されている。半導体基板6aの第1の主面の裏側になる第2の主面(図29では下面)には絶縁性樹脂からなる第2の絶縁層11aが設けられている。また、多層配線部7aの所定深さから半導体基板6a及び第2の絶縁層11aを貫通する貫通電極12aが設けられている。この貫通電極12aは多層配線部7aの所定の配線に電氣的に接続されている。この貫通電極12aの露出部分には突起電極13aが設けられている。

[0022] 中段の第3の半導体装置4においては、ポスト電極9c及び貫通電極12cのパターンは第1の半導体装置2とは異なるが、他の部分は第1の半導体装置2と略同じ構造になっている。中段の第3の半導体装置4の下面側の貫通電極12cと、下段の第1の半導体装置2の上面側のポスト電極9aはそれぞれ対面し、突起電極10aを介して電氣的に接続されている。突起電極10aは一時的加熱処理によって接合体となり、接続部分を接続するようになる。この接続によって第1の半導体装置2上に第3の半導体装置4が積層固定されることになる。

[0023] 上段の第2の半導体装置3は、第1の半導体装置2において、上面のポスト電極を設けない構成になっている。上段の第2の半導体装置3の下面側の貫通電極12bと、中段の第3の半導体装置4の上面側のポスト電極9cはそれぞれ対面し、突起電極13bを介して電氣的に接続されている。この接続によって第3の半導体装置4上に第2の半導体装置3が積層固定されることになる。

[0024] 各半導体装置を、このような接合体により多段に積層固定することにより、半導体装置間の接続経路を短くして、積層型半導体装置全体の厚さを極めて薄くすることが可能となる。

[0025] 本発明は、このような三次元積層型半導体装置の裏面再配線について、そして、高温で処理されるため半導体の実装プロセスへ適用することのできる半導体基板への貫通孔の形成とその絶縁方法についてさらに改良するものである。

[0026] 以下、例示に基づき本発明を説明する。図1は、本発明を適用することのできるパッケージングされた積層型半導体装置を例示する断面図である。Si基板の上面にLSI形成面がある。このLSI形成面が位置する側を、おもて面側と称し、その反対側を裏

面側と称している。図1中において、このおもて面側を、下方向に向けて図示している。LSI形成面には、回路(回路素子)が形成されている。

[0027] LSI形成面を備える半導体基板(Si基板)には、Si基板を貫通して、おもて面側と裏面側を接続するSi基板貫通電極が設けられている。このおもて面側において、LSI形成面の上には、多層配線部(LSI上面再配線)が形成される。さらに、このLSI上面再配線上の所定位置に接続するために、そこに柱状のCuポスト電極(LSI上面ポスト電極)を複数形成する。このポスト電極は、例えば、プラスチックモールドなどによって、おもて面絶縁膜(後述の第2の絶縁膜)で覆うと共に、その先端には、外部接続用のバンプが設けられる。

[0028] 一方、図中上側に位置するSi基板の裏面側においては、貫通電極の先端が顔を出すようにSi基板の裏面を研削する。さらに、Si基板だけを選択エッチングして、半導体基板の裏面から貫通電極の先端を突出させる。あるいは、選択的に裏面絶縁膜(後述の第3の絶縁膜)を塗布し、貫通電極の頭部面が露出するようにする。そして露出した貫通電極の頭部面から任意の位置に配置されるバンプ部までインクジェットやスクリーン印刷で再配線を実施し、該再配線を覆う保護膜(後述の第4の絶縁膜)に開けた開口を通して外部接続用のバンプに接続する。

[0029] これによって、おもて面側と裏面側の両面に外部接続用のバンプ電極を備えて、他の半導体装置等と積層して用いることのできるパッケージングされた積層型半導体装置が構成される。

[0030] 次に、このようなパッケージングされた積層型半導体装置の製造について、さらに詳細に説明する。図2は、IC等を形成した半導体基板(Si基板)に貫通電極を形成したウエハプロセス完成断面図-Iである。半導体装置の製造においては、図示したように、厚さ数100 μ mの半導体基板を用意した後、この半導体基板のおもて面(第1の主面)のLSI形成面に回路(回路素子)を形成する。また、半導体基板のおもて面上には多層配線部が形成される。図2は、ウエハプロセス中に、半導体基板に高融点金属で貫通電極を形成する場合を示している。この後、図示省略しているが、多層配線部上に第1の絶縁膜を形成し、その上に、多層配線最終配線層とポスト電極に接続するための再配線層が形成されることになる。

- [0031] これに対して、図3は、ウエハプロセス完成後に貫通電極を形成するウエハプロセス完成断面図－IIである。図4は、図3に示したウエハプロセス完成後貫通電極を形成するプロセスの詳細を示す図である。図4(a)には、半導体基板のおもて面上には多層配線部が形成され、そこには、貫通電極に接続されるべき最終配線層が存在することが示されている。次に、図4(b)に示すように、半導体基板及び多層配線部には、貫通電極に相当する孔が半導体基板の途中まで開口し、この孔の側面及び多層配線部の上面に多層配線に悪影響を与えない程度の低温で第1の絶縁膜が形成される。次に、図4(c)に示すように、例えば、ナノ金属粒子をインクジェットで充填あるいは二度スキージによって、貫通電極の埋め込みがなされる。孔は、例えば、数 μm ～30 μm 程度の直径で5～50 μm 程度の深さである。次に、図4(d)に示すように、最終配線層上部に、開口が開けられ、この開口を通して、最終配線層と貫通電極が、ナノ金属粒子直描配線される。そして、この配線の所定位置或いは貫通電極位置において、それに接続されたポスト電極を形成した後、おもて面に第2の絶縁膜を形成する。この第2の絶縁膜の表面は、後の工程において、所定厚さ除去して、ポスト電極の先端を露出させることになる。
- [0032] 図5は、半導体基板のおもて面の所定位置に接続するために、そこに柱状のCuポスト電極を複数形成した状態を示す図である。半導体基板のおもて面には、第2の絶縁膜を形成して、ポスト電極は第2の絶縁膜に覆われる。第2の絶縁膜は、エポキシ樹脂やポリイミド樹脂等絶縁性の有機樹脂が使用される。第2の絶縁膜は、例えば、プラスチックモールドによって形成する。
- [0033] 次に、図6に示すように、第2の絶縁膜の表面を所定厚さ除去する。上下2つの図は、図8に示したA-A'及びa-a'ラインで切断した断面図をそれぞれ示している。第2の絶縁膜の表面を、ポスト電極の先端が露出するように研磨する。研磨量が多ければ、ポスト電極の厚さが短くなり、第2の絶縁膜の厚さも薄くなる。第2の絶縁膜は、40～200 μm 程度にする。
- [0034] 図7は、ウエハプロセス完成後、チップ周辺にボンディングパッドを配置した状態で示す平面図であり、さらに、図8は、ウエハ上に再配線後、ボンディングパッドをエリア配置した状態で示す平面図である。

- [0035] 次に、図9に示すように、半導体基板の裏面(第2の主面)を研削し、貫通電極の先端が顔を出すようにする。これにより、半導体基板は、第2の絶縁膜よりも薄い10～50 μm 程度の厚さになる。半導体基板がこのような薄くなっても第2の絶縁膜が厚く剛性作用が働きウエハ全体の強度が維持できる。このように、第2の絶縁膜を保持したまま、半導体基板を第2の絶縁膜より薄くなるまで研削するものであるから、半導体基板はハンドリング時にクラックが入ったり、割れたりする損傷が防止できる。
- [0036] 次に、図10に示すように、半導体基板の裏面側を所定厚さエッチングする。エッチングはふっ酸系のエッチング液によるウエットエッチングで行い、Siだけを選択エッチングして、貫通電極はエッチングしない。これにより、厚さ20 μm 程度の半導体基板の表面から貫通電極の先端が5 μm 程度突出することになる。
- [0037] 次に、図11に示すように、ウエハを上下反転して、半導体基板の裏面側のシリコン表面上に第3の絶縁膜を形成する。この際、貫通電極が隠れるまで絶縁膜を塗布する。その後、この第3の絶縁膜と、貫通電極(金属ポスト電極)を同時に切削して、ポスト電極を露出させ、該電極頭部面と絶縁膜との同一平坦化を実現する。第3の絶縁膜の厚さは、最低でも電氣的絶縁を図ることができる厚さにする。
- [0038] 或いは、第3の絶縁膜を形成する別の方法として、インクジェット方式を用いることができる。インクジェットで絶縁膜を塗布すれば、貫通電極の頭部面を露出させつつ、半導体基板の裏面側のシリコン表面上に絶縁膜を塗布することが可能となる。
- [0039] 次に、図12に示すように、半導体基板の裏面側の第3の絶縁膜の上に、再配線を実施する。図12は、図13に示したB-B'ラインで切断した断面図である。この再配線の上には、図12中に拡大図で示すように、例えば、銅配線の上を窒化膜で被覆する。図13は、裏面再配線後の配置を示す図である。図示したように、貫通電極部とパッド部(バンプ形成部)が配線により接続される。図14は、裏面の再配線を、ナノ金属粒子(例えば、銅ナノ金属微粒子)を用いてインクジェットで行う場合を例示している。或いは、この再配線はナノ金属粒子を用いてスクリーン印刷により行うことができる。半導体装置の製造においては、一般に、面積が広い半導体ウエハが用意され、その後、各処理を経て、最終的には、同時形成された多数の同一半導体素子がスクライブラインを介して格子状に配置される。この半導体ウエハをスクライブラインに沿

って縦横に切断分離して多数の半導体素子(半導体チップ)を形成するが、図14は、この半導体ウエハの裏面に対して再配線することを示している。次に、図15に示すように、再配線の上に、第4の絶縁膜が塗布される。この第4の絶縁膜としては、ソルダーレジストを用いることもできる。この第4の絶縁膜厚は $30\mu\text{m}$ 以下にして、シリコン基板よりも薄くする。これによって、上述の第2の絶縁膜は、シリコン基板及び第4の絶縁膜よりも厚くなる。

[0040] 次に、図16及び図18に示すように、裏面側及びおもて面側のそれぞれにおいて、バンプを形成する。裏面側においては、再配線上のバンプ形成部上の絶縁膜に開口を設け、ここに、バンプを形成する。図16は、図17に示したC-C'ラインで切断した断面図である。裏面側では、パッド部に接続されたバンプが図示されている。図17は、裏面のバンプ形成後の平面図である。図18は、図19に示したD-D'ラインで切断した断面図である。この位置の裏面側では、貫通電極に接続されたバンプが図示されている。図19は、おもて面のバンプ形成後の平面図である。おもて面側では、図6に示したポスト電極の頭部面にバンプは接続される。おもて面側及び裏面側それぞれに形成されるバンプは、例えば、半田ボール、金ボール、表面が金メッキされた銅ボール等によるバンプ電極、スクリーン印刷と加熱による突起電極、またはインクジェットによる凸部形成による電極等である。

[0041] 図20は、ウエハプロセス完成後貫通電極を形成する図4とは異なる方式のプロセスの詳細を示す図である。図20(A)には、半導体基板のおもて面上には多層配線部が形成され、そこには、貫通電極に接続されるべき最終配線層が存在することが示されている。次に、図20(B)に示すように、半導体基板及び多層配線部には、貫通電極に相当する孔が開けられ、孔及び多層配線部の表面を酸化させて、第1の絶縁膜が形成される。次に、図20(C)に示すように、レーザ直接開口によって、最終配線との接続部が形成される。次に、図20(D)に示すように、ナノ金属粒子スキージによって、貫通電極部と多層配線部の金属埋め込みが同時に形成される。

[0042] 図21は、上述の例とは異なる構成を有するパッケージングされた積層型半導体装置及びその製造方法を説明する図である。図21(A)は、貫通孔と同時に開口するスクライブエリアを説明する図である。例示のシリコン基板は、厚さ数 $100\mu\text{m}$ の半導体

基板のおもて面(第1の主面)にLSI形成面及び多層配線部(図示省略)が形成されている点では、図3および図2を参照して説明した例と同じである。ただし、この図21に示した例では、貫通孔と同時にスクライブエリア(図21(D)参照)が所定の幅で開口される。上述したように、面積が広い半導体ウェハが用意され、このウェハ状の半導体基板に対して、各処理が施され、最終的には縦横に切断分離して多数の半導体素子を形成するが、この縦横の切断は、例示のスクライブエリアで行われる。

[0043] 次に、図5及び図6を参照して前述したように、ポスト電極が形成され、かつこのポスト電極を覆う第2の絶縁膜が形成されるが、このとき、図21(B)に示すように、第2の絶縁膜を形成する絶縁材料(例えば、エポキシ樹脂やポリイミド樹脂等絶縁性の有機樹脂)は、スクライブエリアにも充填される。

[0044] そして、ウェハ状の半導体基板に対しての各処理が終了して、縦横に切断分離することにより形成される多数の半導体素子は、シリコン基板のおもて面だけでなく、端面も含む周囲が完全に絶縁膜で覆われることになる。図21(C)は、この完成した積層型半導体装置を例示している。

[0045] 図22はパッケージングされた積層型半導体装置の実装状態を示す模式的断面図である。第1及び第2の半導体装置のそれぞれは、前述したようにして構成できるが、図示した第2の半導体装置の上面にバンプ電極は形成されていない。図示したように、上面に位置する半導体装置が、下面に位置する半導体装置と同等または小さい場合は、アライメントを行って接続部分が重なるようにし、炉体を通して接続部分の突起電極を一時的に加熱溶融して接合させる。この積層固定によって、積層型半導体装置を製造することができる。

[0046] このようにして製造された積層型半導体装置は、多層配線基板からなるドウターボードの上面に搭載される。ドウターボードは、下面に複数のバンプ電極を有し、上面に特に図示しないがランドが形成されている。積層型半導体装置の外部電極端子の配置パターンと前記ランドの配置パターンは一致している。従って、外部電極端子のリフローによって、積層型半導体装置をドウターボードに搭載することができる。

[0047] 図23及び図24は、第1の半導体装置の上に、それよりも大きな面積の第2の半導体装置を積層する場合を例示しており、図23は、断面図を、図24は平面図を示して

いる。上面になる第2の半導体装置の周囲をドウターボードによって支持するスペーサーを用いて、このスペーサーの内部に第1の半導体装置が位置するように配置して、積層することができる。

- [0048] 図25はさらに多くの積層型半導体装置の実装状態を示す模式的断面図である。図中には、第1～第4の4個の半導体装置を例示しているが、そのそれぞれは、前述したようにして構成できる。各半導体装置及び基板は、アライメントを行って接続部分が重なるようにし、炉体を通して接続部分の突起電極を一時的に加熱溶融して接合させる。この積層固定によって、積層型半導体装置を製造することができる。
- [0049] このようにして製造された積層型半導体装置は、多層配線基板からなるドウターボードの上面に搭載される。さらに、最上部には、電池を搭載できる。このように、途中に基板や放熱板を挿入すれば、原理的に立体方向に無限に接続可能となる。
- [0050] 次に、図14を参照して説明したインクジェットによる再配線工程後の溶媒除去と低抵抗化処理工程について、詳細に説明する。インクジェットにより再配線をした結果の銅酸化物および有機溶媒汚染物は、銅配線洗浄装置中で原子状水素もしくはアンモニア分解種で除去する。
- [0051] 銅、銀、金等のナノ金属粒子を有機溶媒中に含有させて、これをプリンターで実用されているインクジェット法で所望のパターンを描く方法が知られている。銀や金のような貴金属はもともと酸化されにくい、銅の場合は銀や金と比較すると酸化されやすい性質を持っている。そのため、銅配線パターン描画後は、有機溶媒を蒸発させ、さらに銅粒子同士を付着させる熱処理と共に、低抵抗化処理が必要となる。
- [0052] 図26は、銅配線洗浄装置として用いた処理装置の断面の概略図である。反応室の上面のガス流入口からは、原子状水素もしくはアンモニア分解種の原料として、水素、アンモニア、ヒドラジン等の水素を含んだ原料を、クリーニングガス供給機構を通して送り込む。
- [0053] 反応室外の直下部にはヒータ等の基板加熱機構を設置し、この加熱機構直上の反応室内の試料ステージ上に、試料(基板)が、被着面を上に向けて設置されている。ガス流入口からのガスを拡散させるシャワーヘッドと、試料の中間に、例えばタングステン線からなる触媒体を設置し、該触媒体を触媒体加熱機構により高温に加熱して

流入したガスを分解する。ここで酸化物は原子状水素の還元により取り除かれ、有機汚染物は原子状水素と炭素の反応により炭化水素が形成されることで除去できる。原子状水素もしくはアンモニア分解種は加熱触媒による接触分解反応により生成される。

- [0054] 原子状水素もしくはアンモニア分解種の原料としての上述の水素を含む化合物が、窒素も含む化合物、例えば、アンモニア、ヒドラジンを用いることができる。この場合、該化合物気体を加熱された触媒体に接触させることにより原子状水素と同時に原子状窒素が発生し、原子状水素による金属表面酸化膜の還元、及び又は、有機物の除去とともに、原子状窒素により金属表面の窒化処理を行うことができる。
- [0055] 触媒体材料としては、上述のタングステン以外にも、タンタル、モリブデン、バナジウム、レニウム、白金、トリウム、ジルコニウム、イットリウム、ハフニウム、パラジウム、イリジウム、ルテニウム、鉄、ニッケル、クロム、アルミニウム、シリコン、炭素のいずれか1つの材料、これら材料の単体の酸化物、これら材料の単体の窒化物、これら材料(炭素を除く)の単体の炭化物、これらの材料から選択された2種類以上からなる混晶または化合物の酸化物、これらの材料から選択された2種類以上からなる混晶または化合物の窒化物、又は、これらの材料(炭素を除く)から選択された2種類以上からなる混晶または化合物の炭化物の何れか1つを用いることができる。また、触媒体の温度は、例えば、タングステン触媒体の場合は、1000℃から2200℃の温度範囲が適当である。
- [0056] 次に、図4、図20、さらには図12を参照して上述した「絶縁膜の形成」について、詳細に説明する。なお、上述の例において、貫通孔は、半導体基板を貫通する孔を例として説明したが、多層配線部の上下層間を接続するスルーホールに対しても適用することができる。このような貫通孔表面に形成される絶縁膜は、高熱伝導性を有することが望ましい。
- [0057] 半導体のウエハレベル実装もしくは半導体のベアチップ積層構造において、シリコン基板の貫通孔の周囲等に形成される絶縁膜は、低温で堆積する必要がある。本発明では絶縁膜として窒化膜を用い、その形成には加熱された触媒体上での原料の接触分解反応によって生成された分解種により行われる。

[0058] このような絶縁膜の形成は、図26を参照して説明した銅配線洗浄装置として用いたのと同様な処理装置を用いて行うことができる。これによって、シリコン基板等の基板に形成される貫通電極が貫通する内壁等に絶縁膜として窒化膜を形成することができる。窒化膜は、原料ガスを加熱された触媒体に接触させ、接触分解反応により生じた化学種を基板貫通孔に触れさせ、該基板貫通孔表面上に形成される。

[0059] 絶縁膜としての窒化膜は、シリコンカーボナイトライド、シリコンオキシナイトライド、シリコンオキシカーボナイトライド又はシリコンナイトライドの何れかを使用する。本発明のような薄膜形成においては、シリコンカーボナイトライド： SiC_xN_y 、シリコンオキシナイトライド： SiO_xN_y 、シリコンオキシカーボナイトライド： $\text{SiO}_x\text{C}_y\text{N}_z$ 、シリコンナイトライド： SiN_x についての x 、 y 、 z の関係式は、製造条件等によってはC、O、N等の原子がHで置換されることにより、化学量論的な理論値から数パーセント程度ずれても、本発明の実施上問題ないが、以下の範囲が好ましい。

[0060] SiC_xN_y ：[但し、 SiC_xN_y において、 x 及び y は、夫々 $0 < x < 1$ 、 $0 < y < 4/3$ の範囲で、 $4x + 3y = 4$ を満たす数値を表す。]

SiO_xN_y ：[但し、 SiO_xN_y において、 x 及び y は、夫々 $0 < x < 2$ 、 $0 < y < 1.4$ の範囲で、 $2x + 3y = 4$ を満たす数値を表す。]

$\text{SiO}_x\text{C}_y\text{N}_z$ ：[但し、 $\text{SiO}_x\text{C}_y\text{N}_z$ において、 x 、 y 及び z は、夫々 $0 < x < 2$ 、 $0 < y < 1$ 、 $0 < z < 1.4$ の範囲で、 $2x + 4y + 3z = 4$ を満たす数値を表す。]

SiN_x ：[但し、 SiN_x において、 x は、 $0 < x < 1.4$ を満たす数値を表す。]

窒素を含有する窒化珪素、即ち SiC_xN_y の炭窒化珪素膜は、硬い為、強いストレスが生じやすく、割れ易いという欠点を有するが、しかし、絶縁膜を炭窒化珪素膜にすると、ストレスを緩和できる効果が生じる。また比誘電率が低いという利点もあり、更に、バリア性が窒化珪素よりも優れているので、LSIのHigh-k絶縁膜のアンダーコートへの利用に最近では検討されている。

[0061] 原料供給機構は、例えば、 SiN 系膜を堆積するために用いられるヘキサメチルジシラザンやシラン等を供給するためのものである。また、真空系は、反応残余ガスを排出するためのものである。

[0062] 原料として、NとSiを含む化合物、即ち、ヘキサメチルジシラザン、テトラメチルジシ

ラザン、オクタメチルトリシラザン、ヘキサメチルシクロトリシラザン、テトラエチルテトラメチルシクロテトラシラザン、テトラフェニルジメチルジシラザンの中から選ばれた1種又は2種以上のシラザン基を有するシラザン化合物を使用する。この原料を、反応室の上面のガス流入口から、原料供給機構を通して送り込む。一般に、シランガスは爆発性がありハンドリングが設備の大型化に困難な場合があるが、特に、ヘキサメチルジシラザン(HMDS)は、容易に取り扱える利点がある。

[0063] 図27は本手法によって得られた薄膜の組成を光電子分光法のSi(2p)スペクトルのピーク分離によって求めたSi-CとSi-N結合の組成とアンモニア流量の関係を示している。薄膜の成膜条件は触媒体温度:1700℃、基板温度:50℃とした。得られた膜はSiCNであり、アンモニア流量を増やすことによってSi-N結合が増えることがわかる。

[0064] 図28は本手法によって堆積した膜の段差被覆性を見積もるためにおこなった実験のセットアップの模式図である。それぞれ厚さ700 μ mのシリコン基板とキャップシリコン基板間に厚さ5 μ mのステンレス製スペーサーを図のように設置し、上方から薄膜堆積種を輸送できる位置に本構造体を設置した。アンモニア流量を50sccmとした図27での堆積条件で薄膜堆積を行った。次にスペーサーによる隙間から進入して形成した薄膜を膜厚計により測定し、薄膜の進入長を見積もった。その結果、キャップシリコン基板のエッジから3mmまで薄膜が形成していることがわかった。これより、段差被覆性に優れた膜形成が行えると考えられる。

[0065] 窒化膜を形成し、さらには、貫通電極を形成した後、詳細は上述した方法により、表面酸化膜の還元、及び又は、有機物の除去を行う。即ち、金属ナノ粒子の充填により形成された貫通電極を水素を含有する化合物の気体を加熱された触媒体に接触させ、接触分解反応により生じた原子状水素で処理する。このような銅配線洗浄装置を用いて、試料(基板)として、ナノ銅金属粒子を用いたパターンニング配線を形成したシリコンLSIウエハを、試料ステージに設置する。そして、ナノ金属粒子を用いたパターンニング配線を形成したシリコンLSIウエハの汚染を除去するため、水素ガスを流量30sccmで10分間流入し、この処理により、汚染の除去を行う。

[0066] 半導体装置の製造においては、一般に、面積が広い半導体ウエハが用意され、その後このウエハの第1の主面に、所定の回路素子を含む単位回路が形成される。こ

の単位回路はウエハの第1の主面に縦横に整列配置形成される。その後も、ウエハレベルで、即ち半導体ウエハ状の半導体基板に対して、上述した貫通電極形成とか絶縁膜の形成を含む各処理を行う。そして、最終的には縦横に切断分離して多数の半導体素子(半導体チップ)を形成することになる。但し、銅配線後の溶媒除去と低抵抗化処理工程は、ウエハレベルで行うことに限定されることなく、切断分離後の半導体チップ単位のパッケージ基板の配線工程にも有効である。

請求の範囲

- [1] 外部電極端子として機能するバンプを、半導体装置のおもて面側及びその裏面側の両表面に備え、かつ、他の電極端子を有する他の半導体装置、基板、或いはボードに積層されて、その電極端子と直接に電氣的に接続されて用いられるパッケージングされた積層型半導体装置において、
- 半導体基板を貫通する貫通電極を形成した半導体基板のおもて面側に、複数の回路素子を形成したLSI形成面、及び該LSI形成面の上に前記複数の回路素子に接続する多層配線部を有し、前記多層配線部の上面に塗布する第1の絶縁膜上に前記多層配線最終配線層と貫通電極および/またはポスト電極に接続するための再配線層を有し、該ポスト電極の頭部面を除いて半導体基板のおもて面を覆う第2の絶縁膜、及び前記ポスト電極の頭部面に接続される外部接続用のバンプを備え、
- 前記半導体基板の裏面側において、前記貫通電極の頭部面が露出するように塗布した第3の絶縁膜の上で、前記貫通電極の頭部面に配線により接続されるバンプ形成部を備え、該バンプ形成部を、それを覆う第4の絶縁膜に開けた開口を通して外部接続用のバンプに接続したことを特徴とするパッケージングされた積層型半導体装置。
- [2] 前記第3の絶縁膜の上の配線はナノ金属粒子を用いてスクリーン印刷又はインクジェットにより行なわれる請求項1に記載のパッケージングされた積層型半導体装置。
- [3] 前記配線の上を窒化膜で被覆し、かつ、該窒化膜は、ヘキサメチルジシラザン、テトラメチルジシラザン、オクタメチルトリシラザン、ヘキサメチルシクロトリシラザン、テトラエチルテトラメチルシクロテトラシラザン、テトラフェニルジメチルジシラザンの中から選ばれた1種又は2種以上のシラザン化合物を加熱された触媒体に接触させ、接触分解反応により生じた化学種のシリコンカーボナイトライド、シリコンオキシナイトライド、シリコンオキシカーボナイトライド又はシリコンナイトライドの何れかである請求項2に記載のパッケージングされた積層型半導体装置。
- [4] 他の半導体装置を上面に位置するようアライメントを行って両者の接続部分が重なるようにして、外部接続用のバンプを接合させ、さらに、多層配線基板からなるドウターボードの上面に搭載して、接合した請求項1に記載のパッケージングされた積層型半

導体装置。

- [5] 前記他の半導体装置の周囲を前記ドウターボードによって支持するスペーサーを用いた請求項4に記載のパッケージングされた積層型半導体装置。
- [6] さらに別の1つ又は複数の半導体装置を、途中に基板や放熱板を挿入して、立体的に接続した請求項4に記載のパッケージングされた積層型半導体装置。
- [7] 前記第2の絶縁膜は半導体基板より厚くして、半導体装置の剛性を実質的に第2の絶縁膜で確保した請求項1に記載のパッケージングされた積層型半導体装置。
- [8] 前記第2の絶縁膜厚は40～200 μ m、半導体基板厚は10～50 μ m、第4の絶縁膜厚は30 μ m以下にした請求項7に記載のパッケージングされた積層型半導体装置。
- [9] 前記半導体基板の裏面側において、前記貫通電極の頭部面に配線により接続されるバンプ形成部は、貫通電極位置より再配線層により任意の位置に再配置された請求項1に記載のパッケージングされた積層型半導体装置。
- [10] 前記貫通電極のための孔を、格子状に複数配置された半導体ウエハ状の半導体基板に対して開口すると同時に、個々の半導体素子に切断するためのスクライブラインを所定の幅を持って開口し、前記第2の絶縁膜を半導体基板のおもて面のみならずスクライブラインの開口にも充填することにより、スクライブラインで切断した半導体装置の端面が絶縁膜で覆われる請求項1に記載のパッケージングされた積層型半導体装置。
- [11] 前記第1の絶縁膜および前記第2の絶縁膜は何れも半導体ウエハ状の半導体基板に対して形成され、裏面側の配線は銅ナノ金属微粒子を用いてインクジェットにより半導体ウエハ状の半導体基板上で形成された請求項1に記載のパッケージングされた積層型半導体装置。
- [12] 前記貫通電極用の孔側壁の絶縁膜として窒化膜を使用し、前記窒化膜が、ヘキサメチルジシラザン、テトラメチルジシラザン、オクタメチルトリシラザン、ヘキサメチルシクロトリシラザン、テトラエチルテトラメチルシクロテトラシラザン、テトラフェニルジメチルジシラザンの中から選ばれた1種又は2種以上のシラザン化合物を加熱された触媒体に接触させ、接触分解反応により生じた化学種を、前記孔側壁に触れさせ、該孔側壁表面上に形成されたシリコンカーボナイトライド、シリコンオキシナイトライド、シリ

コンオキシカーボナイトライド又はシリコンナイトライドの何れかである請求項1に記載のパッケージングされた積層型半導体装置。

- [13] 前記貫通電極が、前記絶縁膜を形成した孔に金属ナノ粒子を充填することにより形成される請求項12に記載のパッケージングされた積層型半導体装置。
- [14] 前記貫通電極を、水素を含有する化合物の気体を加熱された触媒体に接触させた接触分解反応により生じた原子状水素で処理することにより、表面酸化膜の還元、及び又は、有機物の除去を行った請求項13に記載のパッケージングされた積層型半導体装置。
- [15] 外部電極端子として機能するバンプを、半導体装置のおもて面側及びその裏面側の両表面に備え、かつ、他の電極端子を有する他の半導体装置、基板、或いはボードに積層されて、その電極端子と直接に電氣的に接続されて用いられるパッケージングされた積層型半導体装置の製造方法において、
- スクライブラインを介して格子状に複数配置された半導体ウエハ状の半導体基板のおもて面に、複数の回路素子を形成したLSI形成面、及び該LSI形成面の上に前記複数の回路素子に接続する多層配線部を形成すると共に、該半導体基板に貫通電極を設け、該多層配線上に第1の絶縁膜を形成し、前記多層配線最終配線層と貫通電極および/またはポスト電極に接続するための再配線層を形成し、
- さらにポスト電極を形成した後、該おもて面に第2の絶縁膜を塗布し、前記ポスト電極の先端を露出させた後、
- 半導体基板の裏面を研削して、貫通電極の先端を露出させた後、半導体基板の裏面上に第3の絶縁膜を、貫通電極頭部面が露出するように塗布し、
- 次に、半導体基板の裏面側の第3の絶縁膜の上に、該露出した貫通電極頭部面とバンプ形成部との配線を実施し、該配線の上に塗布された第4の絶縁膜に開けられた開口を通して、該バンプ形成部にバンプを形成し、
- 半導体基板のおもて面側においては、ポスト電極の先端にバンプを形成する、ことを特徴とするパッケージングされた積層型半導体装置の製造方法。
- [16] 前記第2の絶縁膜は半導体基板より厚く、第4の絶縁膜は半導体基板より薄くして、半導体装置の剛性を実質的に第2の絶縁膜で確保した請求項15に記載のパッケージ

ジングされた積層型半導体装置の製造方法。

- [17] 半導体基板の裏面側の前記第3の絶縁膜の上の配線はナノ金属粒子を用いてスクリーン印刷又はインクジェットにより実施した請求項15に記載のパッケージングされた積層型半導体装置の製造方法。
- [18] 前記配線の上を窒化膜で被覆し、かつ、該窒化膜は、ヘキサメチルジシラザン、テトラメチルジシラザン、オクタメチルトリシラザン、ヘキサメチルシクロトリシラザン、テトラエチルテトラメチルシクロテトラシラザン、テトラフェニルジメチルジシラザンの中から選ばれた1種又は2種以上のシラザン化合物を加熱された触媒体に接触させ、接触分解反応により生じた化学種のシリコンカーボナイトライド、シリコンオキシナイトライド、シリコンオキシカーボナイトライド又はシリコンナイトライドの何れかである請求項17に記載のパッケージングされた積層型半導体装置の製造方法。
- [19] 半導体基板のおもて面側および裏面のバンプの形成は、半導体ウエハを切断して個々の半導体装置に個別化する前に実施するか、又は、半導体ウエハを切断して個別化した後に実施する請求項15に記載のパッケージングされた積層型半導体装置の製造方法。
- [20] 半導体基板を貫通する貫通電極の形成は、該貫通電極用の孔を開けた後、この孔の側壁に多層配線に悪影響を与えない程度の低温で絶縁膜を形成し、次に、貫通電極の埋め込みをした後、該貫通電極を前記多層配線部内の所定の配線層に接続してなる請求項15に記載のパッケージングされた積層型半導体装置の製造方法。
- [21] 前記半導体基板を貫通する貫通電極の形成は、該貫通電極用の孔を開けた後、この孔の側壁に多層配線に悪影響を与えない程度の低温で絶縁膜を形成し、次に、前記多層配線部内の所定の配線層との接続部を開口した後、貫通電極部と接続部を同時に形成してなる請求項15に記載のパッケージングされた積層型半導体装置の製造方法。
- [22] 前記貫通電極のための孔を、多数の同一半導体素子を同時形成する半導体ウエハ状の半導体基板に対して開口すると同時に、個々の半導体素子に切断するためのスクライブラインを所定の幅を持って開口し、前記第2の絶縁膜を半導体基板のおもて面のみならずスクライブラインの開口にも充填することにより、スクライブラインで切

断した半導体装置の端面が絶縁膜で覆われる請求項15に記載のパッケージングされた積層型半導体装置の製造方法。

- [23] 前記第1の絶縁膜および前記第2の絶縁膜は何れも半導体ウエハ状の半導体基板に対して形成され、裏面側の配線は銅ナノ金属微粒子を用いてインクジェットにより半導体ウエハ状の半導体基板上で形成された請求項15に記載のパッケージングされた積層型半導体装置の製造方法。
- [24] 前記貫通電極用の孔側壁の絶縁膜として窒化膜を使用し、前記窒化膜が、ヘキサメチルジシラザン、テトラメチルジシラザン、オクタメチルトリシラザン、ヘキサメチルシクロトリシラザン、テトラエチルテトラメチルシクロテトラシラザン、テトラフェニルジメチルジシラザンの中から選ばれた1種又は2種以上のシラザン化合物を加熱された触媒体に接触させ、接触分解反応により生じた化学種を、前記孔側壁に触れさせ、該孔側壁表面上に形成されたシリコンカーボナイトライド、シリコンオキシナイトライド、シリコンオキシカーボナイトライド又はシリコンナイトライドの何れかである請求項15に記載のパッケージングされた積層型半導体装置の製造方法。
- [25] 前記貫通電極が、前記絶縁膜を形成した孔に金属ナノ粒子を充填することにより形成される請求項24に記載のパッケージングされた積層型半導体装置の製造方法。
- [26] 前記貫通電極を、水素を含有する化合物の気体を加熱された触媒体に接触させた接触分解反応により生じた原子状水素で処理することにより、表面酸化膜の還元、及び又は、有機物の除去を行った請求項25に記載のパッケージングされた積層型半導体装置の製造方法。

補正書の請求の範囲

[2006年4月18日 (18.04.06) 国際事務局受理：出願当初の請求の範囲 1, 8 及び 15 は補正された；出願当初の請求の範囲 7 及び 16 は取り下げられた；他の請求の範囲は変更なし。]

- [1] (補正後)外部電極端子として機能するバンプを、半導体装置のおもて面側及びその裏面側の両表面に備え、かつ、他の電極端子を有する他の半導体装置、基板、或いはボードに積層されて、その電極端子と直接に電氣的に接続されて用いられるパッケージングされた積層型半導体装置において、

半導体基板を貫通する貫通電極を形成した半導体基板のおもて面側に、複数の回路素子を形成したLSI形成面、及び該LSI形成面の上に前記複数の回路素子に接続する多層配線部を有し、前記多層配線部の上面に塗布する第1の絶縁膜上に前記多層配線最終配線層と貫通電極および/またはポスト電極に接続するための再配線層を有し、該ポスト電極の頭部面を除いて半導体基板のおもて面を覆う第2の絶縁膜、及び前記ポスト電極の頭部面に接続される外部接続用のバンプを備え、前記第2の絶縁膜は半導体基板より厚くして、半導体装置の剛性を実質的に第2の絶縁膜で確保し、

前記半導体基板の裏面側において、前記貫通電極の頭部面が露出するように塗布した第3の絶縁膜の上で、前記貫通電極の頭部面に配線により接続されるバンプ形成部を備え、該バンプ形成部を、それを覆う第4の絶縁膜に開けた開口を通して外部接続用のバンプに接続したことを特徴とするパッケージングされた積層型半導体装置。

- [2] 前記第3の絶縁膜の上の配線はナノ金属粒子を用いてスクリーン印刷又はインクジェットにより行なわれる請求項1に記載のパッケージングされた積層型半導体装置。
- [3] 前記配線の上を窒化膜で被覆し、かつ、該窒化膜は、ヘキサメチルジシラザン、テトラメチルジシラザン、オクタメチルトリシラザン、ヘキサメチルシクロトリシラザン、テトラエチルテトラメチルシクロテトラシラザン、テトラフェニルジメチルジシラザンの中から選ばれた1種又は2種以上のシラザン化合物を加熱された触媒体に接触させ、接触分解反応により生じた化学種のシリコンカーボナイトライド、シリコンオキシナイトライド、シリコンオキシカーボナイトライド又はシリコンナイトライドの何れかである請求項2に記載のパッケージングされた積層型半導体装置。
- [4] 他の半導体装置を上面に位置するようアライメントを行って両者の接続部分が重なる

ようにして、外部接続用のバンプを接合させ、さらに、多層配線基板からなるドウターボードの上面に搭載して、接合した請求項1に記載のパッケージングされた積層型半導体装置。

- [5] 前記他の半導体装置の周囲を前記ドウターボードによって支持するスペーサーを用いた請求項4に記載のパッケージングされた積層型半導体装置。
- [6] さらに別の1つ又は複数の半導体装置を、途中に基板や放熱板を挿入して、立体的に接続した請求項4に記載のパッケージングされた積層型半導体装置。
- [7] (削除)
- [8] (補正後) 前記第2の絶縁膜厚は $40 \sim 200 \mu\text{m}$ 、半導体基板厚は $10 \sim 50 \mu\text{m}$ 、第4の絶縁膜厚は $30 \mu\text{m}$ 以下にした請求項1に記載のパッケージングされた積層型半導体装置。
- [9] 前記半導体基板の裏面側において、前記貫通電極の頭部面に配線により接続されるバンプ形成部は、貫通電極位置より再配線層により任意の位置に再配置された請求項1に記載のパッケージングされた積層型半導体装置。
- [10] 前記貫通電極のための孔を、格子状に複数配置された半導体ウエハ状の半導体基板に対して開口すると同時に、個々の半導体素子に切断するためのスクライブラインを所定の幅を持って開口し、前記第2の絶縁膜を半導体基板のおもて面のみならずスクライブラインの開口にも充填することにより、スクライブラインで切断した半導体装置の端面が絶縁膜で覆われる請求項1に記載のパッケージングされた積層型半導体装置。
- [11] 前記第1の絶縁膜および前記第2の絶縁膜は何れも半導体ウエハ状の半導体基板に対して形成され、裏面側の配線は銅ナノ金属微粒子を用いてインクジェットにより半導体ウエハ状の半導体基板上で形成された請求項1に記載のパッケージングされた積層型半導体装置。
- [12] 前記貫通電極用の孔側壁の絶縁膜として窒化膜を使用し、前記窒化膜が、ヘキサメチルジシラザン、テトラメチルジシラザン、オクタメチルトリシラザン、ヘキサメチルシクロトリシラザン、テトラエチルテトラメチルシクロテトラシラザン、テトラフェニルジメチルジシラザンの中から選ばれた1種又は2種以上のシラザン化合物を加熱された触媒

体に接触させ、接触分解反応により生じた化学種を、前記孔側壁に触れさせ、該孔側壁表面上に形成されたシリコンカーボナイトライド、シリコンオキシナイトライド、シリコンオキシカーボナイトライド又はシリコンナイトライドの何れかである請求項1に記載のパッケージングされた積層型半導体装置。

[13] 前記貫通電極が、前記絶縁膜を形成した孔に金属ナノ粒子を充填することにより形成される請求項12に記載のパッケージングされた積層型半導体装置。

[14] 前記貫通電極を、水素を含有する化合物の気体を加熱された触媒体に接触させた接触分解反応により生じた原子状水素で処理することにより、表面酸化膜の還元、及び又は、有機物の除去を行った請求項13に記載のパッケージングされた積層型半導体装置。

[15] (補正後)外部電極端子として機能するバンプを、半導体装置のおもて面側及びその裏面側の両表面に備え、かつ、他の電極端子を有する他の半導体装置、基板、或いはボードに積層されて、その電極端子と直接に電氣的に接続されて用いられるパッケージングされた積層型半導体装置の製造方法において、

スクライブラインを介して格子状に複数配置された半導体ウエハ状の半導体基板のおもて面に、複数の回路素子を形成したLSI形成面、及び該LSI形成面の上に前記複数の回路素子に接続する多層配線部を形成すると共に、該半導体基板に貫通電極を設け、該多層配線上に第1の絶縁膜を形成し、前記多層配線最終配線層と貫通電極および/またはポスト電極に接続するための再配線層を形成し、

さらにポスト電極を形成した後、該おもて面に第2の絶縁膜を塗布し、前記ポスト電極の先端を露出させた後、

半導体基板の裏面を研削して、貫通電極の先端を露出させた後、半導体基板の裏面上に第3の絶縁膜を、貫通電極頭部面が露出するように塗布し、

次に、半導体基板の裏面側の第3の絶縁膜の上に、該露出した貫通電極頭部面とバンプ形成部との配線を実施し、該配線の上に塗布された第4の絶縁膜に開けられた開口を通して、該バンプ形成部にバンプを形成し、前記第2の絶縁膜は半導体基板より厚く、第4の絶縁膜は半導体基板より薄くして、半導体装置の剛性を実質的に第2の絶縁膜で確保し、

半導体基板のおもて面側においては、ポスト電極の先端にバンプを形成する、ことを特徴とするパッケージングされた積層型半導体装置の製造方法。

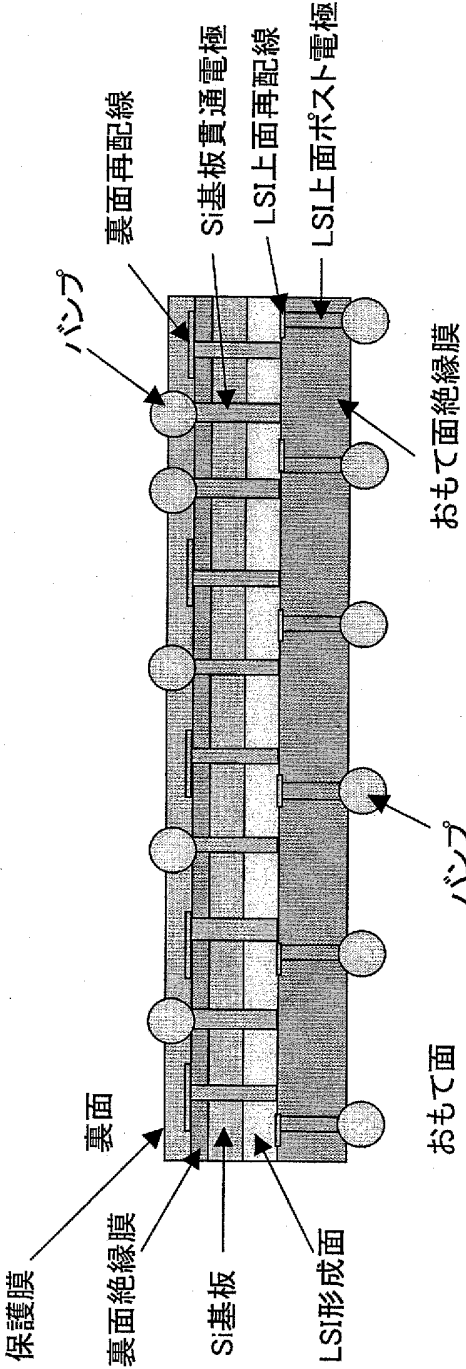
- [16] (削除)
- [17] 半導体基板の裏面側の前記第3の絶縁膜の上の配線はナノ金属粒子を用いてスクリーン印刷又はインクジェットにより実施した請求項15に記載のパッケージングされた積層型半導体装置の製造方法。
- [18] 前記配線の上を窒化膜で被覆し、かつ、該窒化膜は、ヘキサメチルジシラザン、テトラメチルジシラザン、オクタメチルトリシラザン、ヘキサメチルシクロトリシラザン、テトラエチルテトラメチルシクロテトラシラザン、テトラフェニルジメチルジシラザンの中から選ばれた1種又は2種以上のシラザン化合物を加熱された触媒体に接触させ、接触分解反応により生じた化学種のシリコンカーボナイトライド、シリコンオキシナイトライド、シリコンオキシカーボナイトライド又はシリコンナイトライドの何れかである請求項17に記載のパッケージングされた積層型半導体装置の製造方法。
- [19] 半導体基板のおもて面側および裏面のバンプの形成は、半導体ウエハを切断して個々の半導体装置に個別化する前に実施するか、又は、半導体ウエハを切断して個別化した後に実施する請求項15に記載のパッケージングされた積層型半導体装置の製造方法。
- [20] 半導体基板を貫通する貫通電極の形成は、該貫通電極用の孔を開けた後、この孔の側壁に多層配線に悪影響を与えない程度の低温で絶縁膜を形成し、次に、貫通電極の埋め込みをした後、該貫通電極を前記多層配線部内の所定の配線層に接続してなる請求項15に記載のパッケージングされた積層型半導体装置の製造方法。
- [21] 前記半導体基板を貫通する貫通電極の形成は、該貫通電極用の孔を開けた後、この孔の側壁に多層配線に悪影響を与えない程度の低温で絶縁膜を形成し、次に、前記多層配線部内の所定の配線層との接続部を開口した後、貫通電極部と接続部を同時に形成してなる請求項15に記載のパッケージングされた積層型半導体装置の製造方法。
- [22] 前記貫通電極のための孔を、多数の同一半導体素子を同時形成する半導体ウエハ状の半導体基板に対して開口すると同時に、個々の半導体素子に切断するための

スクライブラインを所定の幅を持って開口し、前記第2の絶縁膜を半導体基板のおもて面のみならずスクライブラインの開口にも充填することにより、スクライブラインで切断した半導体装置の端面が絶縁膜で覆われる請求項15に記載のパッケージングされた積層型半導体装置の製造方法。

- [23] 前記第1の絶縁膜および前記第2の絶縁膜は何れも半導体ウェハ状の半導体基板に対して形成され、裏面側の配線は銅ナノ金属微粒子を用いてインクジェットにより半導体ウェハ状の半導体基板上で形成された請求項15に記載のパッケージングされた積層型半導体装置の製造方法。
- [24] 前記貫通電極用の孔側壁の絶縁膜として窒化膜を使用し、前記窒化膜が、ヘキサメチルジシラザン、テトラメチルジシラザン、オクタメチルトリシラザン、ヘキサメチルシクロトリシラザン、テトラエチルテトラメチルシクロテトラシラザン、テトラフェニルジメチルジシラザンの中から選ばれた1種又は2種以上のシラザン化合物を加熱された触媒体に接触させ、接触分解反応により生じた化学種を、前記孔側壁に触れさせ、該孔側壁表面上に形成されたシリコンカーボナイトライド、シリコンオキシナイトライド、シリコンオキシカーボナイトライド又はシリコンナイトライドの何れかである請求項15に記載のパッケージングされた積層型半導体装置の製造方法。
- [25] 前記貫通電極が、前記絶縁膜を形成した孔に金属ナノ粒子を充填することにより形成される請求項24に記載のパッケージングされた積層型半導体装置の製造方法。
- [26] 前記貫通電極を、水素を含有する化合物の気体を加熱された触媒体に接触させた接触分解反応により生じた原子状水素で処理することにより、表面酸化膜の還元、及び又は、有機物の除去を行った請求項25に記載のパッケージングされた積層型半導体装置の製造方法。

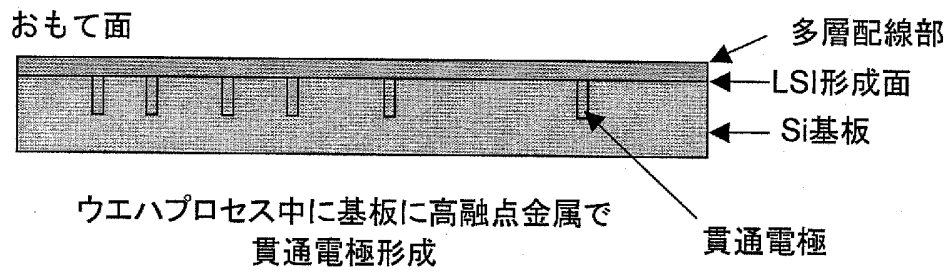
[図1]

積層型半導体装置断面図



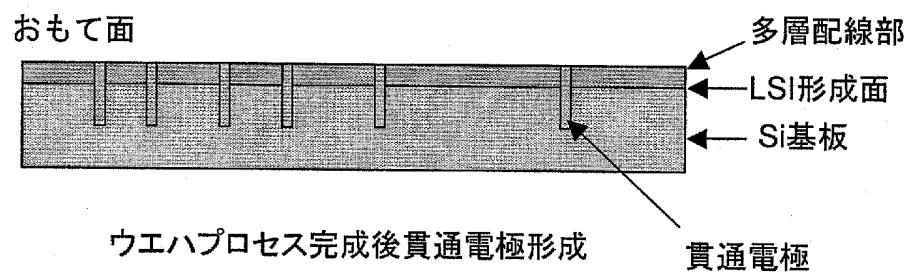
[図2]

ウエハプロセス完成断面図－Ⅰ



[図3]

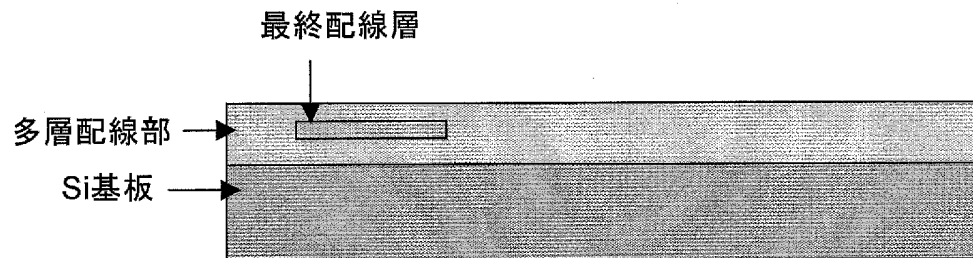
ウエハプロセス完成断面図－Ⅱ



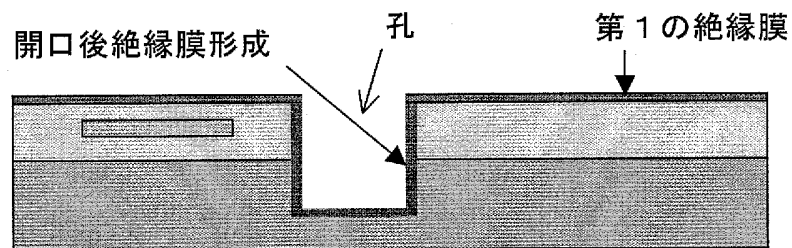
[図4]

ウエハプロセス完成後貫通電極形成の詳細

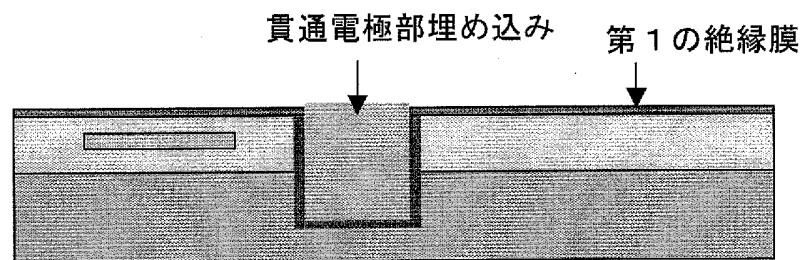
(a)



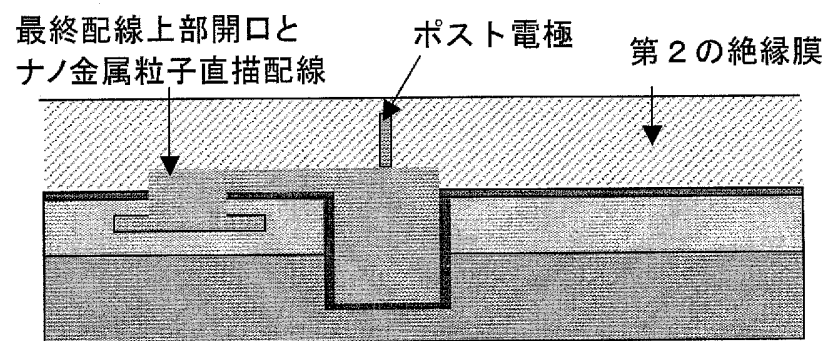
(b)



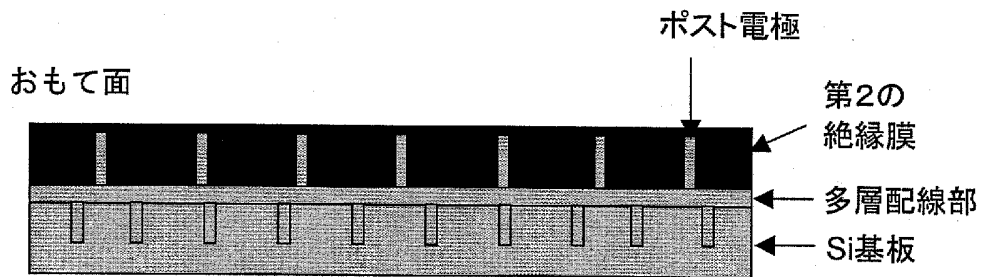
(c)



(d)

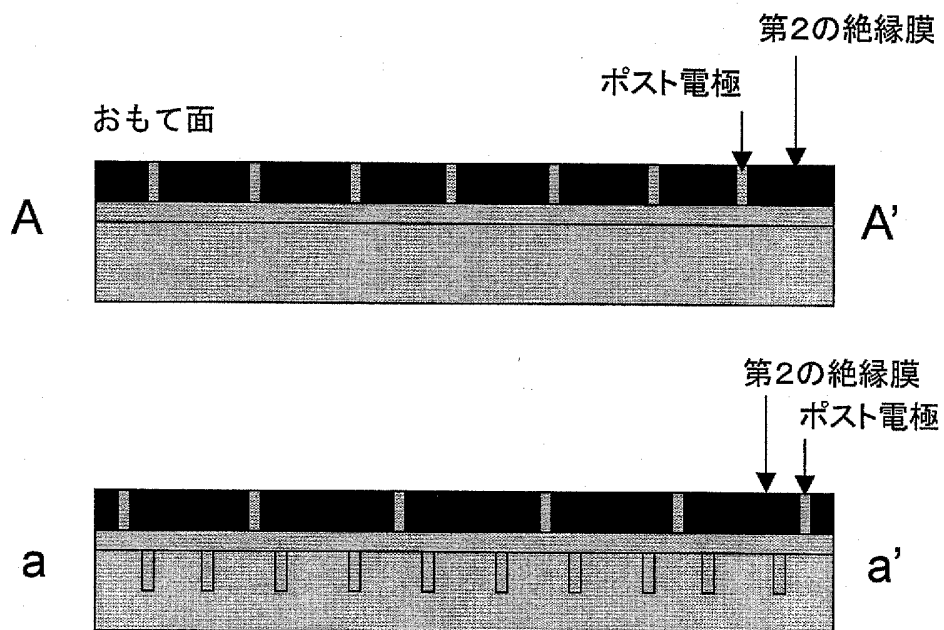


[図5]



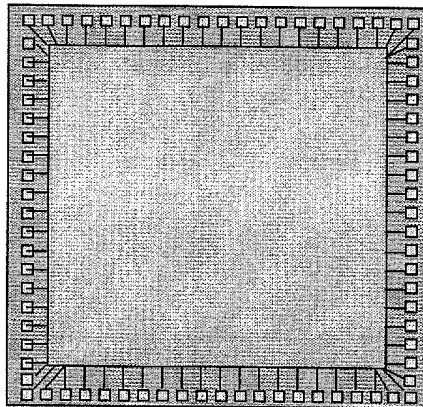
ウエハ上面に再配線しポスト電極形成後
プラスチックモールド

[図6]



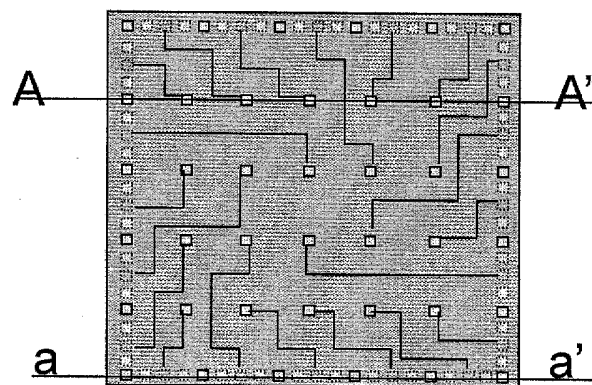
上面研削後(ポスト電極が顔を出すまで)
上はA-A'の断面、下はa-a'の断面

[図7]



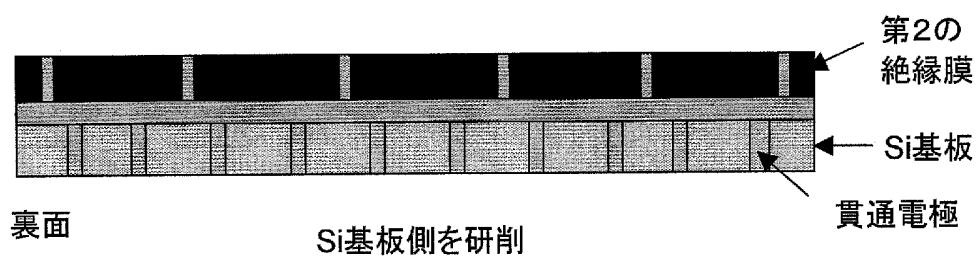
ウエハプロセス完成後
チップ周辺にボンディングパッド配置

[図8]

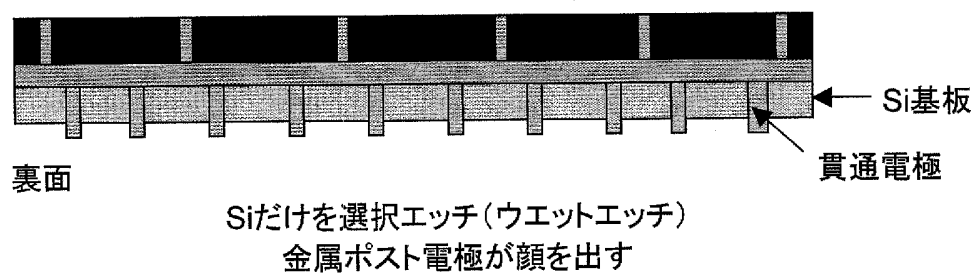


再配線後
ボンディングパッドをエリア配置

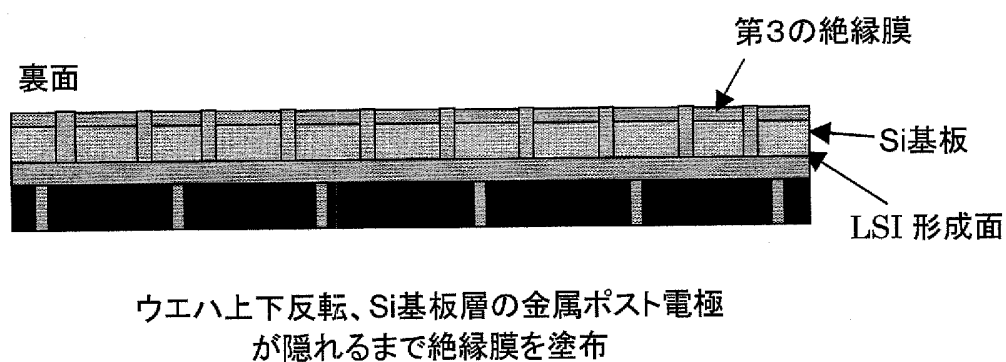
[図9]



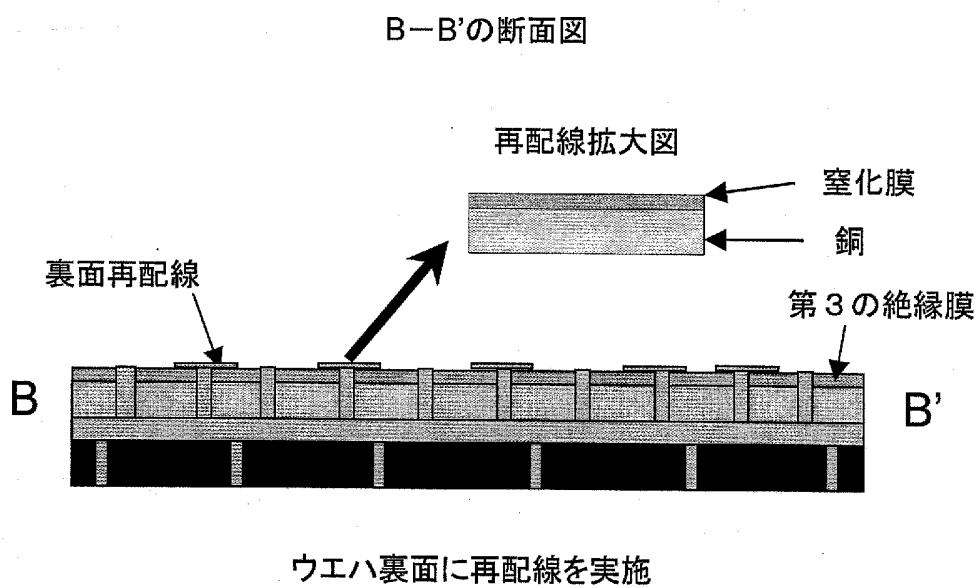
[図10]



[図11]

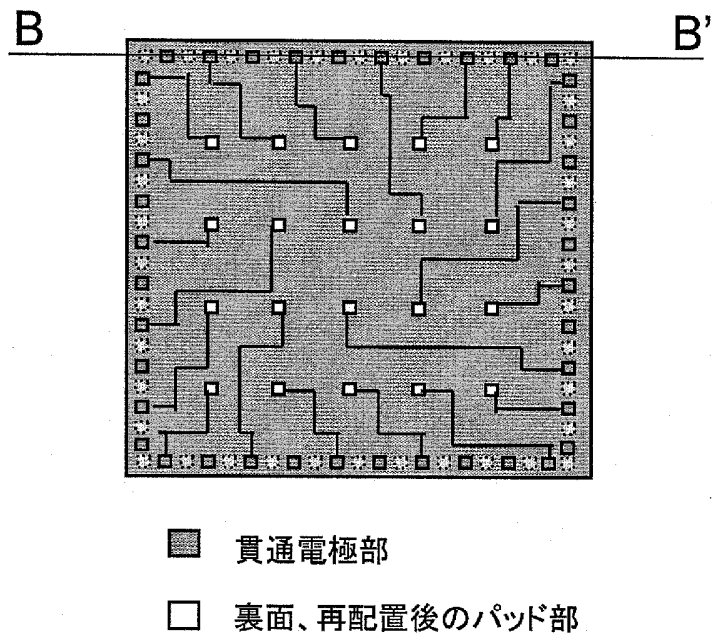


[図12]

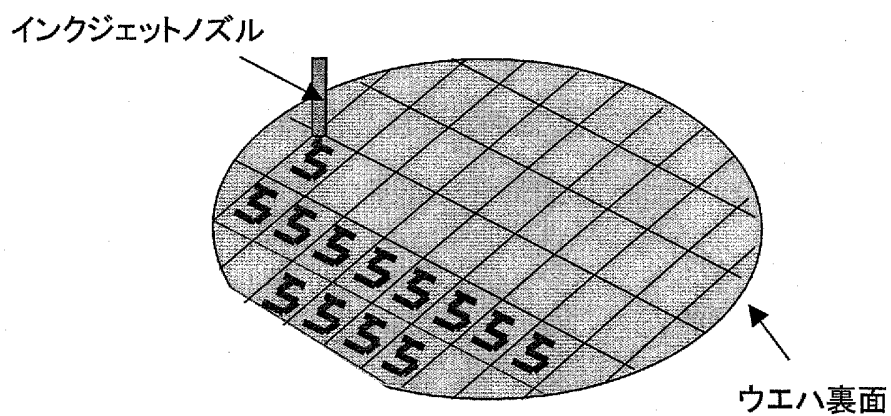


[図13]

裏面再配線後の配置図

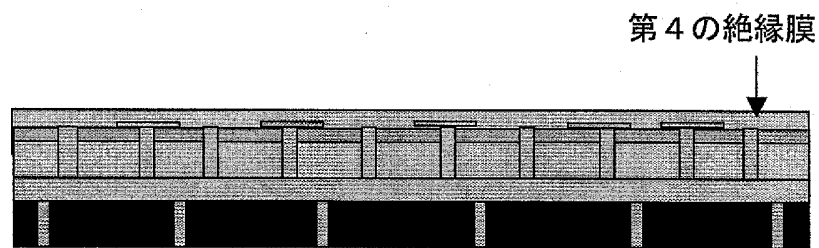


[図14]

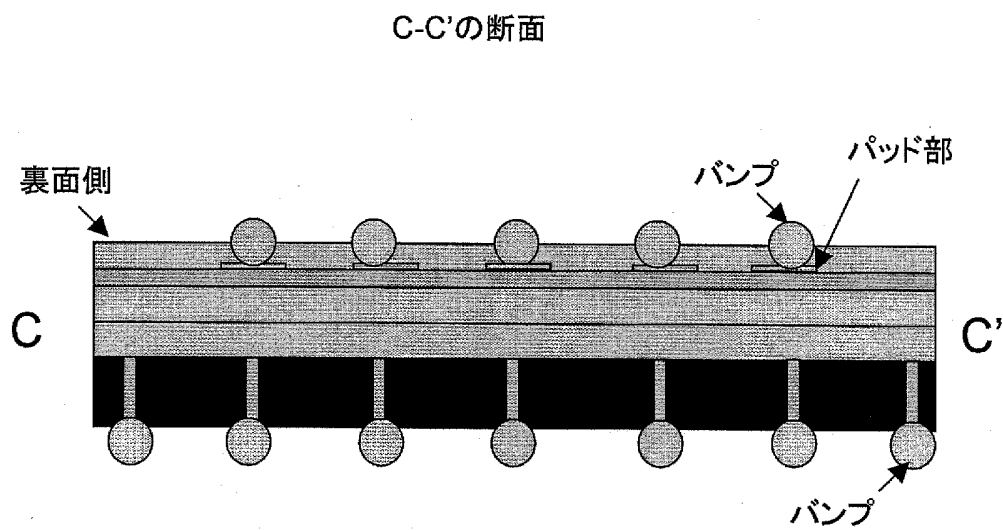


例えば裏面の再配線をナノ金属粒子を用いてインクジェットで行う場合

[図15]

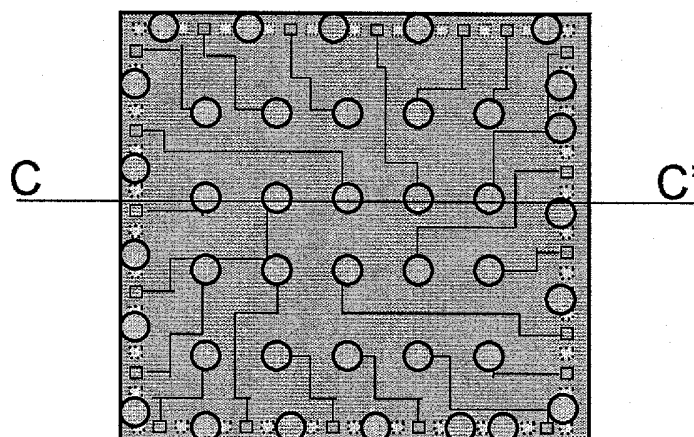


[図16]

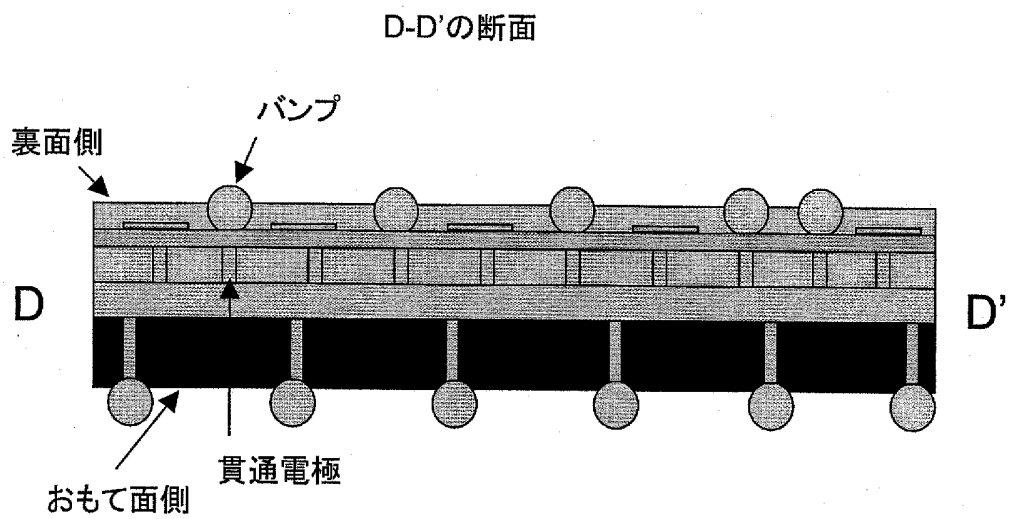


[図17]

裏面のパンプ形成後の平面図



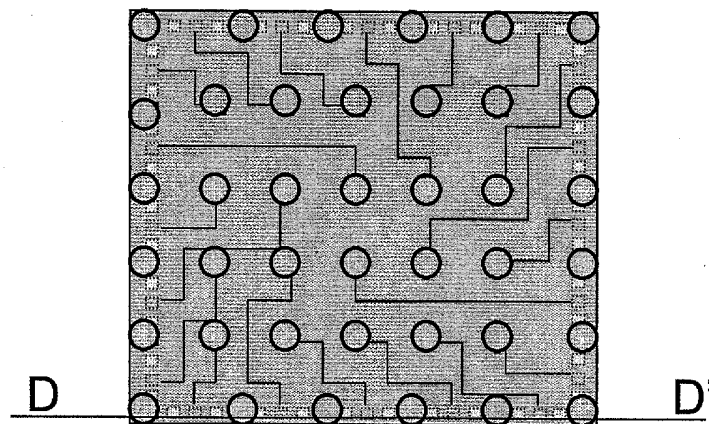
[図18]



表裏両面にバンプ形成

[図19]

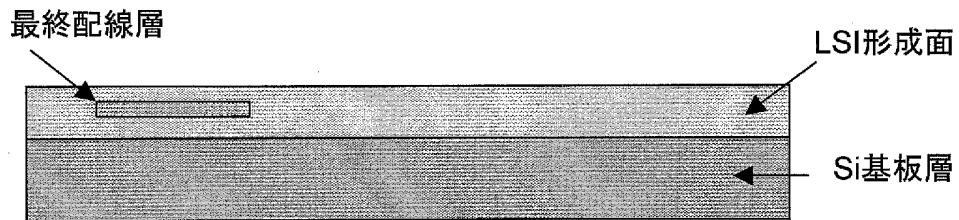
おもて面のバンプ形成後の平面図



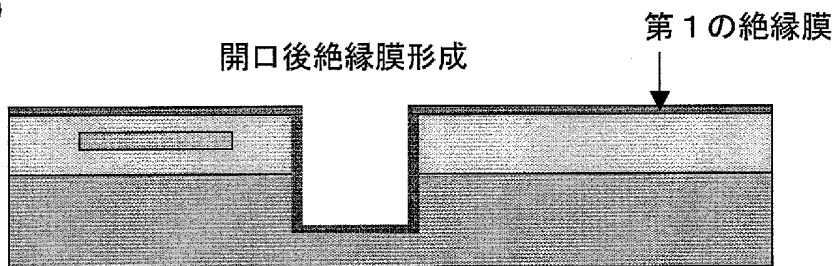
[図20]

ウエハプロセス完成後貫通電極形成の他方式詳細

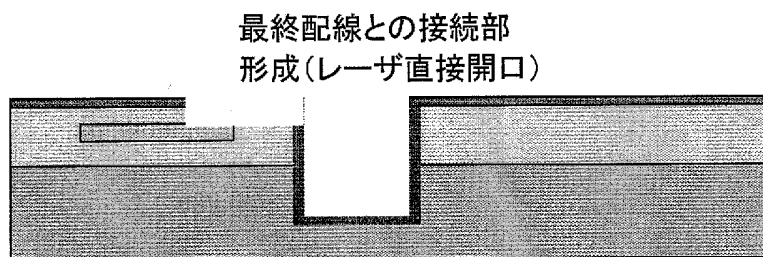
(A)



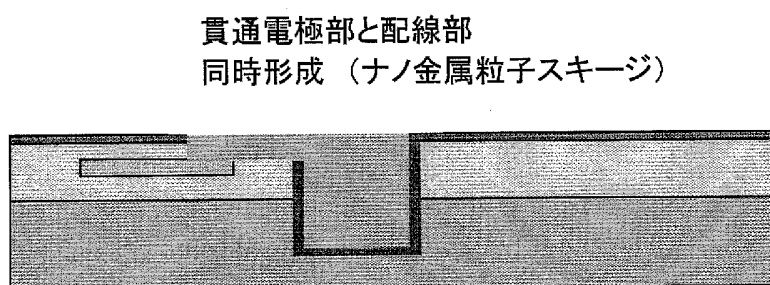
(B)



(C)

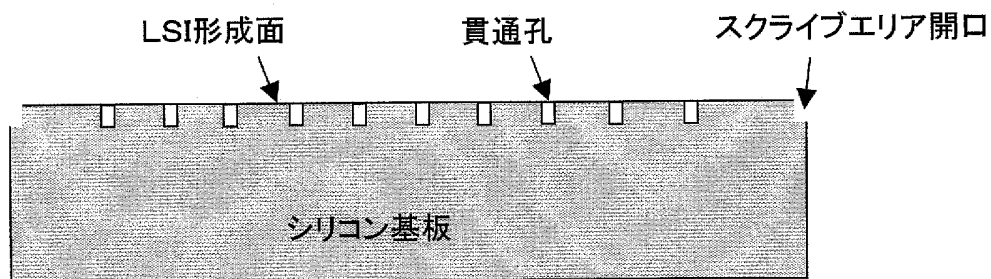


(D)

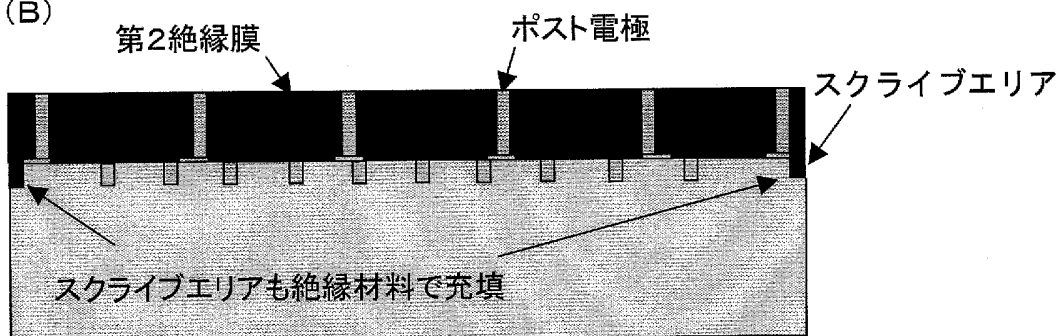


[図21]

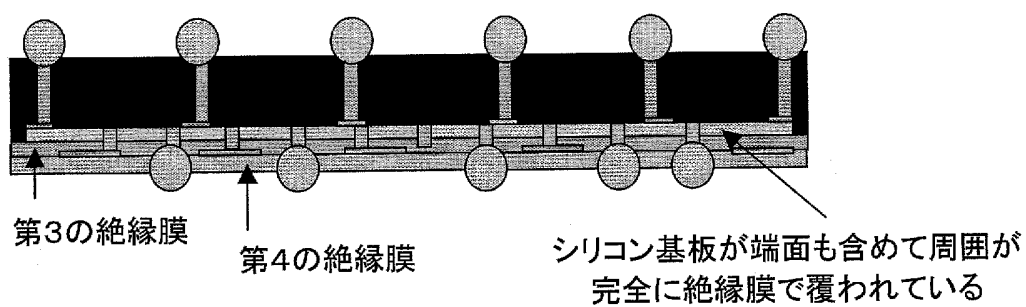
(A)



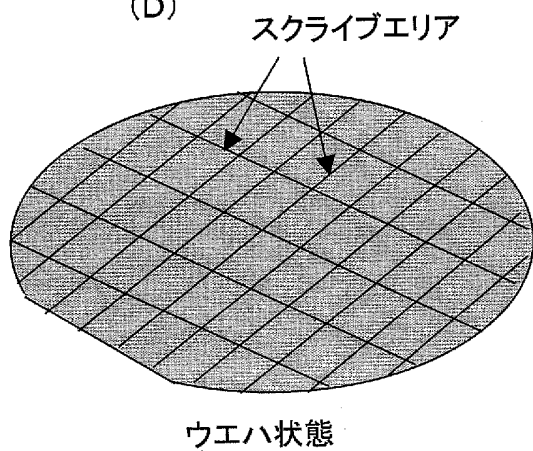
(B)



(C) 完成図

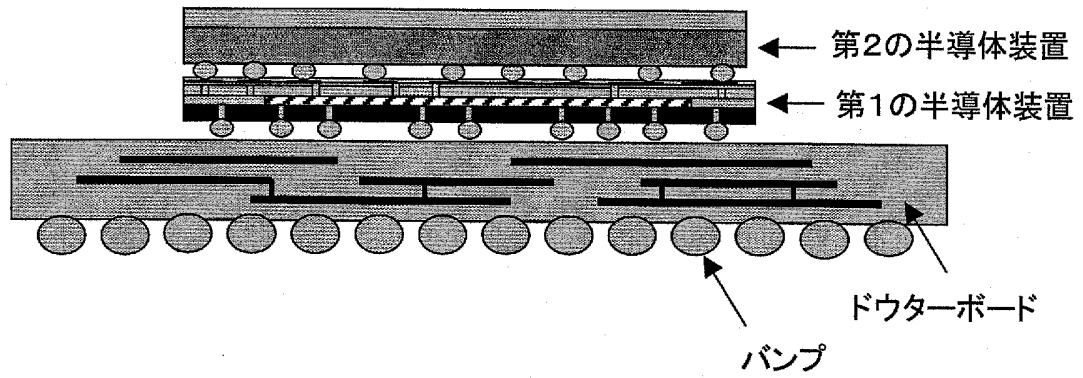


(D)



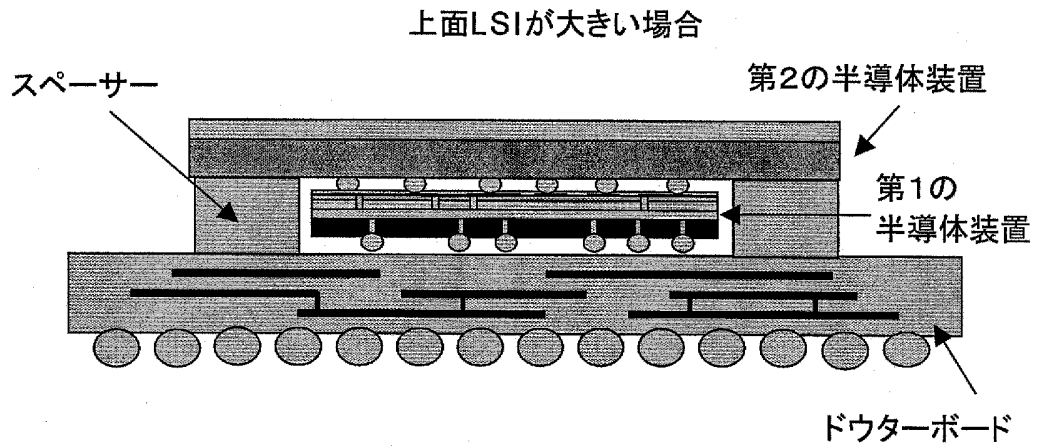
[図22]

上面LSIが同等または小さい場合



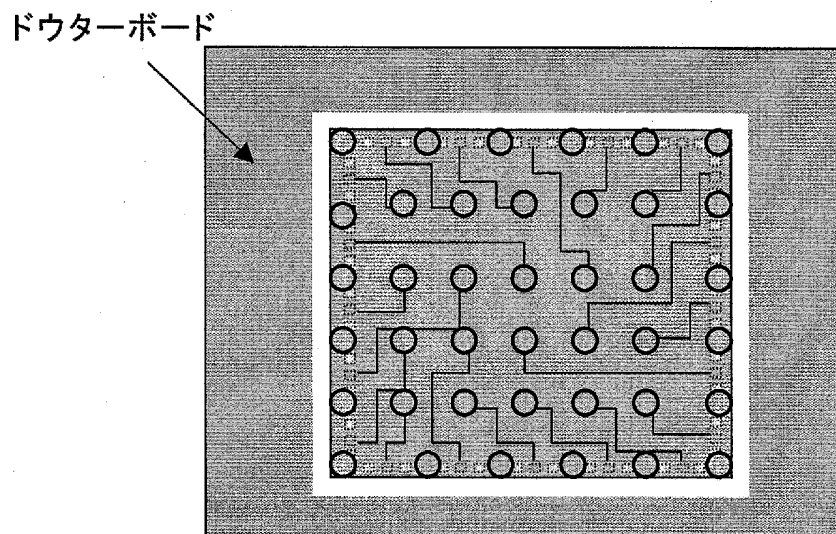
[図23]

断面図



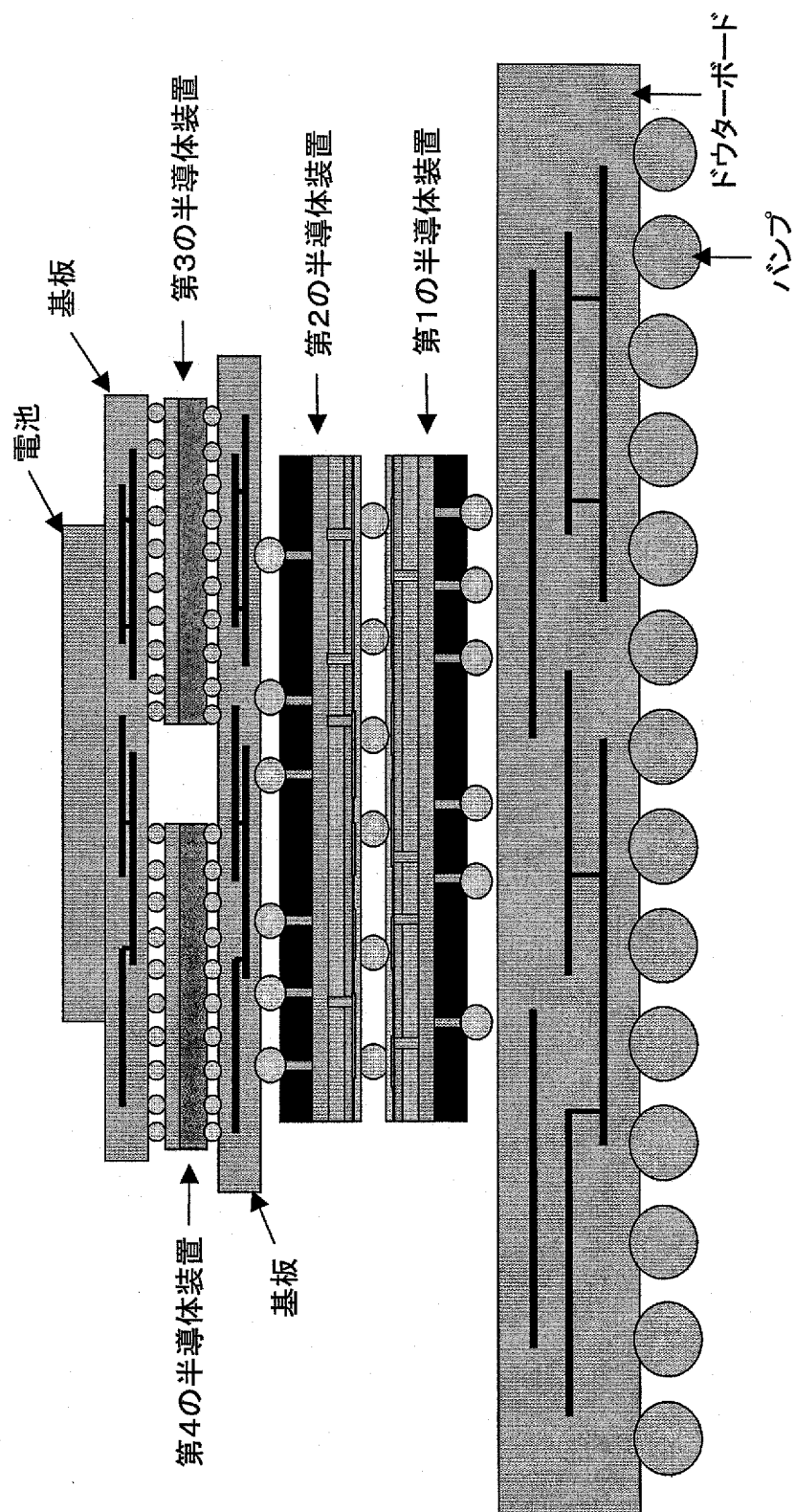
[図24]

平面図

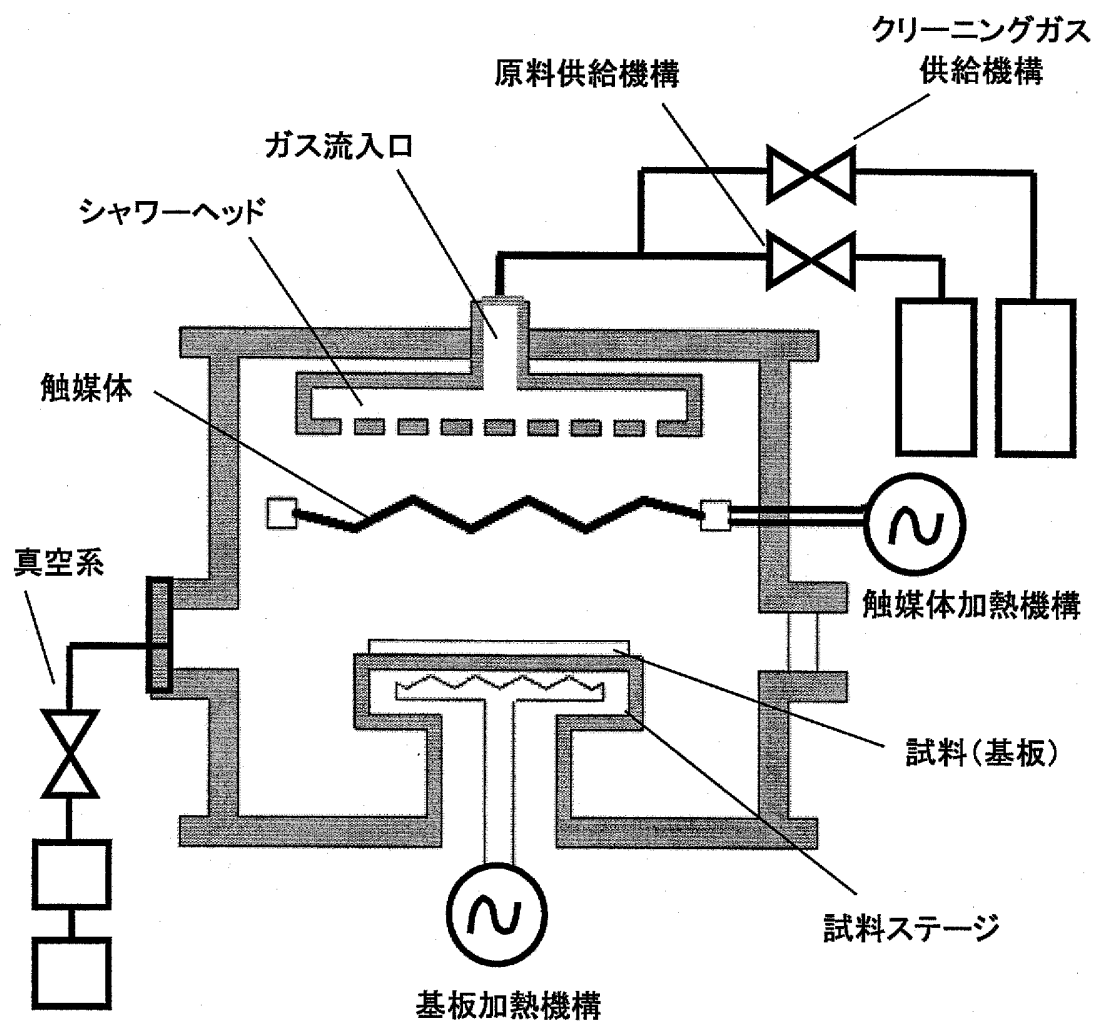


[図25]

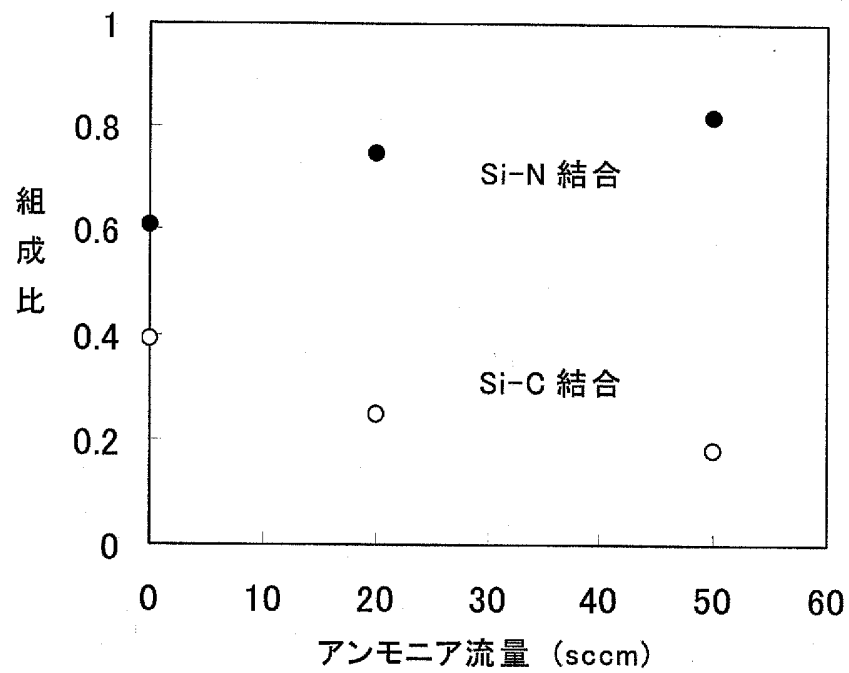
接続途中に必要な基板挿入例と必要な電池装着例



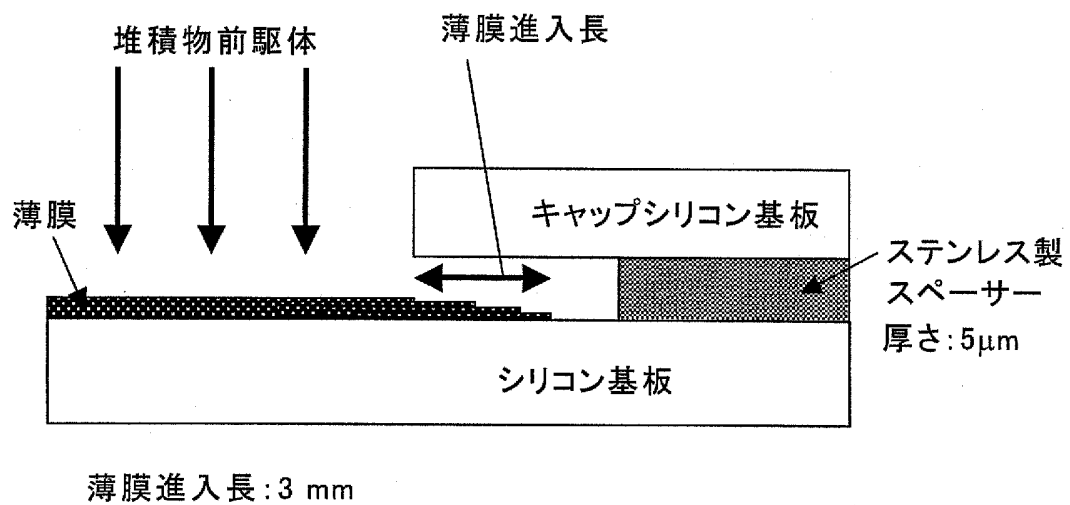
[図26]



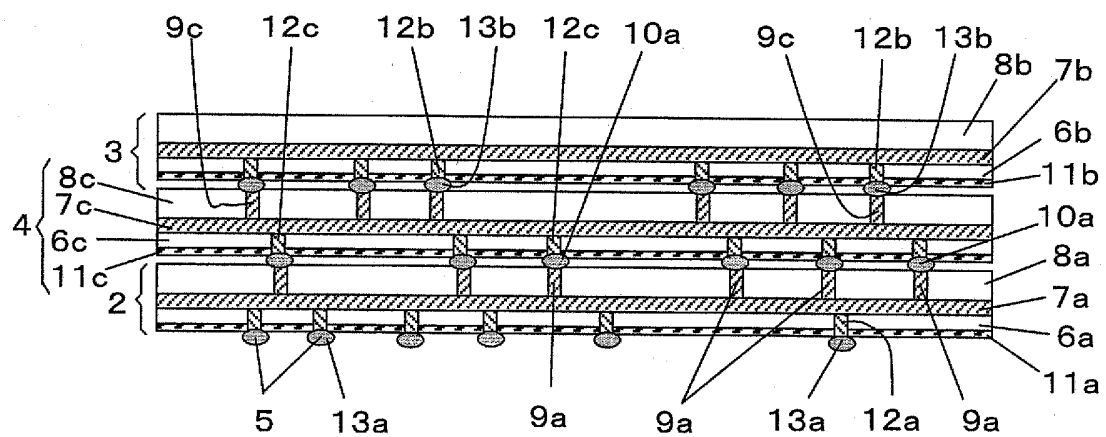
[図27]



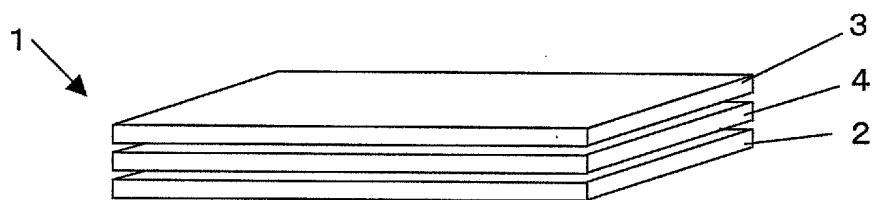
[図28]



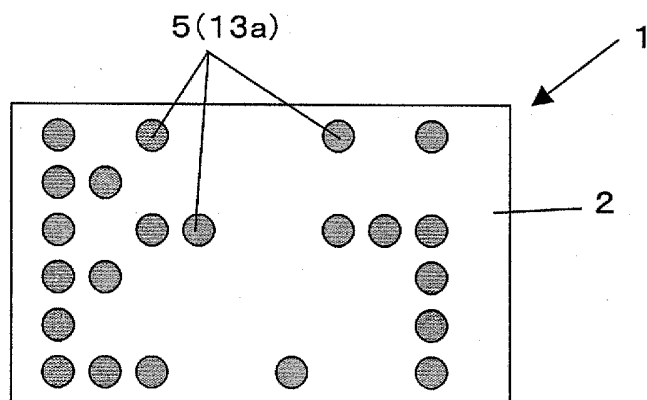
[図29]



[図30]



[図31]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/021852

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/065(2006.01), **H01L25/07**(2006.01), **H01L25/18**(2006.01),
H01L21/3205(2006.01), **H01L23/52**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3205, H01L23/52, H01L25/065, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 20002-208655 A (Seiko Epson Corp.), 26 July, 2002 (26.07.02), Column 25, line 27 to column 26, line 18; Fig. 14 & US 2002/0030245 A1	1, 9, 15, 19 2, 4-6, 10, 11, 17, 20-23 3, 7, 8, 12-14, 16, 18, 24-26
Y	JP 2004-55439 A (Mitsubishi Electric Corp.), 19 February, 2004 (19.02.04), Claims; page 7, lines 28 to 38; Fig. 1 (Family: none)	2, 11, 17, 23
Y	JP 2004-207416 A (Seiko Epson Corp.), 22 July, 2004 (22.07.04), Claims; Figs. 5, 7 (Family: none)	4-6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 February, 2006 (17.02.06)

Date of mailing of the international search report
28 February, 2006 (28.02.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/021852

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-144213 A (Hitachi, Ltd.), 25 May, 2001 (25.05.01), Claims; Figs. 4 to 9 (Family: none)	10, 22
Y A <u> </u>	JP 2004-327910 A (Sharp Corp.), 18 November, 2004 (18.11.04), Claims; Fig. 1 & US 2004/0212086 A1	20, 21 <u>13, 25</u>

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L25/065 (2006.01), H01L25/07 (2006.01), H01L25/18 (2006.01), H01L21/3205 (2006.01), H01L23/52 (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L 21/3205, H01L 23/52, H01L 25/065, H01L 25/07, H01L 25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y — A — Y	JP 2002-208655 A (セイコーエプソン株式会社) 2002.07.26, 第25欄第27行-第26欄第18行, 図14 & US 2002/0030245 A1 JP 2004-55439 A (三菱電機株式会社) 2004.02.19, 特許請求の範囲, 第7頁第28-38行, 図1 (ファミリーなし)	1, 9, 15, 19 <u>2, 4-6, 10, 11,</u> <u>17, 20-23</u> <u>3, 7, 8, 12-14,</u> <u>16, 18, 24-26</u> 2, 11, 17, 23

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

17.02.2006

国際調査報告の発送日

28.02.2006

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田中 永一

電話番号 03-3581-1101 内線 3469

4 R

9539

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2004-207416 A (セイコーエプソン株式会社) 2004.07.22, 特許請求の範囲, 図5, 図7 (ファミリーなし)	4-6
Y	JP 2001-144213 A (株式会社日立製作所) 2001.05.25, 特許請求の範囲, 図4-9 (ファミリーなし)	10, 22
Y <u>A</u>	JP 2004-327910 A (シャープ株式会社) 2004.11.18, 特許請求の範囲, 図1 & US 2004/0212086 A1	20, 21 <u>13, 25</u>