(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년01월23일
(11) 등록번호 10-2759850
(24) 등록일자 2025년01월21일

(51) 국제특허분류(Int. Cl.)
H10B 43/27 (2023.01) *H10B 41/10* (2023.01)
H10B 41/27 (2023.01) *H10B 43/10* (2023.01)
H10D 30/67 (2025.01) *H10D 30/69* (2025.01)
(52) CPC특허분류
H10B 43/27 (2023.02)
H10B 41/10 (2023.02)
(21) 출원번호 10-2024-7008141(분할)
(22) 출원일자(국제) 2018년06월21일
심사청구일자 2024년03월11일
(85) 번역문제출일자 2024년03월11일
(65) 공개번호 10-2024-0037362
(43) 공개일자 2024년03월21일
(62) 원출원 특허 10-2019-7038024
원출원일자(국제) 2018년06월21일
심사청구일자 2021년06월07일
(86) 국제출원번호 PCT/IB2018/054566
(87) 국제공개번호 WO 2019/003060
국제공개일자 2019년01월03일
(30) 우선권주장
JP-P-2017-125011 2017년06월27일 일본(JP)
(56) 선행기술조사문헌
JP2014096466 A*
JP2016225614 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 슌페이
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
기무라 하지메
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
(74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 4 항 심사관 : 최정민

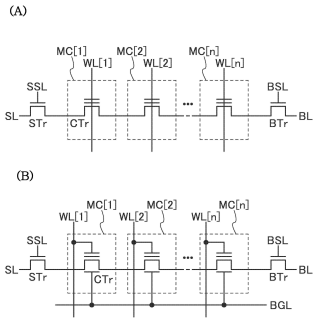
(54) 발명의 명칭 **반도체 장치, 반도체 웨이퍼, 기억 장치, 및 전자 기기**

(57) 요 약

기억 용량이 큰 반도체 장치를 제공한다. 제 1 내지 제 4 절연체와, 제 1 도전체와, 제 2 도전체와, 제 1 반도체를 갖는 반도체 장치이고, 제 1 반도체는 제 1 면과 제 2 면을 갖는다. 제 1 도전체의 제 1 측면은 제 1 반도체의 제 1 면에 갖고, 제 1 절연체의 제 1 측면은 제 1 도전체의 제 2 측면에 갖는다. 제 2 절연체는 제 1 절연

(뒷면에 계속)

대 표 도 - 도1



체의 제 2 측면 및 상면과, 제 1 도전체의 상면과, 제 1 반도체의 제 2 면을 포함하는 영역에 갖는다. 제 3 절연체는 제 2 절연체의 형성면에 갖고, 제 4 절연체는 제 3 절연체의 형성면에 갖는다. 제 2 도전체는 제 4 절연체가 형성되는 영역 중 제 1 반도체의 제 2 면과 중첩되는 영역에 갖는다. 제 3 절연체는 전하를 축적하는 기능을 갖는다. 제 2 도전체에 전위를 공급함으로써, 제 2 절연체를 통하여 제 1 반도체의 제 2 면과 제 3 절연체 사이에 터널 전류를 유발시킨다.

(52) CPC특허분류
H10B 41/27 (2023.02)
H10B 43/10 (2023.02)
H10D 30/6728 (2025.01)
H10D 30/693 (2025.01)

명 세 서

청구범위

청구항 1

트랜지스터의 게이트 전극으로서의 기능을 갖는 제 1 도전체와,

제 1 절연체를 개재하여 상기 제 1 도전체를 둘러싸도록 배치된 제 1 영역, 상기 제 1 절연체를 개재하여 상기 제 1 도전체를 둘러싸도록 배치된 제 2 영역 및 상기 제 1 절연체를 개재하여 상기 제 1 도전체를 둘러싸도록 배치된 제 3 영역을 갖는 산화물 반도체와,

상기 산화물 반도체의 상기 제 2 영역과 접하는 영역을 갖는 제 2 도전체와,

상기 산화물 반도체의 상기 제 3 영역과 접하는 영역을 갖는 제 3 도전체를 갖고,

단면에서 보았을 때, 상기 제 1 영역은, 상기 제 2 영역보다 높고 상기 제 3 영역보다 낮은 위치에 있고,

상기 산화물 반도체에서, 상기 제 1 영역은, 상기 트랜지스터의 채널 형성 영역으로서의 기능을 갖고,

상기 제 2 도전체와 상기 제 3 도전체는, 제 2 절연체를 개재하여 서로 중첩되는 영역을 갖고,

상기 제 2 도전체는, 상기 트랜지스터의 소스 전극 및 드레인 전극 중 한 쪽으로서의 기능을 갖고,

상기 제 3 도전체는, 상기 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽으로서의 기능을 갖고,

상기 제 1 영역은, 상기 제 2 영역의 막 두께보다 작은 막 두께를 갖고,

상기 제 1 영역은, 상기 제 3 영역보다 작은 막 두께를 갖는, 반도체 장치.

청구항 2

트랜지스터의 게이트 전극으로서의 기능을 갖는 제 1 도전체와,

제 1 절연체를 개재하여 상기 제 1 도전체를 둘러싸도록 배치된 제 1 영역, 상기 제 1 절연체를 개재하여 상기 제 1 도전체를 둘러싸도록 배치된 제 2 영역 및 상기 제 1 절연체를 개재하여 상기 제 1 도전체를 둘러싸도록 배치된 제 3 영역을 갖는 산화물 반도체와,

상기 산화물 반도체에 전기적으로 접속되고, 상기 산화물 반도체의 상기 제 2 영역을 둘러싸는 영역을 갖는 제 2 도전체와,

상기 산화물 반도체와 전기적으로 접속되고, 상기 산화물 반도체의 상기 제 3 영역을 둘러싸는 영역을 갖는 제 3 도전체와,

상기 제 2 도전체의 상면과 접하는 영역, 상기 제 1 영역에서 상기 산화물 반도체의 측면과 접하는 영역, 및 상기 제 3 도전체의 하면과 접하는 영역을 갖는 제 2 절연체를 갖고,

단면에서 보았을 때, 상기 제 1 영역은, 상기 제 2 영역보다 높고 상기 제 3 영역보다 낮은 위치에 있고,

상기 산화물 반도체에서, 상기 제 1 영역은, 상기 트랜지스터의 채널 형성 영역으로서의 기능을 갖고,

상기 제 2 도전체와 상기 제 3 도전체는, 상기 제 2 절연체를 개재하여 서로 중첩되는 영역을 갖고,

상기 제 2 도전체는, 상기 트랜지스터의 소스 전극 및 드레인 전극 중 한 쪽으로서의 기능을 갖고,

상기 제 3 도전체는, 상기 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽으로서의 기능을 갖고,

상기 제 1 영역은, 상기 제 2 영역의 막 두께보다 작은 막 두께를 갖고,

상기 제 1 영역은, 상기 제 3 영역보다 작은 막 두께를 갖는, 반도체 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 도전체는, 인듐 아연 산화물을 갖고,

상기 제 1 절연체는, 산화 알루미늄을 갖고,

상기 산화물 반도체는, 인듐, 갈륨 및 아연을 갖는, 반도체 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 제 1 도전체는 원기둥 형상을 갖는, 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 반도체 장치, 반도체 웨이퍼, 기억 장치, 및 전자 기기에 관한 것이다.

[0002] 또한, 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 기술분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 그러므로, 더 구체적으로 본 명세서에서 개시하는 본 발명의 일 형태의 기술분야로서는, 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 축전 장치, 촬상 장치, 기억 장치, 프로세서, 전자 기기, 이들의 구동 방법, 이들의 제조 방법, 이들의 검사 방법, 또는 이들 중 적어도 하나를 갖는 시스템을 일례로서 들 수 있다.

배 경 기 술

[0003] 근년, 퍼스널 컴퓨터, 스마트폰, 디지털 카메라 등 다양한 전자 기기에 센트럴 프로세싱 유닛(CPU), 그래픽스 프로세싱 유닛(GPU), 기억 장치, 센서 등의 전자 부품이 사용되어 있고, 상기 전자 부품은 미세화 및 저소비전력 등 다양한 면에서 개량이 진행되고 있다.

[0004] 특히, 상술한 전자 기기 등에서 처리되는 데이터 양은 증가되고 있고, 기억 용량이 큰 기억 장치가 요구되고 있다. 기억 용량을 크게 하는 수단으로서, 예를 들어, 특허문헌 1에서는 채널 형성 영역으로서 금속 산화물을 사용한 3차원 구조의 NAND 메모리 소자가 개시되어 있다.

[0005] [선행기술문헌]

[0006] [특허문헌]

[0007] (특허문헌 1) 미국 특허공보 US9634097호

발명의 내용

해결하려는 과제

[0008] 메모리 소자 등을 구성하는 트랜지스터의 반도체층은 채널 형성 영역과 저저항 영역으로 나누어진다. 특히, 3차원 구조의 NAND 메모리 소자의 반도체층으로서 금속 산화물을 사용하는 경우, 상기 금속 산화물의 저저항 영역을 어떻게 형성하는지가 중요해진다. 트랜지스터의 반도체층으로서 사용되는 금속 산화물에서는, 캐리어 밀도가 낮은(또는, 본 명세서 등에서는 진성, 실질적으로 진성 등으로 환언하여 기재하는 경우가 있음) 영역이 채널 형성 영역으로서 기능하고, 캐리어 밀도가 높은 영역이 저저항 영역으로서 기능한다. 그러므로, 반도체층으로서 금속 산화물을 사용한 3차원 구조의 NAND 메모리 소자의 제작에서는, 채널 형성 영역과 저저항 영역의 구분 제작이 과제가 된다.

[0009] 본 발명의 일 형태는 신규 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 신규 반도체 장치를 갖는 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 신규 반도체 장치를 갖는 기억 장치를 사용한 전자 기기를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 데이터 용량이 큰 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 신뢰성이 높은 기억 장치를 제공하는 것을 과제 중 하나로 한다.

[0010] 또한, 본 발명의 일 형태의 과제는 위에 열거한 과제에 한정되지 않는다. 위에 열거한 과제는 다른 과제의 존

재를 방해하는 것은 아니다. 또한, 다른 과제는 이하에서 기재되는, 본 항목에서 언급하지 않는 과제이다. 본 항목에서 언급하지 않는 과제는, 통상의 기술자라면 명세서 또는 도면 등의 기재로부터 도출할 수 있는 것이고, 이들 기재로부터 적절히 추출할 수 있다. 또한, 본 발명의 일 형태는 위에 열거한 과제 및 다른 과제 중 적어도 하나의 과제를 해결하는 것이다. 또한, 본 발명의 일 형태는 위에 열거한 과제 및 다른 과제 모두를 해결할 필요는 없다.

과제의 해결 수단

[0011] (1) 본 발명의 일 형태는 제 1 내지 제 4 절연체와, 제 1 도전체와, 제 2 도전체와, 제 1 반도체를 갖는 반도체 장치이고, 제 1 반도체는 제 1 면과 제 2 면을 갖고, 제 1 절연체의 제 1 측면 및 제 2 측면은 제 1 도전체를 개재(介在)하여 제 1 반도체의 제 1 면과 중첩되는 영역에 위치하고, 제 1 도전체의 제 1 측면은 제 1 반도체의 제 1 면에 위치하고, 제 1 절연체의 제 1 측면은 제 1 도전체의 제 2 측면에 위치하고, 제 2 절연체는 제 1 절연체의 제 2 측면과, 제 1 절연체의 상면과, 제 1 도전체의 상면과, 제 1 반도체의 제 2 면을 포함하는 영역에 위치하고, 제 3 절연체는 제 2 절연체가 형성되는 영역 중 제 1 반도체의 제 2 면과 중첩되는 영역에 위치하고, 제 4 절연체는 제 3 절연체의 형성면과, 제 2 절연체를 개재하여 제 1 반도체의 제 1 면과 중첩되는 영역에 위치하고, 제 2 도전체는 제 4 절연체가 형성되는 영역 중 제 1 반도체의 제 2 면과 중첩되는 영역에 위치하고, 제 3 절연체는 전하를 축적하는 기능을 갖고, 제 2 도전체에 전위를 공급함으로써, 제 1 반도체의 제 2 면과 제 3 절연체 사이에 제 2 절연체를 통하여 터널 전류를 유발시키는 것을 특징으로 하는 반도체 장치이다.

[0012] (2) 또는, 본 발명의 일 형태는 제 1 내지 제 4 절연체와, 제 1 도전체와, 제 2 도전체와, 제 1 반도체와, 제 2 반도체를 갖는 반도체 장치이고, 제 1 반도체는 제 1 면과 제 2 면을 갖고, 제 1 절연체의 제 1 측면 및 제 2 측면은 제 1 도전체를 개재하여 제 1 반도체의 제 1 면과 중첩되는 영역에 위치하고, 제 1 도전체의 제 1 측면은 제 1 반도체의 제 1 면에 위치하고, 제 1 절연체의 제 1 측면은 제 1 도전체의 제 2 측면에 위치하고, 제 2 절연체는 제 1 절연체의 제 2 측면과, 제 1 절연체의 상면과, 제 1 도전체의 상면과, 제 1 반도체의 제 2 면을 포함하는 영역에 위치하고, 제 3 절연체는 제 2 절연체가 형성되는 영역 중 제 1 반도체의 제 2 면과 중첩되는 영역에 위치하고, 제 4 절연체는 제 3 절연체의 형성면과, 제 2 절연체를 개재하여 제 1 반도체의 제 1 면과 중첩되는 영역에 위치하고, 제 2 반도체는 제 4 절연체를 개재하여 제 1 반도체의 제 2 면과 중첩되는 영역에 위치하고, 제 2 도전체는 제 2 반도체의 형성면과, 제 4 절연체가 형성되는 영역 중 제 1 반도체의 제 2 면과 중첩되는 영역에 위치하고, 제 3 절연체는 전하를 축적하는 기능을 갖고, 제 2 도전체에 전위를 공급함으로써, 제 1 반도체의 제 2 면과 제 3 절연체 사이에 제 2 절연체를 통하여 터널 전류를 유발시키는 것을 특징으로 하는 반도체 장치이다.

[0013] (3) 또는, 본 발명의 일 형태는 상기 (1) 또는 (2)의 구성에서, 제 3 절연체는 제 2 절연체가 형성되는 영역 중 제 1 반도체의 제 1 면과 중첩되는 영역에도 위치하고, 또한 제 2 절연체와 제 4 절연체 사이에 중첩되는 영역에 위치하는 것을 특징으로 하는 반도체 장치이다.

[0014] (4) 또는, 본 발명의 일 형태는 제 1 절연체와, 제 2 절연체와, 제 4 절연체와, 제 1 내지 제 3 도전체와, 제 1 반도체를 갖는 반도체 장치이고, 제 1 반도체는 제 1 면과 제 2 면을 갖고, 제 1 절연체의 제 1 측면 및 제 2 측면은 제 1 도전체를 개재하여 제 1 반도체의 제 1 면과 중첩되는 영역에 위치하고, 제 1 도전체의 제 1 측면은 제 1 반도체의 제 1 면에 위치하고, 제 1 절연체의 제 1 측면은 제 1 도전체의 제 2 측면에 위치하고, 제 2 절연체는 제 1 절연체의 제 2 측면과, 제 1 절연체의 상면과, 제 1 도전체의 상면과, 제 1 반도체의 제 2 면을 포함하는 영역에 위치하고, 제 3 도전체는 제 2 절연체를 개재하여 제 1 반도체의 제 2 면과 중첩되는 영역에 위치하고, 제 4 절연체는 제 3 도전체의 형성면과, 제 2 절연체가 형성된 영역 중 제 3 도전체를 개재하여 제 1 반도체의 제 2 면과 중첩되는 영역과, 제 2 절연체가 형성된 영역 중 제 2 절연체를 개재하여 제 1 반도체의 제 1 면과 중첩되는 영역에 위치하고, 제 2 도전체는 제 4 절연체가 형성되는 영역 중 제 1 반도체의 제 2 면과 중첩되는 영역에 위치하고, 제 3 도전체는 전하를 축적하는 기능을 갖고, 제 2 도전체에 전위를 공급함으로써, 제 1 반도체의 제 2 면과 제 3 도전체 사이에 제 2 절연체를 통하여 터널 전류를 유발시키는 것을 특징으로 하는 반도체 장치이다.

[0015] (5) 또는, 본 발명의 일 형태는 상기 (1) 내지 (4) 중 어느 하나의 구성에서, 제 1 반도체의 제 2 면에서의 제 1 반도체의 막 두께는 제 1 반도체의 제 1 면에서의 제 1 반도체의 막 두께보다 얇은 것을 특징으로 하는 반도체 장치이다.

[0016] (6) 또는, 본 발명의 일 형태는 상기 (1) 내지 (5) 중 어느 하나의 구성에서, 제 5 절연체와 제 4 도전체를 갖고, 제 5 절연체는 제 1 반도체의 제 1 면 및 제 2 면과 반대 측의 면에 위치하고, 제 4 도전체는 제 5 절연체

를 개재하여 제 1 반도체의 제 1 면 및 제 2 면과 중첩되는 영역에 위치하는 것을 특징으로 하는 반도체 장치이다.

[0017] (7) 또는, 본 발명의 일 형태는 상기 (1) 내지 (6) 중 어느 하나의 구성에서, 제 1 반도체는 금속 산화물을 갖고, 제 1 반도체의 제 2 면 및 제 2 면의 근방은 제 1 반도체의 제 1 면 및 제 1 면의 근방보다 산소 농도가 높은 것을 특징으로 하는 반도체 장치이다.

[0018] (8) 또는, 본 발명의 일 형태는 상기 (7)의 구성에서, 제 1 반도체의 제 1 면 및 제 1 면의 근방은 제 1 도전체에 포함되는 원소와 제 1 반도체에 포함되는 원소로 구성되는 화합물을 갖는 것을 특징으로 하는 반도체 장치이다.

[0019] (9) 또는, 본 발명의 일 형태는 상기 (1) 내지 (6) 중 어느 하나의 구성에서, 반도체는 실리콘을 갖고, 제 1 반도체의 제 1 면 및 제 1 면의 근방에서, 제 1 도전체에 포함되는 원소와 제 1 반도체에 포함되는 원소에 의하여 저저항 영역이 형성되는 것을 특징으로 하는 반도체 장치이다.

[0020] (10) 또는, 본 발명의 일 형태는 상기 (1) 내지 (9) 중 어느 하나의 구성에서, 제 1 도전체 대신에 제 6 절연체가 사용되고, 제 6 절연체는 질화 실리콘을 갖는 것을 특징으로 하는 반도체 장치이다.

[0021] (11) 또는, 본 발명의 일 형태는 상기 (1) 내지 (10) 중 어느 하나에 기재된 반도체 장치를 복수 개 갖고, 다이싱용 영역을 갖는 반도체 웨이퍼이다.

[0022] (12) 또는, 본 발명의 일 형태는 상기 (1) 내지 (10) 중 어느 하나에 기재된 반도체 장치와, 주변 회로를 갖는 기억 장치이다.

[0023] (13) 또는, 본 발명의 일 형태는 상기 (12)에 기재된 기억 장치와, 하우징을 갖는 전자 기기이다.

발명의 효과

[0024] 본 발명의 일 형태에 의하여 신규 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 신규 반도체 장치를 갖는 기억 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 신규 반도체 장치를 갖는 기억 장치를 사용한 전자 기기를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 데이터 용량이 큰 기억 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 신뢰성이 높은 기억 장치를 제공할 수 있다.

[0025] 또한, 본 발명의 일 형태의 효과는 위에 열거한 효과에 한정되지 않는다. 위에 열거한 효과는 다른 효과의 존재를 방해하는 것은 아니다. 또한, 다른 효과는 이하에서 기재되는, 본 항목에서 언급하지 않는 효과이다. 본 항목에서 언급하지 않는 효과는 통상의 기술자라면 명세서 또는 도면 등의 기재로부터 도출할 수 있고, 이들 기재로부터 적절히 추출할 수 있다. 또한, 본 발명의 일 형태는 위에 열거한 효과 및 다른 효과 중 적어도 하나의 효과를 갖는 것이다. 따라서, 본 발명의 일 형태는 경우에 따라서는 위에 열거한 효과를 갖지 않는 경우도 있다.

도면의 간단한 설명

[0026] 도 1은 반도체 장치의 구성예를 도시한 회로도.

도 2는 반도체 장치의 구성예를 도시한 회로도.

도 3은 반도체 장치의 구성예를 도시한 회로도.

도 4는 반도체 장치의 동작예를 나타낸 타이밍 차트.

도 5는 반도체 장치의 동작예를 나타낸 타이밍 차트.

도 6은 반도체 장치의 구성예를 설명하기 위한 사시도, 상면도, 및 단면도.

도 7은 반도체 장치의 구성예를 설명하기 위한 사시도, 상면도, 및 단면도.

도 8은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 9는 반도체 장치의 제작예를 설명하기 위한 단면도.

도 10은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 11은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 12는 반도체 장치의 제작예를 설명하기 위한 단면도.

도 13은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 14는 반도체 장치의 제작예를 설명하기 위한 단면도 및 사시도.

도 15는 반도체 장치의 제작예를 설명하기 위한 단면도.

도 16은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 17은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 18은 반도체 장치의 제작예를 설명하기 위한 상면도.

도 19는 반도체 장치의 제작예를 설명하기 위한 상면도.

도 20은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 21은 반도체 장치의 제작예를 설명하기 위한 상면도.

도 22는 반도체 장치의 제작예를 설명하기 위한 단면도.

도 23은 반도체 장치의 제작예를 설명하기 위한 상면도.

도 24는 반도체 장치의 제작예를 설명하기 위한 단면도.

도 25는 반도체 장치의 제작예를 설명하기 위한 단면도 및 상면도.

도 26은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 27은 반도체 장치의 제작예를 설명하기 위한 단면도 및 상면도.

도 28은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 29는 반도체 장치의 제작예를 설명하기 위한 상면도.

도 30은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 31은 반도체 장치의 제작예를 설명하기 위한 상면도.

도 32는 반도체 장치의 제작예를 설명하기 위한 단면도.

도 33은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 34는 반도체 장치의 제작예를 설명하기 위한 상면도.

도 35는 반도체 장치의 제작예를 설명하기 위한 단면도.

도 36은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 37은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 38은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 39는 반도체 장치의 제작예를 설명하기 위한 단면도.

도 40은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 41은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 42는 반도체 장치의 제작예를 설명하기 위한 단면도.

도 43은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 44는 반도체 장치의 제작예를 설명하기 위한 상면도.

도 45는 반도체 장치의 제작예를 설명하기 위한 상면도.

도 46은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 47은 반도체 장치의 제작예를 설명하기 위한 상면도.

도 48은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 49는 반도체 장치의 제작예를 설명하기 위한 상면도.

도 50은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 51은 반도체 장치의 제작예를 설명하기 위한 단면도 및 상면도.

도 52는 반도체 장치의 제작예를 설명하기 위한 단면도.

도 53은 반도체 장치의 제작예를 설명하기 위한 단면도 및 상면도.

도 54는 반도체 장치의 제작예를 설명하기 위한 단면도.

도 55는 반도체 장치의 제작예를 설명하기 위한 상면도.

도 56은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 57은 반도체 장치의 제작예를 설명하기 위한 상면도.

도 58은 반도체 장치의 제작예를 설명하기 위한 단면도.

도 59는 반도체 장치를 설명하기 위한 단면도.

도 60은 반도체 장치를 설명하기 위한 단면도.

도 61은 반도체 장치를 설명하기 위한 단면도.

도 62는 반도체 장치를 설명하기 위한 단면도.

도 63은 기억 장치의 일례를 도시한 블록도.

도 64는 금속 산화물의 원자수비의 범위를 설명하기 위한 도면.

도 65는 전자 부품의 제작예를 나타낸 흐름도, 전자 부품의 사시도, 및 반도체 웨이퍼의 사시도.

도 66은 CPU를 설명하기 위한 블록도.

도 67은 전자 기기의 예를 도시한 사시도.

도 68은 전자 기기의 예를 도시한 사시도.

발명을 실시하기 위한 구체적인 내용

[0027] 본 명세서 등에서, 금속 산화물(metal oxide)이란 넓은 의미에서의 금속의 산화물이다. 금속 산화물은, 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 산화물 반도체(Oxide Semiconductor 또는 단순히 OS라고도 함) 등으로 분류된다. 예를 들어, 트랜지스터의 활성층에 금속 산화물을 사용한 경우, 상기 금속 산화물을 산화물 반도체라고 부르는 경우가 있다. 즉, 금속 산화물이 증폭 작용, 정류 작용, 및 스위칭 작용 중 적어도 하나를 갖는 트랜지스터의 채널 형성 영역을 구성할 수 있는 경우, 상기 금속 산화물을 금속 산화물 반도체(metal oxide semiconductor), 생략하여 OS라고 부를 수 있다. 또한, OS FET라고 기재하는 경우에는, 금속 산화물 또는 산화물 반도체를 갖는 트랜지스터로 환언할 수 있다.

[0028] 또한, 본 명세서 등에서, 채널 형성 영역에 실리콘을 갖는 트랜지스터를 Si 트랜지스터라고 기재하는 경우가 있다.

[0029] 또한, 본 명세서 등에서 질소를 갖는 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한, 질소를 갖는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 불러도 좋다.

[0030] (실시형태 1)

[0031] 본 실시형태에서는, 개시하는 발명의 일 형태에 따른 반도체 장치의 회로 구성, 동작 방법, 및 제작 방법에 대하여 설명한다. 또한, 이하의 기재에서, 예를 들어, "[x, y]"는 제 x 행 제 y 열의 요소를 의미하고, "[z]"는 제 z 행 또는 제 z 열의 요소를 의미한다. 특별히 행이나 열을 지정할 필요가 없을 때에 이들 표기는 생략된다.

[0032] <회로 구성예>

[0033] 먼저, 반도체 장치의 일례인 NAND 메모리 소자의 회로 구성에 대하여, 도 1의 (A)를 참조하여 설명한다. 도 1의 (A)에는, 1페이지의 NAND 메모리 소자의 회로도를 도시하였다. 1페이지의 NAND 메모리 소자는 메모리 셀(MC[1]) 내지 메모리 셀(MC[n])의 메모리 셀과, 이들을 제어하기 위한 배선(WL[1]) 내지 배선(WL[n])과, 배선(BL) 및 배선(SL)과, 그 페이지를 선택하기 위한 트랜지스터(STr) 및 트랜지스터(BTr)와, 트랜지스터(STr)를 제어하기 위한 배선(SSL)과, 트랜지스터(BTr)를 제어하기 위한 배선(BSL)을 갖는다. 또한, 배선(WL)은 후술하는 메모리 셀(MC)의 셀 트랜지스터의 제어 게이트(본 명세서 등에서는, 단순히 게이트라고 환언하는 경우가 있음)에 전위를 공급하는 배선으로서 기능하고, 배선(SL) 및 배선(BL)은 후술하는 메모리 셀(MC)의 셀 트랜지스터의 제 1 단자 및/또는 제 2 단자에 전위를 공급하는 배선으로서 기능하는 경우가 있다.

[0034] 각각의 메모리 셀(MC)은 셀 트랜지스터(CTr)를 갖는다. 일반적으로, 셀 트랜지스터는 노멀리 온 특성으로 동작하는 트랜지스터이고, 제어 게이트와 전하 축적층을 갖는다. 전하 축저층은 터널 절연막을 개재하여 채널 형성 영역과 중첩되는 영역에 제공되고, 제어 게이트는 블로킹막을 개재하여 전하 축적층과 중첩되는 영역에 제공된다. 셀 트랜지스터는 제어 게이트에 기록 전위를 인가하고, 또한 셀 트랜지스터의 제 1 단자 및 제 2 단자 중 한쪽에 소정의 전위를 공급함으로써, 터널 전류가 발생되어 상기 셀 트랜지스터의 채널 형성 영역으로부터 전하 축적층에 전자가 주입된다. 이로써, 전하 축적층에 전자가 주입된 셀 트랜지스터에서는 문턱 전압이 높아진다. 또한, 전하 축적층 대신에 부유 게이트를 사용하여도 좋다. NAND 메모리 소자는 이 원리를 이용한 반도체 장치이고, 상세한 동작 원리에 대해서는 후술한다.

[0035] 회로 구성적으로 셀 트랜지스터(CTr)의 제 1 단자는, 인접한 메모리 셀(MC)의 셀 트랜지스터(CTr)의 제 2 단자와 직렬로 전기적으로 접속된다. 즉, 도 1의 (A)에 도시된 회로 구성은 셀 트랜지스터(CTr)가 n개 직렬로 전기적으로 접속된 구성이 되어 있다. 더하여, 메모리 셀(MC[1])의 셀 트랜지스터(CTr)의 제 2 단자는 트랜지스터(STr)의 제 1 단자에 전기적으로 접속되고, 메모리 셀(MC[n])의 셀 트랜지스터(CTr)의 제 1 단자는 트랜지스터(BTr)의 제 1 단자에 전기적으로 접속된다. 그리고, 메모리 셀(MC[1]) 내지 메모리 셀(MC[n]) 각각의 셀 트랜지스터(CTr)의 제어 게이트는 배선(WL[1]) 내지 배선(WL[n]) 각각에 전기적으로 접속된다. 트랜지스터(STr)의 제 2 단자는 배선(SL)에 전기적으로 접속되고, 트랜지스터(STr)의 게이트는 배선(SSL)에 전기적으로 접속된다. 트랜지스터(BTr)의 제 2 단자는 배선(BL)에 전기적으로 접속되고, 트랜지스터(BTr)의 게이트는 배선(BSL)에 전기적으로 접속된다.

[0036] 셀 트랜지스터(CTr)의 채널 형성 영역은, 예를 들어, 실리콘, 저마늄, 갈륨 비소, 실리콘 카바이드(SiC), 실시형태 3에서 설명하는 금속 산화물 등 중 어느 하나 또는 상기에서 선택된 복수의 재료를 갖는 것이 바람직하다. 특히, 상기 채널 형성 영역에서, 인듐, 원소 M(원소 M으로서는, 예를 들어, 알루미늄, 갈륨, 이트륨, 주석 등), 아연 중에서 하나 또는 복수 선택된 금속 산화물이 포함되는 경우, 상기 금속 산화물은 와이드 갭 반도체로서 기능하는 경우가 있고, 상기 금속 산화물이 채널 형성 영역에 포함되는 셀 트랜지스터는 오프 전류가 매우 낮다는 특성을 갖는다. 즉, 오프 상태가 되어 있는 셀 트랜지스터(CTr)에서의 누설 전류를 낮게 할 수 있기 때문에, 반도체 장치의 소비전력을 저감할 수 있는 경우가 있다. 또한, 트랜지스터(STr), 트랜지스터(BTr) 각각의 채널 형성 영역도 상술한 금속 산화물을 가질 수 있다.

[0037] 또한, 트랜지스터(STr) 및/또는 트랜지스터(BTr)의 채널 형성 영역은 셀 트랜지스터(CTr)의 채널 형성 영역과 상이한 구성으로 할 수 있다. 예를 들어, 셀 트랜지스터(CTr)의 채널 형성 영역에 상술한 금속 산화물이 포함되는 재료를 적용하고, 트랜지스터(STr) 및/또는 트랜지스터(BTr)의 채널 형성 영역에 실리콘이 포함되는 재료를 적용할 수 있다.

[0038] 또한, 본 발명의 일 형태는 도 1의 (A)에 도시된 반도체 장치에 한정되지 않는다. 본 발명의 일 형태는 경우, 상황, 또는 필요에 따라, 도 1의 (A)에 도시된 반도체 장치를 적절히 변경한 회로 구성으로 할 수 있다. 예를 들어, 도 1의 (B)에 도시된 바와 같이, 본 발명의 일 형태는 셀 트랜지스터(CTr)에 백 게이트를 제공한 반도체 장치로 하여도 좋다. 또한, 도 1의 (A)에 도시된 반도체 장치의 구성에 더하여, 도 1의 (B)에 도시된 반도체 장치는 메모리 셀(MC[1]) 내지 메모리 셀(MC[n])이 갖는 셀 트랜지스터(CTr)에 백 게이트를 제공하고, 배선(BGL)이 상기 백 게이트 각각에 전기적으로 접속된 구성이 되어 있다. 도 1의 (B)에 도시된 반도체 장치는 배선(BGL)이, 메모리 셀(MC[1]) 내지 메모리 셀(MC[n])이 갖는 셀 트랜지스터(CTr)의 백 게이트 각각에 전기적으로 접속되는 구성이 아니라, 상기 백 게이트에 대하여 각각 독립적으로 전기적으로 접속되고, 각각 서로 상이한 전위를 공급하는 구성으로 하여도 좋다. 또한, 도 1의 (B)에 도시된 반도체 장치의 동작예에 대해서는 후술한다.

[0039] 그런데, 도 1의 (A), (B)에 도시된 반도체 장치의 기억 용량을 더 증가시키려고 하는 경우, 도 1의 (A), (B)에

도시된 반도체 장치를 매트릭스상이 되도록 나란히 배치하면 좋다. 예를 들어, 도 1의 (A)에 도시된 반도체 장치를 매트릭스상이 되도록 나란히 배치한 경우, 그 회로 구성은 도 2에 도시된 구성이 된다. 또한, 본 명세서 등에서, 도 2에 도시된 복수의 페이지의 NAND 메모리 소자를 1블록의 NAND 메모리 소자라고 기재한다.

[0040] 도 2에 도시된 반도체 장치는, 도 1의 (A)에 도시된 반도체 장치를 1열로서 m열(m은 1 이상의 정수(整數)임) 나란히 배치한 것이고, 배선(WL)을 동일한 행의 메모리 셀(MC)과 공유하도록 전기적으로 접속한 구성이 되어 있다. 즉, 도 2에 도시된 반도체 장치는 n행 m열의 매트릭스상의 반도체 장치이고, 메모리 셀(MC[1, 1]) 내지 메모리 셀(MC[n, m])을 갖는다. 그러므로, 도 2에 도시된 반도체 장치는 배선(WL[1]) 내지 배선(WL[n])과, 배선(BL[1]) 내지 배선(BL[m])과, 배선(BSL[1]) 내지 배선(BSL[m])과, 배선(SL[1]) 내지 배선(SL[m])과, 배선(SSL[1]) 내지 배선(SSL[m])에 의하여 전기적으로 접속된다. 구체적으로는, 메모리 셀(MC[j, i])(j는 1 이상 n 이하의 정수이고, i는 1 이상 m 이하의 정수임)의 셀 트랜지스터(CTr)의 제어 게이트는 배선(WL[j])에 전기적으로 접속된다. 배선(SL[i])은 트랜지스터(STr[i])의 제 2 단자에 전기적으로 접속되고, 배선(BL[i])은 트랜지스터(BTr)의 제 2 단자에 전기적으로 접속된다.

[0041] 또한, 도 2에는 메모리 셀(MC[1, 1]), 메모리 셀(MC[1, i]), 메모리 셀(MC[1, m]), 메모리 셀(MC[j, 1]), 메모리 셀(MC[j, i]), 메모리 셀(MC[j, m]), 메모리 셀(MC[n, 1]), 메모리 셀(MC[n, i]), 메모리 셀(MC[n, m]), 배선(WL[1]), 배선(WL[j]), 배선(WL[n]), 배선(BL[1]), 배선(BL[i]), 배선(BL[m]), 배선(BSL[1]), 배선(BSL[j]), 배선(BSL[n]), 배선(SL[1]), 배선(SL[i]), 배선(SL[m]), 배선(SSL[1]), 배선(SSL[i]), 배선(SSL[m]), 셀 트랜지스터(CTr), 트랜지스터(BTr[1]), 트랜지스터(BTr[i]), 트랜지스터(BTr[m]), 트랜지스터(STr[1]), 트랜지스터(STr[i]), 트랜지스터(STr[m])만 도시하고, 이 이외의 배선, 소자, 기호, 및 부호는 생략하였다.

[0042] 또한, 도 1의 (B)에 도시된 반도체 장치를 1열로서 m열(m은 1 이상의 정수임) 나란히 배치한 것을 도 3에 도시하였다. 또한, 도 3에 도시된 반도체 장치는 모든 메모리 셀(MC)이 갖는 각각의 트랜지스터에 백 게이트를 제공한 구성이 되어 있기 때문에, 도 3에 도시된 반도체 장치는 각각의 백 게이트에 전기적으로 접속하기 위한 배선(BGL[1]) 내지 배선(BGL[m])을 갖는다. 또한, 도 3에 도시된 반도체 장치에 대해서는, 도 2에 도시된 반도체 장치의 설명의 기재를 참작한다.

[0043] 도 2, 도 3에 도시된 반도체 장치는 각각 도 1의 (A), (B)를 매트릭스상으로 나란히 배치한 구성이 되어 있지만, 본 발명의 일 형태는 이들에 한정되지 않는다. 경우, 상황, 또는 필요에 따라, 회로 구성을 변경할 수 있다. 예를 들어, 도 2, 도 3에서는, 트랜지스터(BTr[1]) 내지 트랜지스터(BTr[m])를 제어하기 위한 배선으로서, 각각 배선(BSL[1]) 내지 배선(BSL[m])을 도시하였지만, 1개의 배선으로서 트랜지스터(BTr[1]) 내지 트랜지스터(BTr[m]) 각각의 게이트에 전기적으로 접속되는 구성으로 하여도 좋다. 마찬가지로, 트랜지스터(STr[1]) 내지 트랜지스터(STr[m])를 제어하기 위한 배선도, 배선(SSL[1]) 내지 배선(SSL[m])이 아니라, 1개의 배선으로서 트랜지스터(STr[1]) 내지 트랜지스터(STr[m]) 각각의 게이트에 전기적으로 접속되는 구성으로 하여도 좋다.

[0044] <동작 방법예>

[0045] 다음에, 도 1의 (A), (B)에 도시된 반도체 장치의 동작 방법의 일례에 대하여 도 4의 (A), (B), 도 5의 (A), (B)를 참조하여 설명한다. 또한, 본 발명의 일 형태의 반도체 장치는 2값뿐만 아니라, 멀티 레벨 데이터 또는 아날로그 값의 데이터도 처리할 수 있는 경우가 있다. 그러므로, 본 동작 방법의 설명에서, 기록 및 판독을 위하여 취급되는 데이터는 2값에 한정되지 않는 것으로 한다.

[0046] 또한, 이하의 설명에서 사용되는 저레벨 전위, 고레벨 전위는 특정한 전위를 의미하는 것이 아니라, 배선이 상이하면, 구체적인 전위도 상이한 경우가 있다. 예를 들어, 배선(BSL)에 인가되는 저레벨 전위, 고레벨 전위 각각은 배선(BL)에 인가되는 저레벨 전위, 고레벨 전위와 상이한 전위이어도 좋다.

[0047] 전위(V_{PGM})는 셀 트랜지스터(CTr)의 제어 게이트에 인가함으로써 셀 트랜지스터(CTr)의 전하 축적층에 전자를 주입할 수 있는 전위이고, 전위(V_{PS})는 셀 트랜지스터(CTr)의 제어 게이트에 인가함으로써 셀 트랜지스터(CTr)를 온 상태로 할 수 있는 전위이다.

[0048] 또한, 본 동작 방법예에서, 특별히 언급이 없는 한, 도 1의 (B)에 도시된 배선(BGL)에는, 셀 트랜지스터(CTr)가 정상적으로 동작하는 범위 내의 전위가 미리 인가된 것으로 한다. 그러므로, 도 1의 (A), (B)에 도시된 반도체 장치의 동작은 마찬가지로 생각할 수 있다.

[0049] ≪기록 동작≫

[0050] 도 4의 (A)는 반도체 장치에 데이터를 기록하는 동작예를 나타낸 타이밍 차트이다. 도 4의 (A)의 타이밍 차트

는 배선(WL[p])(p는 1 이상 n 이하의 정수임), 배선(WL[j])(여기서 j는 1 이상 n 이하이고, 또한 p가 아닌 정수임), 배선(BSL), 배선(SSL), 및 배선(BL)의 전위의 크기의 변화를 나타낸 것이다. 또한, 도 4의 (A)의 타이밍 차트는 메모리 셀(MC[p])에 데이터를 기록하는 동작예를 나타낸 것이다.

[0051] 시각(T10) 전에, 배선(BL)에는 저레벨 전위가 공급된다.

[0052] 또한, 시각(T10)부터 시각(T13)까지, 배선(SSL)에는 항상 저레벨 전위가 공급된다. 이로써, 트랜지스터(STr)의 게이트에 저레벨 전위가 인가되기 때문에, 트랜지스터(STr)가 오프 상태가 된다.

[0053] 시각(T10)부터 시각(T11)까지, 배선(BSL)에는 고레벨 전위가 공급된다. 이로써, 트랜지스터(BTr)의 게이트에 고레벨 전위가 인가되기 때문에, 트랜지스터(BTr)가 온 상태가 된다. 또한, 트랜지스터(BTr)가 온 상태가 됨으로써, 배선(BL)으로부터 공급된 저레벨 전위가 메모리 셀(MC[n])의 셀 트랜지스터(CTr)의 제 1 단자에 인가된다.

[0054] 시각(T11)부터 시각(T12)까지, 배선(WL[j])에는 전위(V_{PS})가 공급된다. 이로써, 메모리 셀(MC[j])이 갖는 셀 트랜지스터(CTr)의 제어 게이트에 전위(V_{PS})가 인가된다. 이때, 메모리 셀(MC[n])에서, 배선(BL)으로부터 공급된 저레벨 전위가 셀 트랜지스터(CTr)의 제 1 단자에 인가되기 때문에, 메모리 셀(MC[n])이 갖는 셀 트랜지스터(CTr)가 온 상태가 된다. 또한, 이로써, 배선(BL)으로부터 공급된 저레벨 전위가 메모리 셀(MC[n-1])의 셀 트랜지스터(CTr)의 제 1 단자에 인가된다. 즉, 메모리 셀(MC[j])이 갖는 셀 트랜지스터(CTr)가 순차적으로 온 상태가 된다.

[0055] 또한, 시각(T11)부터 시각(T12)까지, 배선(WL[p])에는 전위(V_{PGM})가 공급된다. 이로써, 메모리 셀(MC[p])이 갖는 셀 트랜지스터(CTr)의 제어 게이트에 전위(V_{PGM})가 인가된다. 또한, 상술한 동작에 의하여, 배선(BL)으로부터 공급된 저레벨 전위가 메모리 셀(MC[p])이 갖는 셀 트랜지스터(CTr)의 제 1 단자에 인가되기 때문에, 메모리 셀(MC[p])이 갖는 셀 트랜지스터(CTr)의 채널 형성 영역으로부터 전하 축적층에 전자가 주입된다. 이로써, 메모리 셀(MC[p])로의 데이터의 기록이 수행된다. 또한, 메모리 셀(MC[p])이 갖는 셀 트랜지스터(CTr)의 채널 형성 영역으로부터 전하 축적층에 전자가 주입됨으로써, 셀 트랜지스터(CTr)의 문턱 전압이 상승된다.

[0056] 시각(T12)까지, 배선(BL)으로부터 공급된 저레벨 전위가 트랜지스터(STr)의 제 1 단자까지 인가된 것으로 한다. 시각(T12)부터 시각(T13)까지 배선(WL[j]) 및 배선(WL[p])에 저레벨 전위가 인가된다.

[0057] 시각(T13) 이후에, 배선(BSL)에는 저레벨 전위가 공급된다. 이로써, 트랜지스터(BTr)의 게이트에 저레벨 전위가 인가되기 때문에, 트랜지스터(BTr)가 오프 상태가 된다. 또한, 도 4의 (A)의 타이밍 차트에는 나타내지 않았지만, 이때, 배선(BSL)에 저레벨 전위를 공급하지 않고, 배선(BL)의 전위를 고레벨 전위로 함으로써, 트랜지스터(BTr)를 오프 상태로 할 수 있다.

[0058] 이상의 동작에 의하여, 도 1의 (A), (B)에 도시된 반도체 장치에 대하여 데이터를 기록할 수 있다.

[0059] ≪판독 동작≫

[0060] 도 4의 (B)는 반도체 장치로부터 데이터를 판독하는 동작예를 나타낸 타이밍 차트이다. 도 4의 (A)의 타이밍 차트는 배선(WL[p]), 배선(WL[q])(q는 1 이상 n 이하이고, 또한 p가 아닌 정수임), 배선(WL[j])(여기서 j는 1 이상 n 이하이고, 또한 p 및 q가 아닌 정수임), 배선(BSL), 배선(SSL), 배선(SL)의 전위의 크기의 변화를 나타낸 것이고, 배선(SL)과 배선(BL) 사이를 흐르는 전류로서 I_{READ}의 크기의 변화를 도시한 것이다. 또한, 도 4의 (B)의 타이밍 차트는 메모리 셀(MC[p]) 및 메모리 셀(MC[q])로부터 데이터를 판독하는 동작예를 나타낸 것이다. 그리고, 메모리 셀(MC[p])의 셀 트랜지스터(CTr)의 전하 축적층에는 전자가 주입되고, 메모리 셀(MC[q])의 셀 트랜지스터(CTr)의 전하 축적층에는 전자가 주입되지 않은 것으로 한다.

[0061] 시각(T20) 전에, 배선(SL)에는 저레벨 전위가 공급된다.

[0062] 시각(T20)부터 시각(T21)까지, 배선(BSL) 및 배선(SSL)에는 고레벨 전위가 공급된다. 이로써, 트랜지스터(BTr) 및 트랜지스터(STr)의 게이트에 고레벨 전위가 인가되기 때문에, 트랜지스터(BTr) 및 트랜지스터(STr)가 온 상태가 된다. 또한, 트랜지스터(STr)가 온 상태가 됨으로써, 배선(SL)으로부터 공급된 저레벨 전위가 메모리 셀(MC[1])의 셀 트랜지스터(CTr)의 제 2 단자에 인가된다.

[0063] 시각(T21)부터 시각(T22)까지, 배선(WL[q]) 및 배선(WL[j])에는 전위(V_{PS})가 공급된다. 이로써, 메모리 셀

(MC[q]) 및 메모리 셀(MC[j])이 갖는 셀 트랜지스터(CTr)의 제어 게이트에 전위(V_{PS})가 인가된다. 이때, 배선(SL)으로부터 공급된 저레벨 전위가 메모리 셀(MC[q]) 및/또는 메모리 셀(MC[j])의 셀 트랜지스터(CTr)의 제 2 단자에 인가되는 경우, 그 셀 트랜지스터(CTr)는 온 상태가 된다.

[0064] 한편, 시각(T21)부터 시각(T22)까지, 배선(WL[p])에는 저레벨 전위가 공급된다. 이로써, 메모리 셀(MC[p])이 갖는 셀 트랜지스터(CTr)의 제어 게이트에 저레벨 전위가 인가된다. 또한, 메모리 셀(MC[p])의 셀 트랜지스터(CTr)의 전하 축적층에는 전자가 주입되기 때문에, 메모리 셀(MC[p])의 셀 트랜지스터(CTr)의 문턱 전압이 승상된다. 이상의 이유로, 메모리 셀(MC[p])의 셀 트랜지스터(CTr)는 오프 상태가 되고, 배선(SL)과 배선(BL) 사이에 전류는 흐르지 않는다. 이때, 배선(BL)을 흐르는 전류량을 계측하여, 배선(SL)과 배선(BL) 사이에 전류가 흐르지 않는 것을 나타냄으로써, 메모리 셀(MC[p])의 셀 트랜지스터(CTr)의 전하 축적층에는 전자가 주입된다고 할 수 있다.

[0065] 시각(T22)부터 시각(T23)까지, 배선(WL[p]), 배선(WL[q]), 배선(WL[j]) 각각에 저레벨 전위가 공급된다. 이로써, 메모리 셀(MC[1]) 내지 메모리 셀(MC[n])이 갖는 각각의 셀 트랜지스터(CTr)의 제어 게이트에 저레벨 전위가 인가된다.

[0066] 시각(T23)부터 시각(T24)까지, 배선(WL[j])에는 전위(V_{PS})가 공급된다. 이로써, 메모리 셀(MC[j])이 갖는 셀 트랜지스터(CTr)의 제어 게이트에 전위(V_{PS})가 인가된다. 이때, 배선(SL)으로부터 공급된 저레벨 전위가 메모리 셀(MC[j])의 셀 트랜지스터(CTr)의 제 1 단자에 인가되는 경우, 그 셀 트랜지스터(CTr)는 온 상태가 된다.

[0067] 또한, 시각(T23)부터 시각(T24)까지, 배선(WL[p])에는 전위(V_{PS})가 공급된다. 이로써, 메모리 셀(MC[p])이 갖는 셀 트랜지스터(CTr)의 제어 게이트에 전위(V_{PS})가 인가된다. 그런데, 메모리 셀(MC[p])의 셀 트랜지스터(CTr)의 전하 축적층에는 전자가 주입되기 때문에, 메모리 셀(MC[p])의 셀 트랜지스터(CTr)의 문턱 전압이 승상되지만, 셀 트랜지스터(CTr)의 제어 게이트에는 전위(V_{PS})가 인가되기 때문에, 본 동작예에서 셀 트랜지스터(CTr)는 실질적으로 온 상태가 되는 것으로 한다.

[0068] 그리고, 시각(T23)부터 시각(T24)까지, 배선(WL[q])에는 저레벨 전위가 공급된다. 이로써, 메모리 셀(MC[j])이 갖는 셀 트랜지스터(CTr)의 제어 게이트에 저레벨 전위가 인가된다. 메모리 셀(MC)이 갖는 셀 트랜지스터(CTr)는 노멀리 온 특성으로 동작하기 때문에, 배선(SL)으로부터 공급된 저레벨 전위가 메모리 셀(MC[j])의 셀 트랜지스터(CTr)의 제 1 단자에 인가되어도, 그 셀 트랜지스터(CTr)는 온 상태가 된다.

[0069] 즉, 메모리 셀(MC[1]) 내지 메모리 셀(MC[n])이 갖는 각각의 셀 트랜지스터(CTr)가 온 상태가 되어 있기 때문에, 각각의 소스와 드레인 사이에 전류가 흐른다. 즉, 이때, 배선(BL)을 흐르는 전류량을 계측하여, 배선(SL)과 배선(BL) 사이에 전류가 흐르는 것을 나타냄으로써, 메모리 셀(MC[q])의 셀 트랜지스터(CTr)의 전하 축적층에는 전자가 주입되지 않는다고 할 수 있다.

[0070] 시각(T24)부터 시각(T25)까지, 배선(WL[p]), 배선(WL[q]), 배선(WL[j]) 각각에 저레벨 전위가 공급된다. 이로써, 메모리 셀(MC[1]) 내지 메모리 셀(MC[n])이 갖는 각각의 셀 트랜지스터(CTr)의 제어 게이트에 저레벨 전위가 인가된다.

[0071] 시각(T25) 이후에, 배선(BSL) 및 배선(SSL)에 저레벨 전위가 공급된다. 이로써, 트랜지스터(BTr) 및 트랜지스터(STr) 각각의 게이트에 저레벨 전위가 인가되기 때문에, 트랜지스터(BTr) 및 트랜지스터(STr)가 오프 상태가 된다.

[0072] 즉, 메모리 셀(MC)로부터 데이터를 판독하는 경우, 상기 메모리 셀(MC)의 셀 트랜지스터(CTr)의 제어 게이트에 저레벨 전위를 인가하고, 이 이외의 메모리 셀(MC)의 셀 트랜지스터(CTr)의 제어 게이트에 고레벨 전위를 인가하고, 배선(SL)과 배선(BL) 사이를 흐르는 전류량을 계측함으로써, 메모리 셀(MC)에 유지되는 데이터를 판독할 수 있다.

[0073] 이상의 동작에 의하여, 도 1의 (A), (B)에 도시된 반도체 장치로부터 데이터의 기록 및 데이터의 판독을 수행할 수 있다.

[0074] ≪소거 동작≫

[0075] 도 5의 (A)는 반도체 장치에 유지된 데이터를 소거하는 동작예를 나타낸 타이밍 차트이다. 도 5의 (A)의 타이밍 차트는 배선(WL[j])(여기서 j는 1 이상 n 이하의 정수임), 배선(BSL), 배선(SSL), 배선(BL), 및 배선(SL)의

전위의 크기의 변화를 나타낸 것이다. 또한, 일반적인 NAND 메모리 소자에 대한 소거 동작은 1페이지 단위로 수행되고, 본 동작예도 이에 따르는 것으로 한다. 다만, 본 발명의 일 형태는 이에 한정되지 않고, 예를 들어, 1블록 단위 등으로 소거 동작을 수행하여도 좋다.

[0076] 시각(T30) 전에, 배선(BL) 및 배선(SL)에는 저레벨 전위가 공급된다.

[0077] 또한, 시각(T30)부터 시각(T33)까지, 배선(WL[j])에는 항상 저레벨 전위가 공급된다.

[0078] 시각(T30)부터 시각(T31)까지, 배선(BSL) 및 배선(SSL)에는 고레벨 전위가 공급된다. 이로써, 트랜지스터(BTr) 및 트랜지스터(STr) 각각의 게이트에 고레벨 전위가 인가되기 때문에, 트랜지스터(BTr) 및 트랜지스터(STr)가 온 상태가 된다. 또한, 트랜지스터(BTr) 및 트랜지스터(STr)가 온 상태가 됨으로써, 배선(SL)으로부터 공급된 저레벨 전위가 메모리 셀(MC[1])이 갖는 셀 트랜지스터(CTr)의 제 2 단자에 인가되고, 배선(BL)으로부터 공급된 저레벨 전위가 메모리 셀(MC[n])이 갖는 셀 트랜지스터(CTr)의 제 1 단자에 인가된다.

[0079] 시각(T31)부터 시각(T32)까지, 배선(BL) 및 배선(SL)에는 전위(V_{ER})가 공급된다. 또한, 전위(V_{ER})는 배선(BL) 및 배선(SL)을 흐르는 고레벨 전위보다 높은 전위로 한다. 이로써, 메모리 셀(MC[1]) 내지 메모리 셀(MC[n])이 갖는 모든 셀 트랜지스터(CTr)의 채널 형성 영역의 전위가 상승되기 때문에, 각 셀 트랜지스터(CTr)의 전하 축적층에 주입되는 전자가 채널 형성 영역 측에 추출된다.

[0080] 시각(T32)부터 시각(T33)까지, 배선(BL) 및 배선(SL)에는 저레벨 전위가 공급된다.

[0081] 시각(T33) 이후에, 배선(BSL) 및 배선(SSL)에는 저레벨 전위가 공급된다. 이로써, 트랜지스터(BTr) 및 트랜지스터(STr) 각각의 게이트에 저레벨 전위가 인가되기 때문에, 트랜지스터(BTr) 및 트랜지스터(STr)가 오프 상태가 된다.

[0082] 이상의 동작에 의하여, 도 1의 (A), (B)에 도시된 반도체 장치로부터 데이터를 소거할 수 있다.

[0083] 또한, 도 1의 (B)에 도시된 반도체 장치에서, 배선(BGL)을 사용함으로써, 상술한 소거 동작과는 다른 소거 동작을 수행할 수 있다. 그 동작예에 대하여 도 5의 (B)에 나타내었다.

[0084] 시각(T40) 전에, 배선(BL) 및 배선(SL)에는 저레벨 전위가 공급된다.

[0085] 또한, 시각(T40)부터 시각(T45)까지, 배선(WL[j])에는 항상 저레벨 전위가 공급된다.

[0086] 시각(T40)부터 시각(T41)까지, 배선(BSL) 및 배선(SSL)에는 저레벨 전위가 공급된다. 이로써, 트랜지스터(BTr) 및 트랜지스터(STr) 각각의 게이트에 저레벨 전위가 인가되기 때문에, 트랜지스터(BTr) 및 트랜지스터(STr)가 오프 상태가 된다. 그러므로, 트랜지스터(STr)의 제 2 단자와 트랜지스터(BTr)의 제 1 단자 사이는 부유 상태가 된다.

[0087] 또한, 시각(T40)부터 시각(T41)까지, 배선(BGL)에는 전위(V_{BGER})가 공급된다. 전위(V_{BGER})는 매우 높은 전위로 한다. 트랜지스터(STr)의 제 2 단자와 트랜지스터(BTr)의 제 1 단자 사이는 부유 상태이고, 배선(BGL)의 전위가 V_{BGER}가 됨으로써, 메모리 셀(MC[1]) 내지 메모리 셀(MC[n])이 갖는 모든 셀 트랜지스터(CTr)의 채널 형성 영역의 전위가 용량 결합에 의하여 승압된다. 그러므로, 각 셀 트랜지스터(CTr)의 전하 축적층에 주입되는 전자가 채널 형성 영역 측에 추출된다.

[0088] 시각(T41)부터 시각(T42)까지, 배선(BSL) 및 배선(SSL)에는 고레벨 전위가 공급된다. 이로써, 트랜지스터(BTr) 및 트랜지스터(STr) 각각의 게이트에 고레벨 전위가 인가되기 때문에, 트랜지스터(BTr) 및 트랜지스터(STr)가 온 상태가 된다.

[0089] 시각(T42)부터 시각(T43)까지, 배선(BL)에는 고레벨 전위가 공급된다. 이로써, 셀 트랜지스터(CTr)의 전하 축적층으로부터 추출된 전자를 배선(BL)에 흘릴 수 있다.

[0090] 시각(T43)부터 시각(T44)까지, 배선(BL)에는 저레벨 전위가 공급된다. 이어서, 시각(T44)에서, 배선(BSL) 및 배선(SSL)에는 저레벨 전위가 공급된다. 이로써, 트랜지스터(BTr) 및 트랜지스터(STr) 각각의 게이트에 저레벨 전위가 인가되기 때문에, 트랜지스터(BTr) 및 트랜지스터(STr)가 오프 상태가 된다. 마지막으로, 시각(T45) 이후에, 배선(BGL)에는 저레벨 전위가 공급된다.

[0091] 이상의 동작과 같이, 배선(BGL)의 사용에 의해서도, 도 1의 (B)에 도시된 반도체 장치로부터 데이터를 소거할 수 있다.

[0092] <구조예와 제작 방법예>

[0093] 이하, 본 실시형태의 반도체 장치의 구조의 이해를 용이하게 하기 위하여, 그 제작 방법에 대하여 설명한다.

[0094] 도 6의 (A), (B), (C)는 도 2 또는 도 3의 반도체 장치의 일부를 도시한 모식도의 일례이다. 도 6의 (A)는 상기 반도체 장치의 일부의 사시도이고, 도 6의 (B)는 도 6의 (A)의 상면도이다. 또한, 도 6의 (C)는 도 6의 (B)의 일점쇄선 A1-A2에 대응하는 단면도이다.

[0095] 상기 반도체 장치는 배선(WL)과 절연체(도 6에서는 해칭을 도시하지 않은 영역)가 적층된 구조체를 갖는다.

[0096] 상기 구조체에 대하여, 절연체와 배선(WL)을 일괄적으로 관통하는 개구부가 형성된다. 그리고, 배선(WL)이 관통된 영역(AR)에 메모리 셀(MC)을 제공하기 위하여, 상기 개구부에 절연체와, 도전체와, 반도체가 형성된다. 또한, 상기 도전체는 메모리 셀(MC)의 셀 트랜지스터(CTr)의 소스 전극 또는 드레인 전극으로서 기능하고, 상기 반도체는 셀 트랜지스터(CTr)의 채널 형성 영역으로서 기능한다. 또한, 상기 도전체를 형성하지 않고, 상기 반도체에서 채널 형성 영역과 저저항 영역을 형성하여, 상기 저저항 영역을 셀 트랜지스터(CTr)의 소스 전극 또는 드레인 전극으로서 적용하여도 좋다. 도 6의 (A), (B), (C)에는, 상기 개구부에 절연체와, 도전체와, 반도체가 형성되는 영역을 영역(HL)으로서 도시하였다. 특히, 도 6의 (A)에는 구조체의 내부에 갖는 영역(HL)을 파선으로 도시하였다. 또한, 메모리 셀(MC)이 갖는 트랜지스터에 백 게이트가 제공되는 경우, 영역(HL)이 갖는 상기 도전체는 상기 백 게이트에 전기적으로 접속하기 위한 배선(BGL)으로서 기능하여도 좋다.

[0097] 즉, 도 6의 (C)에서, 도 1의 (A), (B) 중 어느 도면에 도시된 반도체 장치는 영역(SD1)에 형성되고, 도 2 또는 도 3에 도시된 반도체 장치는 영역(SD2)에 형성되는 것을 도시하였다.

[0098] 그런데, 배선(WL)이 노출되는 영역(TM)은 배선(WL)에 전위를 공급하기 위한 접속 단자로서 기능한다. 즉, 영역(TM)에 배선을 전기적으로 접속함으로써, 셀 트랜지스터(CTr)의 게이트에 전위를 공급할 수 있다.

[0099] 또한, 영역(TM)의 형상은 도 6에 도시된 구성예에 한정되지 않는다. 본 발명의 일 형태의 반도체 장치의 구성은, 예를 들어, 도 6에 도시된 영역(TM) 위에 절연체가 형성되어, 상기 절연체에 개구부가 제공되고, 상기 개구부를 메우도록 도전체(PG)가 형성된 구성으로 하여도 좋다(도 7의 (A), (B), (C)). 또한, 도전체(PG) 위에 배선(ER)이 형성됨으로써, 배선(ER)과 배선(WL)이 전기적으로 접속된다. 또한, 도 7의 (A)에서, 구조체의 내부에 제공되는 도전체(PG)를 파선으로 도시하고, 영역(HL)의 파선을 생략하였다.

[0100] 이하의 제작 방법예 1 및 제작 방법예 2에서는 영역(AR)에 메모리 셀(MC)을 형성하기 위한 방법에 대하여 설명한다.

[0101] ≪제작 방법예 1≫

[0102] 도 8 내지 도 19는 도 1의 (A)에 도시된 반도체 장치의 제작예를 설명하기 위한 단면도, 상면도, 사시도이고, 특히, 단면도는 셀 트랜지스터(CTr)의 채널 길이 방향에 대하여 도시한 것이다. 또한, 도 8 내지 도 19의 단면도, 상면도, 및 사시도에서는 도면의 명료화를 위하여 일부 요소를 생략하여 도시하였다.

[0103] 도 8의 (A)에 도시된 바와 같이, 도 1의 (A)의 반도체 장치는 기판(도시하지 않았음)의 위쪽에 배치된 절연체(101A)와, 절연체(101A) 위에 배치된 희생층(141A)과, 희생층(141A) 위에 배치된 절연체(101B)와, 절연체(101B) 위에 배치된 희생층(141B)과, 희생층(141B) 위에 배치된 절연체(101C)를 갖는다. 또한, 이하에서, 이들 복수의 희생층 및 복수의 절연체를 갖는 적층체(이하의 공정에 따라서는 도전체 등도 포함됨)를 적층체(100)라고 기재한다.

[0104] 또한, 상기 기판으로서는, 예를 들어, 절연체 기판, 반도체 기판, 또는 도전체 기판을 사용하면 좋다. 절연체 기판으로서는, 예를 들어, 유리 기판, 석영 기판, 사파이어 기판, 안정화 지르코니아 기판(이트리아 안정화 지르코니아 기판 등), 수지 기판 등이 있다. 또한, 반도체 기판으로서는, 예를 들어, 실리콘, 저마늄 등으로 이루어지는 반도체 기판, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 산화 갈륨으로 이루어지는 화합물 반도체 기판 등이 있다. 또한, 상술한 반도체 기판 내부에 절연체 영역을 갖는 반도체 기판, 예를 들어, SOI(Silicon On Insulator) 기판 등이 있다. 도전체 기판으로서는, 흑연 기판, 금속 기판, 합금 기판, 도전성 수지 기판 등이 있다. 또는, 금속의 질화물을 갖는 기판, 금속의 산화물을 갖는 기판 등이 있다. 또한, 절연체 기판에 도전체 또는 반도체가 제공된 기판, 반도체 기판에 도전체 또는 절연체가 제공된 기판, 도전체 기판에 반도체 또는 절연체가 제공된 기판 등이 있다. 또는, 이들 기판에 소자가 제공된 것을 사용하여도 좋다. 기판에 제공되는 소자로서는, 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 기억 소자 등이

있다.

[0105] 또한, 기판으로서 가요성 기판을 사용하여도 좋다. 또한, 가요성 기판 위에 트랜지스터를 제공하는 방법으로서는, 비가요성 기판 위에 트랜지스터를 제작한 후, 트랜지스터를 박리하여, 가요성 기판인 기판으로 전치(轉置)하는 방법도 있다. 그 경우에는, 비가요성 기판과 트랜지스터 사이에 박리층을 제공하면 좋다. 또한, 기판으로서 섬유를 짠 시트, 필름, 또는 포일 등을 사용하여도 좋다. 또한, 기판이 신축성을 가져도 좋다. 또한, 기판은 구부리거나 당기는 것을 중지하였을 때, 원래의 형상으로 되돌아가는 성질을 가져도 좋다. 또는, 원래의 형상으로 되돌아가지 않는 성질을 가져도 좋다. 기판은, 예를 들어, 5μm 이상 700μm 이하, 바람직하게는 10μm 이상 500μm 이하, 더 바람직하게는 15μm 이상 300μm 이하의 두께가 되는 영역을 갖는다. 기판을 얇게 하면, 트랜지스터를 갖는 반도체 장치를 경량화할 수 있다. 또한, 기판을 얇게 함으로써, 유리 등을 사용한 경우에도 신축성을 갖는 경우나, 구부리거나 당기는 것을 중지하였을 때 원래의 형상으로 되돌아가는 성질을 갖는 경우가 있다. 그러므로, 낙하 등으로 인하여 기판 위의 반도체 장치에 가해지는 충격 등을 완화할 수 있다. 즉, 튼튼한 반도체 장치를 제공할 수 있다.

[0106] 가요성 기판인 기판으로서는, 예를 들어, 금속, 합금, 수지, 또는 유리, 혹은 이들의 섬유 등을 사용할 수 있다. 가요성 기판인 기판은, 선팽창률이 낮을수록 환경으로 인한 변형이 억제되어 바람직하다. 가요성 기판인 기판으로서는, 예를 들어, 선팽창률이 1×10^{-3}/K 이하, 5×10^{-5}/K 이하, 또는 1×10^{-5}/K 이하인 재질을 사용하면 좋다. 수지로서는, 예를 들어, 폴리에스터, 폴리올레핀, 폴리아마이드(나일론, 아라미드 등), 폴리이미드, 폴리카보네이트, 아크릴 등이 있다. 특히, 아라미드는 선팽창률이 낮기 때문에, 가요성 기판인 기판으로서 적합하다.

[0107] 본 실시형태에서 설명하는 제작예에서는, 그 공정 중에 열처리가 포함되기 때문에, 기판으로서는 내열성이 높고, 또한 열팽창률이 낮은 재료를 사용하는 것이 바람직하다.

[0108] 희생층(141A), 희생층(141B)으로서는, 다양한 재료를 적용할 수 있다. 예를 들어, 절연체로서, 질화 실리콘, 산화 실리콘, 산화 알루미늄 등을 사용하여도 좋다. 또는, 반도체로서, 실리콘, 갈륨, 저마늄 등을 사용하여도 좋다. 또는, 도체로서, 알루미늄, 구리, 타이타늄, 텅스텐, 탄탈럼 등을 사용하여도 좋다. 즉, 희생층(141A), 희생층(141B)으로서는, 다른 부분에서 사용되는 재료와 에칭 선택비를 가질 수 있는 재료를 사용하면 좋다.

[0109] 절연체(101A) 내지 절연체(101C)로서, 물 또는 수소 등의 불순물 농도가 저감되는 재료인 것이 바람직하다. 예를 들어, 절연체(101A) 내지 절연체(101C)의 수소의 이탈량은, 승온 이탈 가스 분석법(TDS(Thermal Desorption Spectroscopy))에서, 50℃ 이상 500℃ 이하까지의 범위에서, 수소 분자로 환산한 이탈량이 절연체(101A) 내지 절연체(101C) 중 어느 하나의 면적당으로 환산하여 2×10^{15}molecules/cm^2 이하, 바람직하게는 1×10^{15}molecules/cm^2 이하, 더 바람직하게는 5×10^{14}molecules/cm^2 이하이면 좋다. 또한, 가열에 의하여 산소가 방출되는 절연체를 사용하여 절연체(101A) 내지 절연체(101C)를 형성하여도 좋다. 다만, 절연체(101A) 내지 절연체(101C)에 적용할 수 있는 재료는 상술한 기재에 한정되지 않는다.

[0110] 절연체(101A) 내지 절연체(101C)로서는, 예를 들어, 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 탄탈럼 등에서 하나 또는 복수 선택된 재료를 포함하는 절연체를, 단층으로 또는 적층으로 사용할 수 있는 경우가 있다. 또한, 예를 들어, 산화 실리콘 또는 산화질화 실리콘을 포함하는 재료를 사용할 수 있는 경우가 있다. 다만, 절연체(101A) 내지 절연체(101C)에 적용할 수 있는 재료는 상술한 기재에 한정되지 않는다.

[0111] 또한, 본 명세서 중에서 산화질화 실리콘이란 그 조성으로서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 실리콘이란 그 조성으로서 산소보다 질소의 함유량이 많은 재료를 가리킨다. 또한, 본 명세서 중에서 산화질화 알루미늄이란 그 조성으로서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 알루미늄이란 그 조성으로서 산소보다 질소의 함유량이 많은 재료를 가리킨다.

[0112] 다음 공정에서는, 도 8의 (B)에 도시된 바와 같이, 레지스트 마스크 형성과 에칭 처리 등에 의하여, 도 8의 (A)에 도시된 적층체(100)에 대하여 개구부(191)가 형성된다.

[0113] 레지스트 마스크의 형성은 예를 들어, 리소그래피법, 인쇄법, 잉크젯법 등을 적절히 사용하여 수행할 수 있다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있는 경우가 있다. 또한, 에칭 처리에 대해서는, 드라이 에칭법이라도 좋고 웨트 에칭법이라도 좋고, 양쪽 모두를 사용하여도 좋다.

[0114] 그리고, 도 9의 (A)에 도시된 공정에서는, 에칭 처리 등을 사용하여, 개구부(191)의 측면에 갖는 절연체(101A), 절연체(101B), 절연체(101C) 각각의 일부가 제거되고, 상기 측면부에 오목부(195A), 오목부(195B), 오목부(195C)가 형성된다. 여기서, 절연체(101A), 절연체(101B), 절연체(101C)로서는, 적층체(100) 중 절연체(101A), 절연체(101B), 절연체(101C)가 선택적으로 제거되는 재료(희생층(141A), 희생층(141B)보다 에칭 레이트가 높은 재료)가 적용되는 것으로 한다.

[0115] 또한, 도 8의 (B)에 도시된 반도체 장치의 제작 공정에서, 개구부(191)를 형성하였을 때에, 자동적으로 오목부(195A), 오목부(195B), 오목부(195C)를 형성할 수 있는 경우가 있다.

[0116] 다음 공정에서는, 도 9의 (B)에 도시된 바와 같이, 도 9의 (A)에 도시된 개구부(191)의 측면, 및 오목부(195A), 오목부(195B), 오목부(195C)에 도전체(135)가 성막된다. 즉, 절연체(101A) 내지 절연체(101C) 각각의 측면에 도전체(135)가 성막된다.

[0117] 후술하는 반도체(151)가 실리콘을 포함하는 재료인 경우, 도전체(135)로서는, 예를 들어, 후술하는 도전체(134)에 적용할 수 있는 재료이고, 또한 도전체(134)에 적용할 수 있는 재료에는 반도체(151)로 확산시키기 위한 불순물(원소 또는 이온)이 포함되는 것이 바람직하다. 상세한 사항에 대해서는 후술하지만, 본 제작 방법예에서, 셀 트랜지스터(CTr)를 n형 트랜지스터로서 구성하는 경우, 상기 불순물로서 n형 불순물(도너)을 사용한다. n형 불순물로서는, 예를 들어, 인, 비소 등을 사용할 수 있다. 또한, 본 제작 방법예에서, 셀 트랜지스터(CTr)를 p형 트랜지스터로 하는 경우, 상기 불순물로서 p형 불순물(억셉터)을 사용한다. p형 불순물로서는, 예를 들어, 붕소, 알루미늄, 갈륨 등을 사용할 수 있다. 또는, 실리사이드를 형성할 수 있는 재료이어도 좋다. 예를 들어, 니켈, 코발트, 몰리브데넘, 텅스텐, 타이타늄 등이어도 좋다.

[0118] 또한, 도전체(135)로서는 도전율이 높은 재료이어도 좋다. 예를 들어, 알루미늄, 구리, 은 등이어도 좋다. 또한, 도전체(135)로서는 내열성이 높은 재료이어도 좋다. 예를 들어, 타이타늄, 몰리브데넘, 텅스텐, 탄탈럼 등이어도 좋다.

[0119] 또한, 후술하는 반도체(151)가 금속 산화물을 포함하는 재료인 경우, 도전체(135)로서는, 예를 들어, 도전체(135)의 형성면 위의 영역에 성막된 반도체(151)를 저저항화시키는 역할을 갖는 재료인 것이 바람직하다. 반도체(151)의 저저항화에 대해서는 후술하지만, 도전체(135)로서는, 저항값이 2.4×10^{3}[Ω/sq] 이하, 바람직하게는 1.0×10^{3}[Ω/sq] 이하인 금속, 금속 원소를 갖는 질화물, 또는 금속 원소를 갖는 산화물을 사용한다. 상기 도전 재료로서, 예를 들어, 알루미늄, 루테늄, 타이타늄, 탄탈럼, 텅스텐, 크로뮴 등의 금속막, Al-Ti 질화물, 질화 타이타늄 등의 금속 원소를 갖는 질화막, 또는 인듐 주석 산화물, In-Ga-Zn 산화물 등의 금속 원소를 갖는 산화막을 사용할 수 있다.

[0120] 또한, 반도체(151)를 저저항화시키는 역할을 하는 재료이면, 도전체(135)는 상술한 도전 재료에 한정되지 않는다. 예를 들어, 도전체(135) 대신에, 질화 실리콘 등의 절연체를 사용할 수 있는 경우가 있다. 도전체(135) 대신에 질화 실리콘 등의 절연체를 사용한 경우의 반도체 장치에 대해서는 후술한다.

[0121] 다음 공정에서는, 도 10의 (A)에 도시된 바와 같이, 레지스트 마스크 형성과 에칭 처리 등에 의하여, 상술한 오목부(195A), 오목부(195B), 오목부(195C)에만 도전체(135)가 남도록, 개구부(191)에 포함되는 도전체(135)가 제거된다. 이때, 희생층(141A), 희생층(141B)이 노출될 정도까지 도전체(135)의 제거가 수행된다. 이로써, 도전체(135a), 도전체(135b), 도전체(135c)가 형성된다.

[0122] 또한, 레지스트 마스크의 형성, 에칭 처리 등에 대해서는, 도 8의 (B)의 설명을 참작한다.

[0123] 다음에, 도 10의 (B)에 도시된 바와 같이, 개구부(191)의 측면에 대하여 도전체(135a), 도전체(135b), 도전체(135c), 희생층(141A), 희생층(141B)을 덮도록 반도체(151)를 형성한다.

[0124] 반도체(151)로서 실리콘을 포함하는 재료가 적용되는 경우, 반도체(151)는 도전체(135a)(도전체(135b), 도전체(135c))에 접촉함으로써, 도전체(135a)(도전체(135b), 도전체(135c))에 포함되는 불순물(원소, 이온 등)이 반도체(151)로 확산되는 경우가 있다. 또한, 이때, 상황 또는 경우에 따라서는, 적층체(100)에 대하여 열처리를 수행하는 것이 바람직하다. 즉, 도전체(135a)(도전체(135b), 도전체(135c))에 접촉하는 반도체(151)의 표면 및 계면 근방에 불순물 영역이 형성된다.

[0125] 도전체(135a)(도전체(135b), 도전체(135c))에 포함되는 불순물이 n형 불순물(도너)인 경우, 반도체(151)의 영역(151b) 또는 반도체(151)의 도전체(135a)(도전체(135b), 도전체(135c))와의 계면 근방에 n형 불순물 영역이 형

성되는 경우가 있다. 한편, 도전체(135a)(도전체(135b), 도전체(135c))에 포함되는 불순물이 p형 불순물(억셉터)인 경우, 반도체(151)의 영역(151b) 또는 반도체(151)의 도전체(135a)(도전체(135b), 도전체(135c))와의 계면 근방에 p형 불순물 영역이 형성되는 경우가 있다. 즉, 이로써, 반도체(151)의 영역(151b) 또는 반도체(151)의 도전체(135a)(도전체(135b), 도전체(135c))와의 계면 근방에 캐리어가 형성되어, 영역(151b)이 저저항화되는 경우가 있다.

[0126] 또한, 열처리를 수행함으로써, 도전체(135a)(도전체(135b), 도전체(135c))에 포함되는 도전성 재료와 반도체(151)에 포함되는 성분에 의하여, 반도체(151)의 도전체(135a)(도전체(135b), 도전체(135c))와의 계면 근방에 금속 실리사이드가 형성되는 경우가 있다. 이 경우, 금속 실리사이드로서 도 10의 (B)에 화합물(161A)(화합물(161B), 화합물(161C))를 도시하였다. 또한, 반도체(151)의 화합물(161A)(화합물(161B), 화합물(161C))과의 계면 근방에 불순물 영역이 형성되는 경우가 있다.

[0127] 반도체(151)로서 금속 산화물을 포함하는 재료가 적용되는 경우, 반도체(151)와 도전체(135a)(도전체(135b), 도전체(135c))가 접촉한 상태에서 열처리를 수행함으로써, 도전체(135a)(도전체(135b), 도전체(135c))에 포함되는 성분과 반도체(151)에 포함되는 성분에 의하여 화합물(161A)(화합물(161B), 화합물(161C))이 형성되어, 반도체(151)의 영역(151b)이 저저항화되는 경우가 있다. 또한, 적어도 반도체(151)의 도전체(135a)(도전체(135b), 도전체(135c))에 접촉하는 표면 및 계면 근방이 저저항화되어 있으면 좋다. 이는, 반도체(151)와 도전체(135a)(도전체(135b), 도전체(135c))의 계면, 또는 상기 계면 근방에 위치하는 반도체(151) 내의 산소의 일부가 도전체(135a)(도전체(135b), 도전체(135c))에 흡수되고, 반도체(151)에 산소 결손이 형성되어, 영역(151b)이 저저항화되기 때문인 것으로 생각된다.

[0128] 또한, 반도체(151)와 도전체(135a)(도전체(135b), 도전체(135c))가 접촉한 상태에서, 질소를 포함하는 분위기하에서 열처리를 수행하여도 좋다. 상기 열처리에 의하여, 도전체(135a)(도전체(135b), 도전체(135c))로부터, 도전체(135a)(도전체(135b), 도전체(135c))의 성분인 금속 원소가 반도체(151)로, 또는 반도체(151)의 성분인 금속 원소가 도전체(135a)(도전체(135b), 도전체(135c))로 확산되어, 반도체(151)와, 도전체(135a)(도전체(135b), 도전체(135c))에 의하여 금속 화합물이 형성되는 경우가 있다. 또한, 이때, 반도체(151)의 금속 원소와 도전체(135a)(도전체(135b), 도전체(135c))의 금속 원소가 합금화되어도 좋다. 반도체(151)의 금속 원소와 도전체(135a)(도전체(135b), 도전체(135c))의 금속 원소가 합금화됨으로써, 금속 원소는 비교적 안정적인 상태가 되기 때문에, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0129] 또한, 반도체(151) 내의 수소는 영역(151b)으로 확산되고 영역(151b)에 존재하는 산소 결손 내에 들어간 경우, 비교적 안정적인 상태가 된다. 또한, 영역(151a)에 존재하는 산소 결손 내의 수소는 250℃ 이상의 열처리에 의하여 산소 결손으로부터 빠져나가고, 영역(151b)으로 확산되고, 영역(151b)에 존재하는 산소 결손 내에 들어가고, 비교적 안정적인 상태가 된다. 따라서, 열처리에 의하여, 영역(151b)은 더 저저항화되고, 영역(151a)은 고순도화(물, 수소 등의 불순물의 저감)되어 더 고저항화된다.

[0130] 즉, 상술한 제작 방법에 의하여, 반도체(151)의 영역(151b)을 저저항 영역으로서 형성할 수 있고, 반도체(151)의 영역(151a)을 채널 형성 영역으로서 형성할 수 있다. 또한, 저저항 영역인 영역(151b)은 셀 트랜지스터(CTr)에서의 제 1 단자 및/또는 제 2 단자에 상당하기 때문에, 상술한 제작 방법에 의하여, 직렬로 전기적으로 접속된 셀 트랜지스터들 사이의 전기 저항을 낮게 할 수 있다.

[0131] 또한, 상술한 바와 같이, 반도체(151)에 금속 산화물을 포함하는 재료가 적용되는 경우, 상기 금속 산화물에 대해서는 실시형태 3에서 설명한다.

[0132] 다음 공정에서는, 도 11의 (A)에 도시된 바와 같이, 나머지 개구부(191)가 매립되도록, 반도체(151)의 형성면에 절연체(102)가 성막된다.

[0133] 절연체(102)로서, 일례로서는, 산소의 투과를 억제하는 기능을 갖는 절연성 재료를 사용하는 것이 바람직하다. 예를 들어, 절연체(102)로서 질화 실리콘, 질화산화 실리콘, 산화질화 실리콘, 질화 알루미늄, 질화산화 알루미늄 등을 사용하는 것이 바람직하다. 이러한 절연체(102)를 형성함으로써, 반도체(151)의 영역(151a)으로부터 산소가 이탈되고 상기 산소가 절연체(102)로 확산되는 것을 방지할 수 있다. 이로써, 반도체(151)의 영역(151a)으로부터의 산소의 이탈로 인한 반도체(151)의 영역(151a)의 저저항화를 방지할 수 있다.

[0134] 또한, 절연체(102)로서, 일례로서는, 산소를 투과시키는 기능을 갖는 절연성 재료를 사용하는 것이 바람직하다. 예를 들어, 절연체(102)에 산소를 도핑하여 산소를 확산시킴으로써, 반도체(151)에 산소를 공급할 수 있다. 그 결과, 반도체(151)의 영역(151a)의 저저항화를 방지할 수 있다.

[0135] 또한, 절연체(102)를 복수로 적층하여 사용하여도 좋다. 예를 들어, 도 11의 (B)에 도시된 바와 같이, 반도체(151)에 접촉하는 절연체(102A)에는 산화 실리콘을 사용하고, 절연체(102A)에 접촉하는 절연체(102B)에는 산화 알루미늄이나 산화 하프늄 등을 사용하여도 좋다. 예를 들어, 산화 알루미늄을 스퍼터링법에 의하여 성막한 경우, 산소가 절연체(102A)에 공급된다. 절연체(102A)에 공급된 산소는 반도체(151)에 공급된다. 그 결과, 반도체(151)의 영역(151a)의 저저항화를 방지할 수 있다.

[0136] 또한, 절연체(102)로서는, 예를 들어, 물, 수소 등의 불순물 등의 투과를 억제하는 기능을 갖는 절연성 재료를 사용하는 것이 바람직하다. 예를 들어, 절연체(102)로서 산화 알루미늄 등을 사용할 수 있다. 다만, 절연체(102)에 적용할 수 있는 재료는 상술한 재료에 한정되지 않고, 절연체(102)로서는, 예를 들어, 물, 수소 등의 불순물 농도가 저감된 막으로서, 상술한 절연체(101A) 내지 절연체(101C)에 적용할 수 있는 재료를 사용할 수 있다.

[0137] 그런데, 반도체 장치가 갖는 셀 트랜지스터에 백 게이트를 제공하는 경우, 도 11의 (A), (B)가 아니라, 도 12에 도시된 공정을 수행하면 좋다. 도 12에 도시된 공정에서는, 반도체(151)의 형성면에 절연체(102)가 성막되고, 나머지 개구부(191)가 매립되도록 도전체(134)가 성막된다.

[0138] 이때, 도전체(134)는 도 1의 (B), 도 3에 도시된 배선(BGL)으로서 기능한다.

[0139] 도전체(134)로서는, 예를 들어, 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄 등에서 선택된 금속 원소를 1종류 이상 포함하는 재료를 사용할 수 있다. 또한, 도전체(134)로서는, 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는, 전기 전도도가 높은 반도체, 니켈 실리사이드 등의 실리사이드를 사용할 수도 있다.

[0140] 또한, 도전체(134)로서, 예를 들어, 반도체(151)에 적용할 수 있는 금속 산화물에 포함되는 금속 원소 및 산소를 포함하는 도전성 재료를 사용하여도 좋다. 또한, 상술한 금속 원소 및 질소를 포함하는 도전성 재료를 사용하여도 좋다. 예를 들어, 질화 타이타늄, 질화 탄탈럼 등의 질소를 포함하는 도전성 재료를 사용할 수 있다. 또한, 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 실리콘을 첨가한 인듐 주석 산화물을 사용할 수 있다. 또한, 질소를 포함하는 인듐 갈륨 아연 산화물을 사용할 수 있다. 이러한 재료를 사용함으로써, 주변의 절연체 등으로부터 혼입되는 수소를 포획할 수 있는 경우가 있다.

[0141] 또한, 도전체(134)로서는, 예를 들어, 물 또는 수소 등의 불순물의 투과를 억제하는 기능을 갖는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어, 탄탈럼, 질화 탄탈럼, 타이타늄, 질화 타이타늄, 루테늄, 또는 산화 루테늄 등을 사용하는 것이 바람직하고, 단층 또는 적층으로 하면 좋다.

[0142] 또한, 도전체(134)로서는, 상술한 재료를 복수로 적층한 구성으로 하여도 좋다. 예를 들어, 상술한 금속 원소를 포함하는 재료와, 산소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한, 상술한 금속 원소를 포함하는 재료와, 질소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한, 상술한 금속 원소를 포함하는 재료와, 산소를 포함하는 도전성 재료와, 질소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한, 도전체의 주변에 접촉하는 절연체로서, 과잉 산소 영역을 갖는 절연체를 적용함으로써, 도전체의 절연체에 접촉하는 영역에서 산소가 확산되는 경우가 있다. 이로써, 금속 원소를 포함하는 재료와, 산소를 포함하는 도전성 재료를 조합한 적층 구조를 형성할 수 있는 경우가 있다. 또한, 마찬가지로, 도전체의 주변에 접촉하는 절연체로서, 과잉 질소 영역을 갖는 절연체를 적용함으로써, 도전체의 절연체에 접촉하는 영역에서 질소가 확산되는 경우가 있다. 이로써, 금속 원소를 포함하는 재료와, 질소를 포함하는 도전성 재료를 조합한 적층 구조를 형성할 수 있는 경우가 있다.

[0143] 또한, 도 12에 도시된 절연체(102)는 복수의 절연체로 이루어지는 적층의 구성으로 하여도 좋다. 복수의 절연체로 이루어지는 적층의 구성으로서는, 예를 들어, 도 11의 (B)에서 설명한 절연체(102A), 절연체(102B)의 적층의 구성으로 하여도 좋다(도시하지 않았음).

[0144] 다음 공정에서는, 도 13의 (A)에 도시된 바와 같이, 적층체(100)에 대하여 레지스트 마스크 형성과 에칭 처리 등을 수행함으로써, 슬릿(192)이 형성된다. 또한, 본 공정에서는, 슬릿 대신에 개구부를 형성하여도 좋다.

[0145] 또한, 레지스트 마스크의 형성, 에칭 처리 등에 대해서는, 도 8의 (B)의 설명을 참작한다.

[0146] 그리고, 도 13의 (B)에 도시된 공정에서는, 에칭 처리 등을 사용하여 슬릿(192)의 측면으로부터 희생층(141A),

희생층(141B)이 제거되고, 적층체(100)에 오목부(196A), 오목부(196B)가 형성된다.

[0147] 또한, 도 13의 (A)에 도시된 반도체 장치의 제작 공정의 단계에서, 오목부(196A), 오목부(196B)를 슬릿(192)과 일괄적으로 형성할 수 있는 경우가 있다.

[0148] 그런데, 반도체(151)로서 실리콘을 갖는 재료를 적용하는 경우, 슬릿(192), 오목부(196A), 오목부(196B)의 형성 후에, 오목부(196A), 오목부(196B)에 노출되는 반도체(151)의 영역(151a)에 대하여, 슬릿(192)으로부터 불순물을 공급하는 처리를 수행하여도 좋다. 도 14의 (A)에는, 영역(151a)에 대하여 불순물의 공급 처리(10)를 수행하는 공정을 도시하였다. 또한, 공급 처리(10)를 수행하는 동안에는, 반도체 장치에 대하여 열처리를 수행하는 것이 바람직하다. 또한, 셀 트랜지스터(CTr)를 n형 트랜지스터로 하는 경우, 반도체(151)의 영역(151a)을 p형 채널 형성 영역으로 하기 위하여, 불순물로서 p형 불순물(억셉터)을 사용한다. p형 불순물로서는, 예를 들어, 붕소, 알루미늄, 갈륨 등을 사용할 수 있다. 또한, 셀 트랜지스터(CTr)를 p형 트랜지스터로 하는 경우, 반도체(151)의 영역(151a)을 n형 채널 형성 영역으로 하기 위하여, 불순물로서 n형 불순물(도너)을 사용한다. n형 불순물로서는, 예를 들어, 인, 비소 등을 사용할 수 있다.

[0149] 또한, 반도체(151)로서 금속 산화물을 갖는 재료를 적용하는 경우, 슬릿(192), 오목부(196A), 오목부(196B)의 형성 후에, 오목부(196A), 오목부(196B)에 노출되는 반도체(151)의 영역(151a)에 대하여, 슬릿(192)으로부터 산소를 공급하는 처리를 수행하여도 좋다. 이 경우, 도 14의 (A)에 도시된 공급 처리(10)는 산소의 공급 처리가 된다. 산소를 공급하는 처리로서는, 예를 들어, 감압 상태에서의 산소를 포함하는 플라스마 처리, 산소 분위기 하에서의 열처리 등을 들 수 있다. 특히, 산소를 포함하는 플라스마 처리로서는, 예를 들어, 마이크로파를 사용한 고밀도 플라스마를 발생시키는 전원을 갖는 장치를 사용하는 것이 바람직하다.

[0150] 또한, 상술한 바와 같이, 반도체(151)에 불순물이나 산소 등을 공급하는 처리에서, 슬릿(192)으로부터 상기 공급을 수행하지 않고, 도 14의 (B)에 도시된 바와 같이, 단자 추출부로부터 불순물이나 산소 등의 공급을 수행하여도 좋다. 도 14의 (B)는 도 14의 (A)에 도시된 구조체의 사시도이고, 도 6 또는 도 7에 도시된 반도체 장치의 제작 공정의 도중을 도시한 것이다.

[0151] 다음 공정에서는, 도 15의 (A)에 도시된 바와 같이, 도 13의 (B)에 도시된 슬릿(192)의 측면(절연체(101A) 내지 절연체(101C) 각각의 측면), 오목부(196A), 오목부(196B)에 절연체(103)가 성막된다.

[0152] 절연체(103)는 셀 트랜지스터(CTr)의 터널 절연막으로서 기능한다.

[0153] 절연체(103)로서는, 예를 들어, 산화 실리콘 또는 산화질화 실리콘을 사용하는 것이 바람직하다. 또한, 절연체(103)로서는, 예를 들어, 산화 알루미늄, 산화 하프늄, 또는 알루미늄 및 하프늄을 갖는 산화물 등을 사용하여도 좋다. 또한, 절연체(103)로서는, 이들을 적층한 절연체로 하여도 좋다.

[0154] 또한, 반도체(151)가 금속 산화물을 포함하는 재료인 경우, 절연체(103)로서는, 상술한 재료에, 절연체(102)에 적용할 수 있는 재료를 적층한 절연체로 할 수 있다. 특히, 절연체(103)로서, 산소, 물, 수소 등의 불순물의 투과를 억제하는 기능을 갖는 재료를 사용함으로써, 반도체(151)로의 물 또는 수소의 확산, 반도체(151)로부터의 산소의 이탈을 방지할 수 있는 경우가 있다.

[0155] 다음 공정에서는, 도 15의 (B)에 도시된 바와 같이, 도 15의 (A)에 도시된 슬릿(192)의 측면 및 형성되는 오목부에 절연체(111)가 성막된다. 즉, 절연체(103)의 형성면에 절연체(111)가 형성된다.

[0156] 특히, 절연체(111)가 형성된 영역 중 절연체(103)를 개재하여 반도체(151)의 영역(151a)과 중첩되는 영역은, 셀 트랜지스터(CTr)의 전하 축적층으로서 기능한다.

[0157] 절연체(111)로서는, 예를 들어, 질화 실리콘이나 질화산화 실리콘을 사용할 수 있다. 다만, 절연체(111)에 적용할 수 있는 재료는 이들에 한정되지 않는다.

[0158] 다음 공정에서는, 도 16의 (A)에 도시된 바와 같이, 도 15의 (A)에 도시된 슬릿(192)의 측면 및 형성되는 오목부에 절연체(104)가 성막된다. 즉, 절연체(111)의 형성면에 절연체(104)가 형성된다.

[0159] 절연체(104)는 셀 트랜지스터(CTr)의 게이트 절연막으로서 기능한다.

[0160] 절연체(104)로서는, 예를 들어, 산화 실리콘이나 산화질화 실리콘을 사용하는 것이 바람직하다. 또한, 절연체(104)로서는, 예를 들어, 산화 알루미늄, 산화 하프늄, 또는 알루미늄 및 하프늄을 갖는 산화물 등을 사용할 수 있다. 또한, 절연체(104)로서는, 이들을 적층한 절연체로 하여도 좋다. 그리고, 절연체(104)는 절연체(103)보다 두꺼운 것이 바람직하다. 절연체(104)를 절연체(103)보다 두껍게 함으로써, 반도체(151)로부터 절연체(10

3)를 통하여 절연체(111)로 전하의 이동을 수행시킬 수 있다.

[0161] 다음 공정에서는, 도 16의 (B)에 도시된 바와 같이, 도 16의 (A)에 도시된 슬릿(192)의 측면 및 형성되는 오목부에 도전체(136)가 성막된다. 즉, 절연체(104)의 형성면에 도전체(136)가 형성된다.

[0162] 도전체(136)로서는, 예를 들어, 상술한 도전체(134)에 적용할 수 있는 재료를 사용할 수 있다.

[0163] 다음 공정에서는, 도 17의 (A)에 도시된 바와 같이, 레지스트 마스크 형성과 에칭 처리 등에 의하여, 상술한 오목부에만 도전체(136)가 남도록, 슬릿(192)에 포함되는 도전체(136)가 제거된다. 이로써, 도전체(136a), 도전체(136b)가 형성된다. 또한, 이때, 절연체(111)가 슬릿(192)에 노출되지 않을 정도이면, 절연체(104)의 일부가 제거되어도 좋다.

[0164] 또한, 레지스트 마스크의 형성, 에칭 처리 등에 대해서는, 도 8의 (B)의 설명을 참작한다.

[0165] 그런데, 도전체(136a)(도전체(136b))는 도 1의 (A), (B)에 도시된 셀 트랜지스터(CTr)의 게이트 전극, 및 배선(WL)으로서 기능한다. 즉, 도 17의 (A)에 도시된 영역(181A)(영역(181B))에서 셀 트랜지스터(CTr)가 형성된다.

[0166] 다음 공정에서는, 도 17의 (B)에 도시된 바와 같이, 슬릿(192)이 매립되도록 절연체(105)가 성막된다.

[0167] 절연체(105)로서는, 예를 들어, 상술한 절연체(102)에 적용할 수 있는 재료를 사용할 수 있다.

[0168] 이상과 같이, 도 8의 (A)로부터 도 17의 (B)까지의 공정을 수행함으로써, 도 1의 (A)에 도시된 반도체 장치를 제작할 수 있다.

[0169] 도 18의 (A), (B)에는 각각 도 17의 (B)에 도시된 반도체 장치의 일점쇄선 B1-B2, 일점쇄선 B3-B4에서의 상면도를 도시하였다. 또한, 도 19의 (A)에는, 도 6에 도시된 구성예와 같이, 복수의 개구부(191)를 제공한 경우의 반도체 장치의 상면도를 도시하였다. 또한, 상기 상면도는 도 17의 (B)에 도시된 반도체 장치의 일점쇄선 B1-B2에서의 상면도이고, 개구부(191)를 복수로 제공한 경우에 전개한 도면이다. 도 19의 (A)에 도시된 반도체 장치는 복수의 슬릿(192)을 갖고, 안접한 슬릿(192)들 사이에 개구부(191)가 제공된다. 또한, 도 13에 도시된 공정을 설명한 바와 같이, 슬릿(192) 대신에 개구부를 형성하여도 좋다. 도 19의 (B)는 슬릿(192) 대신에 개구부(193)를 제공하고, 개구부(193)에 절연체(103) 내지 절연체(105), 절연체(111)를 형성한 구성이 되어 있다. 또한, 개구부(193)의 위치는 도 19의 (A)의 슬릿(192)과 같이, 한 방향의 열을 따라 제공하지 않고, 상이한 2개 이상의 방향의 열을 따라 제공하여도 좋다. 또는, 개구부(193)의 위치는 상술한 바와 같은 규칙성에 의존하지 않고 형성하여도 좋다.

[0170] 본 발명의 일 형태는 도 17의 (B)에 도시된 반도체 장치의 구성예에 한정되지 않는다. 본 발명의 일 형태는 경우, 상황, 또는 필요에 따라, 도 17의 (B)에 도시된 반도체 장치를 적절히 변경한 구성으로 할 수 있다.

[0171] 예를 들어, 본 발명의 일 형태는, 상술한 바와 같이, 도 1의 (B)에 도시된 바와 같이, 셀 트랜지스터(CTr)에 백게이트가 제공된 반도체 장치로 할 수도 있다. 도 1의 (B)에 도시된 반도체 장치를 제작하는 경우, 도 1의 (A)를 제작하는 과정에서, 도 11의 (A)에 도시된 공정 대신에 도 12에 도시된 공정을 수행하면 좋다. 도 11의 (A)에 도시된 공정 대신에 도 12에 도시된 공정을 수행함으로써, 도 20에 도시된 반도체 장치를 구성할 수 있다.

[0172] 또한, 도 21의 (A), (B)에는 각각 도 20에 도시된 반도체 장치의 일점쇄선 B1-B2, 일점쇄선 B3-B4에서의 상면도를 도시하였다. 도 20에 도시된 반도체 장치는 도전체(134)를 형성한 구성예가 되어 있기 때문에, 도 21의 (A), (B)에 도시된 상면도는 도 18의 (A), (B)에 도시된 절연체(102)의 내측에 도전체(134)를 형성한 구성이 되어 있다.

[0173] 또한, 예를 들어, 본 발명의 일 형태는, 반도체(151)로서 금속 산화물을 갖는 재료를 사용한 경우, 도 22에 도시된 반도체 장치와 같이 반도체(151)를 3층 구조로 할 수 있다. 도 22에 도시된 반도체 장치는 반도체(151)를 3층 구조로 한 구성이 되어 있고, 도 1의 (A)를 제작하는 과정에서 도 10의 (B)에 도시된 공정으로, 반도체(151)로서 반도체(152A), 반도체(152B), 반도체(152C)를 순차적으로 형성함으로써 구성할 수 있다.

[0174] 또한, 도 23의 (A), (B)에는 각각 도 22에 도시된 반도체 장치의 일점쇄선 B1-B2, 일점쇄선 B3-B4에서의 상면도를 도시하였다. 도 22에 도시된 반도체 장치는 반도체층이, 외측으로부터 반도체(152A), 반도체(152B), 반도체(152C)가 순차적으로 성막된 3층 구조의 구성예가 되어 있기 때문에, 도 23의 (A), (B)에 도시된 상면도는 도 18의 (A), (B)에 도시된 반도체(151)를 3층 구조로 한 구성이 되어 있다.

[0175] 반도체(152A)는 절연체(103), 도전체(135a)(도전체(135b), 도전체(135c))에 접촉하도록 제공되는 것이 바람직하고, 반도체(152C)는 절연체(102)에 접촉하도록 제공되는 것이 바람직하다. 이때, 반도체(152A) 및 반도체(152C)는 반도체(152B)에 대하여 상대적으로 에너지 갭이 넓은 산화물을 사용하는 것이 바람직하다. 여기서, 에너지 갭이 넓은 산화물을 와이드 갭, 에너지 갭이 좁은 산화물을 내로 갭이라고 부르는 경우가 있다.

[0176] 반도체(152A) 및 반도체(152C)를 내로 갭으로 하고, 반도체(152B)를 와이드 갭으로 하는 경우, 반도체(152A) 및 반도체(152C)의 전도대 하단의 에너지가 반도체(152B)의 전도대 하단의 에너지보다 높아지는 것이 바람직하다. 또한, 환언하면, 반도체(152A) 및 반도체(152C)의 전자 친화력이 반도체(152B)의 전자 친화력보다 작아지는 것이 바람직하다.

[0177] 또한, 반도체(152A) 내지 반도체(152C)는 각 금속 원자의 원자수비가 상이한 조합으로 하는 것이 바람직하다. 구체적으로는, 반도체(152A) 및 반도체(152C)에 사용되는 금속 산화물에서, 구성 원소 중의 원소 M의 원자수비가 반도체(152B)에 사용되는 금속 산화물에서의 구성 원소 중의 원소 M의 원자수비보다 큰 것이 바람직하다. 또한, 반도체(152A) 및 반도체(152C)에 사용되는 금속 산화물에서 In에 대한 원소 M의 원자수비가, 반도체(152B)에 사용되는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 큰 것이 바람직하다. 또한, 반도체(152B)에 사용되는 금속 산화물에서 원소 M에 대한 In의 원자수비가, 반도체(152A) 및 반도체(152C)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 큰 것이 바람직하다.

[0178] 반도체(152A) 및 반도체(152C)에는, 예를 들어 In:Ga:Zn=1:3:4, In:Ga:Zn=1:3:2, 또는 In:Ga:Zn=1:1:1의 조성 및 그 근방의 조성을 갖는 금속 산화물을 사용할 수 있다. 또한, 반도체(152B)에는, 예를 들어 In:Ga:Zn=4:2:3 내지 4.1, In:Ga:Zn=1:1:1, 또는 In:Ga:Zn=5:1:6의 조성 및 그 근방의 조성을 갖는 금속 산화물을 사용할 수 있다. 이들 반도체(152A) 내지 반도체(152C)를 상기 원자수비의 관계를 만족시켜 조합하는 것이 바람직하다. 예를 들어, 반도체(152A) 및 반도체(152C)를 In:Ga:Zn=1:3:4의 조성 및 그 근방의 조성을 갖는 금속 산화물, 반도체(152B)를 In:Ga:Zn=4:2:3 내지 4.1의 조성 및 그 근방의 조성을 갖는 금속 산화물로 하는 것이 바람직하다. 또한, 상기 조성은 기체 위에 형성된 산화물 중의 원자수비 또는 스퍼터링 타깃에서의 원자수비를 나타낸다.

[0179] 또한, 반도체(152A)로서 후술하는 CAAC-OS를 사용하고, 반도체(152B)로서 CAC-OS를 사용하는 것이 바람직하다. 반도체(152A) 및 반도체(152C)로서 CAAC-OS를 사용하는 경우, c축은 도 22에서, 반도체(152A) 및 반도체(152C)의 형성면에 대하여 수직 방향을 향하도록 배향하는 것이 바람직하다.

[0180] 여기서, 반도체(152A)(반도체(152C))와 반도체(152B)의 접합부에서 전도대 하단은 완만하게 변화된다. 환언하면, 반도체(152A)(반도체(152C))와 반도체(152B)의 접합부에서의 전도대 하단은 연속적으로 변화 또는 연속 접합한다고 할 수도 있다. 이와 같이 하기 위해서는 반도체(152A)(반도체(152C))와 반도체(152B)의 계면에서 형성되는 혼합층의 결함 준위 밀도를 낮게 하면 좋다.

[0181] 구체적으로는, 반도체(152A)(반도체(152C))와 반도체(152B)가 산소 이외에 공통의 원소를 가짐으로써(주성분으로 함으로써), 결함 준위 밀도가 낮은 혼합층을 형성할 수 있다. 예를 들어, 반도체(152B)가 In-Ga-Zn 산화물인 경우, 반도체(152A)(반도체(152C))로서 In-Ga-Zn 산화물, Ga-Zn 산화물, 산화 갈륨 등을 사용하면 좋다. 이로써, 반도체(152A)와 반도체(152B)의 계면에서의 결함 준위 밀도를 낮게 할 수 있다. 그러므로, 계면 산란으로 인한 캐리어 전도로의 영향이 작아지고, 셀 트랜지스터는 높은 온 전류를 얻을 수 있는 경우가 있다.

[0182] 또한, 도 22에 도시된 반도체 장치는 도 17의 (B)에서의 반도체(151)를 3층 구조로 하였지만, 2층 구조 또는 4층 이상의 구조로 하여도 좋다.

[0183] 또한, 예를 들어, 도 17의 (B)에 도시된 반도체 장치에서는, 모든 절연체(103)의 형성면 위에 절연체(111)를 갖는 구성으로 하였지만, 본 발명의 일 형태는 셀 트랜지스터(CTr)가 갖는 전하 축적층마다 절연체(111)를 분할한 구성으로 할 수 있다. 도 24의 (A)에는 도 15의 (B)에 도시된 공정 후에, 레지스트 마스크 형성과 에칭 처리 등을 수행하여, 상술한 오목부(196A), 오목부(196B)의 절연체(103)의 형성면 위에만 절연체(111)가 남도록 슬릿(192)에 포함되는 절연체(111)를 제거하는 공정을 도시하였다. 또한, 경우 또는 상황에 따라, 절연체(111)의 제거 공정에서, 도 24의 (B)에 도시된 바와 같이, 슬릿(192)에 노출되는 절연체(103)의 영역을 제거하여도 좋다. 도 24의 (A)의 다음 공정에서는, 도 16의 (A)로부터 도 17의 (B)까지와 같은 공정을 수행함으로써, 도 25의 (A)에 도시된 반도체 장치를 구성할 수 있다.

[0184] 또한, 도 25의 (B)에는, 도 25의 (A)에 도시된 반도체 장치의 일점쇄선 B1-B2에서의 상면도를 도시하였다. 도 25의 (A)에 도시된 반도체 장치는 도전체(135a)(도전체(135b), 도전체(135c))를 개재하여 반도체(151)의 영역(151a)과 중첩되는 영역에서, 절연체(111)가 제거되는 구성이 되어 있기 때문에, 도 25의 (B)에 도시된 상면도

는 도 18의 (B)에 도시된 상면도에서 절연체(103)와 절연체(104) 사이의 절연체(111)가 없는 구성이 되어 있다. 그런데, 도 25의 (A)에 도시된 일점쇄선 B3-B4에서의 상면도는 도 18의 (B)와 거의 같은 구성이 되는 경우가 있다.

[0185] 또한, 예를 들어, 본 발명의 일 형태는 셀 트랜지스터(CTr)의 신뢰성을 향상시키기 위하여, 셀 트랜지스터(CTr)의 게이트 전극의 구성을 도 17의 (B)에 도시된 구성으로부터 변경하여도 좋다. 도 26의 (A), (B), 도 27의 (A)는 그 반도체 장치의 제작 방법의 일례를 도시한 것이다. 도 26의 (A)에서는, 도 16의 (A)에서, 슬릿(192)의 측면, 및 오목부(196A), 오목부(196B)에 성막되어 있는 절연체(104)의 형성면에 반도체(153)가 성막되어 있다.

[0186] 반도체(153)로서는, 예를 들어, 실시형태 3에서 설명하는 금속 산화물이 포함되는 재료를 적용하는 것으로 한다. 다만, 반도체(153)에 적용할 수 있는 재료는 이에 한정되지 않는다. 예를 들어, 반도체(153)로서는 금속 산화물 이외의 재료를 적용할 수 있는 경우가 있다. 또는, 예를 들어, 반도체(153) 대신에, 도전체, 절연체 등을 적용할 수 있는 경우가 있다.

[0187] 다음 공정에서는, 도 26의 (B)에 도시된 바와 같이, 레지스트 마스크 형성과 에칭 처리 등에 의하여, 상술한 오목부(196A), 오목부(196B)의 일부에 반도체(153)가 남도록, 오목부(196A), 오목부(196B)의 나머지 일부의 반도체(153)와, 슬릿(192)에 포함되는 반도체(153)가 제거된다. 이로써, 반도체(153a), 반도체(153b)가 형성된다.

[0188] 또한, 레지스트 마스크의 형성, 에칭 처리 등에 대해서는, 도 8의 (B)의 설명을 참작한다.

[0189] 이 후에는 도 16의 (B)로부터 도 17의 (B)까지와 같은 공정을 수행함으로써, 도 27의 (A)에 도시된 반도체 장치를 구성할 수 있다.

[0190] 또한, 도 27의 (B)에는, 도 27의 (A)에 도시된 반도체 장치의 일점쇄선 B3-B4에서의 상면도를 도시하였다. 도 27의 (A)에 도시된 반도체 장치는 반도체(151)의 영역(151a)에서, 도전체(136a)(도전체(136b))와 절연체(104) 사이에 반도체(153a)(반도체(153b))가 포함되는 구성이 되어 있기 때문에, 도 27의 (B)에 도시된 상면도는, 도전체(136b)와 절연체(104) 사이에 반도체(153b)가 포함되는 구성이 되어 있다. 그런데, 도 27의 (A)에 도시된 일점쇄선 B1-B2에서의 상면도는 도 18의 (A)와 거의 같은 구성이 되는 경우가 있다.

[0191] 반도체(153a)(반도체(153b))는 절연체(104)에 접촉함으로써, 절연체(104)에 포함되는 수소, 물 등의 불순물이 반도체(153a)(반도체(153b))로 확산되는 경우가 있다. 또한, 반도체(153a)(반도체(153b))는 도전체(136a)(도전체(136b))에 접촉함으로써, 도전체(136a)(도전체(136b))에 포함되는 수소, 물 등의 불순물이 반도체(153a)(반도체(153b))로 확산되는 경우가 있다. 즉, 반도체(153a)(반도체(153b))는 수소, 물 등의 불순물을 포집하는 역할을 갖는 경우가 있다. 이로써, 반도체(153a)(반도체(153b))가 저저항화되고, 셀 트랜지스터(CTr)의 게이트 전극으로서 기능할 수 있다. 즉, 도 27의 (A)에 도시된 반도체 장치는 반도체(153a)(반도체(153b))에 의하여 주변의 수소, 물 등의 불순물을 포집하기 때문에, 셀 트랜지스터(CTr)의 신뢰성을 높일 수 있다.

[0192] 또한, 예를 들어, 본 발명의 일 형태는, 전하 축적층으로서 적용하는 절연체(111) 대신에, 부유 게이트를 사용하여도 좋다. 도 28의 (A), (B)는 그 제작 방법의 일례를 도시한 것이다. 도 28의 (A)에서는, 도 15에서 오목부(196A), 오목부(196B)의 일부에 각각 도전체(138a), 도전체(138b)가 형성된다. 도전체(138a) 및 도전체(138b)의 형성 방법으로서는, 슬릿(192), 오목부(196A), 오목부(196B)에, 도전체(138a) 및 도전체(138b)가 되는 도전체 재료를 성막하고 나서, 레지스트 마스크 형성과 에칭 처리 등에 의하여 오목부(196A), 오목부(196B)의 일부에 각각 도전체(138a) 및 도전체(138b)가 남도록 상기 도전체 재료를 제거하면 좋다. 그 후, 도 16의 (A)에 도시된 절연체(104)의 성막 공정으로부터 도 17의 (B)에 도시된 절연체(105)의 성막 공정까지와 같은 공정을 수행함으로써, 도 28의 (B)에 도시된 반도체 장치를 구성할 수 있다.

[0193] 또한, 도 29에는, 도 28의 (B)에 도시된 반도체 장치의 일점쇄선 B3-B4에서의 상면도를 도시하였다. 도 28의 (B)에 도시된 반도체 장치는 반도체(151)의 영역(151a)과 중첩되는 영역에서, 절연체(103)와 절연체(104) 사이에 도전체(138a)(도전체(138b))가 포함되는 구성이 되어 있기 때문에, 도 29에 도시된 상면도는, 절연체(103)와 절연체(104) 사이에 도전체(138b)가 포함되는 구성이 되어 있다. 그런데, 도 28의 (B)에 도시된 일점쇄선 B1-B2에서의 상면도는 도 25의 (B)와 거의 같은 구성이 되는 경우가 있다.

[0194] 도전체(138a) 및/또는 도전체(138b)로서는, 예를 들어, 상술한 도전체(136)에 적용할 수 있는 재료를 사용할 수 있다. 다만, 도전체(138a) 및/또는 도전체(138b)에 적용할 수 있는 재료는 이에 한정되지 않는다. 도전체(138a) 및/또는 도전체(138b) 대신에, 절연체, 반도체 등을 적용할 수 있는 경우가 있다.

[0195] 또한, 예를 들어, 본 발명의 일 형태는, 셀 트랜지스터(CTr)의 채널 형성 영역의 막 두께를 작게 한 구성으로 할 수 있다. 도 30의 (A), (B)는 그 반도체 장치의 제작 방법의 일례를 도시한 것이다. 도 30의 (A)에서는 도 13의 (B)에서, 희생층(141A), 희생층(141B)의 제거 후에, 에칭 처리 등을 더 수행함으로써, 반도체(151)의 표면이 제거된다. 이로써, 영역(151a)에 포함되는 반도체(151)의 막 두께는 영역(151b)에 포함되는 반도체(151)의 막 두께보다 얇아진다. 이 공정은 반도체(151)의 표면에 불순물 영역이 형성되는 경우에 유효하고, 상기 공정을 수행함으로써, 불순물 영역이 제거되어, 반도체(151)의 영역(151a)을 고저항으로 할 수 있다.

[0196] 그런데, 영역(151a)에서의 반도체(151)의 제거되는 막 두께로서는, 예를 들어, 성막된 반도체(151)의 30nm 이상 60nm 이하, 또는 성막된 반도체(151)의 막 두께의 1/5 이상 1/2 이하, 또는 그 후에 성막되는 절연체(103)의 막 두께의 1/5 이상 1/2 이하, 또는 도전체(135a)(도전체(135b), 도전체(135c))의 막 두께의 1/5 이상 1/2 이하로 하여도 좋다. 또한, 성막된 반도체(151)의 막 두께는 적어도 영역(151a)에서의 제거되는 반도체(151)의 막 두께보다 큰 것으로 한다. 그 후, 도 15의 (A)로부터 도 17의 (B)까지와 같은 공정을 수행함으로써, 도 30의 (B)에 도시된 반도체 장치를 구성할 수 있다.

[0197] 또한, 도 31의 (A), (B)에는 각각 도 30의 (B)에 도시된 반도체 장치의 일점쇄선 B1-B2, 일점쇄선 B3-B4에서의 상면도를 도시하였다. 도 30의 (B)에 도시된 반도체 장치는 영역(151b)에서의 반도체(151)의 막 두께보다 영역(151a)에서의 반도체(151)의 막 두께가 얇은 구성이 되어 있기 때문에, 도 31의 (B)에 도시된 상면도의 반도체(151)는 도 31의 (A)에 도시된 상면도의 반도체(151)보다 얇은 구성이 되어 있다.

[0198] 또한, 예를 들어, 본 발명의 일 형태의 반도체 장치는, 상술한 바와 같이, 도전체(135) 대신에, 질화 실리콘 등의 절연체를 사용한 구성으로 할 수 있다. 도 32의 (A)는, 도 8의 (A)에 도시된 절연체(101A) 내지 절연체(101C)가 절연체(107A) 내지 절연체(107C)로 치환된 적층체(100A)를 도시한 것이다. 절연체(107A) 내지 절연체(107C)로서는, 상술한 바와 같이, 질화 실리콘 등을 사용할 수 있다. 다만, 절연체(107A) 내지 절연체(107C)에 적용할 수 있는 재료는 이에 한정되지 않는다. 예를 들어, 절연체(107A) 내지 절연체(107C)에 포함되는 성분과 반도체(151)에 포함되는 성분이 반응하여 반도체(151)의 영역(151b)에서 저저항 영역이 형성된다면, 절연체(107A) 내지 절연체(107C)에 적용할 수 있는 재료는 질화 실리콘 이외이어도 좋다.

[0199] 적층체(100A)에 대하여, 도 8의 (B)에 도시된 공정과 마찬가지로, 개구부(191)를 형성한다(도 32의 (B) 참조). 다음에, 도 10의 (B), 도 11의 (A)에 도시된 공정과 마찬가지로, 도 32의 (B)에 도시된 개구부(191)의 측면에 대하여 반도체(151)를 성막하고, 반도체(151)의 형성면에 대하여 개구부(191)를 메우두록 절연체(102)를 성막한다(도 33의 (A) 참조). 반도체(151)를 금속 산화물로 하였을 때, 도 33의 (A)에 도시된 단면도에서, 반도체(151)는 절연체(107A)(절연체(107B), 절연체(107C))와의 계면 및 계면 근방에서, 절연체(107A)(절연체(107B), 절연체(107C))로부터 확산되는 질소, 질화물, 이 이외의 성분 등에 의하여, 화합물(161A)(화합물(161B), 화합물(161C))이 형성된다. 이로써, 반도체(151)의 영역(151b)이 저저항화된다. 즉, 인접한 셀 트랜지스터(CTr)의 전기적 접속에서 저항을 낮출 수 있는 경우가 있다.

[0200] 그 후, 도 13의 (A), (B), 도 14로부터 도 17의 (B)까지와 같은 공정을 수행함으로써, 도 33의 (B)에 도시된 반도체 장치를 구성할 수 있다. 즉, 도 9의 (A)로부터 도 10의 (A)까지의 도전체(135a) 내지 도전체(135c)의 형성을 생략할 수 있기 때문에, 반도체 장치의 제작 공정을 단축할 수 있다.

[0201] 또한, 도 34의 (A), (B)에는 각각 도 33의 (B)에 도시된 반도체 장치의 일점쇄선 B1-B2, 일점쇄선 B3-B4에서의 상면도를 도시하였다. 도 33의 (B)에 도시된 반도체 장치는 도전체(135a) 내지 도전체(135c)의 형성을 생략한 구성예가 되어 있기 때문에, 도 34의 (A), (B)에 도시된 상면도는, 도 18의 (A), (B)로부터 도전체(135c)(도전체(135a), 도전체(135b))가 생략된 구성이 되어 있다.

[0202] ≪제작 방법예 2≫

[0203] 여기서는 본 실시형태의 반도체 장치로서 제작 방법예 1과는 상이한 구조의 예에 대하여, 도 35 내지 도 45를 참조하여 설명한다.

[0204] 도 35 내지 도 45는 도 8 내지 도 19와 마찬가지로, 도 1의 (A)에 도시된 반도체 장치의 제작예를 설명하기 위한 단면도, 상면도, 사시도이고, 특히, 단면도는 셀 트랜지스터(CTr)의 채널 길이 방향에 대하여 도시한 것이다. 도 35 내지 도 45는 도 8 내지 도 19와 마찬가지로, 도면의 명료화를 위하여 일부의 요소를 생략하여 도시하였다.

[0205] 첫 공정에 대해서는, 제작 방법예 1에서 설명한 도 8의 (A)로부터 도 8의 (B)까지의 설명의 기재를 참작한다.

[0206] 도 35의 (A)에 도시된 공정은 도 8의 (B)에 도시된 공정의 다음을 도시한 것이다. 도 35의 (A)에서는, 도 8의 (B)에 도시된 개구부(191)의 측면(절연체(101A) 내지 절연체(101C), 희생층(141A), 및 희생층(141B) 각각의 측면)에 도전체(137)가 성막된다.

[0207] 도전체(137)로서는, 제작 방법예 1에서 설명한 도전체(135)의 기재를 참작한다.

[0208] 도 35의 (B)에서는, 도 35의 (A)에 도시된 개구부(191)의 측면 및 형성되는 오목부에 반도체(151)가 성막된다. 즉, 도전체(137)의 형성면에 반도체(151)가 형성된다.

[0209] 반도체(151)로서는, 제작 방법예 1에서 설명한 반도체(151)의 기재를 참작한다.

[0210] 이때, 반도체(151)는 도전체(137)에 접촉하기 때문에, 반도체(151)의 도전체(137)와의 계면 근방에서 저저항 영역이 형성되는 경우가 있다. 또한, 도 35의 (B)에는 저저항 영역으로서, 영역(151d)을 도시하고, 저저항 영역보다 비교적 저항이 높은 영역으로서 영역(151e)을 도시하였다. 또한, 저저항 영역이 형성되지 않는 경우도 있다.

[0211] 다만, 이때 열처리를 가하면, 반도체(151)의 도전체(137)와의 계면 근방에서 반도체(151)에 포함되는 성분과 도전체(137)에 포함되는 성분으로부터의 화합물이 형성되는 경우가 있다. 그러므로, 이 이후의 공정에서는 특별히 언급이 없는 한, 열처리를 수행하지 않는 것으로 한다. 구체적으로는, 소정의 공정이 완료될 때까지는 열처리를 수행하지 않고, 소정의 공정 이후에 열처리를 수행하여도 좋다.

[0212] 다음 공정에서는, 도 36의 (A)에 도시된 바와 같이, 나머지 개구부(191)가 매립되도록, 반도체(151)의 형성면에 절연체(102)가 성막된다.

[0213] 절연체(102)로서, 일례로서는, 산소가 투과하는 기능을 갖는 절연성 재료를 사용하는 것이 바람직하다. 예를 들어, 절연체(102)에 산소를 도핑하여 산소를 확산시킴으로써, 반도체(151)에 산소를 공급할 수 있다. 그 결과, 반도체(151)의 영역(151a)의 저저항화를 방지할 수 있다.

[0214] 또한, 절연체(102)를 복수로 적층하여 사용하여도 좋다. 예를 들어, 도 36에 도시된 바와 같이, 반도체(151)에 접촉하는 절연체(102A)에는 산화 실리콘을 사용하고, 절연체(102A)에 접촉하는 절연체(102B)에는 산화 알루미늄이나 산화 하프늄 등을 사용하여도 좋다. 예를 들어, 산화 알루미늄을 스퍼터링법에 의하여 성막한 경우, 산소가 절연체(102A)에 공급된다. 절연체(102A)에 공급된 산소는 반도체(151)에 공급된다. 그 결과, 반도체(151)의 후에 형성되는 영역(151a)에서 저저항화를 방지할 수 있다.

[0215] 이 이외의 절연체(102)에 적용할 수 있는 재료로서는, 제작 방법예 1에서 설명한 절연체(102)의 기재를 참작한다.

[0216] 그런데, 반도체 장치가 갖는 셀 트랜지스터에 백 게이트를 제공하는 경우, 도 36의 (A), (B)가 아니라, 도 37에 도시된 공정을 수행하면 좋다. 도 37에 도시된 공정에서는, 반도체(151)의 형성면에 절연체(102)가 성막되고, 나머지 개구부(191)가 매립되도록 도전체(134)가 성막된다.

[0217] 또한, 도 37에 도시된 절연체(102)는 복수의 절연체로 이루어지는 적층의 구성으로 하여도 좋다(도시하지 않았음). 복수의 절연체로 이루어지는 적층의 구성으로서는, 예를 들어, 도 36의 (B)에서 설명한 절연체(102A), 절연체(102B)의 적층의 구성으로 하여도 좋다.

[0218] 이때, 도전체(134)는 도 1의 (B), 도 3에 도시된 배선(BGL)으로서 기능한다.

[0219] 도전체(134)에 적용할 수 있는 재료로서는, 제작 방법예 1에서 설명한 도전체(134)의 기재를 참작한다.

[0220] 다음 공정에서는, 도 38의 (A)에 도시된 바와 같이, 적층체(100)에 대하여 레지스트 마스크 형성과 에칭 처리 등에 의하여, 슬릿(192)이 형성된다. 또한, 본 공정에서는, 슬릿 대신에 개구부를 형성하여도 좋다.

[0221] 또한, 레지스트 마스크의 형성, 에칭 처리 등에 대해서는, 도 8의 (B)의 설명을 참작한다.

[0222] 그리고, 도 38의 (B)에 도시된 바와 같이, 에칭 처리 등을 사용하여 슬릿(192)의 측면으로부터 희생층(141A), 희생층(141B)이 제거되고, 적층체(100)에 오목부(197A), 오목부(197B)가 형성된다.

[0223] 또한, 도 38의 (A)에 도시된 제작 공정의 단계에서, 오목부(197A), 오목부(197B)를 슬릿(192)과 일괄적으로 형성할 수 있는 경우가 있다.

[0224] 또한, 도 39의 (A)에 도시된 바와 같이, 에칭 처리 등을 사용하여, 오목부(197A), 오목부(197B)에 갖는 도전체

(137)가 제거된다. 이로써, 반도체(151)가 노출되고 도전체(137a), 도전체(137b), 도전체(137c)가 형성된다.

[0225] 또한, 도 38의 (A)에 도시된 제작 공정의 단계에서, 도 39의 (A)에 도시된 제작 공정을 슬릿(192)과 일괄적으로 형성할 수 있는 경우가 있다.

[0226] 다음 공정에서는, 도 39의 (B)에 도시된 바와 같이, 제작 방법예 1에서 설명한 도 14의 (A)의 공정과 마찬가지로, 반도체(151)에 대하여 슬릿(192)으로부터 불순물이나 산소 등을 공급하는 처리가 수행된다. 도 39의 (B)에는, 반도체(151)의 영역(151a)에 대하여 불순물의 공급 처리(10)를 수행하는 공정을 도시하였다. 이 공정에 의하여 반도체(151)의 영역(151a)이 셀 트랜지스터(CTr)의 채널 형성 영역으로서 기능한다. 또한, 이 처리에 의하여 영역(151a)에 존재한 저저항 영역인 영역(151d)은 소실된다.

[0227] 또한, 도 39의 (B)의 처리 중, 또는 처리 후에서, 열처리를 수행하는 것이 바람직하다. 이 열처리에 의하여, 반도체(151)의 도전체(137)와의 계면 근방에서 반도체(151)에 포함되는 성분과 도전체(137)에 포함되는 성분으로부터의 화합물(161A), 화합물(161B), 화합물(161C)이 형성된다. 즉, 반도체(151)의 영역(151b)에서 저저항 영역이 형성된다. 또한, 화합물(161A), 화합물(161B), 화합물(161C)에 대해서는, 제작 방법예 1에서 설명한 화합물(161A), 화합물(161B), 화합물(161C)의 기재를 참작한다.

[0228] 다음 공정에서는, 도 40에 도시된 바와 같이, 도 39의 (B)에 도시된 슬릿(192)의 측면(절연체(101A) 내지 절연체(101C) 각각의 측면), 및 형성되는 오목부에 절연체(103)가 성막된다.

[0229] 절연체(103)에 적용할 수 있는 재료로서는, 제작 방법예 1에서 설명한 절연체(103)의 기재를 참작한다.

[0230] 다음 공정에서는, 도 41의 (A)에 도시된 바와 같이, 도 40에 도시된 슬릿(192)의 측면 및 형성되는 오목부에 절연체(111)가 성막된다. 즉, 절연체(103)의 형성면에 절연체(111)가 형성된다.

[0231] 절연체(111)에 적용할 수 있는 재료로서는, 제작 방법예 1에서 설명한 절연체(111)의 기재를 참작한다.

[0232] 다음 공정에서는, 도 41의 (B)에 도시된 바와 같이, 도 41의 (A)에 도시된 슬릿(192)의 측면 및 형성되는 오목부에 절연체(104)가 성막된다. 즉, 절연체(111)의 형성면에 절연체(104)가 형성된다.

[0233] 절연체(104)에 적용할 수 있는 재료로서는, 제작 방법예 1에서 설명한 절연체(104)의 기재를 참작한다.

[0234] 다음 공정에서는, 도 42의 (A)에 도시된 바와 같이, 도 41의 (B)에 도시된 슬릿(192)의 측면 및 형성되는 오목부에 도전체(136)가 성막된다. 즉, 절연체(104)의 형성면에 도전체(136)가 형성된다.

[0235] 도전체(136)에 적용할 수 있는 재료로서는, 제작 방법예 1에서 설명한 도전체(136)의 기재를 참작한다.

[0236] 다음 공정에서는, 도 42의 (B)에 도시된 바와 같이, 레지스트 마스크 형성과 에칭 처리 등에 의하여, 상술한 오목부에만 도전체(136)가 남도록, 슬릿(192)에 포함되는 도전체(136)가 제거된다. 이로써, 도전체(136a), 도전체(136b)가 형성된다. 또한, 이때, 절연체(111)가 슬릿(192)에 노출되지 않을 정도이면, 절연체(104)의 일부가 제거되어도 좋다.

[0237] 또한, 레지스트 마스크의 형성, 에칭 처리 등에 대해서는, 도 8의 (B)의 설명을 참작한다.

[0238] 그런데, 도전체(136a)(도전체(136b))는 도 1의 (A), (B)에 도시된 셀 트랜지스터(CTr)의 게이트 전극, 및 배선(WL)으로서 기능한다. 즉, 도 42의 (B)에 도시된 영역(181A)(영역(181B))에서 셀 트랜지스터(CTr)가 형성된다.

[0239] 다음 공정에서는, 도 43에 도시된 바와 같이, 슬릿(192)이 매립되도록 절연체(105)가 성막된다.

[0240] 절연체(105)로서는, 상술한 절연체(102)에 적용할 수 있는 재료를 사용할 수 있다.

[0241] 이상과 같이, 도 8의 (A), (B), 도 35의 (A)로부터 도 43까지의 공정을 수행함으로써, 도 1의 (A)에 도시된 반도체 장치를 제작할 수 있다.

[0242] 도 44의 (A), (B)에는 각각 도 43에 도시된 반도체 장치의 일점쇄선 C1-C2, 일점쇄선 C3-C4에서의 상면도를 도시하였다. 또한, 도 45의 (A)에는, 도 6에 도시된 구성예와 같이, 복수의 개구부(191)를 제공한 경우의 반도체 장치의 상면도를 도시하였다. 또한, 상기 상면도는 도 43에 도시된 반도체 장치의 일점쇄선 C1-C2에서의 상면도이고, 개구부(191)를 복수로 제공한 경우에 전개한 도면이다. 도 45의 (A)에 도시된 반도체 장치는 복수의 슬릿(192)을 갖고, 안접한 슬릿(192)들 사이에 개구부(191)가 제공된다. 또한, 도 38에서 설명한 바와 같이, 슬릿(192) 대신에 개구부를 형성하여도 좋다. 도 45의 (B)는 슬릿(192) 대신에 개구부(193)를 제공하고, 개구부(193)에 절연체(103) 내지 절연체(105), 절연체(111)를 형성한 구성이 되어 있다. 또한, 개구부(193)의 위치

는 도 45의 (A)의 슬릿(192)과 같이, 한 방향의 열을 따라 제공하지 않고, 상이한 2개 이상의 방향의 열을 따라 제공하여도 좋다. 또는, 개구부(193)의 위치는 상술한 바와 같은 규칙성에 의존하지 않고 형성하여도 좋다.

[0243] 본 발명의 일 형태는 도 43에 도시된 반도체 장치의 구성예에 한정되지 않는다. 본 발명의 일 형태는 경우, 상황, 또는 필요에 따라, 도 43에 도시된 반도체 장치를 적절히 변경한 구성으로 할 수 있다.

[0244] 예를 들어, 본 발명의 일 형태는, 상술한 바와 같이, 도 1의 (B)에 도시된 바와 같이, 셀 트랜지스터(CTr)에 백 게이트가 제공된 반도체 장치로 할 수도 있다. 도 1의 (B)에 도시된 반도체 장치를 제작하는 경우, 도 1의 (A)를 제작하는 과정에서, 도 36의 (A)에 도시된 공정 대신에 도 37에 도시된 공정을 수행하면 좋다. 도 36의 (A)에 도시된 공정 대신에 도 37에 도시된 공정을 수행함으로써, 도 46에 도시된 반도체 장치를 구성할 수 있다.

[0245] 또한, 도 47의 (A), (B)에는 각각 도 46에 도시된 반도체 장치의 일점쇄선 C1-C2, 일점쇄선 C3-C4에서의 상면도를 도시하였다. 도 46에 도시된 반도체 장치는 도전체(134)를 형성한 구성예가 되어 있기 때문에, 도 47의 (A), (B)에 도시된 상면도는 도 44의 (A), (B)에 도시된 절연체(102)의 내측에 도전체(134)를 형성한 구성이 되어 있다.

[0246] 또한, 예를 들어, 반도체(151)에 금속 산화물을 갖는 재료를 사용한 경우, 도 48에 도시된 반도체 장치와 같이 반도체(151)를 3층 구조로 할 수 있다. 도 48에 도시된 반도체 장치는 반도체(151)를 3층 구조로 한 구성이 되어 있고, 도 1의 (A)를 제작하는 과정에서의 도 35의 (B)에 도시된 공정으로, 반도체(151)로서 반도체(152A), 반도체(152B), 반도체(152C)를 순차적으로 형성함으로써 구성할 수 있다.

[0247] 또한, 도 49의 (A), (B)에는 각각 도 48에 도시된 반도체 장치의 일점쇄선 C1-C2, 일점쇄선 C3-C4에서의 상면도를 도시하였다. 도 48에 도시된 반도체 장치는 반도체층이, 반도체(152A), 반도체(152B), 반도체(152C)가 순차적으로 성막된 3층 구조의 구성예가 되어 있기 때문에, 도 49의 (A), (B)에 도시된 상면도는 도 44의 (A), (B)에 도시된 반도체(151)를 3층 구조로 한 구성이 되어 있다.

[0248] 또한, 반도체(152A), 반도체(152B), 반도체(152C)에 대해서는, 제작 방법예 1에서 설명한 반도체(152A), 반도체(152B), 반도체(152C)의 기재를 참작한다. 또한, 도 48에 도시된 반도체 장치를 구성하는 것에 의한 효과에 대해서도, 제작 방법예 1에서 설명한 도 22의 설명의 기재를 참작한다.

[0249] 또한, 예를 들어, 도 43에 도시된 반도체 장치에서는, 모든 절연체(103)의 형성면 위에 절연체(111)를 갖는 구성으로 하였지만, 본 발명의 일 형태는 셀 트랜지스터(CTr)가 갖는 전하 축적층마다 절연체(111)를 분할한 구성으로 할 수 있다. 도 50의 (A)에는 도 41의 (A)에 도시된 공정 후에, 레지스트 마스크 형성과 에칭 처리 등을 수행하여, 상술한 오목부(196A), 오목부(196B)의 절연체(103)의 형성면 위에만 절연체(111)가 남도록 슬릿(192)에 포함되는 절연체(111)를 제거하는 공정을 도시하였다. 또한, 경우 또는 상황에 따라, 절연체(111)의 제거 공정에서, 도 50의 (B)에 도시된 바와 같이, 슬릿(192)에 노출되는 절연체(103)의 영역을 제거하여도 좋다. 그 후, 도 41의 (B)로부터 도 43까지와 같은 공정을 수행함으로써, 도 51의 (A)에 도시된 반도체 장치를 구성할 수 있다.

[0250] 또한, 도 51의 (B)에는, 도 51의 (A)에 도시된 반도체 장치의 일점쇄선 C1-C2에서의 상면도를 도시하였다. 도 51의 (A)에 도시된 반도체 장치는 도전체(137a)(도전체(137b), 도전체(137c))를 개재하여 반도체(151)의 영역(151a)과 중첩되는 영역에서, 절연체(111)가 제거되는 구성이 되어 있기 때문에, 도 51의 (B)에 도시된 상면도는 절연체(103)와 절연체(104) 사이의 절연체(111)가 없는 구성이 되어 있다. 그런데, 도 51의 (A)에 도시된 일점쇄선 B3-B4에서의 상면도는 도 44의 (B)와 거의 같은 구성이 되는 경우가 있다.

[0251] 또한, 예를 들어, 본 발명의 일 형태는 셀 트랜지스터(CTr)의 신뢰성을 향상시키기 위하여, 셀 트랜지스터(CTr)의 게이트 전극의 구성을 도 43에 도시된 구성으로부터 변경하여도 좋다. 도 52의 (A), (B), 도 53의 (A)는 그 반도체 장치의 제작 방법의 일례를 도시한 것이다. 도 52의 (A)에서는, 도 41의 (B)에서, 슬릿(192)의 측면, 및 오목부(196A), 오목부(196B)에 성막되어 있는 절연체(104)의 형성면에 반도체(153)가 성막되어 있다.

[0252] 반도체(153)로서는, 예를 들어, 실시형태 3에서 설명하는 금속 산화물이 포함되는 재료를 적용할 수 있다. 다만, 반도체(153)에 적용할 수 있는 재료는 이에 한정되지 않는다. 예를 들어, 반도체(153)로서는 금속 산화물 이외의 재료를 적용할 수 있는 경우가 있다. 또는, 예를 들어, 반도체(153) 대신에, 도전체, 절연체 등을 적용할 수 있는 경우가 있다.

[0253] 다음 공정에서는, 도 52의 (B)에 도시된 바와 같이, 레지스트 마스크 형성과 에칭 처리 등에 의하여, 상술한 오

목부(196A), 오목부(196B)의 일부에 반도체(153)가 남도록, 오목부(196A), 오목부(196B)의 나머지 일부의 반도체(153)와, 슬릿(192)에 포함되는 반도체(153)가 제거된다. 이로써, 반도체(153a), 반도체(153b)가 형성된다.

[0254] 이 후에는, 도 42의 (A)로부터 도 43까지와 같은 공정을 수행함으로써, 도 53의 (A)에 도시된 반도체 장치를 구성할 수 있다.

[0255] 또한, 도 53의 (B)에는, 도 53의 (A)에 도시된 반도체 장치의 일점쇄선 C3-C4에서의 상면도를 도시하였다. 도 53의 (A)에 도시된 반도체 장치는 반도체(151)의 영역(151a)에서, 도전체(136a)(도전체(136b))와 절연체(104) 사이에 반도체(153a)(반도체(153b))가 포함되는 구성이 되어 있기 때문에, 도 53의 (B)에 도시된 상면도는, 도전체(136b)와 절연체(104) 사이에 반도체(153b)가 포함되는 구성이 되어 있다. 그런데, 도 53의 (A)에 도시된 일점쇄선 C1-C2에서의 상면도는 도 44의 (A)와 거의 같은 구성이 되는 경우가 있다.

[0256] 또한, 도 53의 (A)를 구성하는 것에 의한 효과에 대해서는, 제작 방법예 1에서 설명한 도 26의 (A), (B), 도 27의 설명의 기재를 참작한다.

[0257] 또한, 예를 들어, 본 발명의 일 형태는, 전하 축적층으로서 적용하는 절연체(111) 대신에, 부유 게이트를 사용하여도 좋다. 도 54의 (A), (B)는 그 제작 방법의 일례를 도시한 것이다. 도 54의 (A)에서는, 도 40에서 오목부(197A), 오목부(197B)의 일부에 각각 도전체(138a), 도전체(138b)가 형성된다. 도전체(138a) 및 도전체(138b)의 형성 방법으로서는, 슬릿(192), 오목부(197A), 오목부(197B)에, 도전체(138a) 및 도전체(138b)가 되는 도전체 재료를 성막하고 나서, 레지스트 마스크 형성과 에칭 처리 등에 의하여 오목부(197A), 오목부(197B)의 일부에 각각 도전체(138a) 및 도전체(138b)가 남도록 상기 도전체 재료를 제거하면 좋다. 그 후, 도 41의 (B)로부터 도 43까지와 같은 공정을 수행함으로써, 도 54의 (B)에 도시된 반도체 장치를 구성할 수 있다.

[0258] 또한, 도 55에는, 도 54의 (B)에 도시된 반도체 장치의 일점쇄선 C3-C4에서의 상면도를 도시하였다. 도 54의 (B)에 도시된 반도체 장치는 반도체(151)의 영역(151a)과 중첩되는 영역에서, 절연체(103)와 절연체(104) 사이에 도전체(138a)(도전체(138b))가 포함되는 구성이 되어 있기 때문에, 도 55에 도시된 상면도는, 절연체(103)와 절연체(104) 사이에 도전체(138b)가 포함되는 구성이 되어 있다. 그런데, 도 54의 (B)에 도시된 일점쇄선 C1-C2에서의 상면도는 도 51의 (B)와 거의 같은 구성이 되는 경우가 있다.

[0259] 도전체(138a) 및/또는 도전체(138b)로서는, 예를 들어, 상술한 도전체(136)에 적용할 수 있는 재료를 사용할 수 있다. 다만, 도전체(138a) 및/또는 도전체(138b)에 적용할 수 있는 재료는 이에 한정되지 않는다. 도전체(138a) 및/또는 도전체(138b) 대신에, 절연체, 반도체 등을 적용할 수 있는 경우가 있다.

[0260] 또한, 예를 들어, 본 발명의 일 형태는, 셀 트랜지스터(CTr)의 채널 형성 영역의 막 두께를 작게 한 구성으로 할 수 있다. 도 56의 (A), (B)는 그 반도체 장치의 제작 방법의 일례를 도시한 것이다. 도 56의 (A)에서는 도 39의 (A)에서, 희생층(141A), 희생층(141B)의 제거 후에, 에칭 처리 등을 더 수행함으로써, 반도체(151)의 표면이 제거된다. 이로써, 영역(151a)에 포함되는 반도체(151)의 막 두께는 영역(151b)에 포함되는 반도체(151)의 막 두께보다 얇아진다. 이 공정은 반도체(151)의 표면에 불순물 영역이 형성되는 경우에 유효하고, 상기 공정을 수행함으로써, 불순물 영역이 제거되어, 반도체(151)의 영역(151a)을 고저항으로 할 수 있다.

[0261] 그런데, 영역(151a)에서의 반도체(151)의 제거되는 막 두께로서는, 예를 들어, 성막된 반도체(151)의 30nm 이상 60nm 이하, 또는 성막된 반도체(151)의 막 두께의 1/5 이상 1/2 이하, 또는 그 후에 성막되는 절연체(103)의 막 두께의 1/5 이상 1/2 이하, 또는 도전체(137a)(도전체(137b), 도전체(137c))의 막 두께의 1/5 이상 1/2 이하로 하여도 좋다. 또한, 성막된 반도체(151)의 막 두께는 적어도 영역(151a)에서의 제거되는 반도체(151)의 막 두께보다 큰 것으로 한다. 그 후, 도 39의 (B)로부터 도 43까지와 같은 공정을 수행함으로써, 도 56의 (B)에 도시된 반도체 장치를 구성할 수 있다.

[0262] 또한, 도 57의 (A), (B)에는 각각 도 56의 (B)에 도시된 반도체 장치의 일점쇄선 C1-C2, 일점쇄선 C3-C4에서의 상면도를 도시하였다. 도 56의 (B)에 도시된 반도체 장치는 영역(151b)에서의 반도체(151)의 막 두께보다 영역(151a)에서의 반도체(151)의 막 두께가 얇은 구성이 되어 있기 때문에, 도 57의 (B)에 도시된 상면도의 반도체(151)는 도 57의 (A)에 도시된 상면도의 반도체(151)보다 얇은 구성이 되어 있다.

[0263] 또한, 예를 들어, 본 발명의 일 형태의 반도체 장치의 제작 순서는, 상술한 도 8의 (A), (B), 도 35의 (A)로부터 도 36의 (A)까지, 도 38의 (A)로부터 도 43까지 도시된 공정 순서에 한정되지 않고, 서로의 공정을 바꾸어 반도체 장치를 제작하여도 좋다. 도 58의 (A)에 도시된 공정은 도 36의 (A)에서 절연체(102)를 형성하는 공정을 수행하지 않고, 먼저 희생층(141A), 희생층(141B)을 제거한 공정을 도시하였다. 또한, 이 제작 순서로 반도체 장치를 제작하는 경우, 개구부(191)를 형성하는 크기로서는, 다른 제작 공정에서 형성하는 개구부(191)보다

작게 하는 것이 바람직하다.

[0264] 다음 공정에서는, 도 58의 (A)에 도시된 공정에서, 도 39의 (B)에 도시된 공정과 마찬가지로, 개구부(191) 및 슬릿(192)으로부터 불순물이나 산소 등을 공급하는 처리가 수행된다(도시하지 않았음). 이로써, 노출된 반도체(151)의 표면, 또는 표면 근방에 고저항 영역을 형성할 수 있다. 그리고, 슬릿(192)의 측면, 형성된 오목부, 및 개구부(191)에 절연체(103)를 성막함으로써, 도 58의 (B)에 도시된 구성이 된다. 그 후, 도 41의 (A)로부터 도 43까지의 공정과 같은 공정을 수행함으로써, 도 1의 (A)의 반도체 장치를 구성할 수 있다.

[0265] 상술한 제작 방법예 1 또는 제작 방법예 2에 의하여, 많은 데이터를 유지할 수 있는 반도체 장치를 제작할 수 있다.

[0266] 여기서, 도 17의 (B)에 도시된 반도체 장치(도 1의 (A)의 회로 구성)의 단면도를 도 2에 도시된 셀 어레이의 구조로 한 경우의 구성예를 도 59에 도시하였다. 또한, 마찬가지로, 도 43에 도시된 반도체 장치(도 1의 (A)의 회로 구성)의 단면도를 셀 어레이의 구조로 한 경우의 구성예를 도 60에 도시하였다. 또한, 영역(SD1)은 도 6의 (A)에 도시된 영역(SD1)에 상당한다. 도 59, 도 60에 도시된 바와 같이, 배선(WL)인 도전체와 절연체를 적층한 구조체에 대하여, 일괄적으로 개구부를 제공하고, 상술한 제작 방법예 1 또는 제작 방법예 2에 기재된 바와 같이 제작을 수행함으로써, 도 1의 (A)의 회로 구성을 실현할 수 있다.

[0267] <주변 회로와의 접속예>

[0268] 제작 방법예 1 또는 제작 방법예 2에 나타낸 반도체 장치는, 그 아래층에 판독 회로, 프리차지 회로 등의 메모리 셀 어레이의 주변 회로를 형성하여도 좋다. 이 경우, 실리콘 기판 등 위에 Si 트랜지스터를 형성하여 상기 주변 회로를 구성하고 나서, 제작 방법예 1 또는 제작 방법예 2에 따라 상기 주변 회로 위에 본 발명의 일 형태의 반도체 장치를 형성하면 좋다. 도 61의 (A)는 주변 회로를 플레이너형 Si 트랜지스터로 구성하고, 그 위층에 본 발명의 일 형태의 반도체 장치를 형성한 단면도이다. 또한, 도 62의 (A)는 주변 회로를 FIN형 Si 트랜지스터로 구성하고, 그 위층에 본 발명의 일 형태의 반도체 장치를 형성한 단면도이다. 또한, 도 61의 (A), 도 62의 (A)에 도시된 반도체 장치에는 일례로서, 도 17의 (B)의 구성을 적용한다.

[0269] 도 61의 (A), 도 62의 (A)에서, 주변 회로를 구성하는 Si 트랜지스터는 기판(1700) 위에 형성된다. 소자 분리층(1701)은 복수의 Si 트랜지스터 사이에 형성된다. Si 트랜지스터의 소스 및 드레인으로서 도전체(1712)가 형성된다. 도전체(1730)는 채널 폭 방향으로 연장되어 형성되고, 다른 Si 트랜지스터, 또는 도전체(1712)에 접속된다(도시하지 않았음).

[0270] 기판(1700)으로서는, 실리콘이나 탄소화 실리콘으로 이루어지는 단결정 반도체 기판이나 다결정 반도체 기판, 실리콘 저마늄으로 이루어지는 화합물 반도체 기판이나, SOI 기판 등을 사용할 수 있다.

[0271] 또한, 기판(1700)으로서 예를 들어, 유리 기판, 석영 기판, 플라스틱 기판, 금속 기판, 가요성 기판, 접합 필름, 섬유상 재료를 포함하는 종이, 또는 기재 필름 등을 사용하여도 좋다. 또한, 어떤 기판을 사용하여 반도체 소자를 형성하고, 그 후, 다른 기판에 반도체 소자를 전치하여도 좋다. 도 61의 (A), 도 62의 (A)에는 일례로서 기판(1700)에 단결정 실리콘 웨이퍼를 사용한 예를 도시하였다.

[0272] 여기서, Si 트랜지스터의 상세한 사항에 대하여 설명한다. 도 61의 (A)에 도시된 플레이너형 Si 트랜지스터는 채널 길이 방향의 단면도를 도시하고, 도 61의 (B)에 도시된 플레이너형 Si 트랜지스터는 채널 폭 방향의 단면도를 도시하였다. Si 트랜지스터는 웰(1792)에 제공된 채널 형성 영역(1793)과, 저농도 불순물 영역(1794) 및 고농도 불순물 영역(1795)(이들을 합쳐서 단순히 불순물 영역이라고도 부름)과, 상기 불순물 영역에 접촉하여 제공된 도전성 영역(1796)과, 채널 형성 영역(1793) 위에 제공된 게이트 절연막(1797)과, 게이트 절연막(1797) 위에 제공된 게이트 전극(1790)과, 게이트 전극(1790)의 측면에 제공된 측벽 절연층(1798), 측벽 절연층(1799)을 갖는다. 또한, 도전성 영역(1796)에는 금속 실리사이드 등을 사용하여도 좋다.

[0273] 또한, 도 62의 (A)에 도시된 FIN형 Si 트랜지스터는 채널 길이 방향의 단면도를 도시하고, 도 62의 (B)에 도시된 FIN형 Si 트랜지스터는 채널 폭 방향의 단면도를 도시하였다. 도 62의 (A), (B)에 도시된 Si 트랜지스터는 채널 형성 영역(1793)이 볼록 형상을 갖고, 그 측면 및 상면을 따라 게이트 절연막(1797) 및 게이트 전극(1790)이 제공된다. 본 실시형태에서는, 반도체 기판의 일부를 가공하여 볼록부를 형성하는 경우를 나타내었지만, SOI 기판을 가공하여 볼록 형상을 갖는 반도체층을 형성하여도 좋다.

[0274] 기판(1700) 위에 Si 트랜지스터, 도전체(1712), 도전체(1730) 등에 의하여 형성된 회로의 위층에는 절연체(201)가 형성된다. 또한, 절연체(201)에는, 상기 회로에 전기적으로 접속하기 위한 도전체(211)가 매립되도록 형

성된다. 그런데, 셀 트랜지스터(CTr)의 채널 형성 영역에 금속 산화물이 포함되는 경우, 절연체(201)와 도전체(211)로서는, 수소 등에 대한 배리어성을 갖는 절연체를 사용하는 것이 바람직하다. 이는 절연체(201) 및/또는 도전체(211)를 통하여 Si 트랜지스터로부터 셀 트랜지스터(CTr)로의 수소의 확산을 억제하기 때문이다.

[0275] 절연체(201)로서는, 상술한 절연체(101A) 내지 절연체(101C)에 적용할 수 있는 재료를 사용할 수 있다.

[0276] 도전체(211)로서는, 예를 들어, 수소에 대한 배리어성을 갖는 질화 탄탈럼 등을 사용하면 좋다. 또한, 질화 탄탈럼과 도전성이 높은 텅스텐을 적층함으로써, 배선으로서의 도전성을 유지한 채, Si 트랜지스터로부터의 수소의 확산을 억제할 수 있다.

[0277] 또한, 도 62의 (A), (B)에 도시된 부호는 도 61의 (A), (B)에 도시된 부호와 동일하다.

[0278] 또한, 본 명세서 등에 개시된 절연체, 도전체, 반도체 등은 PVD(Phisical Vapor Deposition)법, CVD(Chemical Vapor Deposition)법에 의하여 형성할 수 있다. PVD법으로서는, 예를 들어, 스퍼터링법, 저항 가열 증착법, 전자 빔 증착법, PLD(Pulsed Laser Deposition)법 등을 들 수 있다. 또한, CVD법으로서, 플라스마 CVD법, 열 CVD법에 의한 형성 등을 들 수 있다. 특히, 열 CVD법으로서는, 예를 들어, MOCVD(Metal Organic Chemical Vepor Deposition)법이나 ALD(Atomic Layer Deposition)법 등을 들 수 있다.

[0279] 열 CVD법은 플라스마를 사용하지 않는 성막 방법이기 때문에 플라스마 대미지로 인하여 결함이 생성되는 일이 없다는 이점을 갖는다.

[0280] 열 CVD법은 원료 가스와 산화제를 동시에 체임버 내에 공급하고, 체임버 내를 대기압 또는 감압하로 하고, 기판 근방 또는 기판 위에서 반응시켜 기판 위에 퇴적시킴으로써 성막을 수행하여도 좋다.

[0281] 또한, ALD법은 체임버 내를 대기압 또는 감압하로 하고, 반응을 위한 원료 가스가 순차적으로 체임버에 도입되고, 그 가스 도입의 순서를 반복함으로써 성막을 수행하여도 좋다. 예를 들어, 각각의 스위칭 밸브(고속 밸브라고도 부름)를 전환하여 2종류 이상의 원료 가스를 순차적으로 체임버에 공급하고, 복수 종류의 원료 가스가 혼합되지 않도록 제 1 원료 가스와 동시에 또는 그 후에 불활성 가스(아르곤, 또는 질소 등) 등을 도입하고, 제 2 원료 가스를 도입한다. 또한, 동시에 불활성 가스를 도입하는 경우에는, 불활성 가스는 캐리어 가스가 되고, 또한 제 2 원료 가스의 도입 시에도 동시에 불활성 가스를 도입하여도 좋다. 또한, 불활성 가스를 도입하는 대신에 진공 배기에 의하여 제 1 원료 가스를 배출한 후, 제 2 원료 가스를 도입하여도 좋다. 제 1 원료 가스가 기판의 표면에 흡착되어 제 1 얇은 층이 성막되고, 나중에 도입되는 제 2 원료 가스와 반응하여, 제 2 얇은 층이 제 1 얇은 층 위에 적층되어 박막이 형성된다. 이 가스 도입 순서를 제어하면서 원하는 두께가 될 때까지 복수회 반복함으로써, 단차 피복성이 우수한 박막을 형성할 수 있다. 박막의 두께는 가스 도입 순서를 반복하는 횟수에 의하여 조절할 수 있기 때문에, 정밀한 막 두께 조절이 가능하고, 미세한 FET를 제작하는 경우에 적합하다.

[0282] MOCVD법이나 ALD법 등의 열 CVD법은, 여기까지 기재된 실시형태에 개시된 금속막, 반도체막, 무기 절연막 등 다양한 막을 형성할 수 있고, 예를 들어, In-Ga-Zn-O막을 성막하는 경우에는, 트라이메틸인듐($In(CH_3)_3$), 트라이메틸갈륨($Ga(CH_3)_3$), 및 다이메틸아연($Zn(CH_3)_2$)을 사용한다. 또한, 이들 조합에 한정되지 않고, 트라이메틸갈륨 대신에 트라이에틸갈륨($Ga(C_2H_5)_3$)을 사용할 수도 있고, 다이메틸아연 대신에 다이에틸아연($Zn(C_2H_5)_2$)을 사용할 수도 있다.

[0283] 예를 들어, ALD를 이용하는 성막 장치에 의하여 산화 하프늄막을 형성하는 경우에는, 용매와 하프늄 전구체 화합물을 포함하는 액체(하프늄알콕사이드나, 테트라키스다이메틸아마이드하프늄(TDMAH), $Hf[N(CH_3)_2]_4$ 등의 하프늄아마이드)를 기화시킨 원료 가스와, 산화제로서 오존(O_3)의 2종류의 가스를 사용한다. 또한, 다른 재료로서는, 테트라키스(에틸메틸아마이드)하프늄 등이 있다.

[0284] 예를 들어, ALD를 이용하는 성막 장치에 의하여 산화 알루미늄막을 형성하는 경우에는, 용매와 알루미늄 전구체 화합물을 포함하는 액체(트라이메틸 알루미늄(TMA, $Al(CH_3)_3$) 등)를 기화시킨 원료 가스와, 산화제로서 H_2O의 2종류의 가스를 사용한다. 또한, 다른 재료로서는, 트리스(다이메틸아마이드)알루미늄, 트라이아이소뷰틸알루미늄, 알루미늄트리스(2,2,6,6-테트라메틸-3,5-헵테인다이오네이트) 등이 있다.

[0285] 예를 들어, ALD를 이용하는 성막 장치에 의하여 산화 실리콘막을 형성하는 경우에는, 헥사클로로다이실레인을 피성막면에 흡착시키고, 산화성 가스(O_2, 일산화이질소)의 라디칼을 공급하여 흡착물과 반응시킨다.

[0286] 예를 들어, ALD를 이용하는 성막 장치에 의하여 텅스텐막을 성막하는 경우에는, WF_6 가스와 B_2H_6 가스를 순차적으로 반복하여 도입함으로써 초기 텅스텐막을 형성하고 나서, WF_6 가스와 H_2 가스를 순차적으로 반복하여 도입함으로써 텅스텐막을 형성한다. 또한, B_2H_6 가스 대신에 SiH_4 가스를 사용하여도 좋다.

[0287] 예를 들어, ALD를 이용하는 성막 장치에 의하여 산화물 반도체막, 예를 들어, In-Ga-Zn-O막을 성막하는 경우에는, $In(CH_3)_3$ 가스와 O_3 가스를 순차적으로 반복하여 도입함으로써 In-O층을 형성하고 나서, $Ga(CH_3)_3$ 가스와 O_3 가스를 순차적으로 반복하여 도입함으로써 GaO층을 형성하고, 그 후 $Zn(CH_3)_2$ 가스와 O_3 가스를 순차적으로 반복하여 도입함으로써 ZnO층을 형성한다. 또한, 이들 층의 순서는 이 예에 한정되지 않는다. 또한, 이들 가스를 사용하여 In-Ga-O층이나 In-Zn-O층, Ga-Zn-O층 등의 혼합 산화물층을 형성하여도 좋다. 또한, O_3 가스 대신에 Ar 등의 불활성 가스로 물을 버블링하여 얻어진 H_2O 가스를 사용하여도 좋지만, H를 포함하지 않는 O_3 가스를 사용하는 것이 바람직하다. 또한, $In(CH_3)_3$ 가스 대신에 $In(C_2H_5)_3$ 가스를 사용하여도 좋다. 또한, $Ga(CH_3)_3$ 가스 대신에 $Ga(C_2H_5)_3$ 가스를 사용하여도 좋다. 또한, $Zn(CH_3)_2$ 가스를 사용하여도 좋다.

[0288] 또한, 본 실시형태에서 설명한 반도체 장치 각각의 구성예는 서로 적절히 조합할 수 있다.

[0289] 또한, 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.

[0290] (실시형태 2)

[0291] 본 실시형태에서는, 상기 실시형태에서 설명한 반도체 장치를 갖는 기억 장치에 대하여 설명한다.

[0292] 도 63에 기억 장치의 구성의 일례를 도시하였다. 기억 장치(2600)는 주변 회로(2601) 및 메모리 셀 어레이(2610)(Memory Cell Array)를 갖는다. 주변 회로(2601)는 행 디코더(2621)(Row Decoder), 워드선 드라이버 회로(2622)(Word Line Driver Cir.), 비트선 드라이버 회로(2630)(Bit Line Driver Cir.), 출력 회로(2640)(Output Cir.), 컨트롤 로직 회로(2660)(Control Logic Cir.)를 갖는다.

[0293] 실시형태 1에서 설명한 도 1의 (A), (B)에 도시된 반도체 장치는 메모리 셀 어레이(2610)에 적용할 수 있다.

[0294] 비트선 드라이버 회로(2630)는 열 디코더(2631)(Column Decoder), 프리차지 회로(2632)(Precharge Cir.), 감지 증폭기(2633)(Sense Amp.), 및 기록 회로(2634)(Write Cir.)를 갖는다. 프리차지 회로(2632)는 실시형태 1에서 설명한 배선(SL) 또는 배선(BL)(도 63에 도시되지 않았음)을 소정의 전위에 프리차지하는 기능을 갖는다. 감지 증폭기(2633)는 메모리 셀(MC)로부터 판독된 전위(또는 전류)를 데이터 신호로서 취득하고, 상기 데이터 신호를 증폭하는 기능을 갖는다. 증폭된 데이터 신호는 출력 회로(2640)를 통하여 디지털 데이터 신호(RDATA)로서 기억 장치(2600)의 외부에 출력된다.

[0295] 또한, 기억 장치(2600)에는 외부로부터 전원 전압으로서 저전원 전압(VSS), 주변 회로(2601)용 고전원 전압(VDD), 메모리 셀 어레이(2610)용 고전원 전압(VIL)이 공급된다.

[0296] 또한, 기억 장치(2600)에는 제어 신호(CE, WE, RE), 어드레스 신호(ADDR), 데이터 신호(WDATA)가 외부로부터 입력된다. 어드레스 신호(ADDR)는 행 디코더(2621) 및 열 디코더(2631)에 입력되고, 데이터 신호(WDATA)는 기록 회로(2634)에 입력된다.

[0297] 컨트롤 로직 회로(2660)는 외부로부터의 입력 신호(CE, WE, RE)를 처리하고, 행 디코더(2621), 열 디코더(2631)의 제어 신호를 생성한다. CE는 칩 인에이블 신호이고, WE는 기록 인에이블 신호이고, RE는 판독 인에이블 신호이다. 컨트롤 로직 회로(2660)가 처리하는 신호는 이들에 한정되지 않고, 필요에 따라 다른 제어 신호를 입력하면 좋다.

[0298] 또한, 상술한 각 회로 또는 각 신호는 필요에 따라 적절히 취사할 수 있다.

[0299] 또한, p채널형 Si 트랜지스터와, 후술하는 실시형태의 산화물 반도체(바람직하게는 In, Ga, 및 Zn을 포함하는 산화물)를 채널 형성 영역에 포함하는 트랜지스터를 사용하고, 기억 장치(2600)에 적용함으로써 소형의 기억 장치(2600)를 제공할 수 있다. 또한, 소비전력을 저감할 수 있는 기억 장치(2600)를 제공할 수 있다. 또한, 동작 속도를 향상시킬 수 있는 기억 장치(2600)를 제공할 수 있다. 특히, Si 트랜지스터는 p채널형만으로 함으로써 제조 비용을 낮게 억제할 수 있다.

[0300] 또한, 본 실시형태의 구성예는 도 63의 구성에 한정되지 않는다. 예를 들어, 주변 회로(2601)의 일부, 예를 들

어, 프리차지 회로(2632) 또는/및 감지 증폭기(2633)를 메모리 셀 어레이(2610)의 아래층에 제공하는 등과 같이, 적절히 구성을 변경하여도 좋다.

[0301] 또한, 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.

[0302] (실시형태 3)

[0303] 본 실시형태에서는 상기 실시형태에서 사용한 OS 트랜지스터의 채널 형성 영역에 포함되는 금속 산화물에 대하여 설명한다.

[0304] 금속 산화물은 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히, 인듐 및 아연을 포함하는 것이 바람직하다. 또한, 이들에 더하여 알루미늄, 갈륨, 이트륨, 또는 주석 등이 포함되는 것이 바람직하다. 또한, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 또는 마그네슘 등 중으로부터 선택된 1종류 또는 복수 종류가 포함되어도 좋다.

[0305] 여기서는, 금속 산화물이 인듐, 원소 M, 및 아연을 갖는 In-M-Zn 산화물인 경우를 생각한다. 또한, 원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석 등으로 한다. 이 이외의 원소 M에 적용할 수 있는 원소로서는, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘 등이 있다. 다만, 원소 M으로서 상술한 원소를 복수 조합하여도 되는 경우가 있다.

[0306] 다음에, 도 64의 (A), (B), (C)를 사용하여 본 발명에 따른 금속 산화물이 갖는 인듐, 원소 M, 및 아연의 원자수비의 바람직한 범위에 대하여 설명한다. 또한, 도 64의 (A), (B), (C)에는 산소의 원자수비에 대해서 기재하지 않는다. 또한, 금속 산화물이 갖는 인듐, 원소 M, 및 아연의 원자수비의 각각의 항을 [In], [M], 및 [Zn]으로 한다.

[0307] 도 64의 (A), (B), (C)에서 파선은 [In]:[M]:[Zn]=(1+α):(1-α):1의 원자수비(-1쩟1)가 되는 라인, 원자수비가 [In]:[M]:[Zn]=(1+α):(1-α):2의 원자수비가 되는 라인, [In]:[M]:[Zn]=(1+α):(1-α):3의 원자수비가 되는 라인, [In]:[M]:[Zn]=(1+α):(1-α):4의 원자수비가 되는 라인, 및 원자수비가 [In]:[M]:[Zn]=(1+α):(1-α):5의 원자수비가 되는 라인을 나타낸다.

[0308] 또한, 일점쇄선은 [In]:[M]:[Zn]=5:1:β의 원자수비(β≥0)가 되는 라인, [In]:[M]:[Zn]=2:1:β의 원자수비가 되는 라인, [In]:[M]:[Zn]=1:1:β의 원자수비가 되는 라인, [In]:[M]:[Zn]=1:2:β의 원자수비가 되는 라인, [In]:[M]:[Zn]=1:3:β의 원자수비가 되는 라인, 및 [In]:[M]:[Zn]=1:4:β의 원자수비가 되는 라인을 나타낸다.

[0309] 또한, 도 64의 (A), (B), (C)에 도시된, [In]:[M]:[Zn]=0:2:1의 원자수비 및 이 근방값인 금속 산화물은 스피넬형 결정 구조를 취하기 쉽다.

[0310] 또한, 금속 산화물 중에 복수의 상이 공존하는 경우가 있다(2상 공존, 3상 공존 등). 예를 들어, 원자수비가 [In]:[M]:[Zn]=0:2:1의 근방값인 경우, 스피넬형 결정 구조와 층상 결정 구조의 2상이 공존하기 쉽다. 또한, 원자수비가 [In]:[M]:[Zn]=1:0:0의 근방값인 경우, 빅스비아이트(bixbyite)형 결정 구조와 층상 결정 구조의 2상이 공존하기 쉽다. 금속 산화물 중에 복수의 상이 공존하는 경우, 상이한 결정 구조들 사이에서 결정립계가 형성되는 경우가 있다.

[0311] 도 64의 (A)에 도시된 영역 A는, 금속 산화물이 갖는 인듐, 원소 M, 및 아연의 원자수비의 바람직한 범위의 일례에 대하여 도시한 것이다.

[0312] 금속 산화물은 인듐의 함유율을 높임으로써, 금속 산화물의 캐리어 이동도(전자 이동도)를 높일 수 있다. 따라서, 인듐의 함유율이 높은 금속 산화물은 인듐의 함유율이 낮은 금속 산화물과 비교하여 캐리어 이동도가 높아진다.

[0313] 한편, 금속 산화물 중의 인듐 및 아연의 함유율이 낮아지면, 캐리어 이동도가 낮아진다. 따라서, 원자수비가 [In]:[M]:[Zn]=0:1:0 및 그 근방값인 경우(예를 들어, 도 64의 (C)에 도시된 영역 C)는 절연성이 높아진다.

[0314] 따라서, 본 발명의 일 형태의 금속 산화물은, 캐리어 이동도가 높고, 또한 결정립계가 적은 층상 구조가 되기 쉬운, 도 64의 (A)의 영역 A로 도시된 원자수비를 갖는 것이 바람직하다.

[0315] 특히, 도 64의 (B)에 도시된 영역 B에서는, 영역 A 중에서도 CAAC(c-axis aligned crystalline)-OS가 되기 쉽고, 캐리어 이동도도 높은 우수한 금속 산화물을 얻을 수 있다.

[0316] CAAC-OS는 c축 배향성을 갖고, 또한 a-b면 방향에서 복수의 나노 결정이 연결되며 왜곡을 갖는 결정 구조이다.

또한, 왜곡이란 복수의 나노 결정이 연결되는 영역에서, 격자 배열이 정렬된 영역과 다른 격자 배열이 정렬된 영역 사이에서 격자 배열의 방향이 변화되는 부분을 가리킨다.

[0317] 나노 결정은 육각형을 기본으로 하지만, 정육각형에 한정되지 않고, 비정육각형인 경우가 있다. 또한, 왜곡에서, 오각형 및 칠각형 등의 격자 배열을 갖는 경우가 있다. 또한, CAAC-OS에서는 왜곡 근방에서도 명확한 결정립계(그레인 바운더리라고도 함)를 확인할 수는 없다. 즉, 격자 배열의 왜곡에 의하여 결정립계의 형성이 억제되는 것을 알 수 있다. 이는 CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않거나, 금속 원소가 치환됨으로써 원자들 사이의 결합 거리가 변화되는 것 등에 의하여 왜곡을 허용할 수 있기 때문이라고 생각된다.

[0318] CAAC-OS는 결정성이 높은 금속 산화물이다. 한편, CAAC-OS는 명확한 결정립계를 확인할 수 없기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한, 금속 산화물의 결정성은 불순물의 혼입이나 결함의 생성 등에 의하여 저하되는 경우가 있기 때문에, CAAC-OS는 불순물이나 결함(산소 결손 등)이 적은 금속 산화물이라고 할 수도 있다. 따라서, CAAC-OS를 갖는 금속 산화물은 물리적 성질이 안정된다. 그러므로, CAAC-OS를 갖는 금속 산화물은 열에 강하고 신뢰성이 높다.

[0319] 또한, 영역 B는 [In]:[M]:[Zn]=4:2:3 내지 4.1 및 그 근방값을 포함한다. 근방값에는, 예를 들어, [In]:[M]:[Zn]=5:3:4가 포함된다. 또한, 영역 B는 [In]:[M]:[Zn]=5:1:6 및 그 근방값, 및 [In]:[M]:[Zn]=5:1:7 및 그 근방값을 포함한다.

[0320] 또한, 금속 산화물이 갖는 성질은 원자수비에 의하여 일의적으로 정해지지 않는다. 같은 원자수비이어도 형성 조건에 따라 금속 산화물의 성질이 상이한 경우가 있다. 예를 들어, 금속 산화물을 스퍼터링 장치로 성막하는 경우, 타깃의 원자수비로부터 벗어난 원자수비의 막이 형성된다. 또한, 성막 시의 기판 온도에 따라서는, 타깃의 [Zn]보다 막의 [Zn]이 작아지는 경우가 있다. 따라서, 도시된 영역은 금속 산화물이 특정한 특성을 갖는 경향이 있는 원자수비를 나타내는 영역이고, 영역 A 내지 영역 C의 경계는 엄밀하지 않다.

[0321] 다음에, CAC(Cloud-Aligned Composite)-OS의 구성에 대하여 설명한다.

[0322] 또한, 본 명세서 등에서, CAC는 기능 또는 재료의 구성의 일례를 나타내고, 상술한 CAAC(c-axis aligned crystal)는 결정 구조의 일례를 나타낸다.

[0323] CAC-OS 또는 CAC-metal oxide란, 재료의 일부에서는 도전성 기능을 갖고, 재료의 일부에서는 절연성 기능을 갖고, 재료의 전체에서는 반도체로서의 기능을 갖는다. 또한, CAC-OS 또는 CAC-metal oxide를 트랜지스터의 활성층에 사용하는 경우, 도전성 기능은 캐리어가 되는 전자(또는 정공)를 흘리는 기능이고, 절연성 기능은 캐리어가 되는 전자를 흘리지 않는 기능이다. 도전성 기능과 절연성 기능을 각각 상보적으로 작용시킴으로써, CAC-OS 또는 CAC-metal oxide에 스위칭시키는 기능(On/Off시키는 기능)을 부여할 수 있다. CAC-OS 또는 CAC-metal oxide에서, 각각의 기능을 분리시킴으로써 양쪽의 기능을 최대한 높일 수 있다.

[0324] 또한, CAC-OS 또는 CAC-metal oxide는 도전성 영역 및 절연성 영역을 갖는다. 도전성 영역은 상술한 도전성 기능을 갖고, 절연성 영역은 상술한 절연성 기능을 갖는다. 또한, 재료 중에서, 도전성 영역과 절연성 영역은 나노 입자 레벨로 분리되는 경우가 있다. 또한, 도전성 영역과 절연성 영역은 각각 재료 중에 편재(偏在)하는 경우가 있다. 또한, 도전성 영역은 경계가 흐릿해져 클라우드상으로 연결되어 관찰되는 경우가 있다.

[0325] 또한, CAC-OS 또는 CAC-metal oxide에서 도전성 영역과 절연성 영역은 각각 0.5nm 이상 10nm 이하, 바람직하게는 0.5nm 이상 3nm 이하의 크기로 재료 중에 분산되는 경우가 있다.

[0326] 또한, CAC-OS 또는 CAC-metal oxide는 상이한 밴드 갭을 갖는 성분에 의하여 구성된다. 예를 들어, CAC-OS 또는 CAC-metal oxide는 절연성 영역에 기인하는 와이드 갭을 갖는 성분과 도전성 영역에 기인하는 내로 갭을 갖는 성분에 의하여 구성된다. 상기 구성의 경우, 캐리어를 흘릴 때에 내로 갭을 갖는 성분에서 주로 캐리어가 흐른다. 또한, 내로 갭을 갖는 성분이 와이드 갭을 갖는 성분에 상보적으로 작용하고, 내로 갭을 갖는 성분에 연동하여 와이드 갭을 갖는 성분에도 캐리어가 흐른다. 그러므로, 상기 CAC-OS 또는 CAC-metal oxide를 트랜지스터의 채널 영역에 사용하는 경우, 트랜지스터의 온 상태에서 높은 전류 구동력, 즉, 큰 온 전류 및 높은 전계 효과 이동도를 얻을 수 있다.

[0327] 즉, CAC-OS 또는 CAC-metal oxide는 매트릭스 복합재(matrix composite) 또는 금속 매트릭스 복합재(metal matrix composite)라고 부를 수도 있다.

[0328] 또한, 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.

[0329] (실시형태 4)

[0330] 본 실시형태에서는, 상술한 실시형태에서 설명한 반도체 장치를 기억 장치로서 전자 부품에 적용하는 예에 대하여, 도 65를 참조하여 설명한다.

[0331] 도 65의 (A)에서는 상술한 실시형태에서 설명한 반도체 장치를 기억 장치로서 전자 부품에 적용하는 예에 대하여 설명한다. 또한, 전자 부품은 반도체 패키지 또는 IC용 패키지라고도 한다. 이 전자 부품은 단자 추출 방향이나 단자의 형상에 따라 복수의 규격이나 명칭이 존재한다. 그래서, 본 실시형태에서는 그 일례에 대하여 설명하기로 한다.

[0332] 상기 실시형태 1에 나타낸 바와 같은, 트랜지스터로 구성되는 반도체 장치는, 조립 공정(후(後)공정)을 거쳐, 인쇄 기판에 탈착할 수 있는 부품이 복수 조합됨으로써 완성된다.

[0333] 후공정에 대해서는 도 65의 (A)에 나타낸 각 공정을 거쳐 완성시킬 수 있다. 구체적으로는, 전(前)공정에서 얻어지는 소자 기판이 완성(단계(STP1))된 후, 기판의 이면을 연삭(硏削)한다(단계(STP2)). 이 단계에서 기판을 박막화함으로써, 전공정에서의 기판의 휨 등을 저감하고, 부품의 소형화를 도모한다.

[0334] 기판의 이면을 연삭하고 나서, 기판을 복수의 칩으로 분리하는 다이싱 공정을 수행한다(단계(STP3)). 그리고, 분리된 칩을 각각 픽업하고, 리드 프레임 위에 탑재하여 접합하는, 다이 본딩 공정을 수행한다(단계(STP4)). 이 다이 본딩 공정에서의 칩과 리드 프레임의 접착은 수지에 의한 접착이나 테이프에 의한 접착 등, 제품에 따라 적합한 방법을 적절히 선택한다. 또한, 다이 본딩 공정에서는, 인터포저 위에 탑재하여 접합하여도 좋다.

[0335] 또한, 본 실시형태에서, 기판의 한쪽 면에 소자가 형성될 때, 기판의 한쪽 면을 표면으로 하고, 상기 기판의 다른 쪽 면(상기 기판의 소자가 형성되지 않는 측의 면)을 이면으로 한다.

[0336] 이어서, 리드 프레임의 리드와, 칩 위의 전극을 금속 세선(와이어)으로 전기적으로 접속하는, 와이어 본딩을 수행한다(단계(STP5)). 금속 세선에는, 은선(silver wire)이나 금선(gold wire)을 사용할 수 있다. 또한, 와이어 본딩은, 볼 본딩(ball bonding)이나 웨지 본딩(wedge bonding)을 사용할 수 있다.

[0337] 와이어 본딩된 칩은 에폭시 수지 등으로 밀봉을 수행하는 몰드 공정이 수행된다(단계(STP6)). 몰드 공정을 수행함으로써, 전자 부품의 내부가 수지로 충전되고, 내장되는 회로부나 와이어에 대한, 기계적인 외력에 의한 대미지를 저감할 수 있고, 또한 수분이나 먼지로 인한 특성의 열화를 저감할 수 있다.

[0338] 이어서, 리드 프레임의 리드를 도금 처리한다. 그리고, 리드를 절단 및 성형 가공한다(단계(STP7)). 이 도금 처리에 의하여 리드의 녹을 방지하고, 나중에 인쇄 기판에 실장할 때의 납땜을 더 확실히 수행할 수 있다.

[0339] 이어서, 패키지 표면에 인자 처리(마킹)를 수행한다(단계(STP8)). 그리고, 최종적인 검사 공정(단계(STP9))을 거쳐 전자 부품이 완성된다(단계(STP10)).

[0340] 상술한 전자 부품은 상술한 실시형태에서 설명한 반도체 장치를 포함하는 구성으로 할 수 있다. 그러므로, 신뢰성이 우수한 전자 부품을 실현할 수 있다.

[0341] 또한, 완성된 전자 부품의 사시 모식도를 도 65의 (B)에 나타내었다. 도 65의 (B)에는 전자 부품의 일례로서 QFP(Quad Flat Package)의 사시 모식도를 나타내었다. 도 65의 (B)에 나타낸 전자 부품(4700)은 리드(4701) 및 회로부(4703)를 포함한다. 도 65의 (B)에 나타낸 전자 부품(4700)은 예를 들어, 인쇄 기판(4702)에 실장된다. 이러한 전자 부품(4700)이 복수로 조합되고, 각각이 인쇄 기판(4702) 위에서 전기적으로 접속됨으로써, 전자 기기의 내부에 탑재할 수 있다. 완성된 회로 기판(4704)은 전자 기기 등의 내부에 제공된다.

[0342] 또한, 본 발명의 일 형태는 상기 전자 부품(4700)의 형상에 한정되지 않고, 단계(STP1)에서 제작된 소자 기판도 포함된다. 또한, 본 발명의 일 형태인 소자 기판에는, 단계(STP2)의 기판 이면의 연삭 작업까지 수행한 소자 기판도 포함된다. 또한, 본 발명의 일 형태인 소자 기판에는 단계(STP3)의 다이싱 공정까지 수행한 소자 기판도 포함된다. 예를 들어, 도 65의 (C)에 나타낸 반도체 웨이퍼(4800) 등이 상기 소자 기판에 상당한다. 반도체 웨이퍼(4800)에는, 그 웨이퍼(4801)의 상면에 복수의 회로부(4802)가 형성된다. 또한, 웨이퍼(4801)의 상면에서 회로부(4802)가 없는 부분은 스페이싱(4803)이고, 스페이싱(4803)의 일부는 다이싱용 영역이 된다.

[0343] 다이싱은, 일점쇄선으로 나타낸 스크라이브 라인(SCL1) 및 스크라이브 라인(SCL2)(다이싱 라인 또는 절단 라인이라고 부르는 경우가 있음)을 따라 수행된다. 또한, 다이싱 공정을 용이하게 수행하기 위하여, 스페이싱(4803)은 복수의 스크라이브 라인(SCL1)이 평행이 되도록 제공되고, 복수의 스크라이브 라인(SCL2)이 평행이 되

도록 제공되고, 스크라이브 라인(SCL1)과 스크라이브 라인(SCL2)이 수직이 되도록 제공되는 것이 바람직하다.

[0344] 다이싱 공정을 수행함으로써, 도 65의 (D)에 나타낸 바와 같은 칩(4800a)을 반도체 웨이퍼(4800)로부터 잘라 낼 수 있다. 칩(4800a)은 웨이퍼(4801a)와, 회로부(4802)와, 스페이싱(4803a)을 갖는다. 또한, 스페이싱(4803a)을 가능한 한 작게 하는 것이 바람직하다. 이 경우, 인접한 회로부(4802)들 사이의 스페이싱(4803)의 폭이, 스크라이브 라인(SCL1) 또는 스크라이브 라인(SCL2)의 절단을 위한 여백과 거의 동등한 길이면 좋다.

[0345] 또한, 본 발명의 일 형태의 소자 기판의 형상은, 도 65의 (C)에 나타낸 반도체 웨이퍼(4800)의 형상에 한정되지 않는다. 예를 들어, 도 65의 (E)에 나타낸 직사각형의 반도체 웨이퍼(4810)이어도 좋다. 소자 기판의 형상은, 소자의 제작 공정 및 소자를 제작하기 위한 장치에 따라 적절히 변경할 수 있다.

[0346] 또한, 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.

[0347] (실시형태 5)

[0348] 본 실시형태에서는 상기 실시형태의 반도체 장치를 구비할 수 있는 CPU에 대하여 설명한다.

[0349] 도 66은 실시형태 1에서 설명한 반도체 장치를 일부에 사용한 CPU의 일례의 구성을 도시한 블록도이다.

[0350] 도 66에 도시된 CPU는 기판(1190) 위에 ALU(1191)(ALU: Arithmetic logic unit, 연산 회로), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198)(Bus I/F), 재기록이 가능한 ROM(1199), 및 ROM 인터페이스(1189)(ROM I/F)를 갖는다. 기판(1190)은 반도체 기판, SOI 기판, 유리 기판 등을 사용한다. ROM(1199) 및 ROM 인터페이스(1189)를 다른 칩에 제공하여도 좋다. 물론, 도 66에 도시된 CPU는 그 구성을 간략화하여 도시한 일례에 불과하고 실제의 CPU는 그 용도에 따라 다종다양한 구성을 갖는다. 예를 들어, 도 66에 도시된 CPU 또는 연산 회로를 포함하는 구성을 한 코어로 하고 상기 코어를 복수로 포함하고 각각의 코어가 병렬로 동작하는 구성, 즉, GPU와 같은 구성으로 하여도 좋다. 또한, CPU가 내부 연산 회로나 데이터 버스에서 취급하는 비트 수를, 예를 들어, 8비트, 16비트, 32비트, 64비트 등으로 할 수 있다.

[0351] 버스 인터페이스(1198)를 통하여 CPU에 입력된 명령은 인스트럭션 디코더(1193)에 입력되어 디코딩된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.

[0352] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는 디코딩된 명령에 기초하여 각종 제어를 수행한다. 구체적으로, ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한, CPU의 프로그램 실행 중에, 인터럽트 컨트롤러(1194)는 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요구를 그 우선도나 마스크 상태로부터 판단하여 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)의 판독이나 기록을 수행한다.

[0353] 또한, 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어, 타이밍 컨트롤러(1195)는 기준 클록 신호를 바탕으로 내부 클록 신호를 생성하는 내부 클록 생성부를 구비하고, 내부 클록 신호를 상기 각종 회로에 공급한다.

[0354] 도 66에 도시된 CPU에서는, 레지스터(1196)에 메모리 셀이 제공된다. 레지스터(1196)의 메모리 셀로서 상술한 실시형태에 나타내어진 트랜지스터를 사용할 수 있다.

[0355] 도 66에 도시된 CPU에서, 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 지시에 따라, 레지스터(1196)에서의 유지 동작의 선택을 수행한다. 즉, 레지스터(1196)가 갖는 메모리 셀에서 플립플롭에 의한 데이터의 유지를 수행할지 또는 용량 소자에 의한 데이터의 유지를 수행할지를 선택한다. 플립플롭에 의한 데이터의 유지가 선택되어 있는 경우, 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 공급이 수행된다. 용량 소자에서의 데이터의 유지가 선택되어 있는 경우, 용량 소자에 대한 데이터의 재기록이 수행되어, 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 공급을 정지할 수 있다.

[0356] 또한, 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.

[0357] (실시형태 6)

[0358] 상기 실시형태의 기억 장치를 구비할 수 있는 메모리 카드(예를 들어, SD 카드), USB(Universal Serial Bus) 메모리, SSD(Solid State Drive) 등의 각종 리무버블 기억 장치에 적용할 수 있다. 본 실시형태에서는 리무버블

기억 장치의 몇 가지의 구성예에 대하여 도 67을 참조하여 설명한다.

[0359] 도 67의 (A)는 USB 메모리의 모식도이다. USB 메모리(5100)는 하우징(5101), 캡(5102), USB 커넥터(5103), 및 기판(5104)을 갖는다. 기판(5104)은 하우징(5101)에 수납되어 있다. 기판(5104)에는 기억 장치 및 상기 기억 장치를 구동하는 회로가 제공된다. 예를 들어, 기판(5104)에는 메모리 칩(5105), 컨트롤러 칩(5106)이 장착된다. 메모리 칩(5105)은 실시형태 2에서 설명한 메모리 셀 어레이(2610), 워드선 드라이버 회로(2622), 행 디코더(2621), 감지 증폭기(2633), 프리차지 회로(2632), 열 디코더(2631) 등이 제공된다. 컨트롤러 칩(5106)은, 구체적으로는, 프로세서, 워크 메모리, ECC 회로 등이 제공된다. 또한, 메모리 칩(5105)과 컨트롤러 칩(5106) 각각의 회로 구성은 상술한 기재에 한정되지 않고, 상황 또는 경우에 따라 적절히 회로 구성을 변경하여도 좋다. 예를 들어, 워드선 드라이버 회로(2622), 행 디코더(2621), 감지 증폭기(2633), 프리차지 회로(2632), 열 디코더(2631)를 메모리 칩(5105)이 아니라 컨트롤러 칩(5106)에 제공한 구성으로 하여도 좋다. USB 커넥터(5103)가 외부 장치와 접속하기 위한 인터페이스로서 기능한다.

[0360] 도 67의 (B)는 SD 카드의 외관을 도시한 모식도이고, 도 67의 (C)는 SD 카드의 내부 구조의 모식도이다. SD 카드(5110)는 하우징(5111), 커넥터(5112), 및 기판(5113)을 갖는다. 커넥터(5112)가 외부 장치와 접속하기 위한 인터페이스로서 기능한다. 기판(5113)은 하우징(5111)에 수납되어 있다. 기판(5113)에는 기억 장치 및 이 기억 장치를 구동하는 회로가 제공된다. 예를 들어, 기판(5113)에는 메모리 칩(5114), 컨트롤러 칩(5115)이 장착된다. 메모리 칩(5114)에는 실시형태 2에서 설명한 메모리 셀 어레이(2610), 워드선 드라이버 회로(2622), 행 디코더(2621), 감지 증폭기(2633), 프리차지 회로(2632), 열 디코더(2631) 등이 제공된다. 컨트롤러 칩(5115)에는 프로세서, 워크 메모리, ECC 회로 등이 제공된다. 또한, 메모리 칩(5114)과 컨트롤러 칩(5115) 각각의 회로 구성은 상술한 기재에 한정되지 않고, 상황 또는 경우에 따라 적절히 회로 구성을 변경하여도 좋다. 예를 들어, 워드선 드라이버 회로(2622), 행 디코더(2621), 감지 증폭기(2633), 프리차지 회로(2632), 열 디코더(2631)를 메모리 칩(5114)이 아니라 컨트롤러 칩(5115)에 제공한 구성으로 하여도 좋다.

[0361] 기판(5113)의 이면 측에도 메모리 칩(5114)을 제공함으로써, SD 카드(5110)의 용량을 증가시킬 수 있다. 또한, 무선 통신 기능을 구비한 무선 칩을 기판(5113)에 제공하여도 좋다. 이로써, 외부 장치와 SD 카드(5110) 사이에서 무선 통신을 수행할 수 있어 메모리 칩(5114)의 데이터를 판독, 기록할 수 있다.

[0362] 도 67의 (D)는 SSD의 외관을 도시한 모식도이고, 도 67의 (E)는 SSD의 내부 구조의 모식도이다. SSD(5150)는 하우징(5151), 커넥터(5152), 및 기판(5153)을 갖는다. 커넥터(5152)가 외부 장치와 접속하기 위한 인터페이스로서 기능한다. 기판(5153)은 하우징(5151)에 수납되어 있다. 기판(5153)에는 기억 장치 및 이 기억 장치를 구동하는 회로가 제공된다. 예를 들어, 기판(5153)에는 메모리 칩(5154), 메모리 칩(5155), 컨트롤러 칩(5156)이 장착된다. 메모리 칩(5154)에는 실시형태 2에서 설명한 메모리 셀 어레이(2610), 워드선 드라이버 회로(2622), 행 디코더(2621), 감지 증폭기(2633), 프리차지 회로(2632), 열 디코더(2631) 등이 제공된다. 기판(5153)의 이면 측에도 메모리 칩(5154)을 제공함으로써, SSD(5150)의 용량을 증가시킬 수 있다. 메모리 칩(5155)에는 워크 메모리가 제공된다. 예를 들어, 메모리 칩(5155)에는 DRAM 칩을 사용하면 좋다. 컨트롤러 칩(5156)에는 프로세서, ECC 회로 등이 제공된다. 또한, 메모리 칩(5154)과, 메모리 칩(5155)과, 컨트롤러 칩(5115) 각각의 회로 구성은 상술한 기재에 한정되지 않고, 상황 또는 경우에 따라 적절히 회로 구성을 변경하여도 좋다. 예를 들어, 컨트롤러 칩(5156)에도 워크 메모리로서 기능하는 메모리를 제공하여도 좋다.

[0363] 또한, 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.

[0364] (실시형태 7)

[0365] 본 실시형태에서는 상기 실시형태의 반도체 장치 또는 기억 장치를 적용할 수 있는 전자 기기의 일례에 대하여 설명한다.

[0366] <노트북형 퍼스널 컴퓨터>

[0367] 본 발명의 일 형태의 반도체 장치 또는 기억 장치는 노트북형 퍼스널 컴퓨터에 구비할 수 있다. 도 68의 (A)는 노트북형 퍼스널 컴퓨터이며, 하우징(5401), 표시부(5402), 키보드(5403), 포인팅 디바이스(5404) 등을 갖는다.

[0368] <스마트 워치>

[0369] 본 발명의 일 형태의 반도체 장치 또는 기억 장치는 웨어러블 단말에 구비할 수 있다. 도 68의 (B)는 웨어러블 단말의 하나인 스마트 워치이며, 하우징(5901), 표시부(5902), 조작 버튼(5903), 조작자(5904), 밴드(5905) 등을 갖는다. 또한, 표시부(5902)에 위치 입력 장치로서의 기능이 부가된 표시 장치를 사용하여도 좋다. 또한,

위치 입력 장치로서의 기능은 표시 장치에 터치 패널을 제공함으로써 부가할 수 있다. 또는, 위치 입력 장치로서의 기능은 포토 센서라고도 불리는 광전 변환 소자를 표시 장치의 화소부에 제공함으로써 부가할 수도 있다. 또한, 조작 버튼(5903)에 스마트 워치를 기동하는 전원 스위치, 스마트 워치의 애플리케이션을 조작하는 버튼, 음량 조정 버튼, 또는 표시부(5902)를 점등 또는 소등하는 스위치 등 중 어느 것을 구비할 수 있다. 또한, 도 68의 (B)에 도시된 스마트 워치에서는 조작 버튼(5903)을 2개 나타내었지만, 스마트 워치가 갖는 조작 버튼의 개수는 이에 한정되지 않는다. 또한, 조작자(5904)는 스마트 위치의 시각을 맞추기 위한 용두로서 기능한다. 또한, 조작자(5904)는 시각 맞추기 이외에도 스마트 워치의 애플리케이션을 조작하는 입력 인터페이스로서 사용하여도 좋다. 또한, 도 68의 (B)에 도시된 스마트 워치에서는 조작자(5904)를 갖는 구성이 되어 있지만, 이에 한정되지 않고 조작자(5904)를 갖지 않는 구성이어도 좋다.

[0370] <비디오 카메라>

[0371] 본 발명의 일 형태의 반도체 장치 또는 기억 장치는 비디오 카메라에 구비할 수 있다. 도 68의 (C)는 비디오 카메라이며, 제 1 하우징(5801), 제 2 하우징(5802), 표시부(5803), 조작 키(5804), 렌즈(5805), 및 접속부(5806) 등을 갖는다. 조작 키(5804) 및 렌즈(5805)는 제 1 하우징(5801)에 제공되고, 표시부(5803)는 제 2 하우징(5802)에 제공된다. 그리고, 제 1 하우징(5801)과 제 2 하우징(5802)은 접속부(5806)에 의하여 접속되고, 제 1 하우징(5801)과 제 2 하우징(5802) 사이의 각도는 접속부(5806)에 의하여 변경할 수 있다. 표시부(5803)에서의 영상을 접속부(5806)에서의 제 1 하우징(5801)과 제 2 하우징(5802) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다.

[0372] <휴대 전화>

[0373] 본 발명의 일 형태의 반도체 장치 또는 기억 장치는 휴대 전화에 구비할 수 있다. 도 68의 (D)는 정보 단말의 기능을 갖는 휴대 전화이며, 하우징(5501), 표시부(5502), 마이크로폰(5503), 스피커(5504), 및 조작 버튼(5505)을 갖는다. 또한, 표시부(5502)에 위치 입력 장치로서의 기능이 부가된 표시 장치를 사용하여도 좋다. 또한, 위치 입력 장치로서의 기능은 표시 장치에 터치 패널을 제공함으로써 부가할 수 있다. 또는, 위치 입력 장치로서의 기능은 포토 센서라고도 불리는 광전 변환 소자를 표시 장치의 화소부에 제공함으로써 부가할 수도 있다. 또한, 조작 버튼(5505)에 휴대 전화를 기동하는 전원 스위치, 휴대 전화의 애플리케이션을 조작하는 버튼, 음량 조정 버튼, 또는 표시부(5502)를 점등 또는 소등하는 스위치 등 중 어느 것을 구비할 수 있다.

[0374] 또한, 도 68의 (D)에 도시된 휴대 전화에서는 조작 버튼(5505)을 2개 나타내었지만, 휴대 전화가 갖는 조작 버튼의 개수는 이에 한정되지 않는다. 또한, 도시하지 않았지만, 도 68의 (D)에 도시된 휴대 전화는 플래시 라이트 또는 조명 용도로서 발광 장치를 갖는 구성이어도 좋다.

[0375] <텔레비전 장치>

[0376] 본 발명의 일 형태의 반도체 장치 또는 기억 장치는 텔레비전 장치에 적용할 수 있다. 도 68의 (E)는 텔레비전 장치를 도시한 사시도이다. 텔레비전 장치는 하우징(9000), 표시부(9001), 스피커(9003), 조작 키(9005)(전원 스위치 또는 조작 스위치를 포함함), 접속 단자(9006), 센서(9007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능을 포함하는 것) 등을 갖는다. 본 발명의 일 형태의 기억 장치는 텔레비전 장치에 구비할 수 있다. 텔레비전 장치는 예를 들어, 50인치 이상 또는 100인치 이상의 표시부(9001)를 제공할 수 있다.

[0377] <이동체>

[0378] 본 발명의 일 형태의 반도체 장치 또는 기억 장치는 이동체인 자동차의 운전석 주변에 적용할 수도 있다.

[0379] 예를 들어, 도 68의 (F)는 자동차 실내에서의 앞 유리 주변을 도시한 도면이다. 도 68의 (F)에서는, 대시보드에 장착된 표시 패널(5701), 표시 패널(5702), 표시 패널(5703) 이외에, 필러에 장착된 표시 패널(5704)을 도시하였다.

[0380] 표시 패널(5701) 내지 표시 패널(5703)은 내비게이션 정보, 스피도 미터나 태코미터, 주행 거리, 급유량, 기어 상태, 에어컨디셔너의 설정 등, 이 이외의 다양한 정보를 제공할 수 있다. 또한, 표시 패널에 표시되는 표시 항목이나 레이아웃 등은 사용자의 취향에 맞추어 적절히 변경할 수 있고, 디자인성을 높일 수 있다. 표시 패널(5701) 내지 표시 패널(5703)은 조명 장치로서 사용할 수도 있다.

[0381] 표시 패널(5704)에는 차체에 제공된 촬상 수단으로부터의 영상을 표시함으로써 필러로 가려진 시계(사각(死

角))를 보완할 수 있다. 즉, 자동차의 외측에 제공된 촬상 수단으로부터의 화상을 표시함으로써 사각을 보완하여 안전성을 높일 수 있다. 또한, 보이지 않는 부분을 보완하는 영상을 표시함으로써 더 자연스럽고 위화감 없이 안전을 확인할 수 있다. 표시 패널(5704)은 조명 장치로서 사용할 수도 있다.

[0382] 본 발명의 일 형태의 반도체 장치 또는 기억 장치를, 예를 들어, 표시 패널(5701) 내지 표시 패널(5704)에 화상을 표시할 때에 사용되는, 화상 데이터를 일시적으로 저장하는 프레임 메모리나, 이동체가 갖는 시스템을 구동하는 프로그램을 보존하는 기억 장치 등에 사용할 수 있다.

[0383] 또한, 도시하지 않았지만, 도 68의 (A), (B), (E), (F)에 도시된 전자 기기는 마이크로폰 및 스피커를 갖는 구성이어도 좋다. 이 구성에 의하여, 예를 들어, 상술한 전자 기기에 음성 입력 기능을 부가할 수 있다.

[0384] 또한, 도시하지 않았지만, 도 68의 (A), (B), (D) 내지 (F)에 도시된 전자 기기는 카메라를 갖는 구성이어도 좋다.

[0385] 또한, 도시하지 않았지만, 도 68의 (A) 내지 (F)에 도시된 전자 기기는 하우징의 내부에 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선 등을 측정하는 기능을 포함하는 것)를 갖는 구성이어도 좋다. 특히, 도 68의 (D)에 도시된 휴대 전화에 자이로스코프 및 가속도 센서 등의 경사를 검출하는 센서를 갖는 검출 장치를 제공함으로써, 상기 휴대 전화의 방향(연직 방향에 대하여 상기 휴대 전화가 어느 방향을 향하는지)을 판단하여 표시부(5502)의 화면 표시를 상기 휴대 전화의 방향에 따라 자동적으로 전환하도록 할 수 있다.

[0386] 또한, 도시하지 않았지만, 도 68의 (A) 내지 (F)에 도시된 전자 기기는 지문, 정맥, 홍채, 또는 성문 등 생체 정보를 취득하는 장치를 갖는 구성이어도 좋다. 이 구성을 적용함으로써 생체 인증 기능을 갖는 전자 기기를 실현할 수 있다.

[0387] 또한, 도 68의 (A) 내지 (F)에 도시된 전자 기기의 표시부로서 가요성을 갖는 기재를 사용하여도 좋다. 구체적으로는, 상기 표시부는 가요성을 갖는 기재 위에 트랜지스터, 용량 소자, 및 표시 소자 등을 제공한 구성으로 하여도 좋다. 이 구성을 적용함으로써 도 68의 (A) 내지 (F)에 도시된 전자 기기와 같이 평평한 면을 갖는 하우징뿐만 아니라, 곡면을 갖는 하우징의 전자 기기를 실현할 수 있다.

[0388] 또한, 본 실시형태는 본 명세서에서 나타낸 다른 실시형태와 적절히 조합할 수 있다.

[0389] (본 명세서 등의 기재에 관한 부기)

[0390] 상술한 실시형태에서의 각 구성의 설명에 대하여 이하에 부기한다.

[0391] <실시형태에서 설명한 본 발명의 일 형태에 관한 부기>

[0392] 각 실시형태에 나타내어지는 구성은 다른 실시형태에 나타내어지는 구성과 적절히 조합하여 본 발명의 일 형태로 할 수 있다. 또한, 하나의 실시형태 중에 복수의 구성예가 나타내어지는 경우에는, 구성예를 서로 적절히 조합할 수 있다.

[0393] 또한, 어떤 하나의 실시형태에서 설명하는 내용(일부의 내용이어도 좋음)은 그 실시형태에서 설명하는 다른 내용(일부의 내용이어도 좋음), 및 하나 또는 복수의 다른 실시형태에서 설명하는 내용(일부의 내용이어도 좋음) 중 적어도 하나의 내용에 대하여 적용, 조합, 또는 치환 등을 수행할 수 있다.

[0394] 또한, 실시형태에서 설명하는 내용이란 각각의 실시형태에서 다양한 도면을 참조하여 설명하는 내용, 또는 명세서에 기재되는 문장을 사용하여 설명하는 내용을 가리킨다.

[0395] 또한, 어떤 하나의 실시형태에서 설명하는 도면(일부이어도 좋음)은 그 도면의 다른 부분, 그 실시형태에서 설명하는 다른 도면(일부이어도 좋음), 및 하나 또는 복수의 다른 실시형태에서 설명하는 도면(일부이어도 좋음) 중 적어도 하나의 도면과 조합함으로써 더 많은 도면을 구성할 수 있다.

[0396] <서수사에 관한 부기>

[0397] 본 명세서 등에서 "제 1", "제 2", 및 "제 3"이란 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이다. 따라서, 구성 요소의 개수를 한정하는 것은 아니다. 또한, 구성 요소의 순서를 한정하는 것은 아니다. 또한, 예를 들어, 본 명세서 등의 실시형태 중 하나에서 "제 1"로 언급된 구성 요소가 다른 실시형태 또는 청구범위에서 "제 2"로 언급된 구성 요소가 될 수도 있다. 또한, 예를 들어, 본 명세서 등의 실시형태 중 하나에서 "제

1"로 언급된 구성 요소가 다른 실시형태 또는 청구범위에서 생략될 수도 있다.

[0398] <도면을 설명하는 기재에 관한 부기>

[0399] 실시형태에 대하여 도면을 참조하면서 설명한다. 다만 실시형태는 상이한 많은 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 실시형태의 발명의 구성에서 동일한 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 그 반복 설명은 생략한다.

[0400] 또한, 본 명세서 등에서 "위에", "아래에" 등의 배치를 나타내는 어구는 구성끼리의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하고 있다. 구성끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 그러므로, 배치를 나타내는 어구는 명세서 등에서 설명한 기재에 한정되지 않고, 상황에 따라 적절히 환언할 수 있다. 예를 들어, "도전체의 상면에 갖는 절연체"라는 표현에서는, 도시된 도면의 방향을 180° 회전시킴으로써, "도전체의 하면에 갖는 절연체"라고 환언할 수 있다.

[0401] 또한, "위"나 "아래"라는 용어는 구성 요소의 위치 관계가 바로 위 또는 바로 아래이며, 직접 접촉된 것을 한정하는 것은 아니다. 예를 들어, "절연층(A) 위의 전극 (B)"이라는 표현이면, 절연층(A) 위에 전극(B)이 직접 접촉되어 형성될 필요는 없고, 절연층(A)과 전극(B) 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.

[0402] 또한, 도면에서, 크기, 층의 두께, 또는 영역은 설명의 편의상 임의의 크기로 도시된 것이다. 따라서, 반드시 그 스케일에 한정되는 것은 아니다. 또한, 도면은 명확성을 기하기 위하여 모식적으로 도시된 것이고, 도면에 도시된 형상 또는 값 등에 한정되지 않는다. 예를 들어, 노이즈로 인한 신호, 전압, 또는 전류의 편차, 혹은 타이밍의 어긋남으로 인한 신호, 전압, 또는 전류의 편차 등을 포함할 수 있다.

[0403] 또한, 도면 중 사시도 등에서 도면의 명확성을 기하기 위하여 일부의 구성 요소의 기재를 생략하는 경우가 있다.

[0404] 또한, 도면에서 동일한 요소 또는 같은 기능을 갖는 요소, 동일한 재질의 요소, 혹은 동시에 형성되는 요소 등에는 동일한 부호를 붙이는 경우가 있고, 그 반복 설명을 생략하는 경우가 있다.

[0405] <환언할 수 있는 기재에 관한 부기>

[0406] 본 명세서 등에서 트랜지스터의 접속 관계를 설명할 때, 소스와 드레인 중 한쪽을 "소스 및 드레인 중 한쪽"(또는 제 1 전극 혹은 제 1 단자)이라고 표기하고, 소스와 드레인 중 다른 쪽을 "소스 및 드레인 중 다른 쪽"(또는 제 2 전극 혹은 제 2 단자)라고 표기하였다. 이는 트랜지스터의 소스와 드레인은 트랜지스터의 구조 또는 동작 조건 등에 따라 바뀌기 때문이다. 또한, 트랜지스터의 소스와 드레인의 호칭에 대해서는, 소스(드레인) 단자나 소스(드레인) 전극 등, 상황에 따라 적절히 환언할 수 있다. 또한, 본 명세서 등에서는, 게이트 이외의 2개의 단자를 제 1 단자, 제 2 단자라고 부르는 경우나, 제 3 단자, 제 4 단자라고 부르는 경우가 있다. 또한, 본 명세서 등에서 채널 형성 영역은 채널이 형성되는 영역을 가리키고, 게이트에 전위를 인가함으로써 이 영역이 형성되어, 소스와 드레인 사이에 전류를 흘릴 수 있다.

[0407] 또한, 소스나 드레인의 기능은, 상이한 극성의 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화되는 경우 등에는 바뀌는 경우가 있다. 그러므로, 본 명세서 등에서는, 소스나 드레인이라는 용어를 바꾸어 사용할 수 있는 것으로 한다.

[0408] 또한, 본 명세서 등에 기재되는 트랜지스터가 2개 이상의 게이트를 가질 때(이 구성을 듀얼 게이트 구조라고 하는 경우가 있음), 이들 게이트를 제 1 게이트, 제 2 게이트라고 부르는 경우나, 프런트 게이트, 백 게이트라고 부르는 경우가 있다. 특히, "프런트 게이트"라는 어구는 단순히 "게이트"라는 어구로 서로 환언할 수 있다. 또한, "백 게이트"라는 어구는 단순히 "게이트"라는 어구로 서로 환언할 수 있다. 또한, 보텀 게이트란 트랜지스터의 제작 시에 채널 형성 영역보다 먼저 형성되는 단자를 가리키고, "톱 게이트"란 트랜지스터의 제작 시에 채널 형성 영역보다 나중에 형성되는 단자를 가리킨다.

[0409] 또한, 본 명세서 등에서 "전극"이나 "배선"이라는 용어는 이들 구성 요소를 기능적으로 한정하는 것은 아니다. 예를 들어, "전극"은 "배선"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한, "전극"이나 "배선"이라는 용어는 복수의 "전극"이나 "배선"이 일체로 형성되는 경우 등도 포함한다.

[0410] 또한, 본 명세서 등에서 전압과 전위는 적절히 환언할 수 있다. 전압은 기준이 되는 전위와의 전위차를 가리키

고, 예를 들어, 기준이 되는 전위를 그라운드 전위(접지 전위)로 하면, 전압을 전위로 환언할 수 있다. 그라운드 전위는 반드시 0V를 의미한다고 한정되는 것은 아니다. 또한, 전위는 상대적인 것이고, 기준이 되는 전위에 따라서는 배선 등에 공급하는 전위를 변화시키는 경우가 있다.

[0411] 또한, 본 명세서 등에서 "막", "층" 등의 어구는 경우 또는 상황에 따라서 서로 교체할 수 있다. 예를 들어, "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있는 경우가 있다. 또는, 예를 들어, "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있는 경우가 있다. 또는, 경우 또는 상황에 따라서 "막", "층" 등의 어구를 사용하지 않고, 다른 용어로 교체할 수 있다. 예를 들어, "도전층" 또는 "도전막"이라는 용어를 "도전체"라는 용어로 변경할 수 있는 경우가 있다. 또는, 예를 들어, "절연층", "절연막"이라는 용어를 "절연체"라는 용어로 변경할 수 있는 경우가 있다.

[0412] 또한, 본 명세서 등에서 "배선", "신호선", "전원선" 등의 용어는 경우 또는 상황에 따라 서로 교체할 수 있다. 예를 들어, "배선"이라는 용어를 "신호선"이라는 용어로 변경할 수 있는 경우가 있다. 또한, 예를 들어, "배선"이라는 용어를 "전원선" 등의 용어로 변경할 수 있는 경우가 있다. 또한, 그 반대도 마찬가지로 "신호선", "전원선" 등의 용어를 "배선"이라는 용어로 변경할 수 있는 경우가 있다. "전원선" 등의 용어는 "신호선" 등의 용어로 변경할 수 있는 경우가 있다. 또한, 그 반대도 마찬가지로 "신호선" 등의 용어는 "전원선" 등의 용어로 변경할 수 있는 경우가 있다. 또한, 배선에 인가되는 "전위"라는 용어를 경우 또는 상황에 따라 "신호" 등이라는 용어로 변경할 수 있는 경우가 있다. 또한, 그 반대도 마찬가지로 "신호" 등의 용어는 "전위"라는 용어로 변경할 수 있는 경우가 있다.

[0413] <어구의 정의에 관한 부기>

[0414] 이하에서는 상기 실시형태 중에서 언급한 어구의 정의에 대하여 설명한다.

[0415] ≪반도체의 불순물에 대하여≫

[0416] 반도체의 불순물이란, 예를 들어, 반도체층을 구성하는 주성분 이외를 가리킨다. 예를 들어, 농도가 0.1atomic% 미만인 원소는 불순물이다. 불순물이 포함됨으로써, 예를 들어, 반도체에 DOS(Density of States)가 형성되거나, 캐리어 이동도가 저하되거나, 결정성이 저하되는 것 등이 일어나는 경우가 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어, 1족 원소, 2족 원소, 13족 원소, 14족 원소, 15족 원소, 주성분 이외의 전이 금속 등이 있고, 특히, 예를 들어, 수소(물에도 포함됨), 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 질소 등이 있다. 산화물 반도체의 경우, 예를 들어, 수소 등의 불순물의 혼입에 의하여 산소 결손이 형성되는 경우가 있다. 또한, 반도체가 실리콘층인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어, 산소, 수소를 제외한 1족 원소, 2족 원소, 13족 원소, 15족 원소 등이 있다.

[0417] ≪스위치에 대하여≫

[0418] 본 명세서 등에서 스위치란 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘릴지 여부를 제어하는 기능을 갖는 것을 가리킨다. 또는, 스위치란 전류를 흘리는 경로를 선택하여 전환하는 기능을 갖는 것을 가리킨다.

[0419] 일례로서는, 전기적 스위치 또는 기계적 스위치 등을 사용할 수 있다. 즉, 스위치는 전류를 제어할 수 있는 것이면 좋고, 특정한 것에 한정되지 않는다.

[0420] 전기적 스위치의 일례로서는, 트랜지스터(예를 들어, 바이폴러 트랜지스터, MOS 트랜지스터 등), 다이오드(예를 들어, PN 다이오드, PIN 다이오드, 쇼트키 다이오드, MIM(Metal Insulator Metal) 다이오드, MIS(Metal Insulator Semiconductor) 다이오드, 다이오드 접속의 트랜지스터 등), 또는 이들을 조합한 논리 회로 등이 있다.

[0421] 또한, 스위치로서 트랜지스터를 사용하는 경우, 트랜지스터의 "도통 상태"란 트랜지스터의 소스 전극과 드레인 전극이 전기적으로 단락되어 있다고 간주할 수 있는 상태를 가리킨다. 또한, 트랜지스터의 "비도통 상태"란 트랜지스터의 소스 전극과 드레인 전극이 전기적으로 차단되어 있다고 간주할 수 있는 상태를 가리킨다. 또한, 트랜지스터를 단순히 스위치로서 동작시키는 경우에는 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다.

[0422] 기계적 스위치의 일례로서는 디지털 마이크로 미러 디바이스(DMD)와 같이, MEMS(마이크로·일렉트로·메카니컬·시스템) 기술을 사용한 스위치가 있다. 이 스위치는 기계적으로 움직일 수 있는 전극을 갖고, 그 전극이 움직임으로써 도통과 비도통을 제어하여 동작한다.

[0423] ≪접속에 대하여≫

[0424] 본 명세서 등에서 X와 Y가 접속된다고 기재되는 경우에는 X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접 접속되는 경우를 포함하는 것으로 한다. 따라서, 소정의 접속 관계, 예를 들어, 도면 또는 문장에 나타내어진 접속 관계에 한정되지 않고, 도면 또는 문장에 나타내어진 접속 관계 이외의 것도 포함하는 것으로 한다.

[0425] 여기서 사용하는 X, Y 등은 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0426] X와 Y가 전기적으로 접속되는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가 X와 Y 사이에 하나 이상 접속될 수 있다. 또한, 스위치는 온/오프가 제어되는 기능을 갖는다. 즉, 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘릴지 여부를 제어하는 기능을 갖는다.

[0427] X와 Y가 기능적으로 접속되는 경우의 일례로서는, X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들어, 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 변화시키는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가 X와 Y 사이에 하나 이상 접속될 수 있다. 또한, 일례로서 X와 Y 사이에 다른 회로를 끼워도 X로부터 출력된 신호가 Y로 전달되는 경우에는 X와 Y는 기능적으로 접속되는 것으로 한다.

[0428] 또한, X와 Y가 전기적으로 접속된다고 명시적으로 기재하는 경우에는, X와 Y가 전기적으로 접속되는 경우(즉, X와 Y 사이에 다른 소자 또는 다른 회로를 끼워 접속되는 경우)와, X와 Y가 기능적으로 접속되는 경우(즉, X와 Y 사이에 다른 회로를 끼워 기능적으로 접속되는 경우)와, X와 Y가 직접 접속되는 경우(즉, X와 Y 사이에 다른 소자 또는 다른 회로를 끼우지 않고 접속되는 경우)를 포함하는 것으로 한다. 즉, 전기적으로 접속된다고 명시적으로 기재하는 경우에는, 단순히 접속된다고만 명시적으로 기재되는 경우와 같은 것으로 한다.

[0429] 또한, 예를 들어, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1을 통하여(또는 통하지 않고) X에 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2를 통하여(또는 통하지 않고) Y에 전기적으로 접속되는 경우나, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1의 일부와 직접 접속되고, Z1의 다른 일부가 X와 직접 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2의 일부와 직접 접속되고, Z2의 다른 일부가 Y와 직접 접속되는 경우에는 이하와 같이 표현할 수 있다.

[0430] 예를 들어, "X와, Y와, 트랜지스터의 소스(또는 제 1 단자 등)와, 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 순서로 전기적으로 접속된다"라고 표현할 수 있다. 또는, "트랜지스터의 소스(또는 제 1 단자 등)는 X에 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y에 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 순서대로 전기적으로 접속된다"라고 표현할 수 있다. 또는, "X는 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 통하여 Y에 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 접속 순서로 제공된다"라고 표현할 수 있다. 이들 예와 같은 표현 방법을 사용하여 회로 구성에서의 접속 순서에 대하여 규정함으로써 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 구별하여 기술적 범위를 결정할 수 있다. 또한, 이들 표현 방법은 일례이고, 이들 표현 방법에 한정되지 않는다. 여기서, X, Y, Z1, Z2는 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0431] 또한, 회로도상에서는 독립되어 있는 구성 요소끼리가 전기적으로 접속되는 것처럼 도시된 경우라도, 하나의 구성 요소가 복수의 구성 요소의 기능을 겸비하는 경우도 있다. 예를 들어, 배선의 일부가 전극으로서도 기능하는 경우에는, 하나의 도전막이 배선의 기능 및 전극의 기능 양쪽의 구성 요소의 기능을 겸비한다. 따라서, 본 명세서에서의 전기적으로 접속이란 이러한 하나의 도전막이 복수의 구성 요소의 기능을 겸비하는 경우도 그 범주에 포함한다.

[0432] ≪평행, 수직에 대하여≫

[0433] 본 명세서에서 "평행"이란 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 가리킨다. 따라서, -5

° 이상 5° 이하의 경우도 포함된다. 또한, "실질적으로 평행"이란 2개의 직선이 -30° 이상 30° 이하의 각도로 배치된 상태를 가리킨다. 또한, "수직"이란 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 가리킨다. 따라서, 85° 이상 95° 이하의 경우도 포함된다. 또한, "실질적으로 수직"이란 2개의 직선이 60° 이상 120° 이하의 각도로 배치된 상태를 가리킨다.

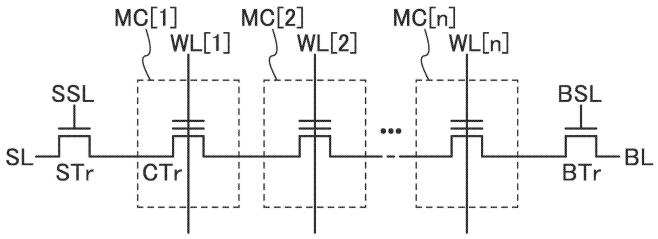
부호의 설명

[0434] MC[1]: 메모리 셀, MC[2]: 메모리 셀, MC[n]: 메모리 셀, MC[1, 1]: 메모리 셀, MC[j, 1]: 메모리 셀, MC[n, 1]: 메모리 셀, MC[1, i]: 메모리 셀, MC[j, i]: 메모리 셀, MC[n, i]: 메모리 셀, MC[1, m]: 메모리 셀, MC[j, m]: 메모리 셀, MC[n, m]: 메모리 셀, WL: 배선, WL[1]: 배선, WL[i]: 배선, WL[n]: 배선, BL: 배선, SL: 배선, BSL: 배선, BSL[1]: 배선, BSL[i]: 배선, BSL[m]: 배선, SSL: 배선, SSL[1]: 배선, SSL[i]: 배선, SSL[m]: 배선, BGL: 배선, BGL[1]: 배선, BGL[i]: 배선, BGL[m]: 배선, CTr: 셀 트랜지스터, BTr: 트랜지스터, STr: 트랜지스터, PG: 도전체, ER: 배선, HL: 영역, AR: 영역, TM: 영역, SCL1: 스크라이브 라인, SCL2: 스크라이브 라인, SD1: 영역, SD2: 영역, T10: 시각, T11: 시각, T12: 시각, T13: 시각, T20: 시각, T21: 시각, T22: 시각, T23: 시각, T24: 시각, T25: 시각, T30: 시각, T31: 시각, T32: 시각, T33: 시각, T40: 시각, T41: 시각, T42: 시각, T43: 시각, T44: 시각, T45: 시각, 10: 공급 처리, 100: 적층체, 100A: 적층체, 101A: 절연체, 101B: 절연체, 101C: 절연체, 102: 절연체, 102A: 절연체, 102B: 절연체, 103: 절연체, 104: 절연체, 105: 절연체, 107A: 절연체, 107B: 절연체, 107C: 절연체, 111: 절연체, 134: 도전체, 135: 도전체, 135a: 도전체, 135b: 도전체, 135c: 도전체, 136: 도전체, 136a: 도전체, 136b: 도전체, 137: 도전체, 137a: 도전체, 137b: 도전체, 137c: 도전체, 138a: 도전체, 138b: 도전체, 141A: 희생층, 141B: 희생층, 151: 반도체, 151a: 영역, 151b: 영역, 151e: 영역, 151d: 영역, 152A: 반도체, 152B: 반도체, 152C: 반도체, 153: 반도체, 153a: 반도체, 153b: 반도체, 161A: 화합물, 161B: 화합물, 161C: 화합물, 181A: 영역, 181B: 영역, 191: 개구부, 192: 슬릿, 193: 개구부, 195A: 오목부, 195B: 오목부, 195C: 오목부, 196A: 오목부, 196B: 오목부, 197A: 오목부, 197B: 오목부, 201: 절연체, 211: 도전체, 1189: ROM 인터페이스, 1190: 기판, 1191: ALU, 1192: ALU 컨트롤러, 1193: 인스트럭션 디코더, 1194: 인터럽트 컨트롤러, 1195: 타이밍 컨트롤러, 1196: 레지스터, 1197: 레지스터 컨트롤러, 1198: 버스 인터페이스, 1199: ROM, 1700: 기판, 1701: 소자 분리층, 1712: 도전체, 1730: 도전체, 1790: 게이트 전극, 1792: 웰, 1793: 채널 형성 영역, 1794: 저농도 불순물 영역, 1795: 고농도 불순물 영역, 1796: 도전성 영역, 1797: 게이트 절연막, 1798: 측벽 절연층, 1799: 측벽 절연층, 2600: 기억 장치, 2601: 주변 회로, 2610: 메모리 셀 어레이, 2621: 행 디코더, 2622: 워드선 드라이버 회로, 2630: 비트선 드라이버 회로, 2631: 열 디코더, 2632: 프리차지 회로, 2633: 감지 증폭기, 2634: 기록 회로, 2640: 출력 회로, 2660: 컨트롤 로직 회로, 4700: 전자 부품, 4701: 리드, 4702: 인쇄 기판, 4703: 회로부, 4704: 회로 기판, 4800: 반도체 웨이퍼, 4800a: 칩, 4801: 웨이퍼, 4801a: 웨이퍼, 4802: 회로부, 4803: 스페이싱, 4803a: 스페이싱, 4810: 반도체 웨이퍼, 5100: USB 메모리, 5101: 하우징, 5102: 캡, 5103: USB 커넥터, 5104: 기판, 5105: 메모리 칩, 5106: 컨트롤러 칩, 5110: SD 카드, 5111: 하우징, 5112: 커넥터, 5113: 기판, 5114: 메모리 칩, 5115: 컨트롤러 칩, 5150: SSD, 5151: 하우징, 5152: 커넥터, 5153: 기판, 5154: 메모리 칩, 5155: 메모리 칩, 5156: 컨트롤러 칩, 5401: 하우징, 5402: 표시부, 5403: 키보드, 5404: 포인팅 디바이스, 5501: 하우징, 5502: 표시부, 5503: 마이크로폰, 5504: 스피커, 5505: 조작 버튼, 5701: 표시 패널, 5702: 표시 패널, 5703: 표시 패널, 5704: 표시 패널, 5801: 제 1 하우징, 5802: 제 2 하우징, 5803: 표시부, 5804:조작 키, 5805: 렌즈, 5806: 접속부, 5901: 하우징, 5902: 표시부, 5903: 조작 버튼, 5904: 조작자, 5905: 밴드, 9000: 하우징, 9001: 표시부, 9003: 스피커, 9005: 조작 키, 9006: 접속 단자, 9007: 센서

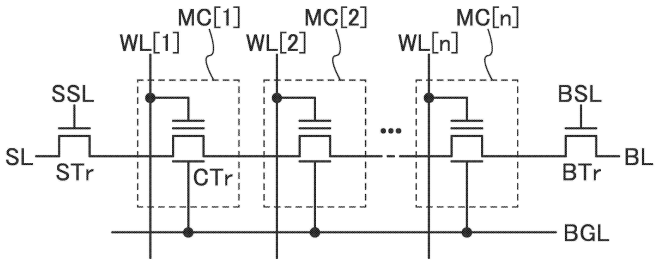
도면

도면1

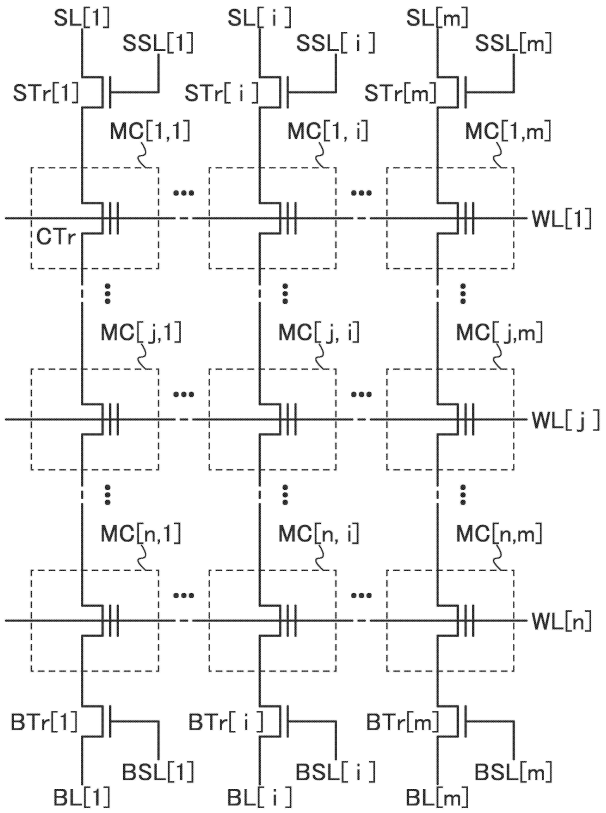
(A)


MC[1]
MC[2]
MC[n]
WL[1]
WL[2]
WL[n]
SSL
BSL
SL
STr
CTr
BTr
BL

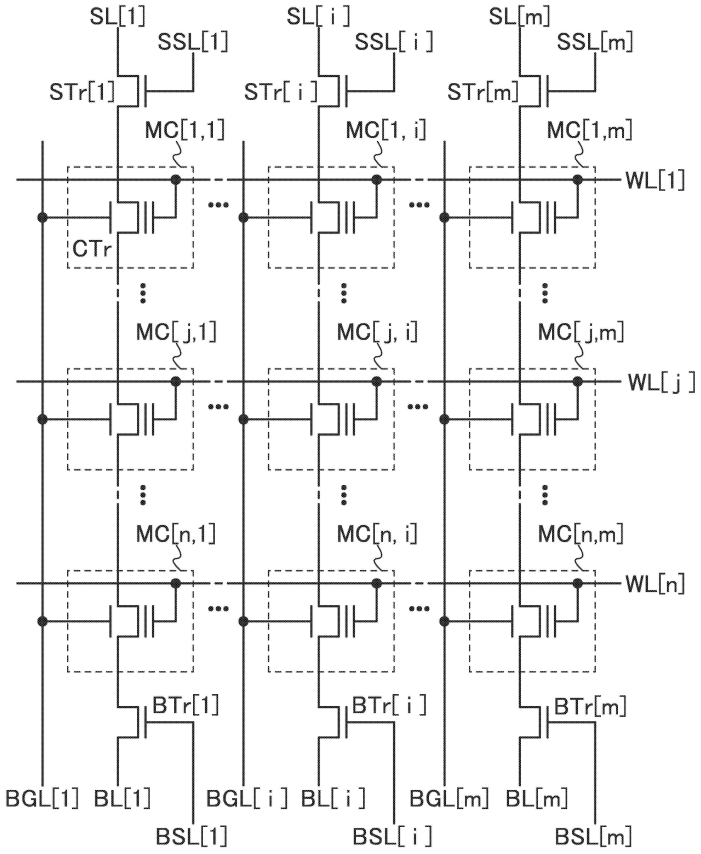
(B)


MC[1]
MC[2]
MC[n]
WL[1]
WL[2]
WL[n]
SSL
BSL
SL
STr
CTr
BTr
BL
BGL

도면2

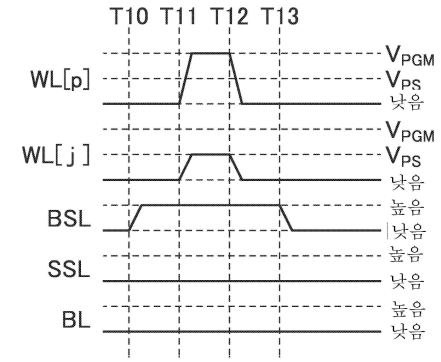

SL[1]
SL[i]
SL[m]
SSL[1]
SSL[i]
SSL[m]
STr[1]
STr[i]
STr[m]
MC[1,1]
MC[1, i]
MC[1,m]
CTr
WL[1]
MC[j,1]
MC[j, i]
MC[j,m]
WL[j]
MC[n,1]
MC[n, i]
MC[n,m]
WL[n]
BTr[1]
BTr[i]
BTr[m]
BSL[1]
BSL[i]
BSL[m]
BL[1]
BL[i]
BL[m]

도면3

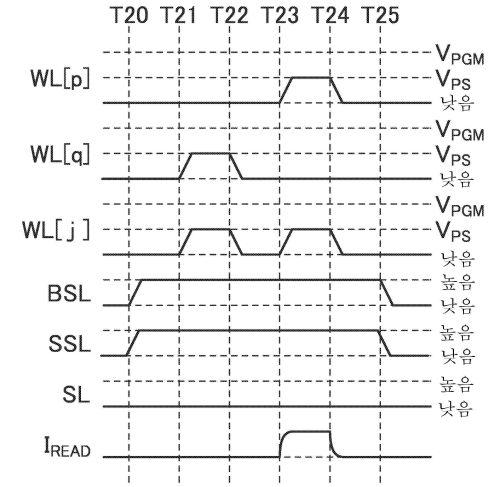

SL[1]
SSL[1]
STr[1]
MC[1,1]
CTr
MC[j,1]
MC[n,1]
BTr[1]
BGL[1]
BL[1]
BSL[1]
SL[i]
SSL[i]
STr[i]
MC[1,i]
MC[j,i]
MC[n,i]
BTr[i]
BGL[i]
BL[i]
BSL[i]
SL[m]
SSL[m]
STr[m]
MC[1,m]
MC[j,m]
MC[n,m]
BTr[m]
BGL[m]
BL[m]
BSL[m]
WL[1]
WL[j]
WL[n]

도면4

(A)

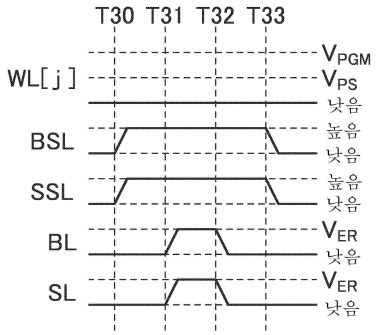

T10 T11 T12 T13
WL[p]
WL[j]
BSL
SSL
BL
VPGM
VPS
낮음
높음

(B)

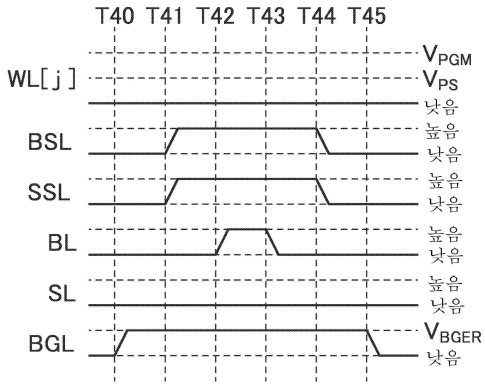

T20 T21 T22 T23 T24 T25
WL[p]
WL[q]
WL[j]
BSL
SSL
SL
IREAD
VPGM
VPS
낮음
높음

도면5

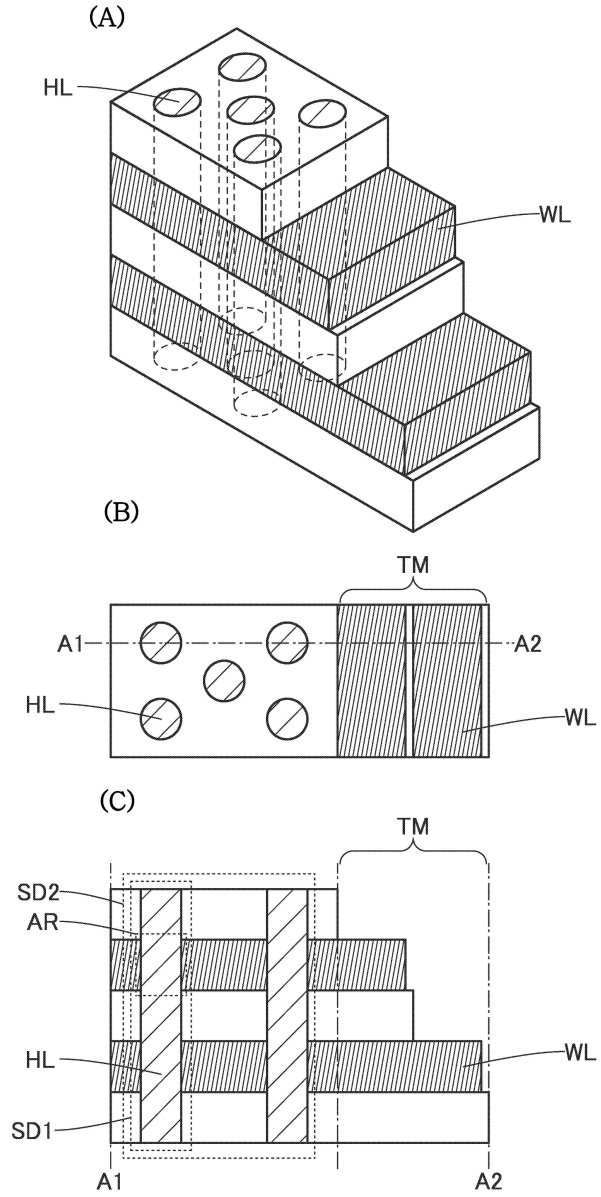
(A)


T30 T31 T32 T33
WL[j]
VPGM
VPS
낮음
BSL
높음
낮음
SSL
높음
낮음
BL
VER
낮음
SL
VER
낮음

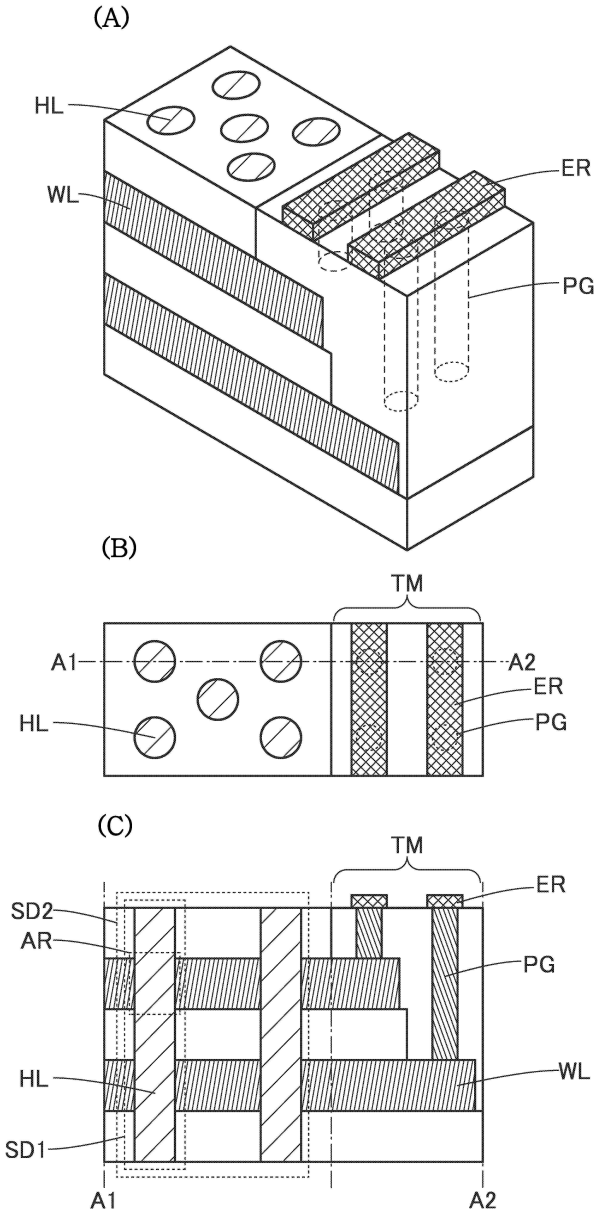
(B)


T40 T41 T42 T43 T44 T45
WL[j]
VPGM
VPS
낮음
BSL
높음
낮음
SSL
높음
낮음
BL
높음
낮음
SL
높음
낮음
BGL
VBGER
낮음

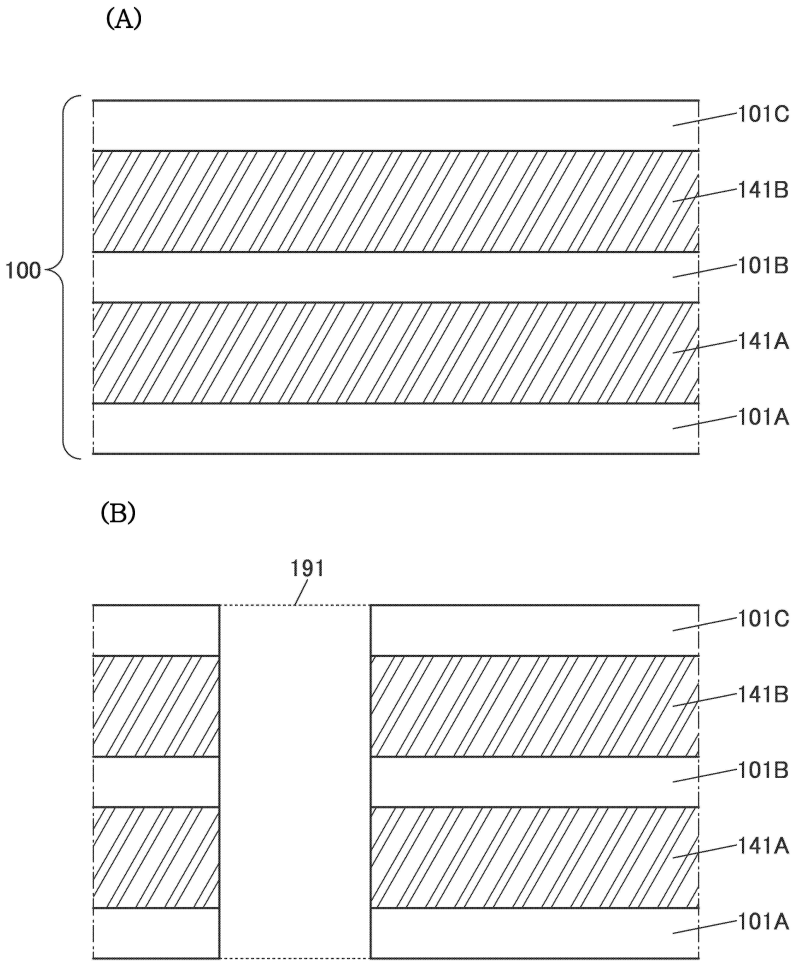
도면6



도면7

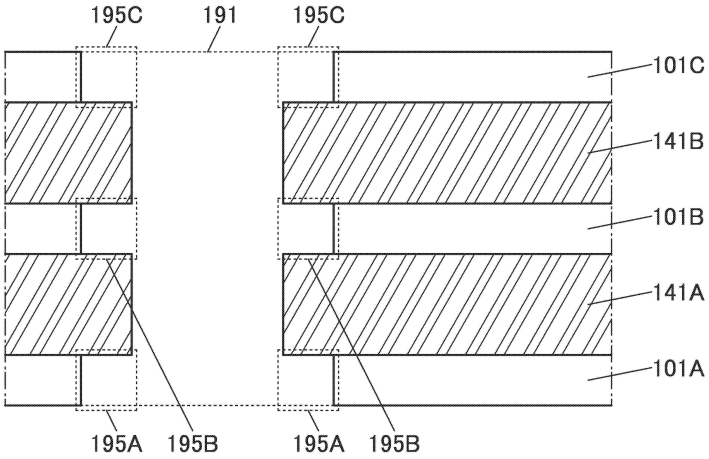


도면8

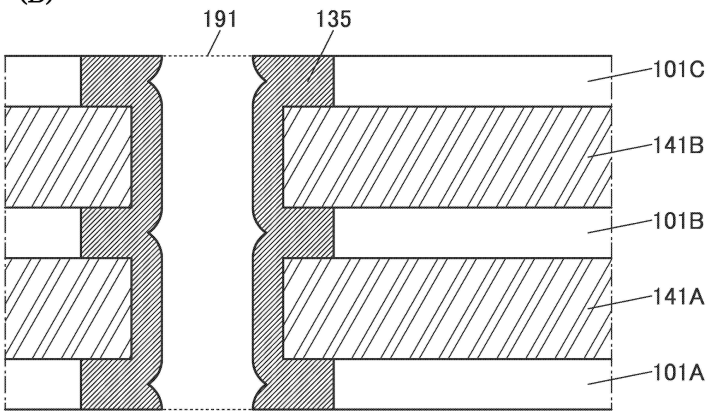


도면9

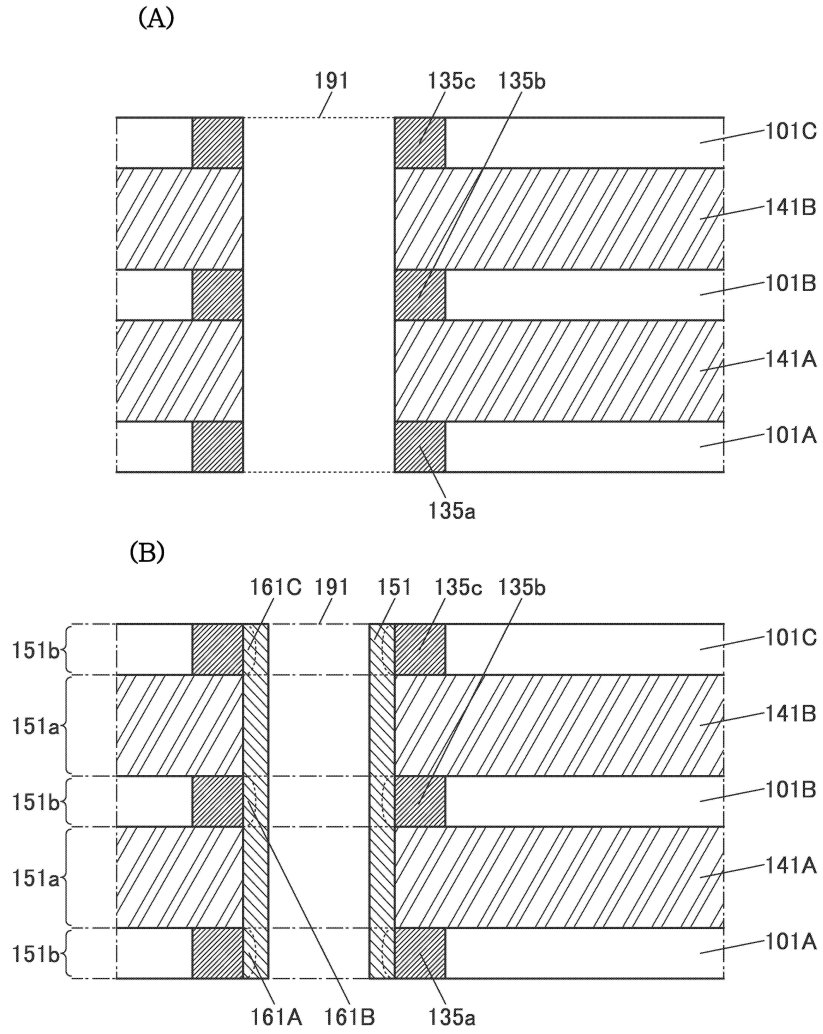
(A)


195C
191
195C
101C
141B
101B
141A
101A
195A
195B
195A
195B

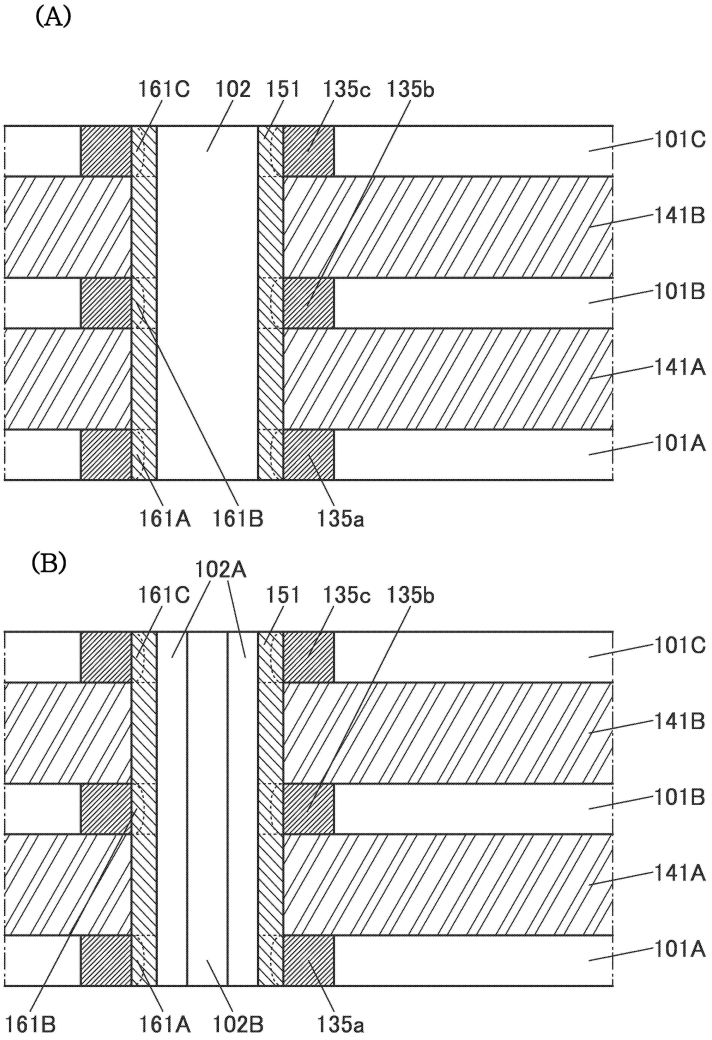
(B)


191
135
101C
141B
101B
141A
101A

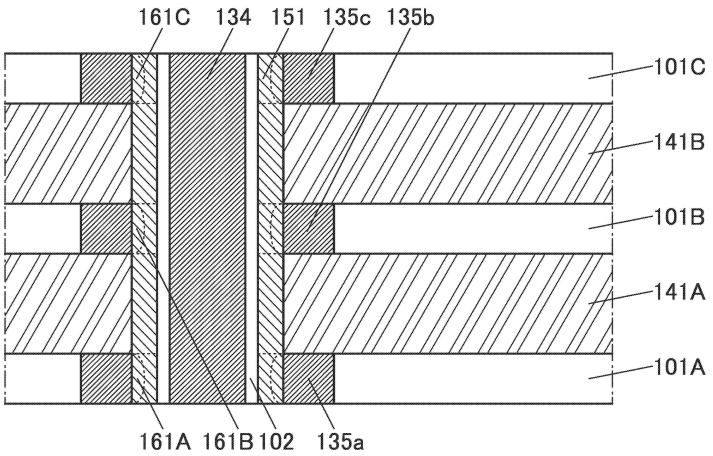
도면10


(A)
191
135c
135b
101C
141B
101B
141A
101A
135a
(B)
161C
191
151
135c
135b
151b
151a
151b
151a
151b
101C
141B
101B
141A
101A
161A
161B
135a

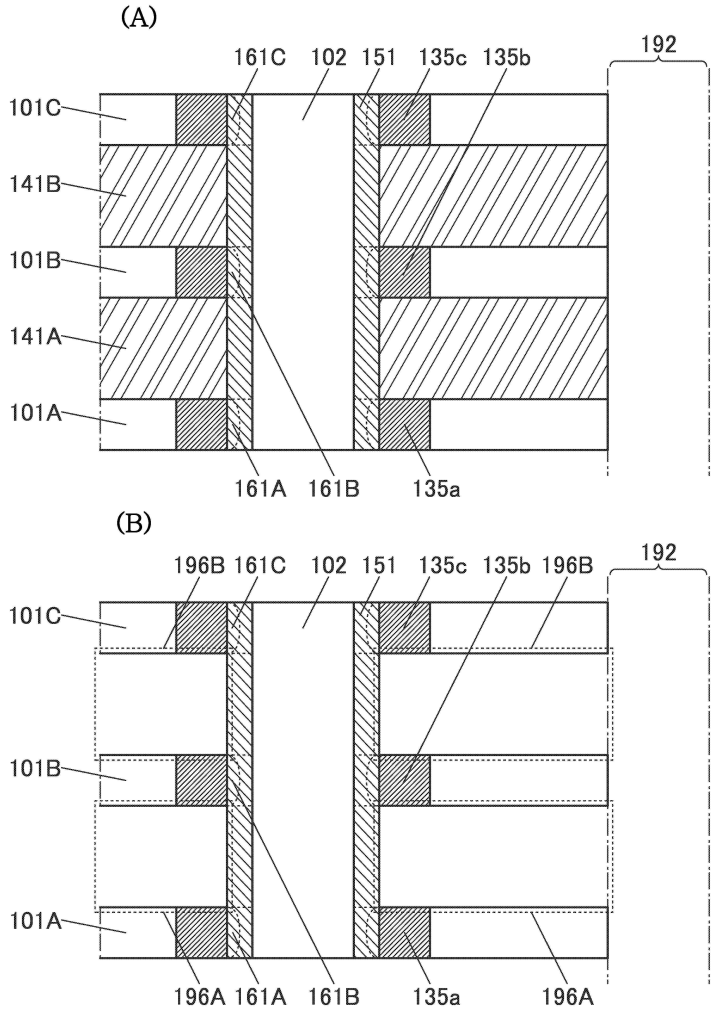
도면11


(A)
161C
102
151
135c
135b
101C
141B
101B
141A
101A
161A
161B
135a
(B)
102A
161C
151
135c
135b
101C
141B
101B
141A
101A
161B
161A
102B
135a

도면12

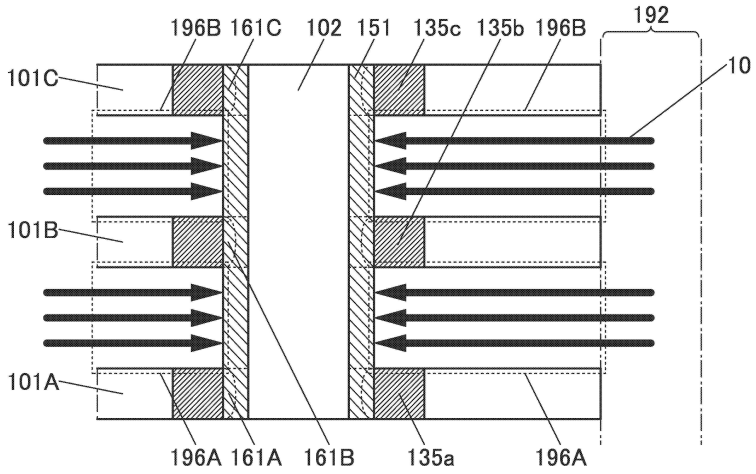

161C
134
151
135c
135b
101C
141B
101B
141A
101A
161A
161B
102
135a

도면13

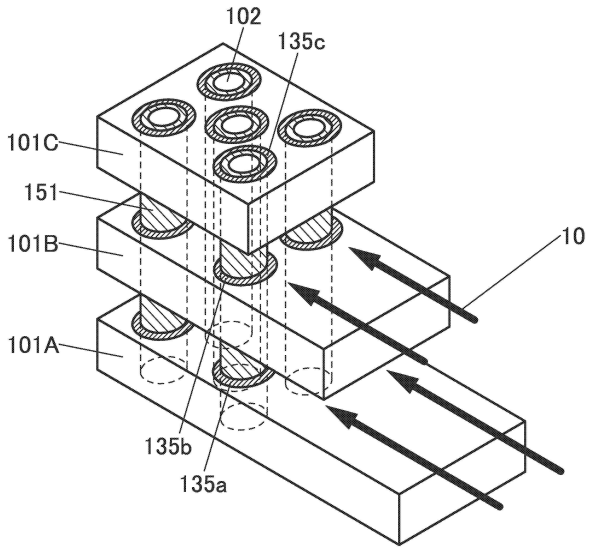

(A)
161C
102
151
135c
135b
192
101C
141B
101B
141A
101A
161A
161B
135a
(B)
196B
161C
102
151
135c
135b
196B
192
101C
101B
101A
196A
161A
161B
135a
196A

도면14

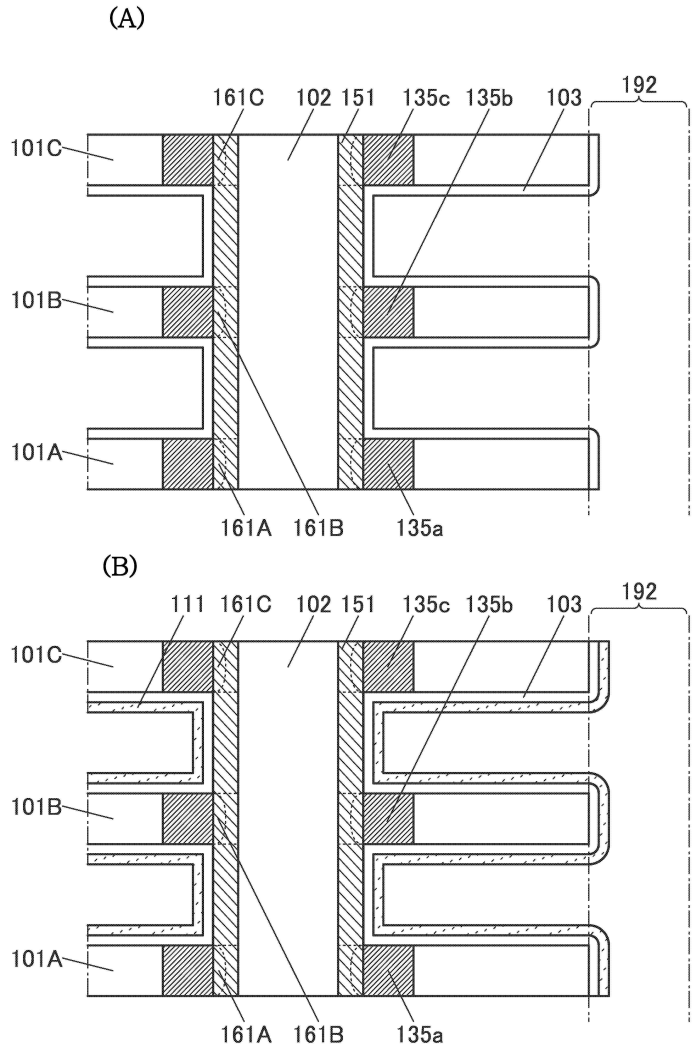
(A)


196B
161C
102
151
135c
135b
196B
192
10
101C
101B
101A
196A
161A
161B
135a
196A

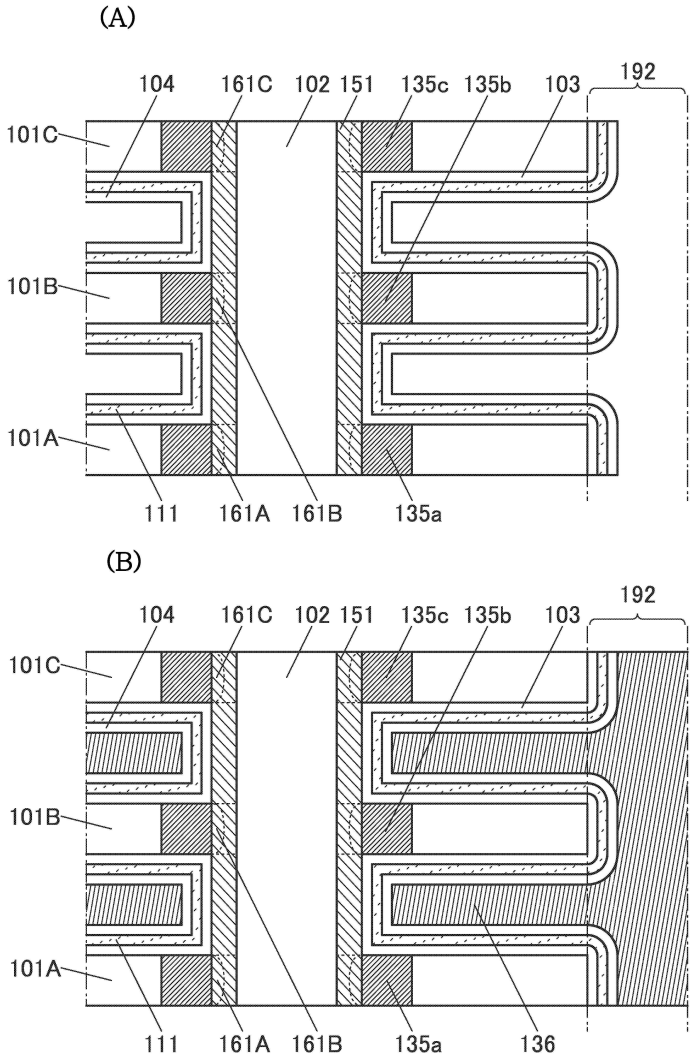
(B)


102
135c
101C
151
101B
10
101A
135b
135a

도면15

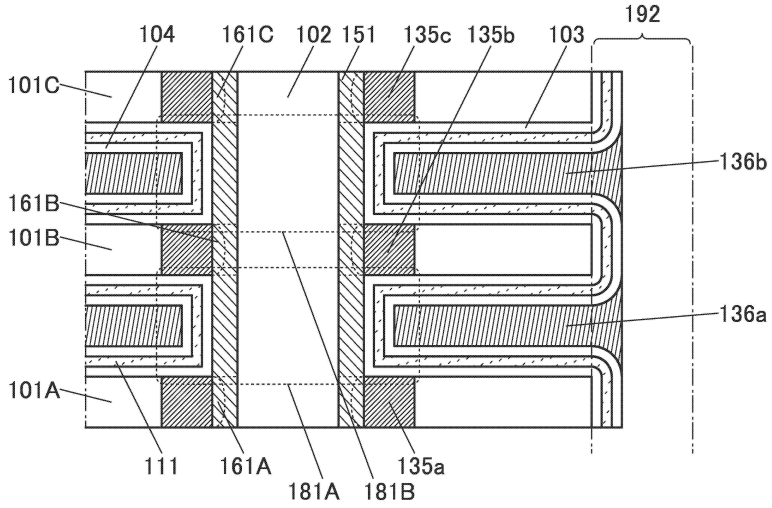

(A)
161C
102
151
135c
135b
103
192
101C
101B
101A
161A
161B
135a
(B)
111
161C
102
151
135c
135b
103
192
101C
101B
101A
161A
161B
135a

도면16

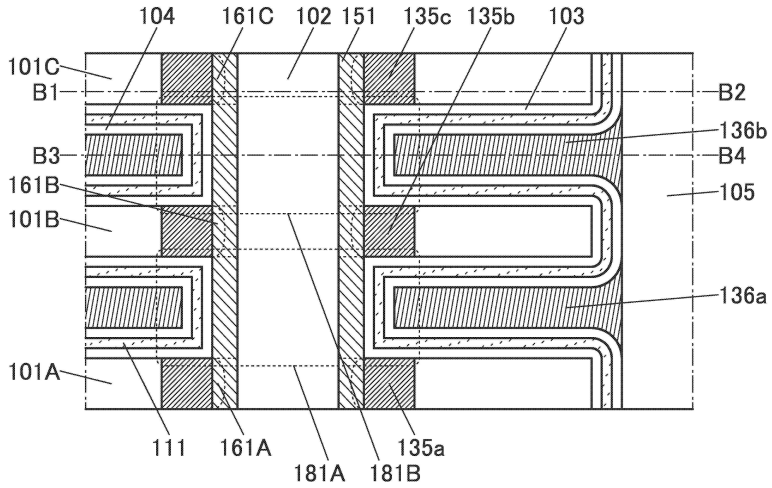

(A)
104
161C
102
151
135c
135b
103
192
101C
101B
101A
111
161A
161B
135a
(B)
104
161C
102
151
135c
135b
103
192
101C
101B
101A
111
161A
161B
135a
136

도면17

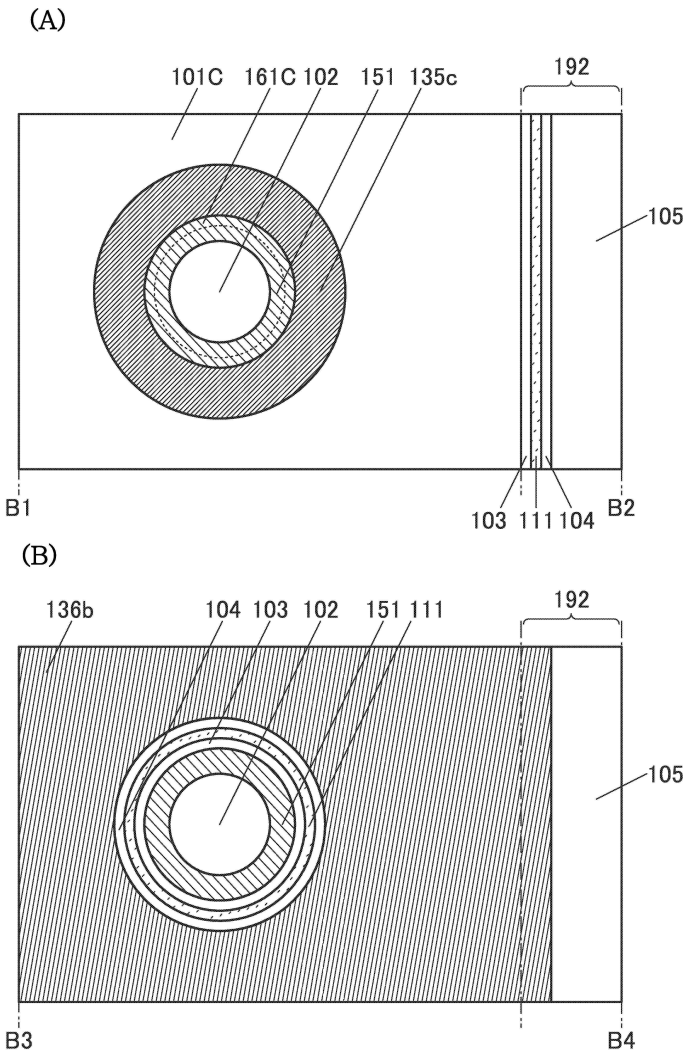
(A)


104
161C
102
151
135c
135b
103
192
101C
136b
161B
101B
136a
101A
111
161A
181A
181B
135a

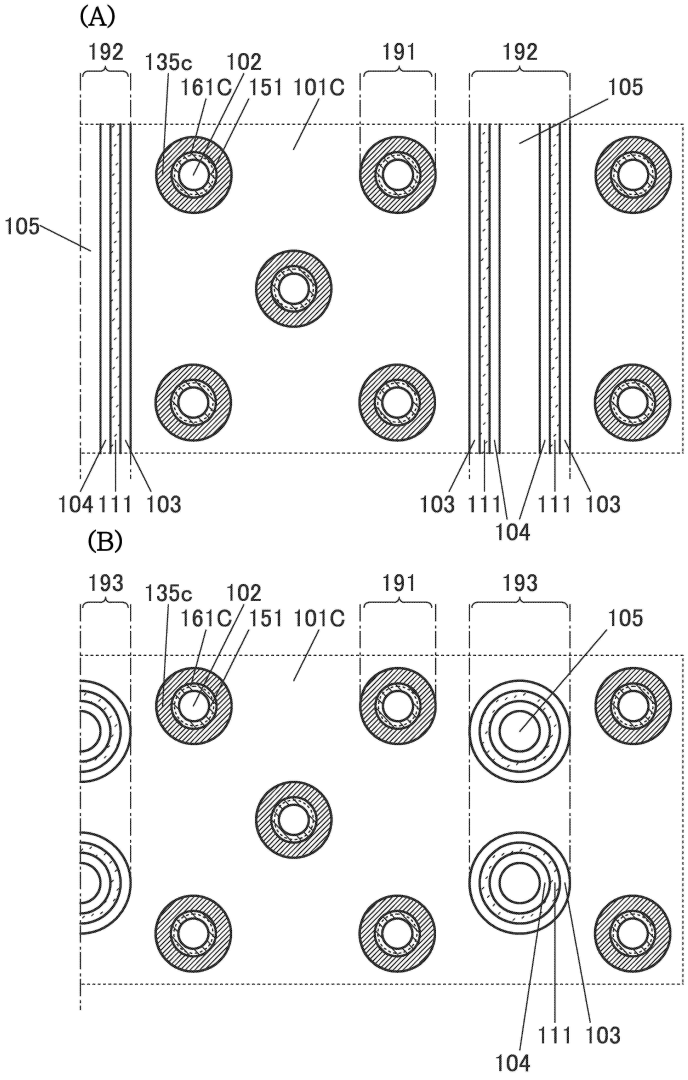
(B)


104
161C
102
151
135c
135b
103
101C
B1
B2
136b
B3
B4
161B
105
101B
136a
101A
111
161A
181A
181B
135a

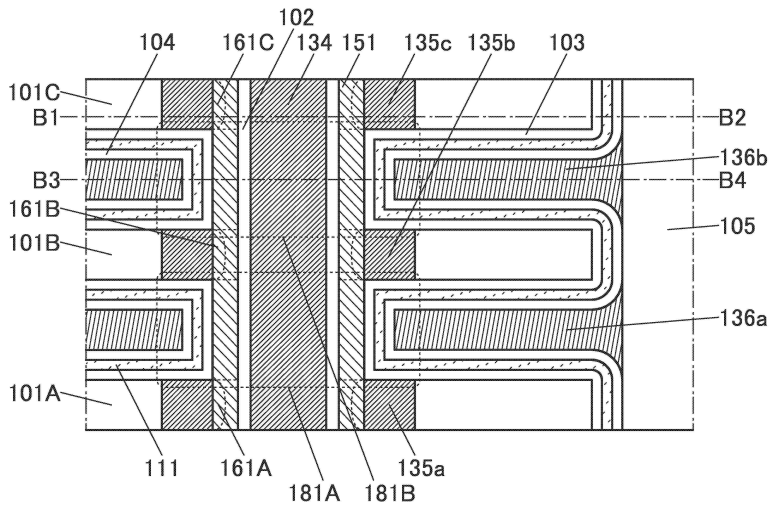
도면18


(A)
101C
161C
102
151
135c
192
105
B1
103
111
104
B2
(B)
136b
104
103
102
151
111
192
105
B3
B4

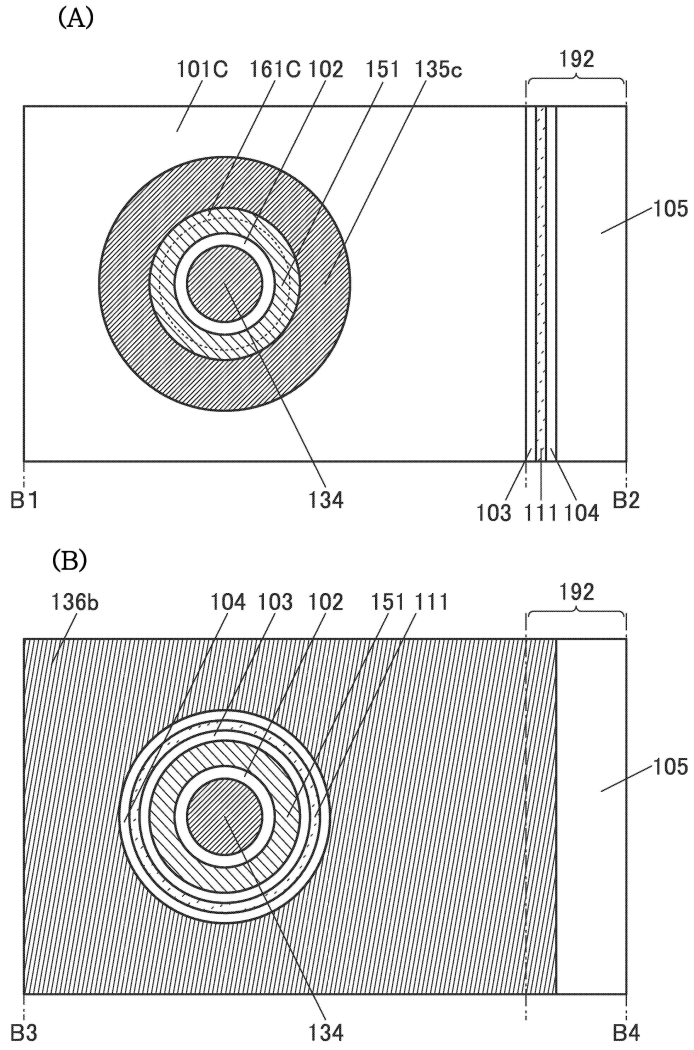
도면19


(A)
192
135c
102
161C
151
101C
191
192
105
105
104
111
103
103
111
104
111
103
(B)
193
135c
102
161C
151
101C
191
193
105
104
111
103

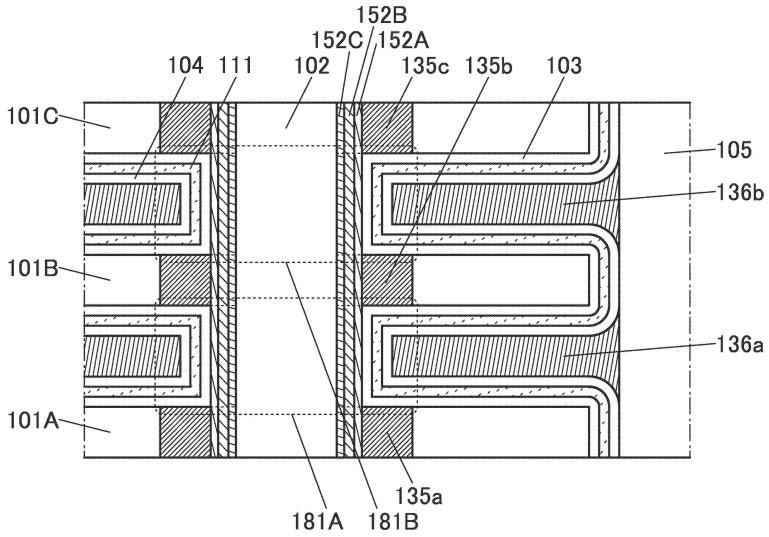
도면20


102
104
161C
134
151
135c
135b
103
101C
B1
B2
136b
B3
B4
161B
105
101B
136a
101A
111
161A
181A
181B
135a

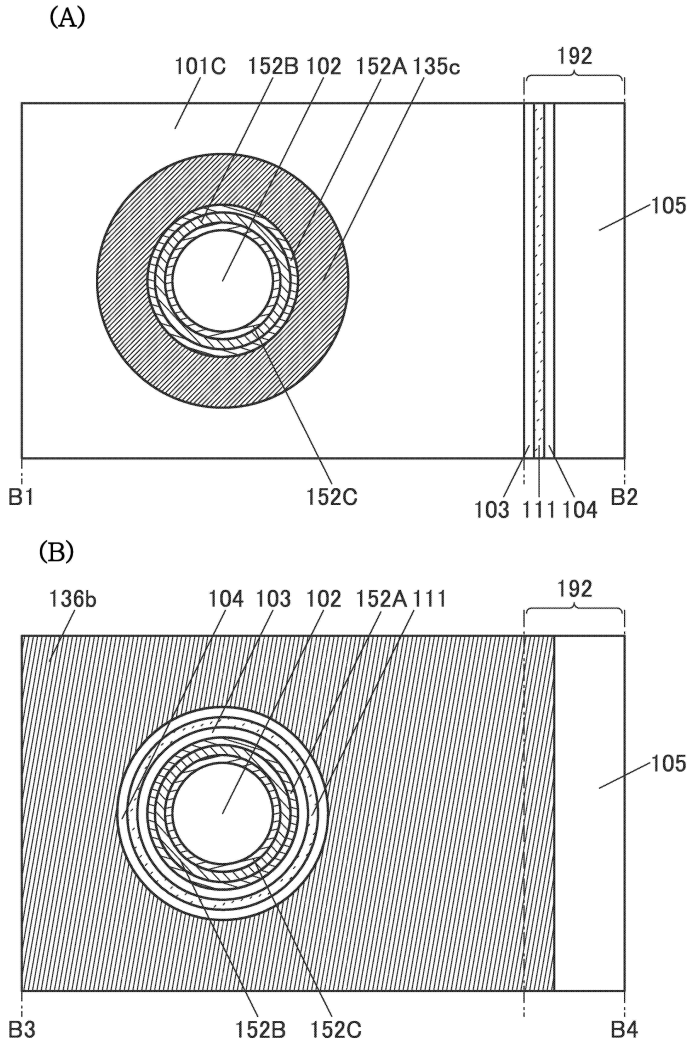
도면21


(A)
101C
161C
102
151
135c
192
105
B1
134
103
111
104
B2
(B)
136b
104
103
102
151
111
192
105
B3
134
B4

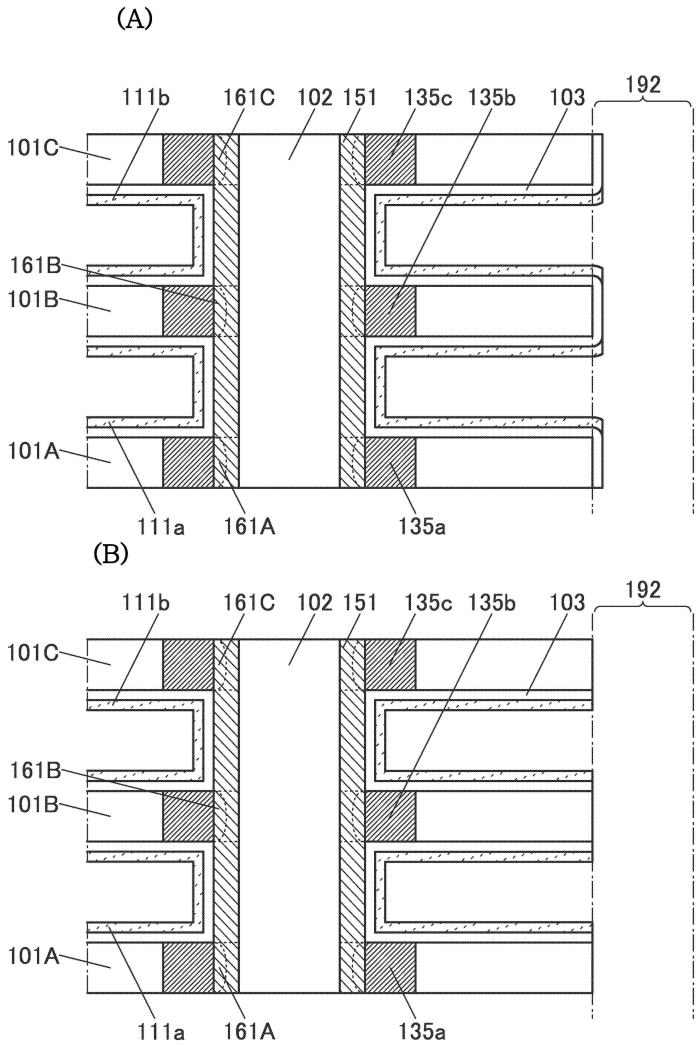
도면22


152B
152C
152A
104
111
102
135c
135b
103
101C
105
136b
101B
136a
101A
135a
181A
181B

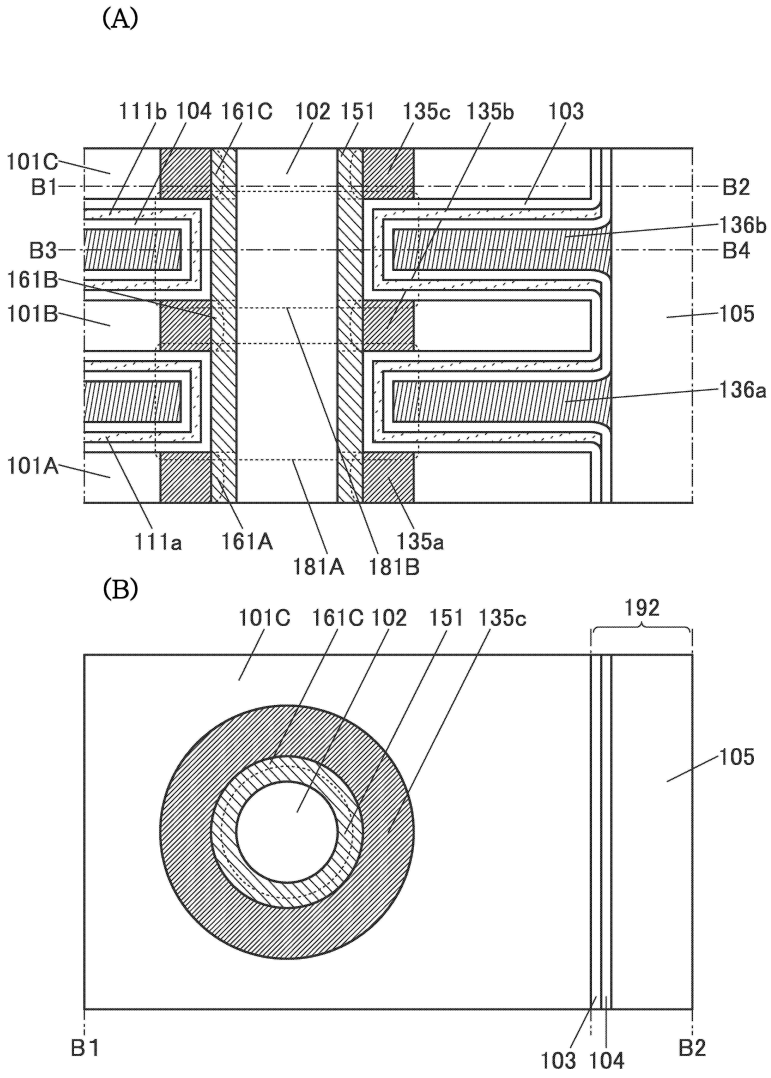
도면23


(A)
101C
152B
102
152A
135c
192
105
B1
152C
103
111
104
B2
(B)
136b
104
103
102
152A
111
192
105
B3
152B
152C
B4

도면24

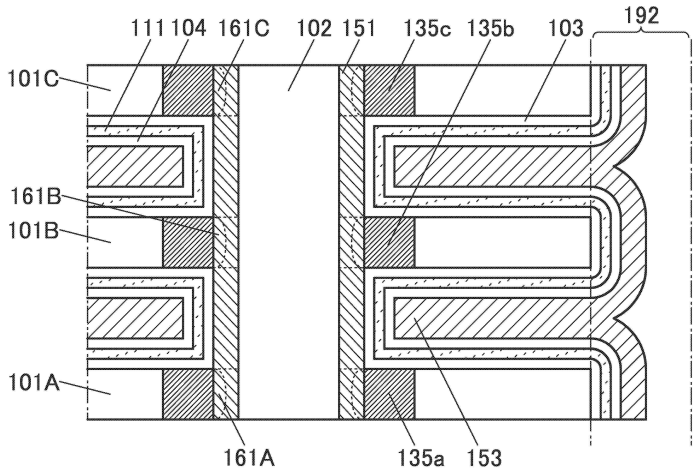

(A)
111b
161C
102
151
135c
135b
103
192
101C
161B
101B
101A
111a
161A
135a
(B)
111b
161C
102
151
135c
135b
103
192
101C
161B
101B
101A
111a
161A
135a

도면25

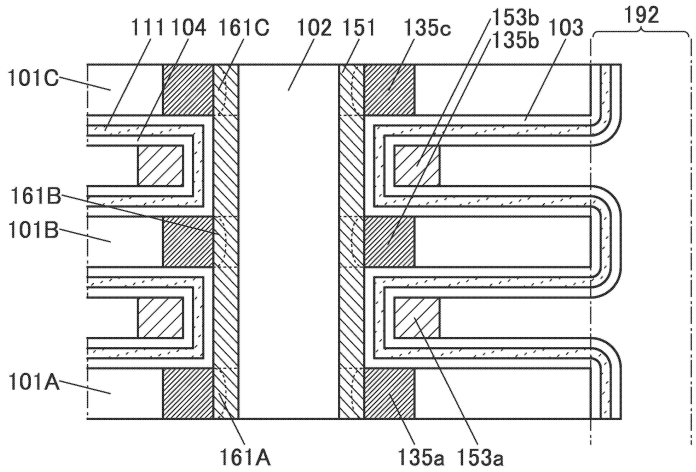

(A)
111b
104
161C
102
151
135c
135b
103
101C
B1
B2
136b
B3
B4
161B
101B
105
136a
101A
111a
161A
181A
181B
135a
(B)
101C
161C
102
151
135c
192
105
B1
103
104
B2

도면26

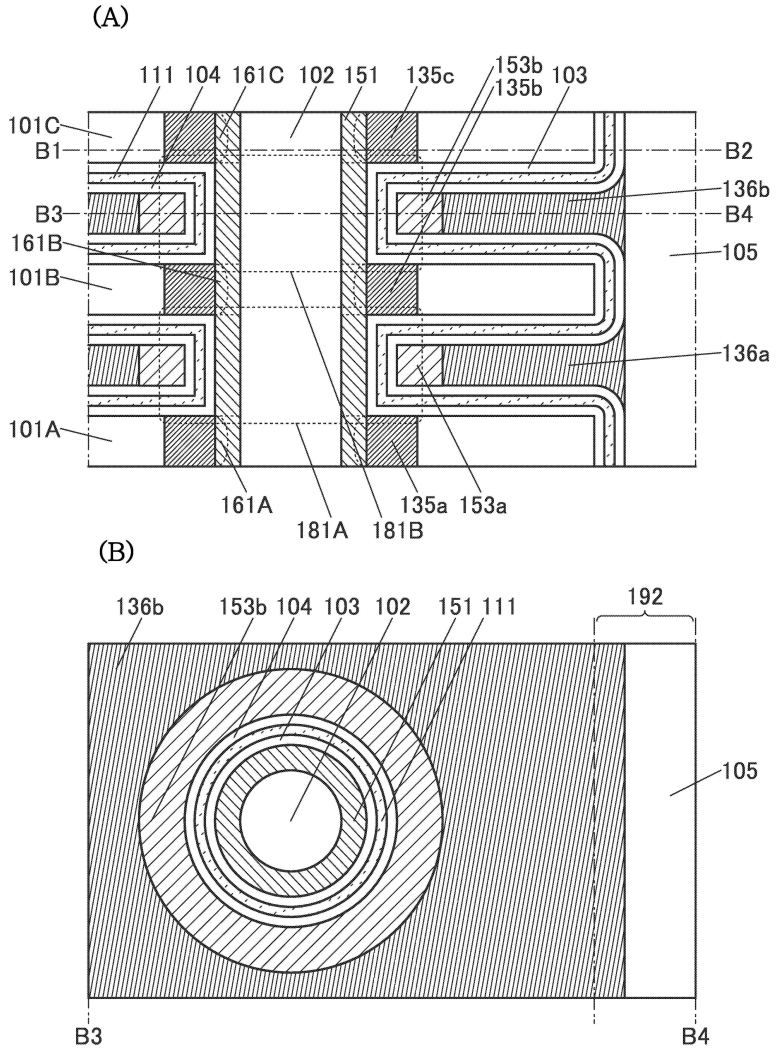
(A)


111
104
161C
102
151
135c
135b
103
192
101C
161B
101B
101A
161A
135a
153

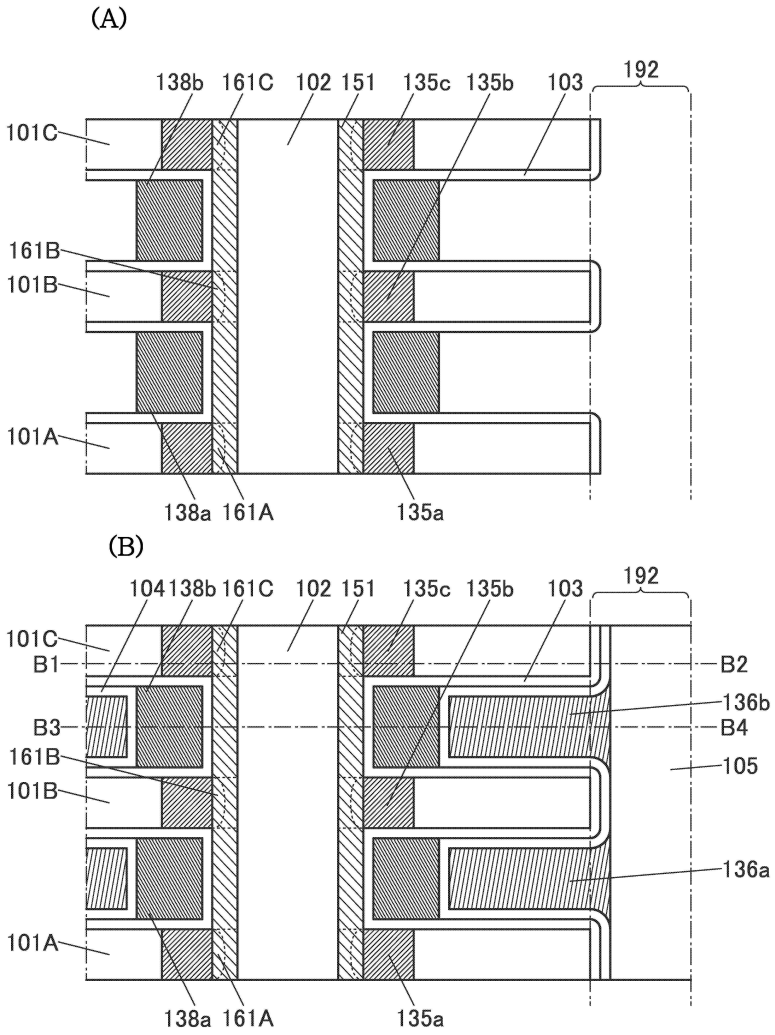
(B)


111
104
161C
102
151
135c
153b
135b
103
192
101C
161B
101B
101A
161A
135a
153a

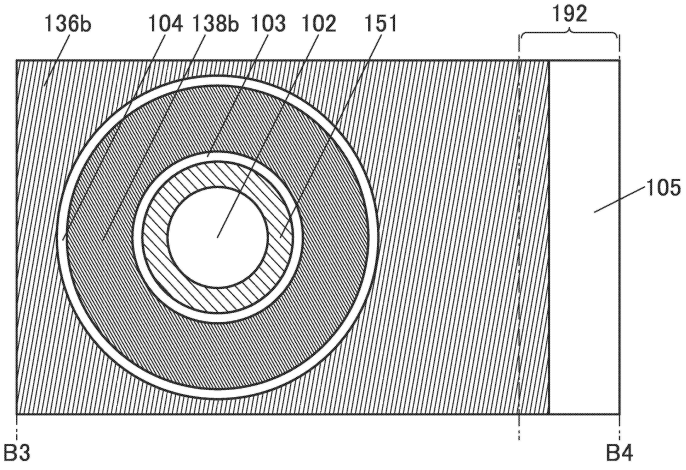
도면27


(A)
111
104
161C
102
151
135c
153b
135b
103
101C
B1
B2
B3
B4
136b
161B
105
101B
136a
101A
161A
181A
181B
135a
153a
(B)
136b
153b
104
103
102
151
111
192
105
B3
B4

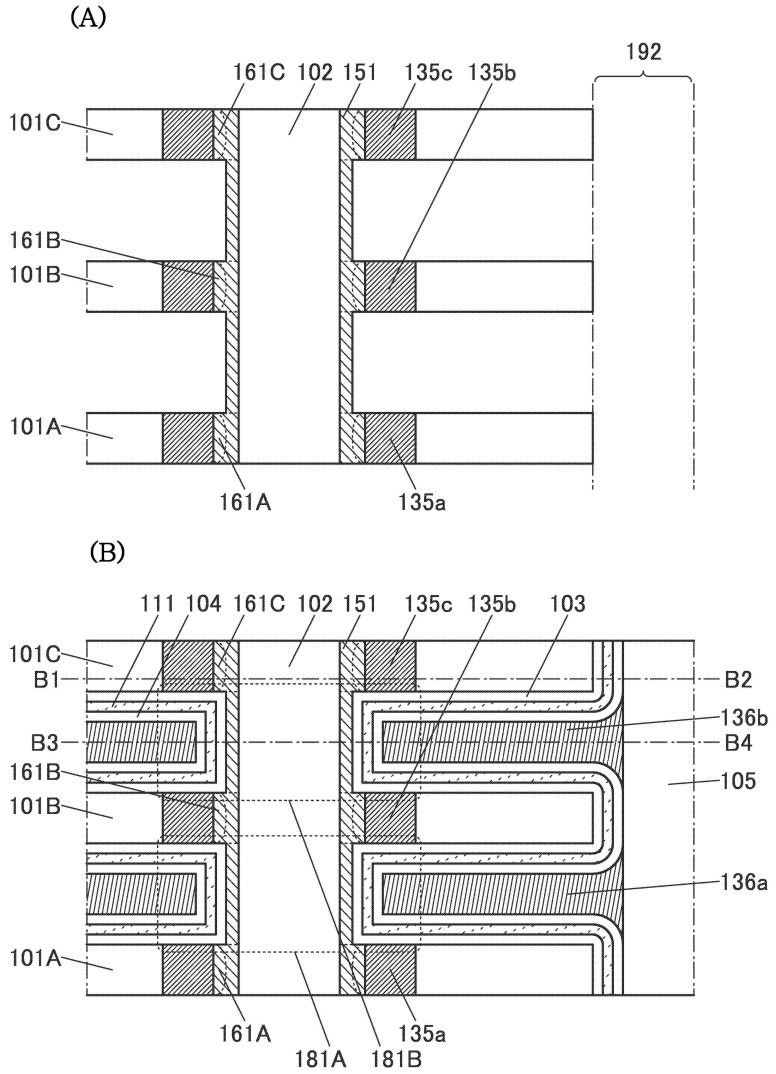
도면28


(A)
138b
161C
102
151
135c
135b
103
192
101C
161B
101B
101A
138a
161A
135a
(B)
104
138b
161C
102
151
135c
135b
103
192
101C
B1
B2
136b
B3
B4
161B
105
101B
136a
101A
138a
161A
135a

도면29

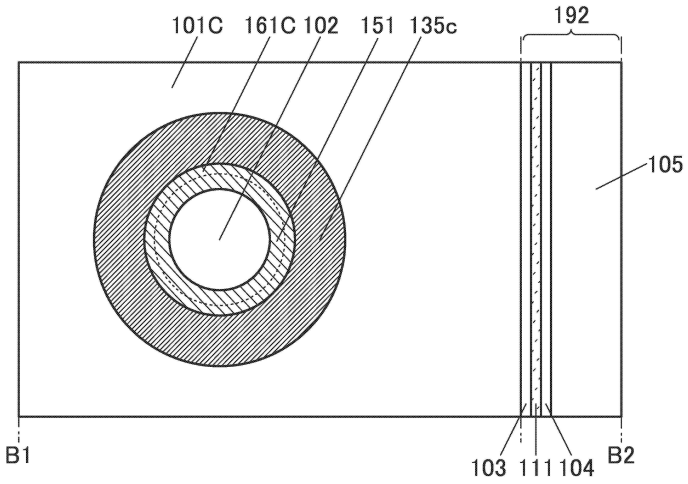

136b
104
138b
103
102
151
192
105
B3
B4

도면30

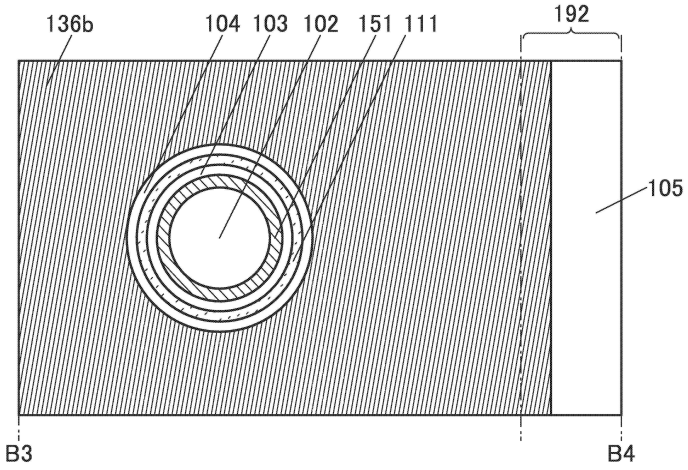

(A)
161C
102
151
135c
135b
192
101C
161B
101B
101A
161A
135a
(B)
111
104
161C
102
151
135c
135b
103
101C
B1
B2
136b
B3
B4
161B
105
101B
136a
101A
161A
181A
181B
135a

도면31

(A)

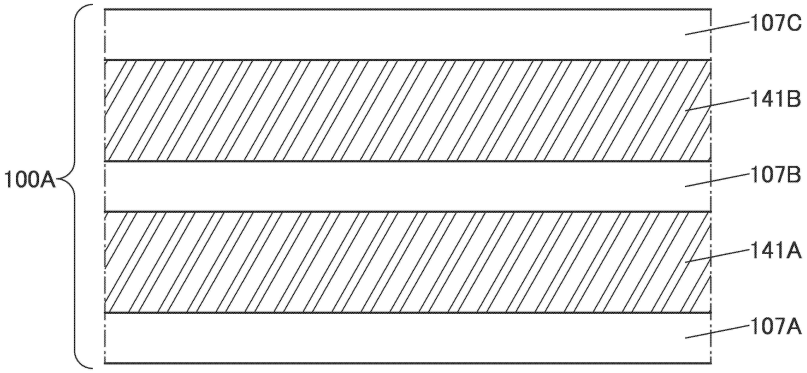

101C
161C
102
151
135c
192
105
B1
103
111
104
B2

(B)

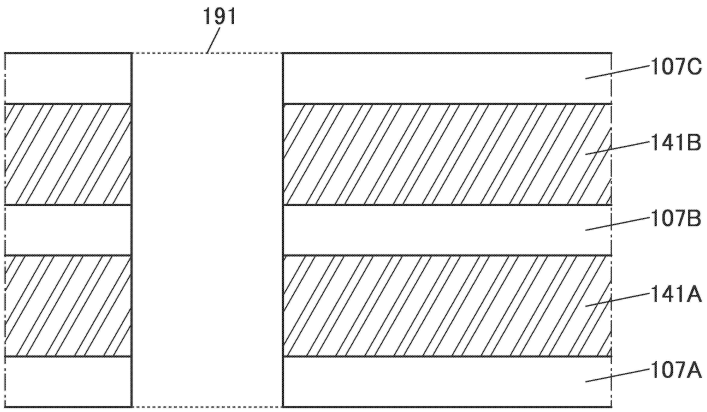

136b
104
103
102
151
111
192
105
B3
B4

도면32

(A)

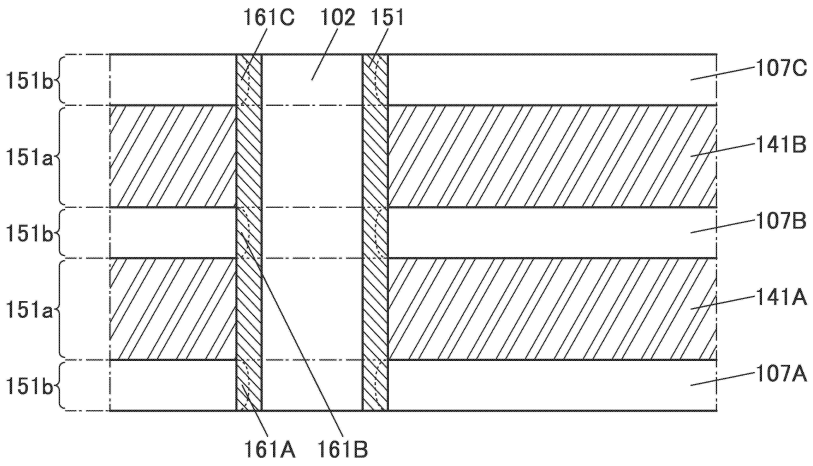


(B)

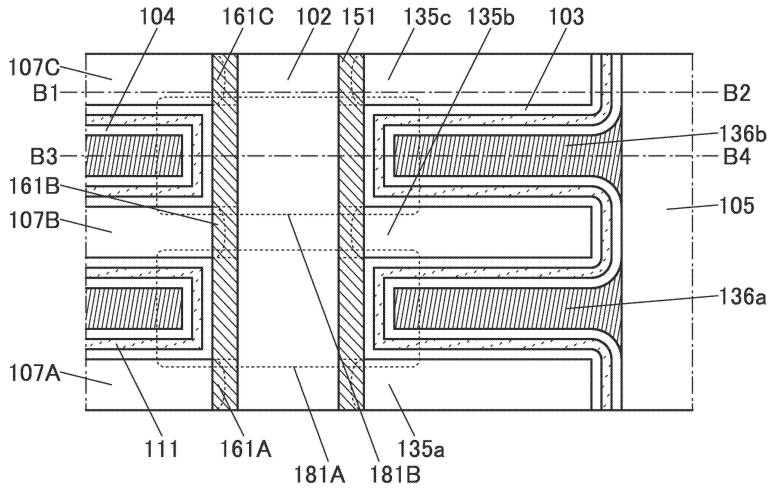


도면33

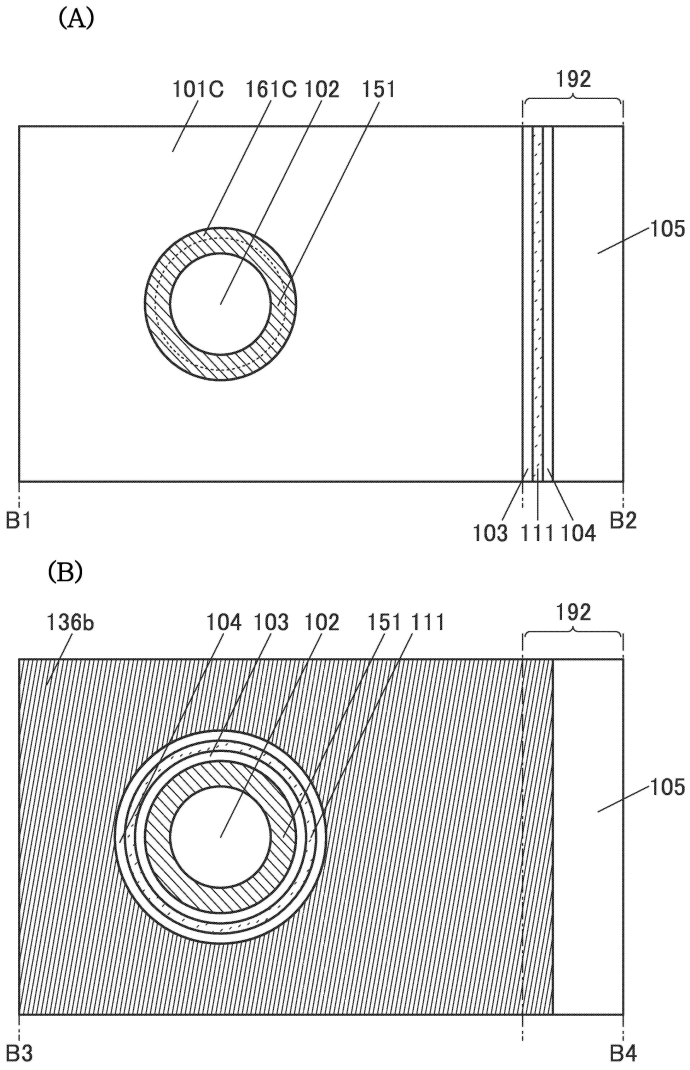
(A)


161C
102
151
151b
151a
151b
151a
151b
107C
141B
107B
141A
107A
161A
161B

(B)

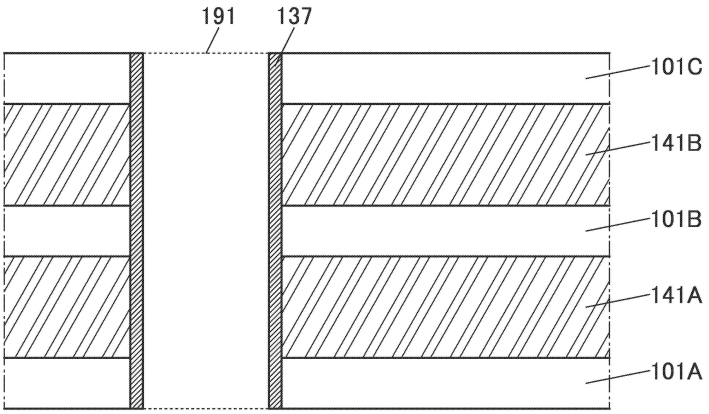

104
161C
102
151
135c
135b
103
107C
B1
B2
B3
B4
161B
107B
136b
105
136a
107A
111
161A
181A
181B
135a

도면34

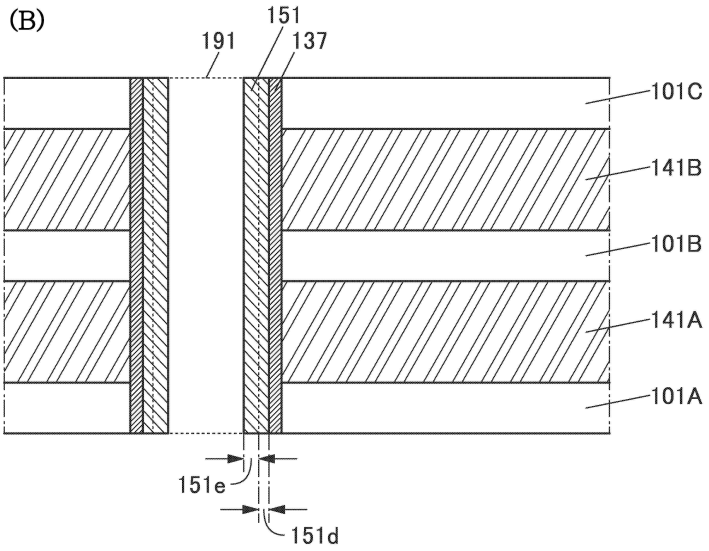

(A)
101C
161C
102
151
192
105
B1
103
111
104
B2
(B)
136b
104
103
102
151
111
192
105
B3
B4

도면35

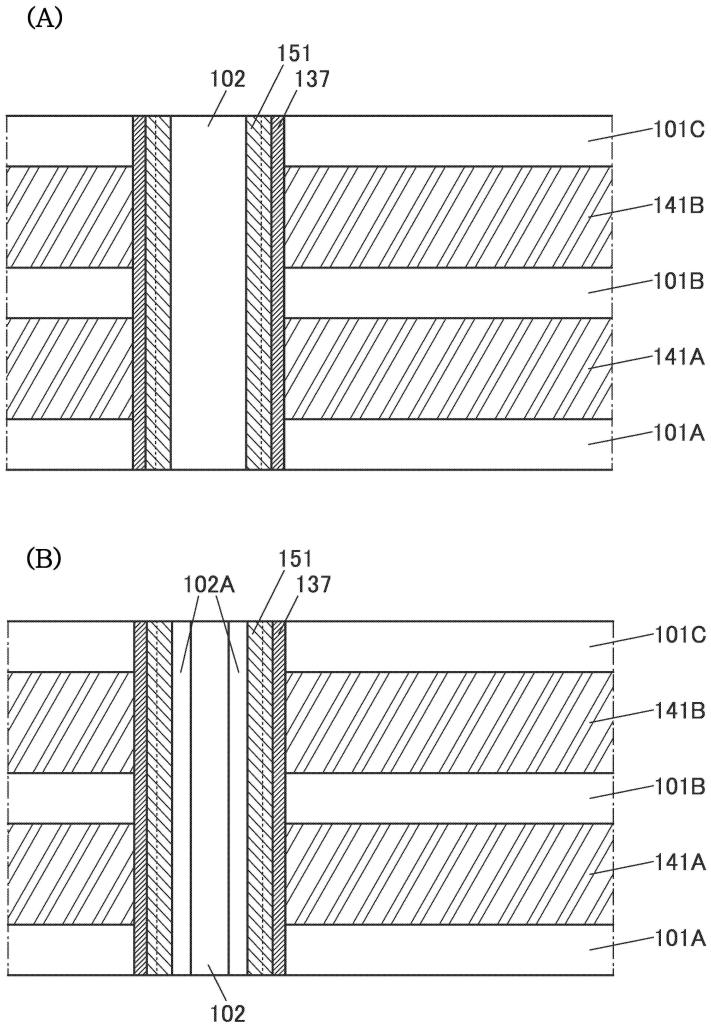
(A)


191
137
101C
141B
101B
141A
101A

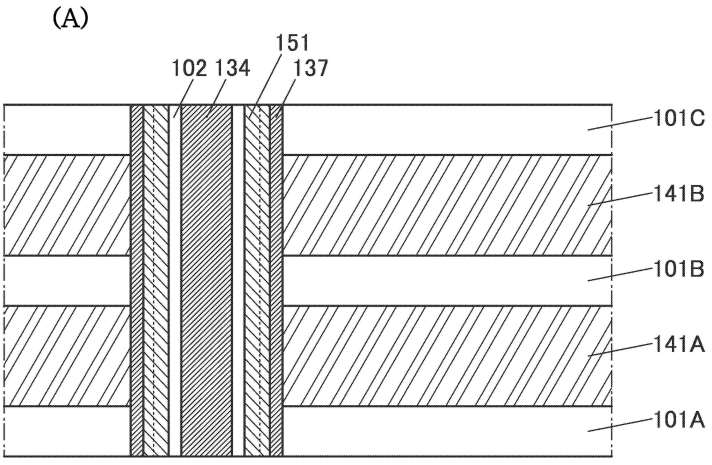
(B)


151
191
137
101C
141B
101B
141A
101A
151e
151d

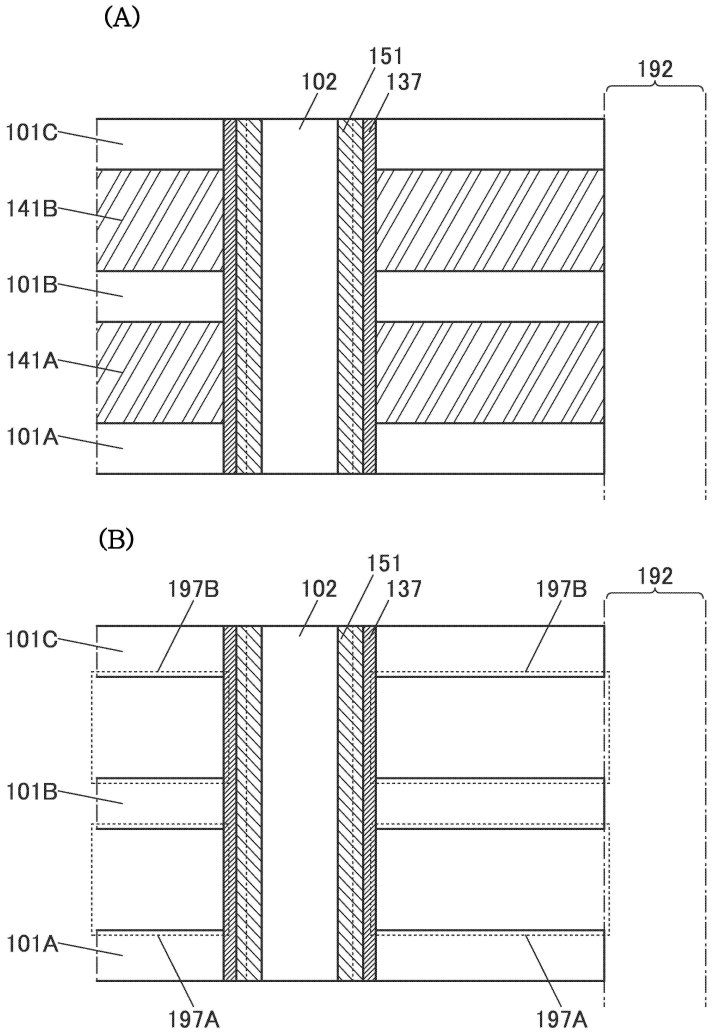
도면36


(A)
151
102
137
101C
141B
101B
141A
101A
(B)
151
102A
137
101C
141B
101B
141A
101A
102

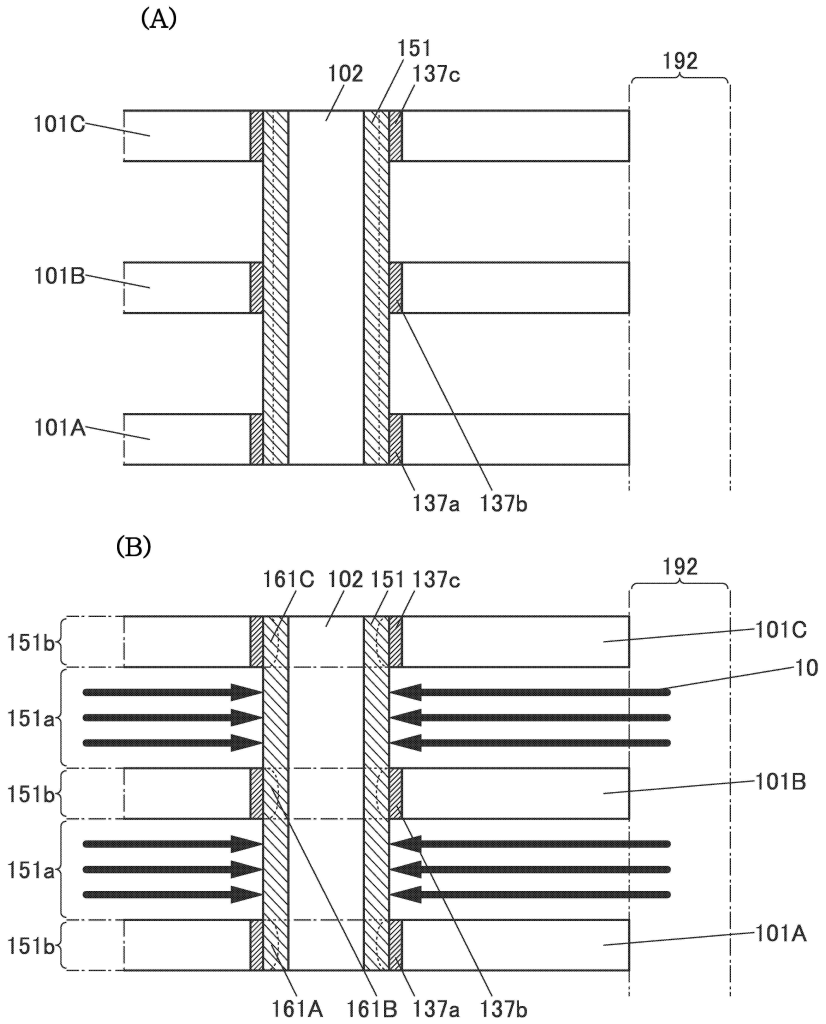
도면37


(A)
151
102
134
137
101C
141B
101B
141A
101A

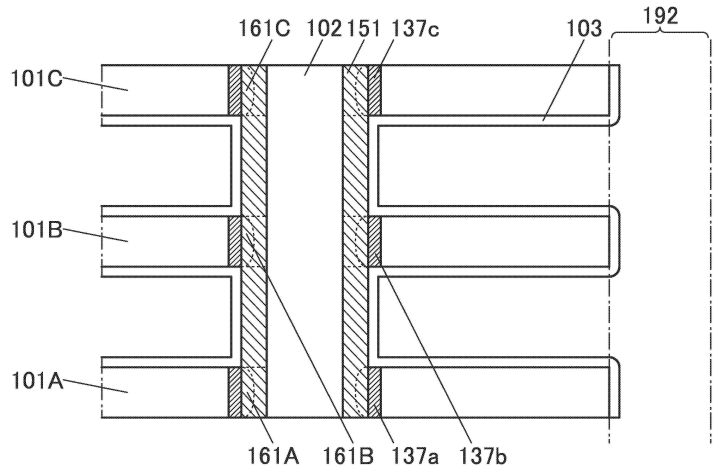
도면38


(A)
151
102
137
192
101C
141B
101B
141A
101A
(B)
151
197B
102
137
197B
192
101C
101B
101A
197A
197A

도면39

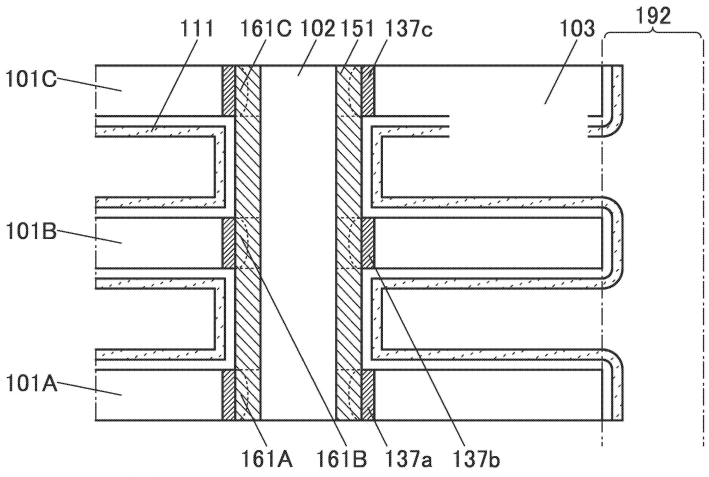

(A)
151
102
137c
192
101C
101B
101A
137a
137b
(B)
161C
102
151
137c
192
151b
101C
10
151a
151b
101B
151a
151b
101A
161A
161B
137a
137b

도면40

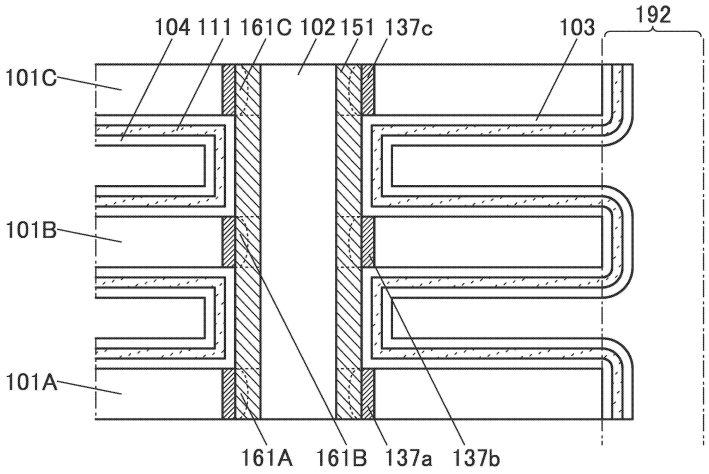

161C
102
151
137c
103
192
101C
101B
101A
161A
161B
137a
137b

도면41

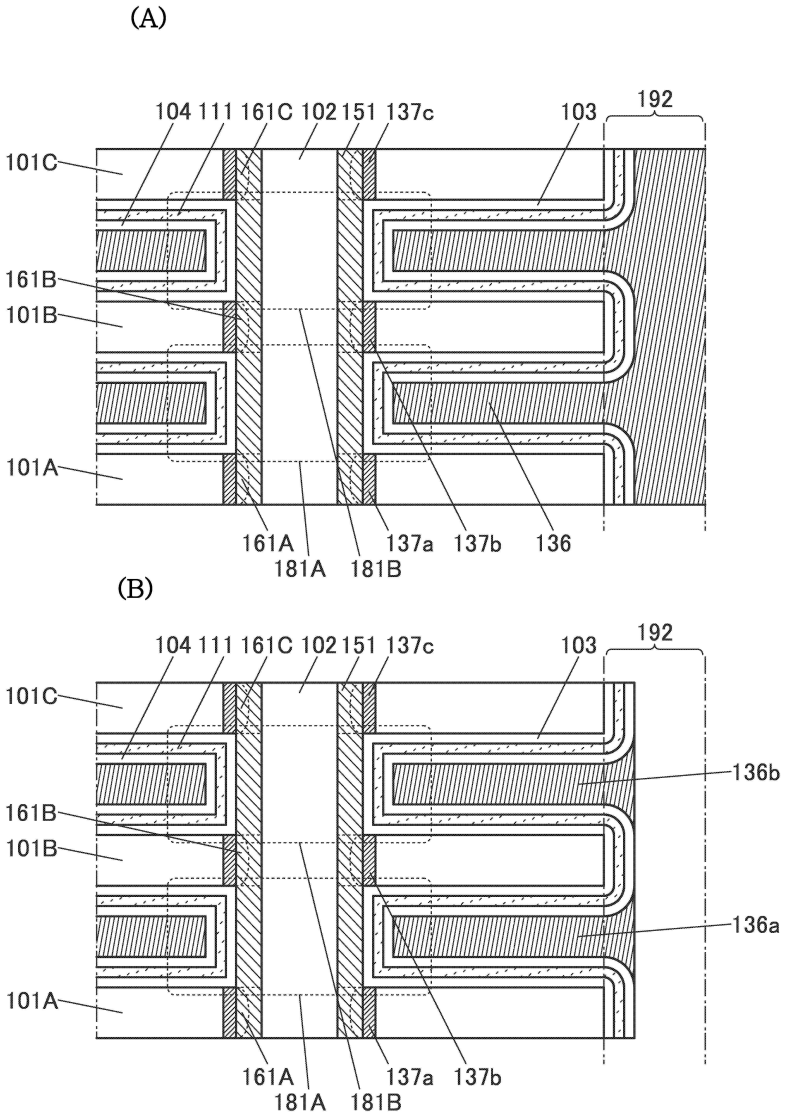
(A)


111
161C
102
151
137c
103
192
101C
101B
101A
161A
161B
137a
137b

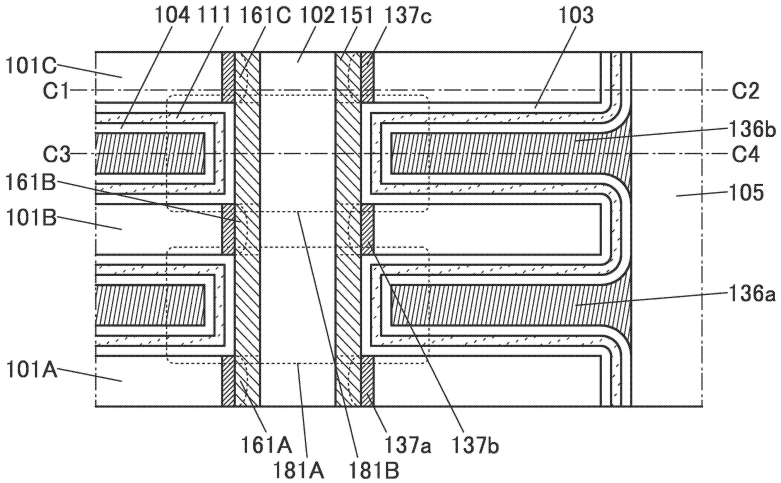
(B)


104
111
161C
102
151
137c
103
192
101C
101B
101A
161A
161B
137a
137b

도면42

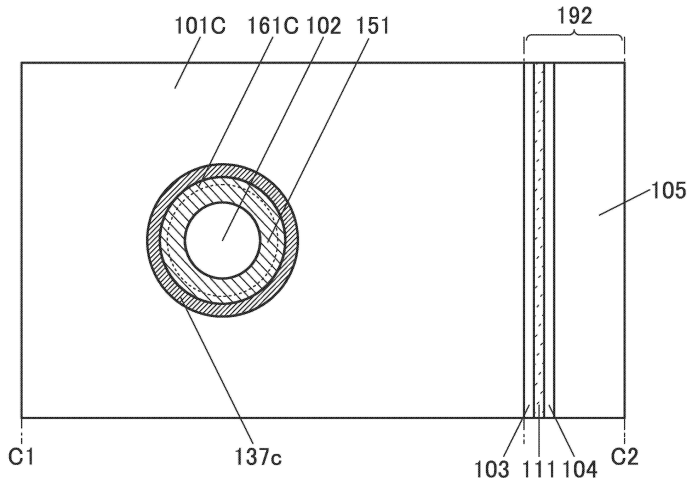

(A)
104 111 161C 102 151 137c
103
192
101C
161B
101B
101A
161A
181A
181B
137a
137b
136
(B)
104 111 161C 102 151 137c
103
192
101C
161B
101B
101A
136b
136a
161A
181A
181B
137a
137b

도면43

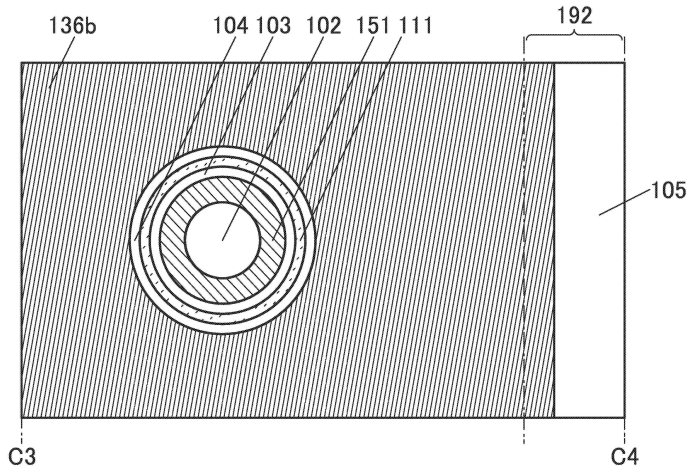

104 111 161C 102 151 137c
103
101C
C1
C2
C3
C4
161B
101B
101A
136b
105
136a
161A
181A
181B
137a
137b

도면44

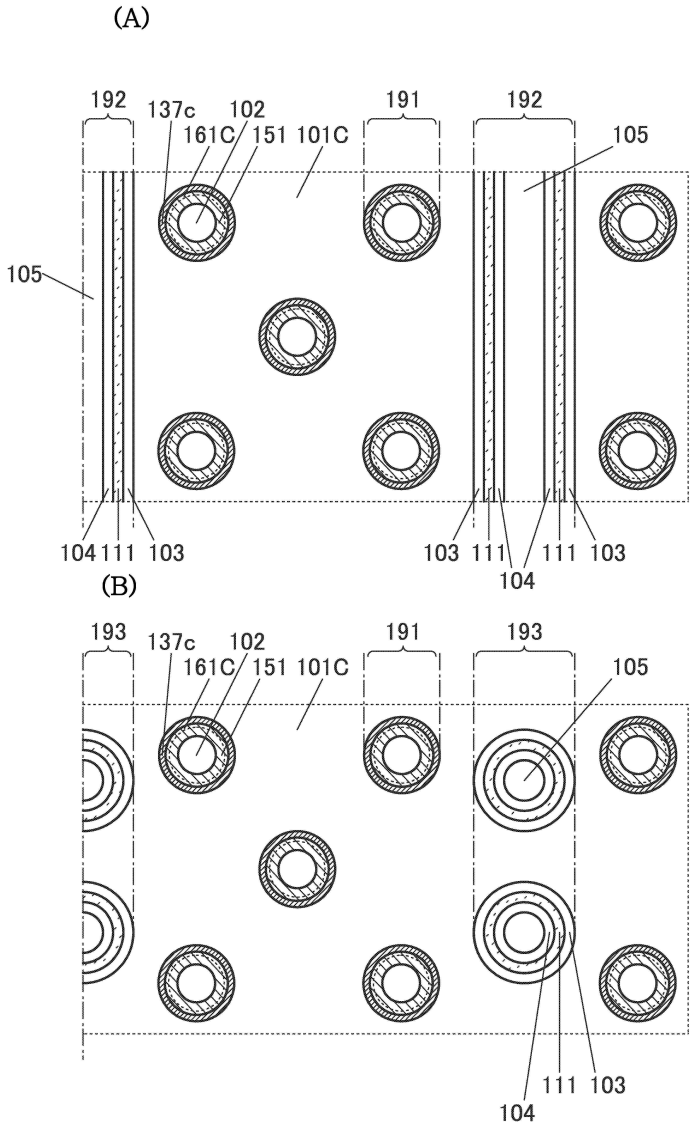
(A)


101C
161C
102
151
192
105
C1
137c
103
111
104
C2

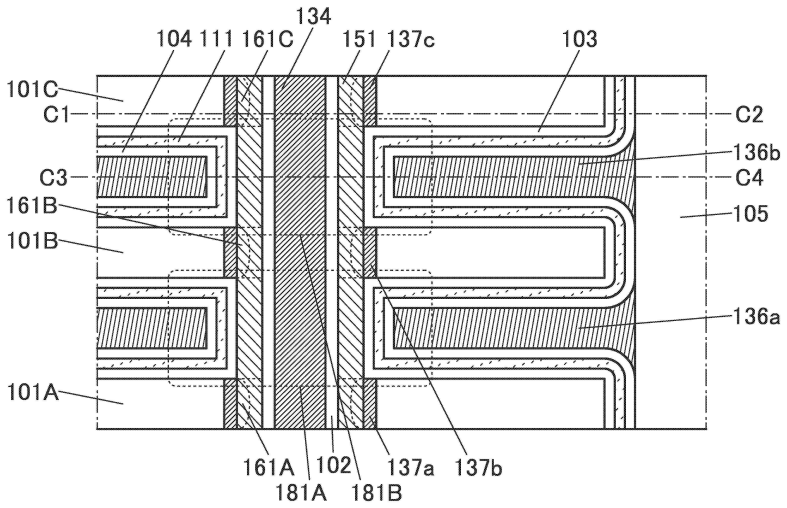
(B)


136b
104
103
102
151
111
192
105
C3
C4

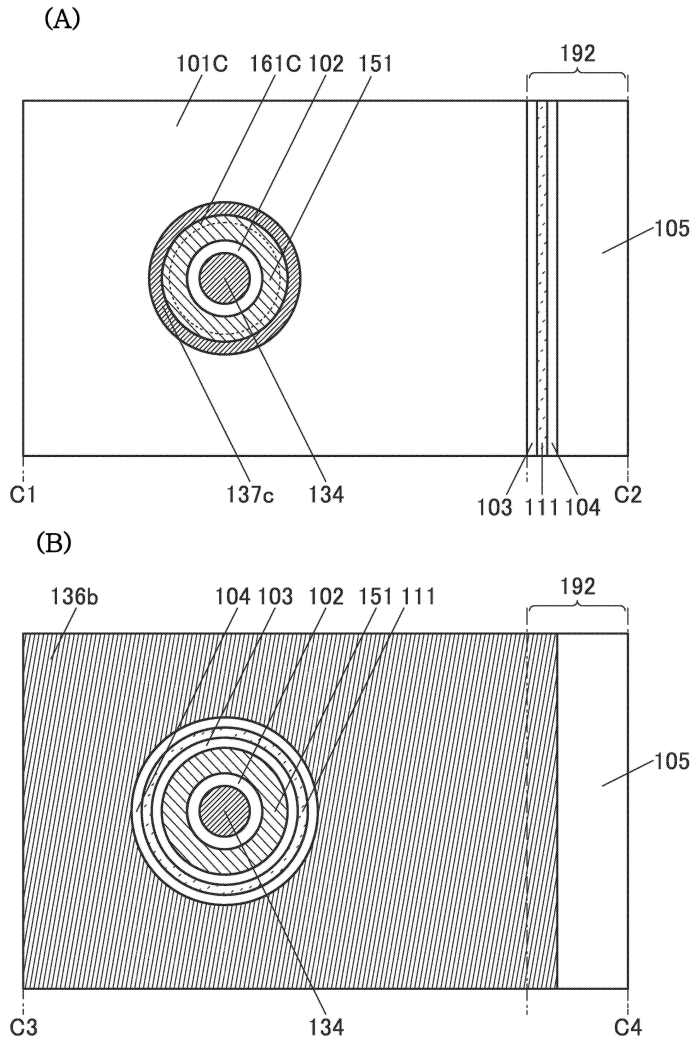
도면45


(A)
192
137c
102
161C
151
101C
191
192
105
105
104
111
103
103
111
104
111
103
(B)
193
137c
102
161C
151
101C
191
193
105
104
111
103

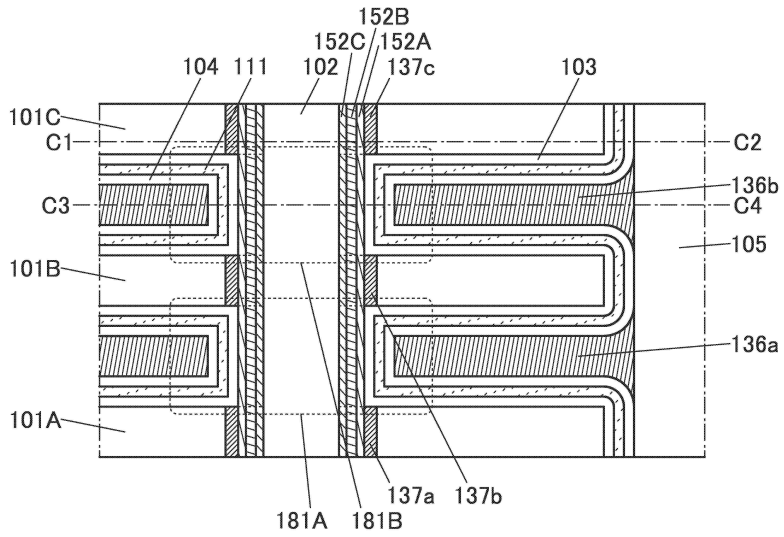
도면46


134
104
111
161C
151
137c
103
101C
C1
C2
136b
C3
C4
161B
105
101B
136a
101A
161A
181A
102
181B
137a
137b

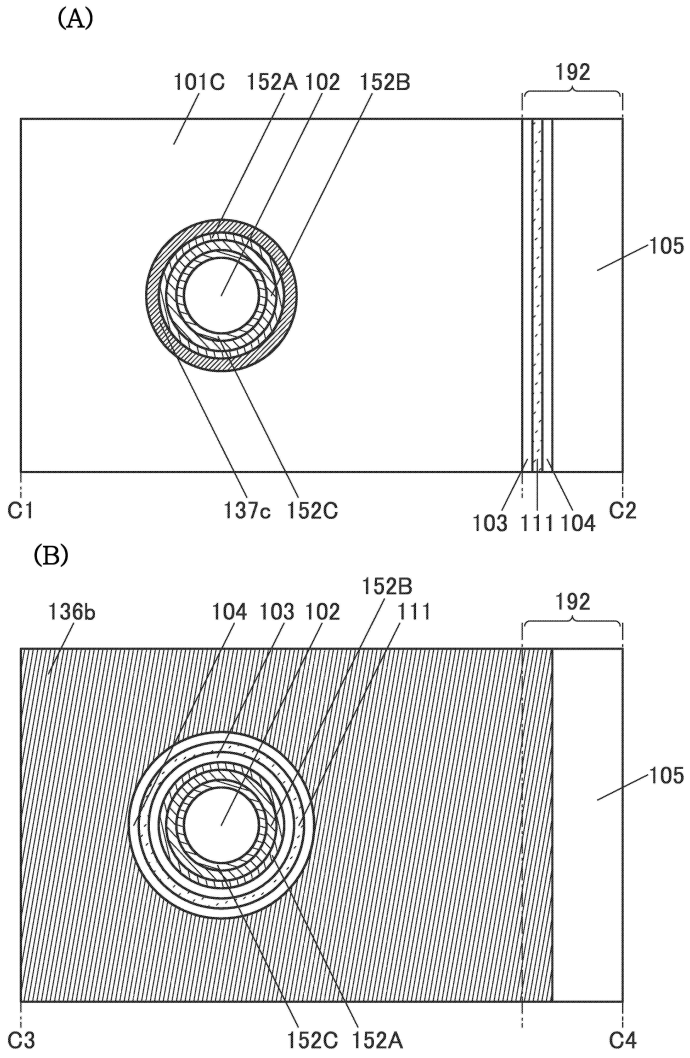
도면47


(A)
101C
161C
102
151
192
105
C1
137c
134
103
111
104
C2
(B)
136b
104
103
102
151
111
192
105
C3
134
C4

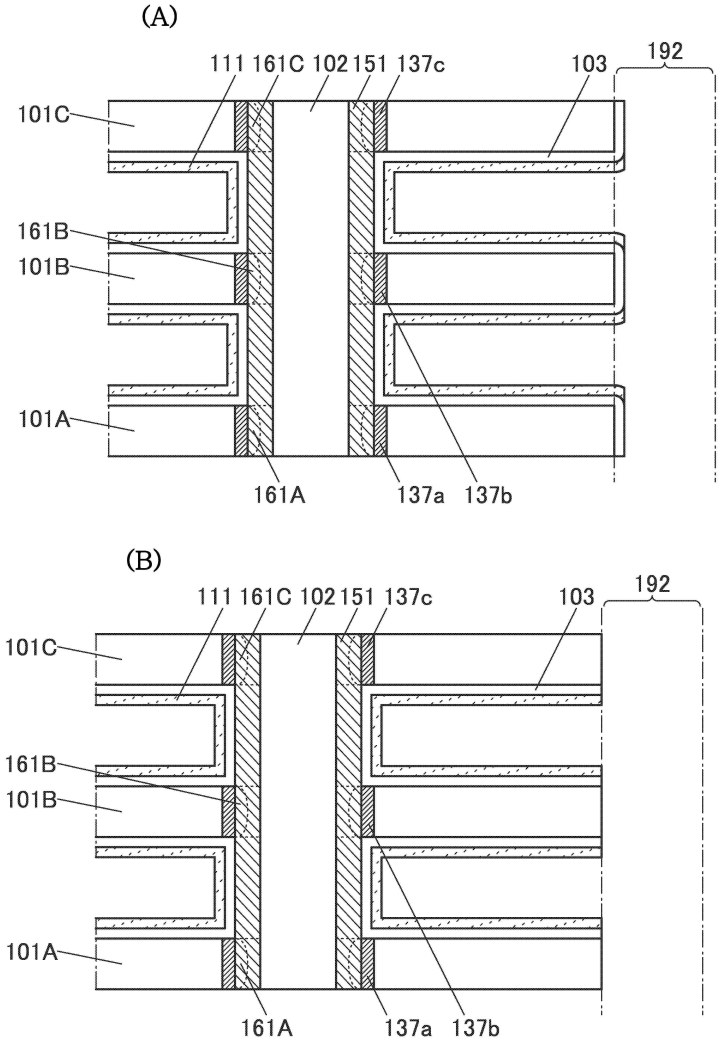
도면48


152B
152C
152A
104
111
102
137c
103
101C
C1
C2
C3
136b
C4
105
101B
136a
101A
137a
137b
181A
181B

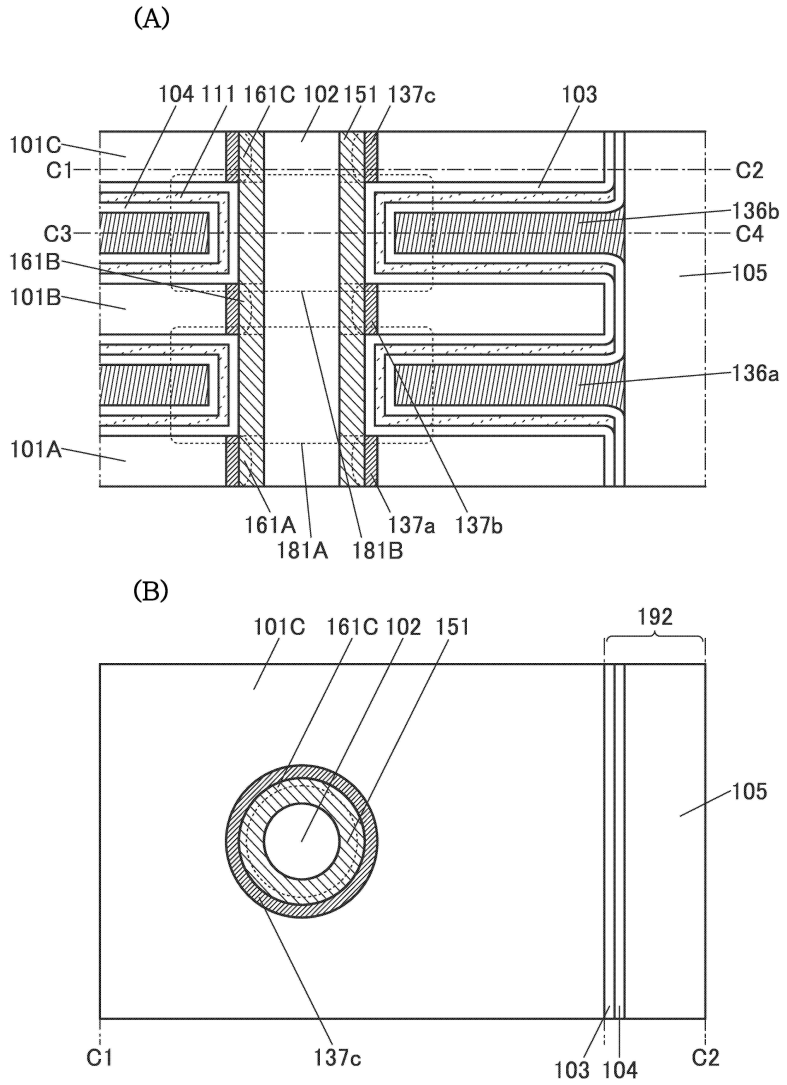
도면49


(A)
101C
152A
102
152B
192
105
C1
137c
152C
103
111
104
C2
(B)
136b
104
103
102
152B
111
192
105
C3
152C
152A
C4

도면50

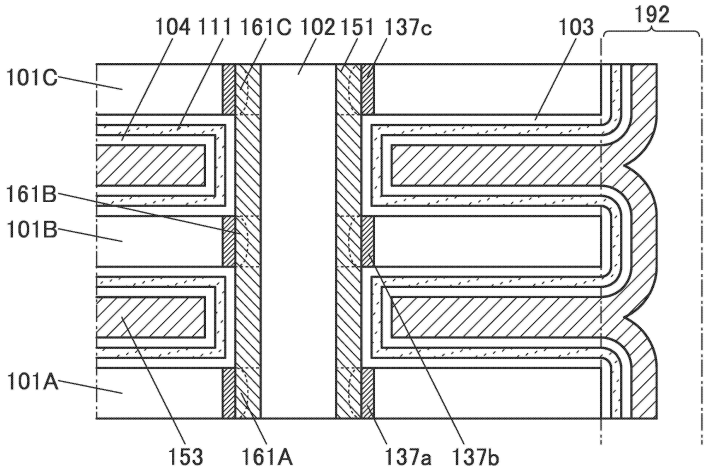

(A)
111
161C
102
151
137c
103
192
101C
161B
101B
101A
161A
137a
137b
(B)
111
161C
102
151
137c
103
192
101C
161B
101B
101A
161A
137a
137b

도면51

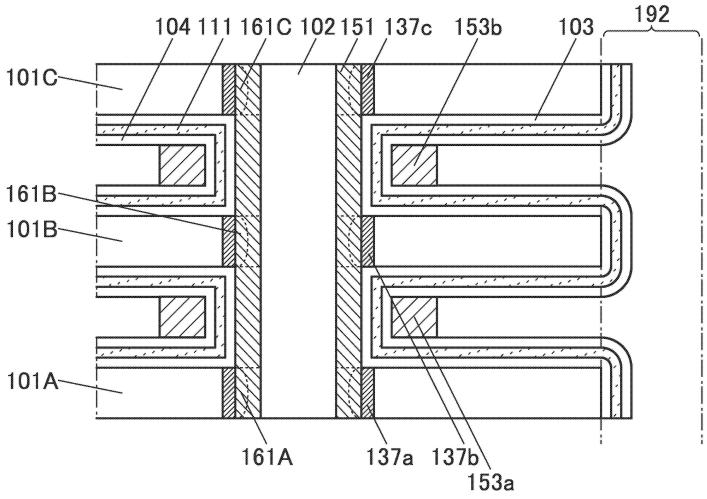

(A)
104 111 161C 102 151 137c
103
101C
C1
C2
136b
C3
C4
161B
105
101B
136a
101A
161A
181A
181B
137a
137b
(B)
101C 161C 102 151
192
105
C1
137c
103 104
C2

도면52

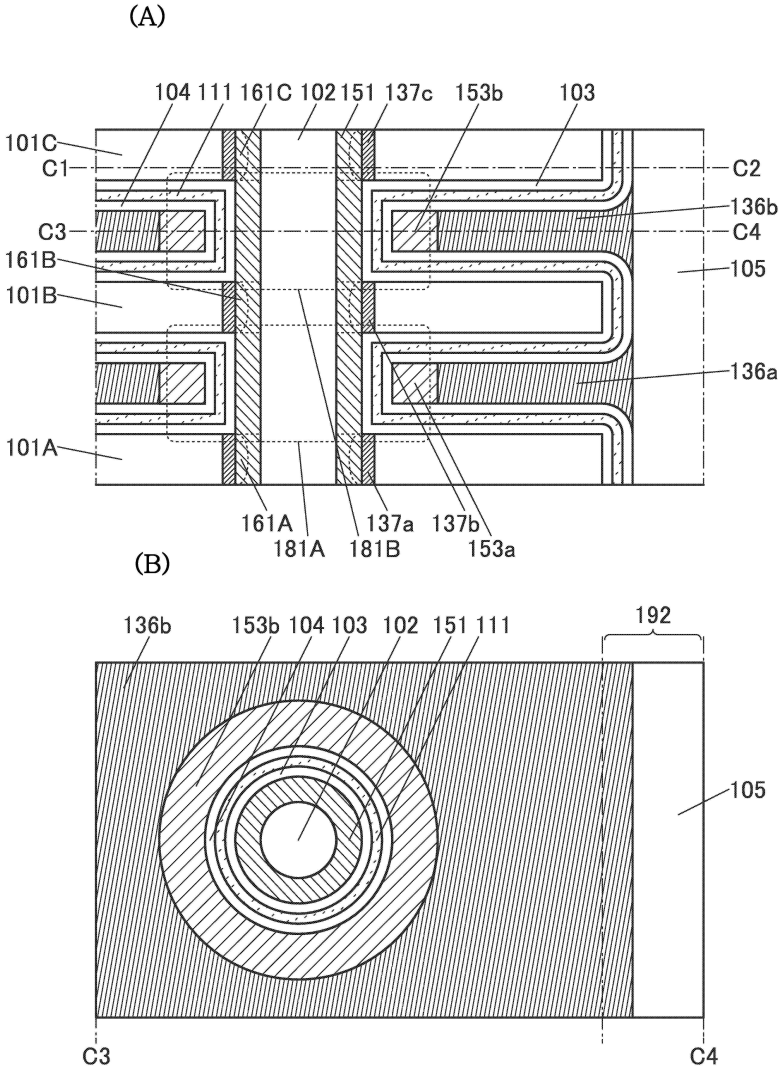
(A)


104
111
161C
102
151
137c
103
192
101C
161B
101B
101A
153
161A
137a
137b

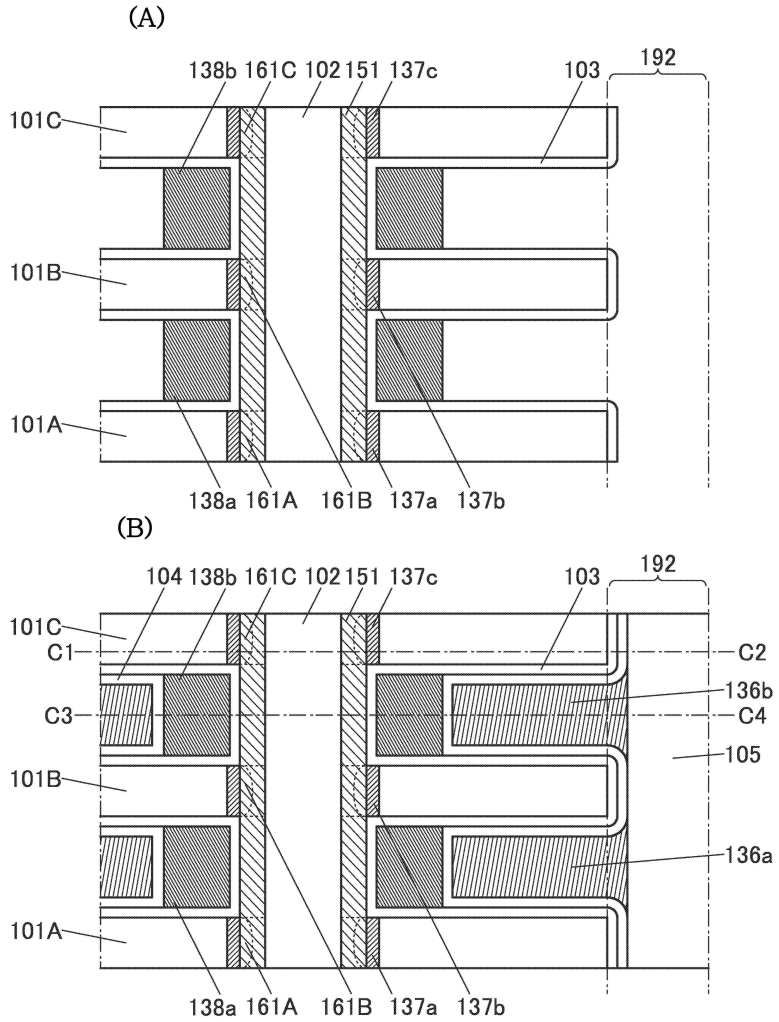
(B)


104
111
161C
102
151
137c
153b
103
192
101C
161B
101B
101A
161A
137a
137b
153a

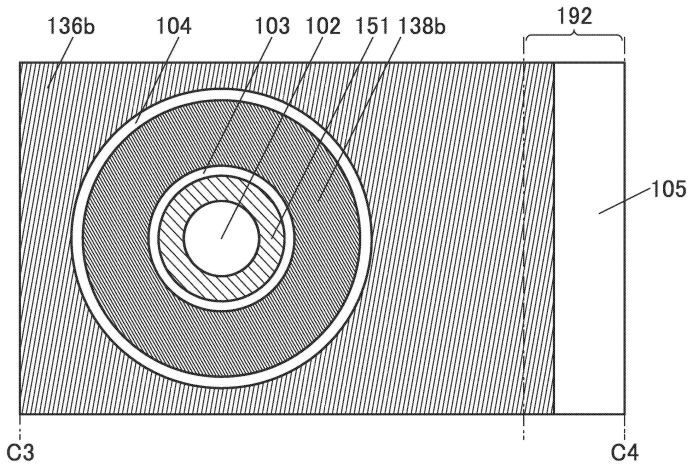
도면53


(A)
104 111 161C 102 151 137c 153b 103
101C
C1
C2
136b
C3
C4
161B
105
101B
136a
101A
161A
181A
181B
137a
137b
153a
(B)
136b
153b 104 103 102 151 111
192
105
C3
C4

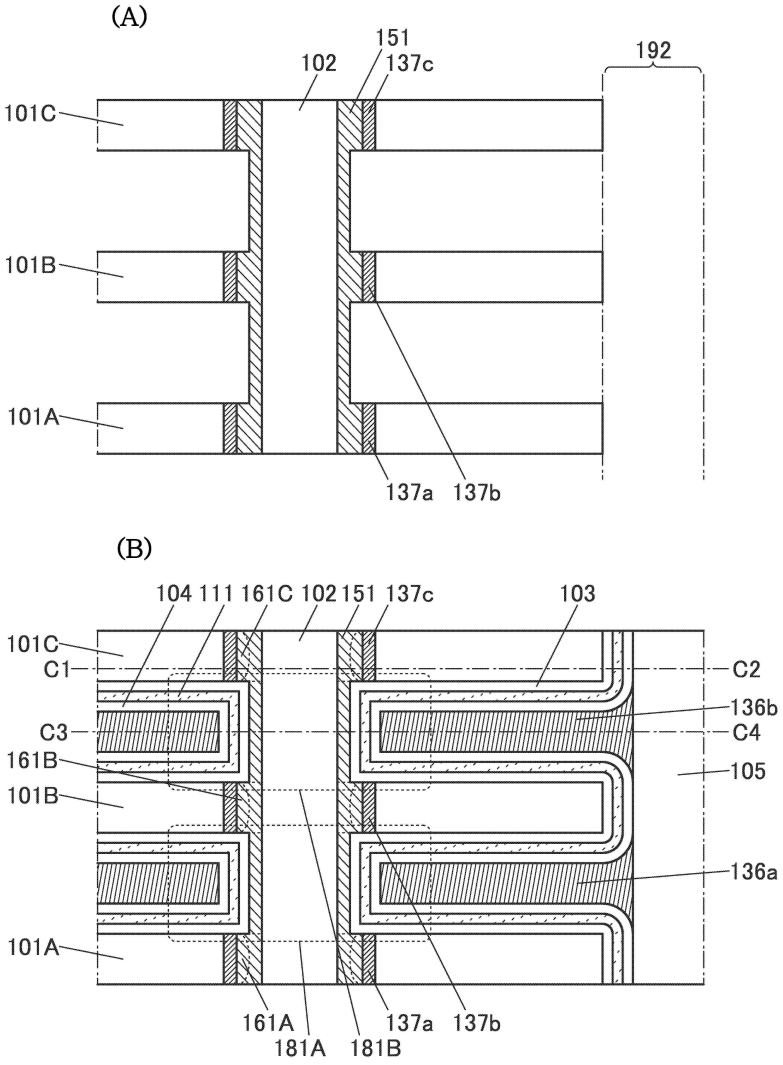
도면54


(A)
138b 161C 102 151 137c
103
192
101C
101B
101A
138a 161A 161B 137a 137b
(B)
104 138b 161C 102 151 137c
103
192
101C
C1
C2
C3
C4
136b
105
101B
136a
101A
138a 161A 161B 137a 137b

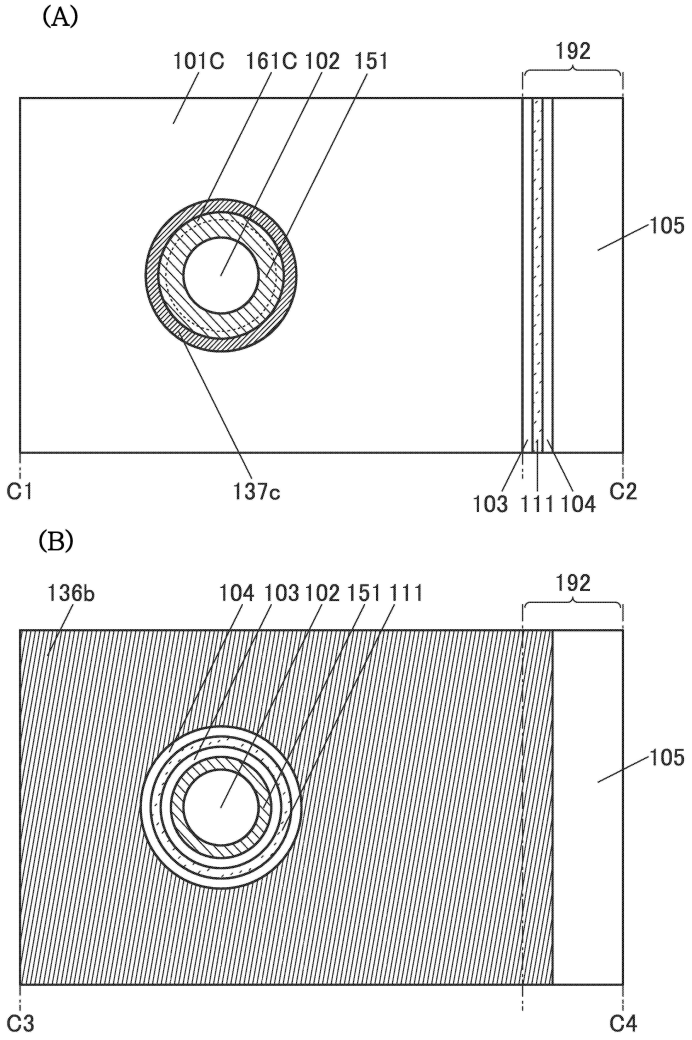
도면55


136b
104
103
102
151
138b
192
105
C3
C4

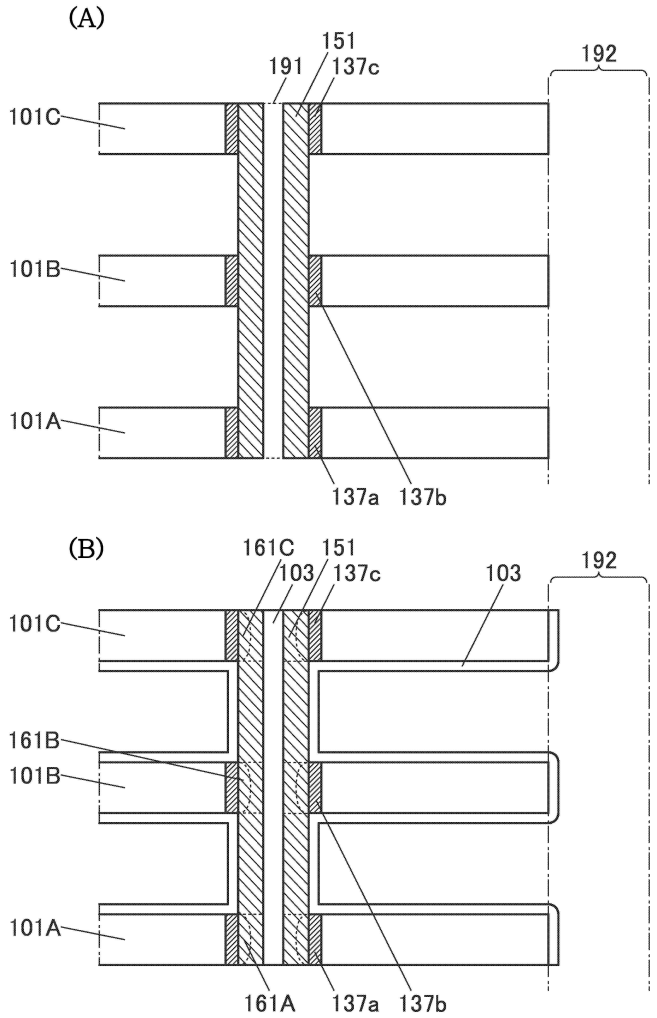
도면56


(A)
151
102
137c
192
101C
101B
101A
137a
137b
(B)
104
111
161C
102
151
137c
103
101C
C1
C2
136b
C3
C4
161B
105
101B
136a
101A
161A
181A
181B
137a
137b

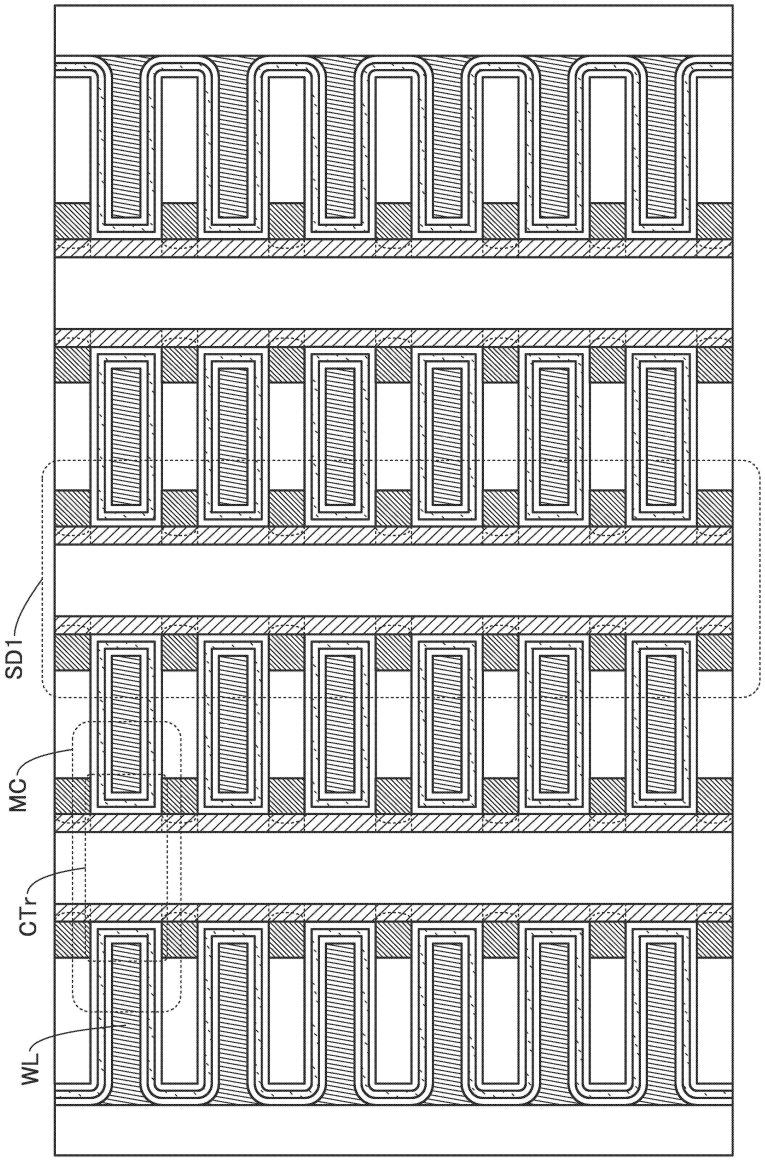
도면57


(A)
101C
161C
102
151
192
105
C1
137c
103
111
104
C2
(B)
136b
104
103
102
151
111
192
105
C3
C4

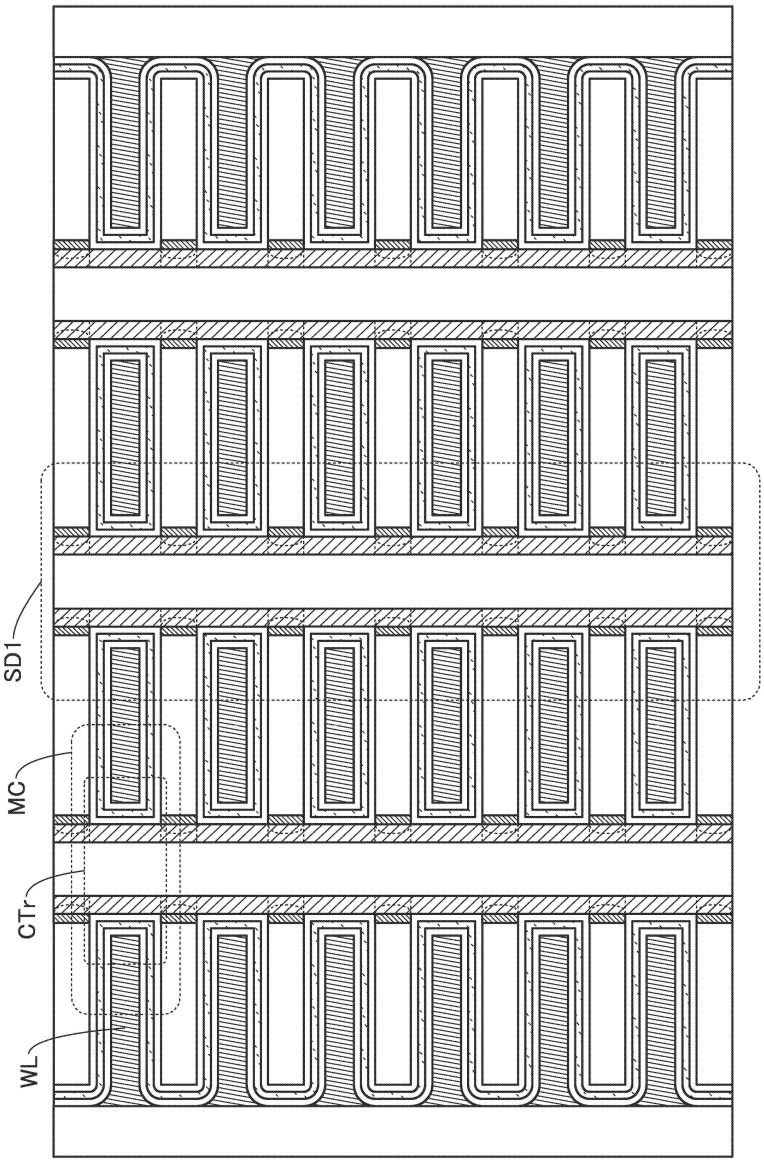
도면58


(A)
151
191
137c
192
101C
101B
101A
137a
137b
(B)
161C
151
103
137c
103
192
101C
161B
101B
101A
161A
137a
137b

도면59

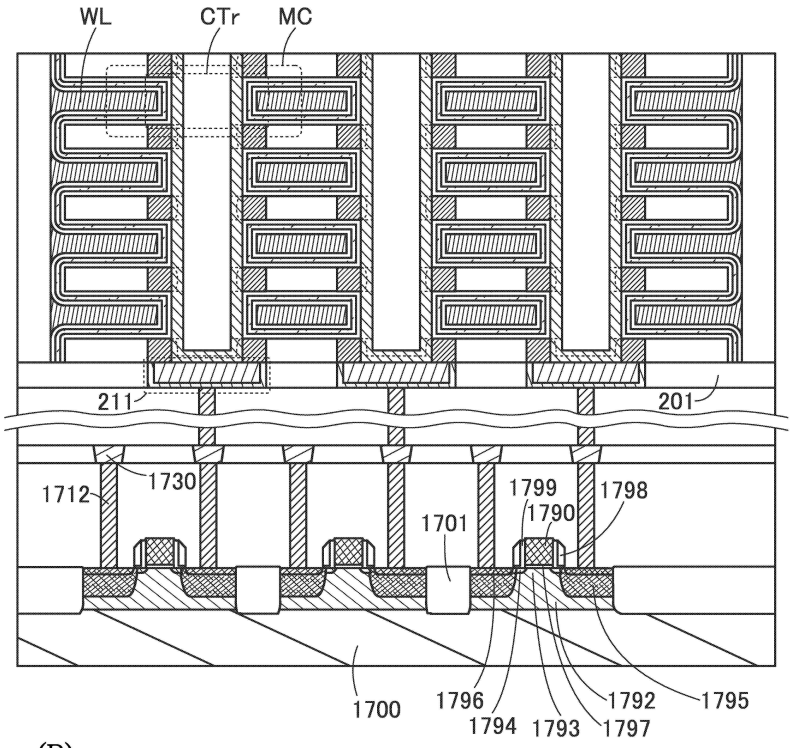


도면60

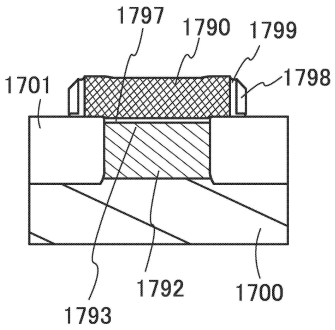


도면61

(A)

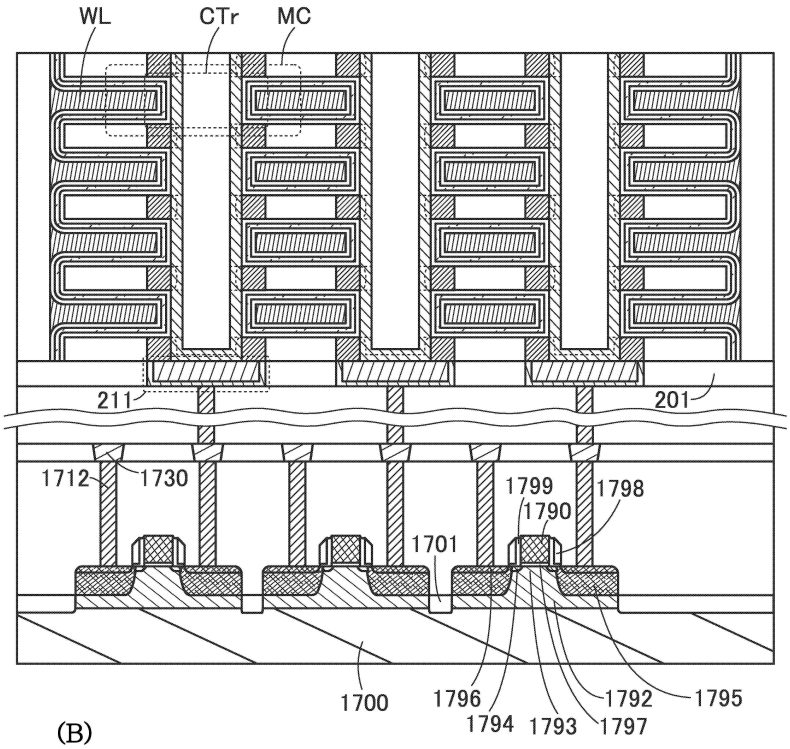

WL
CTr
MC
211
201
1712
1730
1799
1790
1798
1701
1700
1796
1794
1793
1792
1797
1795

(B)

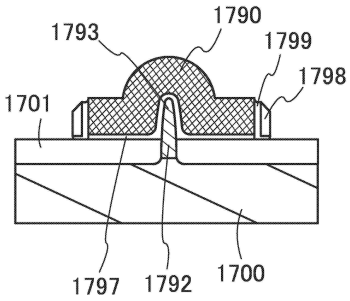

1797
1790
1799
1798
1701
1793
1792
1700

도면62

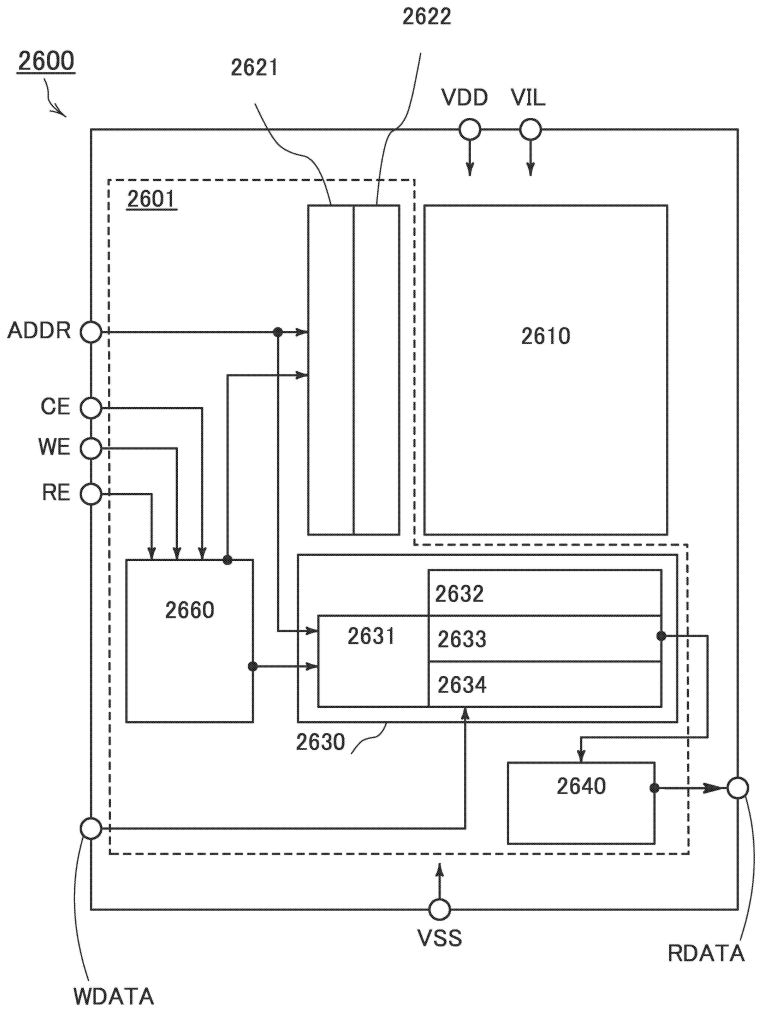
(A)


WL
CTr
MC
211
201
1712
1730
1799
1790
1798
1701
1700
1796
1794
1793
1797
1792
1795

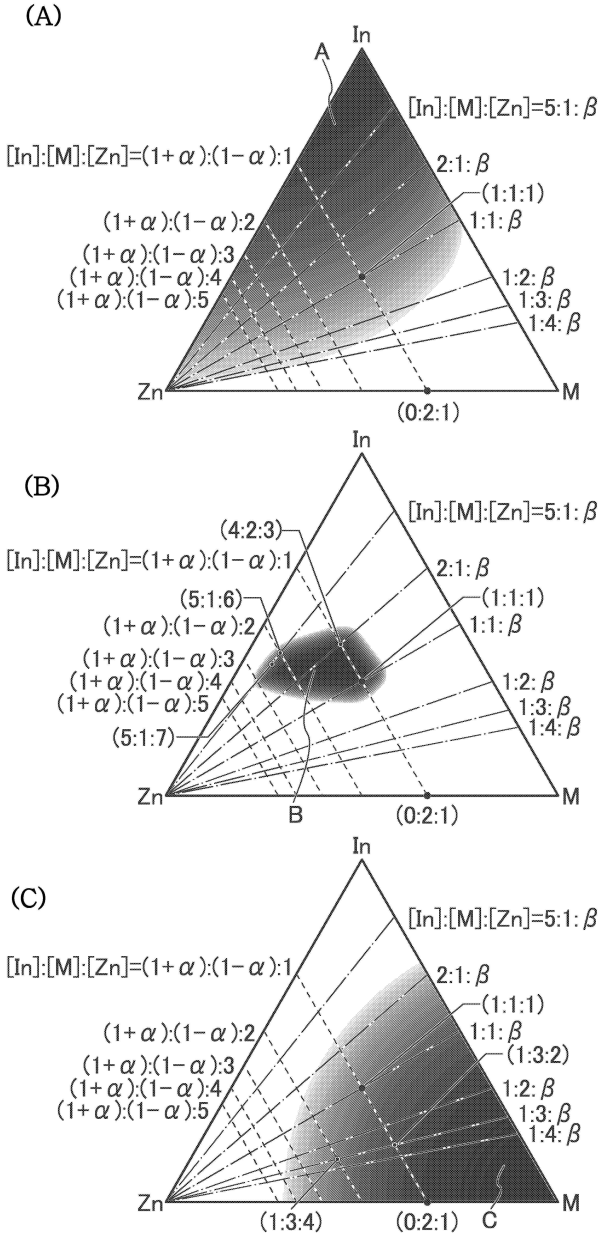
(B)


1793
1790
1799
1798
1701
1797
1792
1700

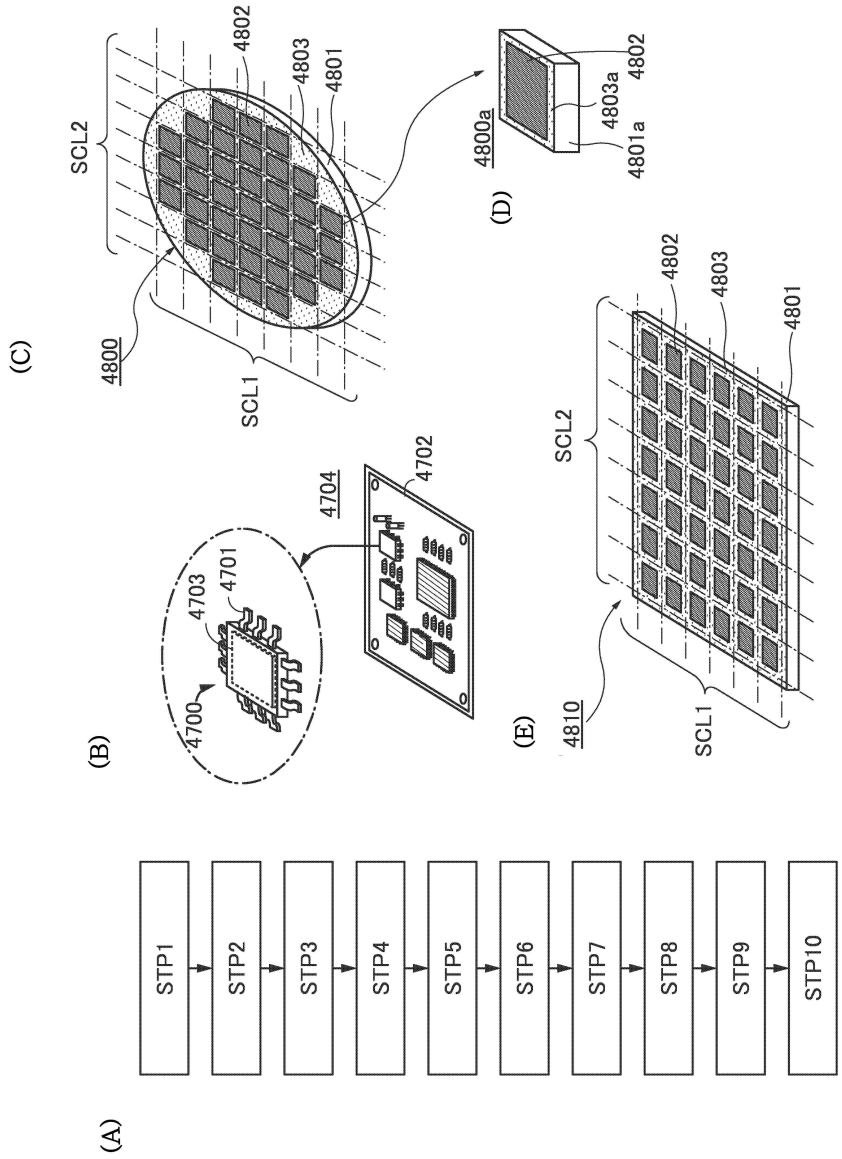
도면63


2600
2621
2622
VDD
VIL
2601
ADDR
CE
WE
RE
2610
2660
2631
2632
2633
2634
2630
2640
VSS
WDATA
RDATA

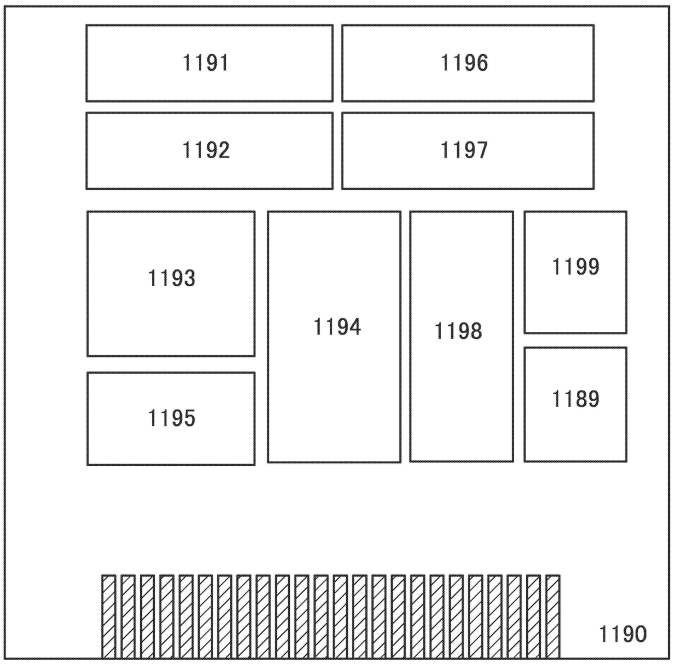
도면64


(A)
In
A
[In]:[M]:[Zn]=5:1:β
[In]:[M]:[Zn]=(1+α):(1−α):1
2:1:β
(1:1:1)
(1+α):(1−α):2
1:1:β
(1+α):(1−α):3
(1+α):(1−α):4
(1+α):(1−α):5
1:2:β
1:3:β
1:4:β
Zn
M
(0:2:1)
(B)
In
[In]:[M]:[Zn]=5:1:β
(4:2:3)
[In]:[M]:[Zn]=(1+α):(1−α):1
2:1:β
(5:1:6)
(1:1:1)
(1+α):(1−α):2
1:1:β
(1+α):(1−α):3
(1+α):(1−α):4
(1+α):(1−α):5
1:2:β
1:3:β
1:4:β
(5:1:7)
Zn
B
(0:2:1)
M
(C)
In
[In]:[M]:[Zn]=5:1:β
[In]:[M]:[Zn]=(1+α):(1−α):1
2:1:β
(1:1:1)
(1+α):(1−α):2
1:1:β
(1:3:2)
(1+α):(1−α):3
(1+α):(1−α):4
(1+α):(1−α):5
1:2:β
1:3:β
1:4:β
Zn
M
(1:3:4)
(0:2:1)
C

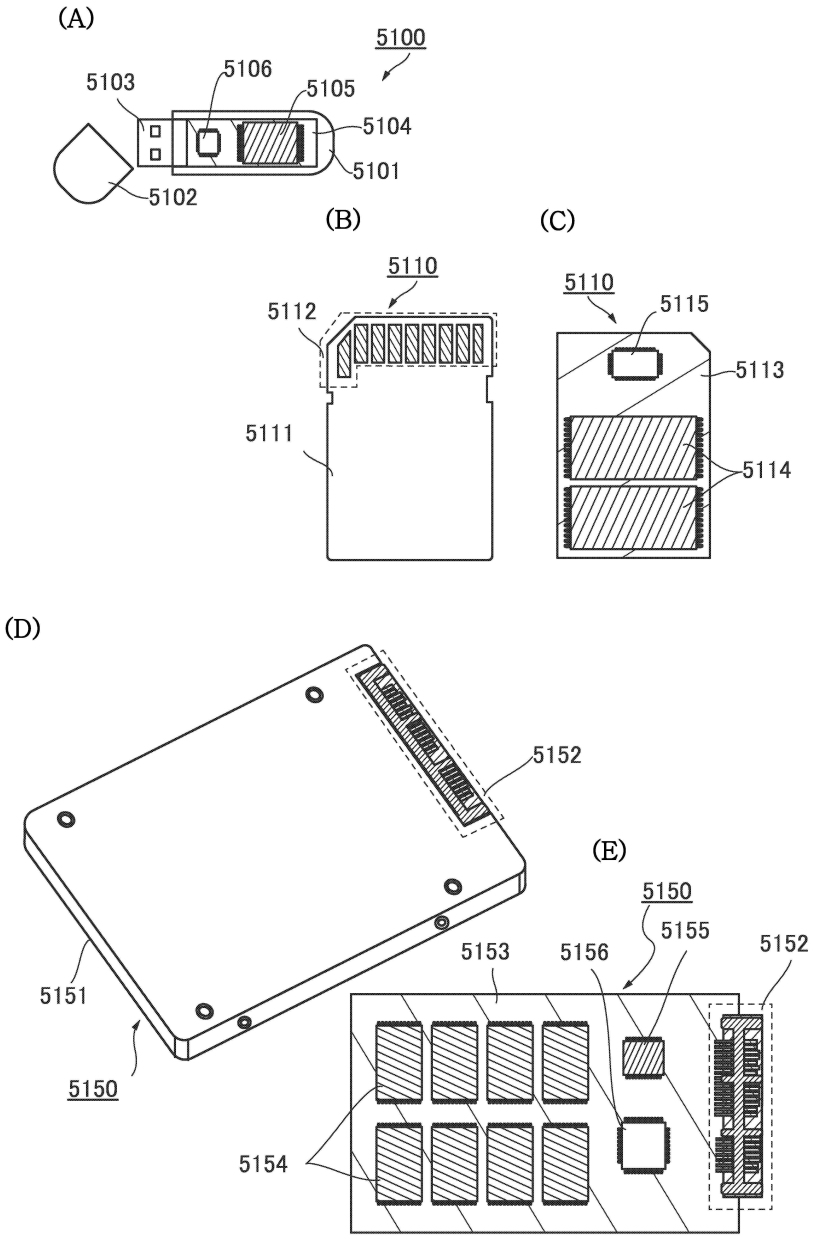
도면65


(A)
STP1
STP2
STP3
STP4
STP5
STP6
STP7
STP8
STP9
STP10
(B)
4700
4703
4701
4704
4702
(C)
SCL2
4800
SCL1
4802
4803
4801
(D)
4800a
4803a
4802
4801a
(E)
4810
SCL2
SCL1
4802
4803
4801

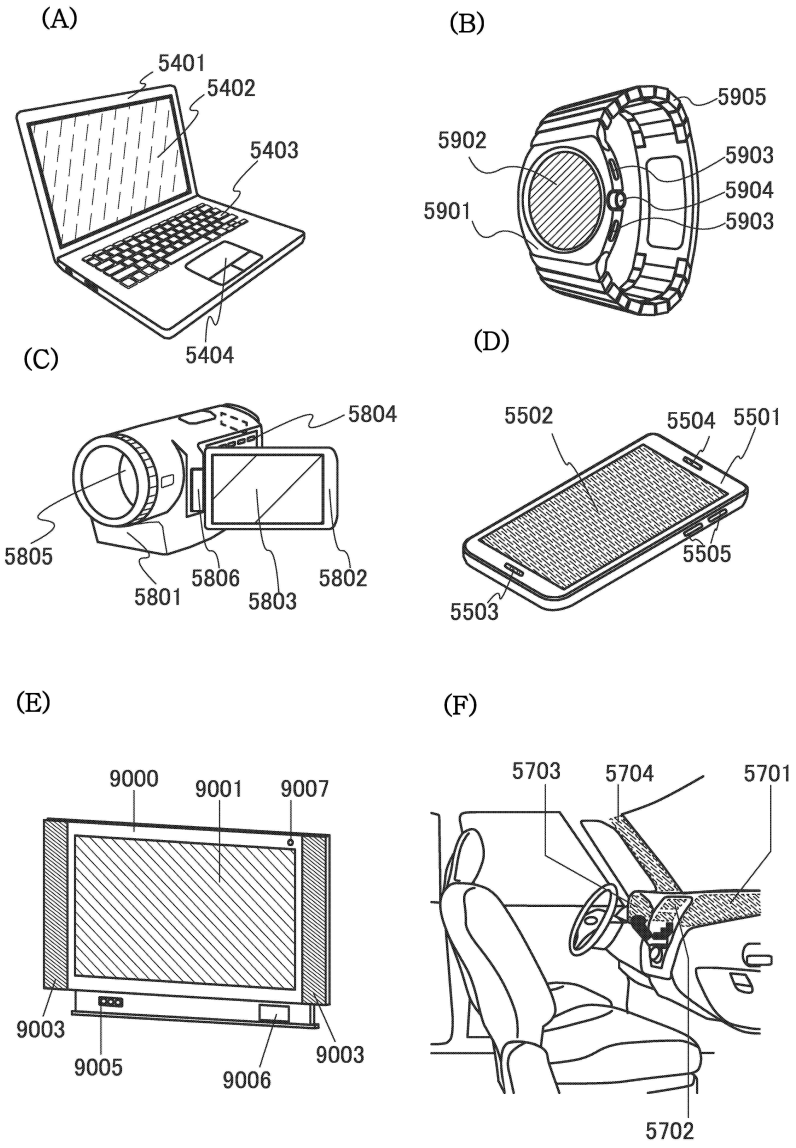
도면66



도면67


(A)
5100
5103
5106
5105
5104
5101
5102
(B)
(C)
5110
5112
5111
5110
5115
5113
5114
(D)
5152
(E)
5150
5155
5153
5156
5152
5151
5150
5154

도면68


(A)
5401
5402
5403
5404
(B)
5905
5902
5903
5904
5901
5903
(C)
5804
5805
5801
5806
5803
5802
(D)
5502
5504
5501
5505
5503
(E)
9000
9001
9007
9003
9005
9006
9003
(F)
5703
5704
5701
5702