

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-191594
(P2017-191594A)

(43) 公開日 平成29年10月19日(2017.10.19)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 12/00 (2006.01)	G06F 12/00	550B 5B017
G11C 11/406 (2006.01)	G11C 11/34	363J 5B060
G06F 12/14 (2006.01)	G06F 12/14	510A 5M024
G06F 21/79 (2013.01)	G06F 21/79	

審査請求 有 請求項の数 20 O L (全 15 頁)

(21) 出願番号 特願2016-249420 (P2016-249420)
 (22) 出願日 平成28年12月22日 (2016.12.22)
 (31) 優先権主張番号 62/323,177
 (32) 優先日 平成28年4月15日 (2016.4.15)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 15/335,141
 (32) 優先日 平成28年10月26日 (2016.10.26)
 (33) 優先権主張国 米国 (US)

(71) 出願人 515324257
 ヴィア アライアンス セミコンダクター
 カンパニー リミテッド
 中華人民共和国 201203 シャンハ
 イ, ザンジアン ハイテク パーク, ジン
 ク・ロード 2537, ルーム 301
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介

最終頁に続く

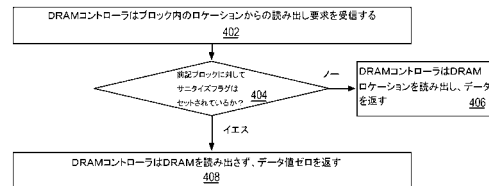
(54) 【発明の名称】 サニタイズ認識DRAMコントローラ

(57) 【要約】 (修正有)

【課題】 無効なデータへの不要なリフレッシュによって消費される電力を削減する。

【解決手段】 DRAMコントローラは、それぞれがDRAMの複数のブロックのうちの1つのブロックとの関連付けのための複数のフラグを含む。サニタイズコントローラは、1つのブロックがサニタイズされるべきであると判定し、それに応答して複数のブロックのうちの1つのブロックと関連する1つのフラグをセットし、該ブロックのリフレッシュをディセーブルする。引き続きブロック内のロケーションからのデータ読み取り要求の受信に応答して、フラグがクリアされていない場合には、DRAMコントローラはロケーションを読み出し、そこから読み出されたデータを返す。フラグがセットされている場合には、DRAMコントローラはDRAMの読み出しを行わず、ゼロの値を返さない。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

複数のブロックを含むダイナミック・ランダム・アクセス・メモリ（DRAM）を制御するためのDRAMコントローラであって、ブロックは前記DRAM内の1つ又は複数のストレージ・ユニットであり、当該DRAMコントローラは前記DRAMに対するリフレッシュを選択的にイネーブル又はディセーブルすることができ、

当該DRAMコントローラは、

それぞれが前記DRAMの複数のブロックのうちの1つのブロックと関連する複数のフラグと、

前記複数のブロックのうちの1つのブロックがサニタイズされるべきであると判定し、それに応答して前記複数のブロックのうちの1つのブロックと関連する、前記複数のフラグのうちの1つのフラグをセットし、該ブロックのリフレッシュをディセーブルするサニタイズコントローラと、を含み、

引き続き前記ブロック内のロケーションからのデータ読み取り要求の受信に応答して、前記フラグがクリアされている場合には、当該DRAMコントローラは前記ロケーションを読み出し、そこから読み出されたデータを返し、前記フラグがセットされている場合には、当該DRAMコントローラはゼロ値を返し、DRAMの読み出しを行わない、DRAMコントローラ。

【請求項 2】

引き続き前記ブロック内のロケーションへのデータ書き込み要求の受信に応答して、

(a) 前記フラグがクリアされている場合には、当該DRAMコントローラは前記データを前記ロケーションに書き込み、

(b) 前記フラグがセットされている場合には、当該DRAMコントローラは前記ブロックのリフレッシュをイネーブルし、前記データを前記ロケーションへ書き込むことをさらに含む、請求項1記載のDRAMコントローラ。

【請求項 3】

引き続き前記ブロック内の前記ロケーションへのデータ書き込み要求の受信に応答して、

(b) 前記フラグがセットされている場合には、当該DRAMコントローラはさらに前記フラグをクリアし、前記ブロック内の全ての他のロケーションにゼロ値を書き込むことをさらに含む、請求項2記載のDRAMコントローラ。

【請求項 4】

引き続き前記ブロック内の前記ロケーションへのデータ書き込み要求の受信に応答して、

前記フラグがセットされている場合には、当該DRAMコントローラは、書き込まれるべきデータが非ゼロである場合にのみ、動作(a)及び(b)を実行することをさらに含む、請求項2記載のDRAMコントローラ。

【請求項 5】

コントロールレジスタをさらに含み、

前記サニタイズコントローラは、前記DRAM及び当該DRAMコントローラを含むシステムのシステムソフトウェアにより前記コントロールレジスタへの書き込みを検出することによって、前記ブロックがサニタイズされるべきであると判定する、請求項1に記載のDRAMコントローラ。

【請求項 6】

前記サニタイズコントローラは、前記ブロックの全てのロケーションへ、前記ブロックのロケーションへの非ゼロ値の書き込みの介入なしに、一連のゼロ値書き込みを検出することによって、前記ブロックがサニタイズされるべきであると判断するハードウェアをさらに備える、請求項1に記載のDRAMコントローラ。

【請求項 7】

前記ハードウェアは、

10

20

30

40

50

前記 D R A M の前記複数のブロックの異なるブロックに対し、前記サニタイズコントローラによって別個に割り当て可能な複数のサニタイズ検出ハードウェアインスタンスを含む、請求項 6 記載の D R A M コントローラ。

【請求項 8】

各サニタイズ検出ハードウェアインスタンスは、

D R A M コントローラがブロック内のどのロケーションにゼロ値が書き込まれたかを追跡するために使用するビットマップと、

前記ビットマップが全て真のビットを有するときを検出するロジックとを備える、請求項 7 に記載の D R A M コントローラ。

【請求項 9】

各サニタイズ検出ハードウェアインスタンスは、

最も新しくゼロ値が書き込まれた前記ブロック内の固定サイズのワードの後の次の固定長のワードのインデックスを保持するレジスタであって、当該インデックスが現在のゼロ値の固定長ワード書き込みのインデックスと一致するとインクリメントされるレジスタと

、

前記現在のゼロ値の固定長ワード書き込みのインデックスが前記ブロック内の最高インデックスとなるとときを検出するロジックとを備える、請求項 7 に記載の D R A M コントローラ。

【請求項 10】

複数のブロックを含むダイナミック・ランダム・アクセス・メモリ (D R A M) を制御するための方法であって、ブロックは前記 D R A M 内の 1 つ又は複数のストレージ・ユニットであり、D R A M コントローラは前記 D R A M に対するリフレッシュを選択的にイネーブル又はディセーブルすることができ、

当該方法は、

前記複数のブロックのうちの 1 つのブロックがサニタイズされるべきであると判定するステップであり、それに応答して、前記複数のブロックのうちの 1 つのブロックと関連するフラグをセットし、該ブロックのリフレッシュをディセーブルする、判定ステップを備え、

前記フラグは、それぞれが D R A M の複数のブロックのうちの 1 つのブロックと関連する複数のフラグのうちの 1 つのフラグであり、

当該方法はさらに、

引き続き前記ブロック内のロケーションからのデータ読み取り要求の受信に応答して、前記フラグがクリアされている場合に、前記ロケーションを読み出し、そこから読み取られたデータを返すステップと、

前記フラグがセットされている場合に、前記 D R A M の読み出しを行わず、ゼロ値を返すステップと、を備える方法。

【請求項 11】

引き続き前記ブロック内のロケーションからのデータ読み取り要求の受信に応答して、

(a) 前記フラグがクリアされている場合に、前記データを前記ロケーションに書き込むステップと、

(b) 前記フラグがセットされている場合に、前記ブロックのリフレッシュをイネーブルし、前記ロケーションに前記データを書き込むステップと、をさらに備える、請求項 10 に記載の方法。

【請求項 12】

引き続き前記ブロック内のロケーションからのデータ読み取り要求の受信に応答して、

(b) 前記フラグがセットされている場合に、さらに、前記フラグをクリアし、前記ブロック内の全ての他のロケーションにゼロ値を書き込むステップをさらに備える、請求項 11 に記載の方法。

【請求項 13】

引き続き前記ブロック内のロケーションからのデータ読み取り要求の受信に応答して、

10

20

30

40

50

前記フラグがセットされている場合に、書き込まれるべきデータが非ゼロである場合のみ、動作 (a) 及び (b) を実行するステップをさらに備える、請求項 1 1 に記載の方法。

【請求項 1 4】

前記ブロックがサニタイズされるべきであると判定する前記判定ステップは、前記 D R A M 及びコントロールレジスタを含む D R A M コントローラを有するシステムのシステムソフトウェアによって前記コントロールレジスタへの書き込みを検出するステップをさらに備える、請求項 1 0 に記載の方法。

【請求項 1 5】

前記ブロックがサニタイズされるべきであると判定する前記判定ステップは、前記ブロックのロケーションへの非ゼロ値の書き込みの介入なしに、前記ブロックの全てのロケーションへの一連のゼロ値書き込みを検出するステップをさらに備える、請求項 1 0 に記載の方法。

10

【請求項 1 6】

当該方法は、前記 D R A M の前記複数のブロックの異なるブロックに対し、別個に割り当て可能な複数のサニタイズ検出ハードウェアインスタンスを備えた D R A M コントローラによって実行されることをさらに含む、請求項 1 5 に記載の方法。

【請求項 1 7】

前記ブロック内のロケーションへのゼロ値の書き込みの検出にตอบสนองしてビットマップのビットを真にセットするステップであって、前記ビットマップの各ビットが前記ブロック内の異なるロケーションと関連しているステップをさらに備え、

20

前記ブロックがサニタイズされるべきであると判定する判定ステップは、前記ビットマップが全て真のビットを有することを検出するステップをさらに備える、請求項 1 6 に記載の方法。

【請求項 1 8】

インデックスが現在のゼロ値の固定長ワード書き込みのインデックスと一致すると、レジスタをインクリメントすることによって、前記ブロック内の最も新しくゼロ値が書き込まれた固定サイズのワードの後の次の固定長ワードのインデックスを保持するようにレジスタを維持するステップをさらに備え、

前記ブロックがサニタイズされるべきであると判定する前記判定ステップは、前記現在のゼロ値の固定長ワード書き込みのインデックスが前記ブロック内の最高インデックスとなるときを検出するステップを備える、請求項 1 6 に記載の方法。

30

【請求項 1 9】

コンピューティングデバイスと共に使用するための少なくとも 1 つの非揮発性コンピュータ使用可能媒体において符号化されたコンピュータプログラムであって、

当該コンピュータプログラムは、

複数のブロックを含むダイナミック・ランダム・アクセス・メモリ (D R A M) を制御するためのコントローラを指定するための前記媒体内に具現化されたコンピュータ使用可能プログラムコードを含み、ブロックは前記 D R A M 内の 1 つ又は複数のストレージ・ユニットであり、D R A M コントローラは前記 D R A M に対するリフレッシュを選択的にイネーブル又はディセーブルすることができ、

40

前記コンピュータ使用可能プログラムコードは、

それぞれが前記 D R A M の複数のブロックのうちの 1 つのブロックと関連する複数のフラグを指定する第 1 のプログラムコードと、

前記複数のブロックのうちの 1 つのブロックがサニタイズされるべきであると判定し、それにตอบสนองして前記複数のブロックのうちの 1 つのブロックと関連する、前記複数のフラグのうちの 1 つのフラグをセットし、該ブロックのリフレッシュをディセーブルするサニタイズコントローラを指定する第 2 のプログラムコードとを備え、

引き続き前記ブロック内のロケーションからのデータ読み取り要求の受信にตอบสนองして、前記フラグがクリアされている場合に、当該 D R A M コントローラは前記ロケーションを

50

読み出し、そこから読み出されたデータを返し、前記フラグがセットされている場合に、当該 D R A M コントローラは D R A M の読み出しを行わず、ゼロ値を返す、コンピュータプログラム。

【請求項 20】

前記少なくとも 1 つの非揮発性コンピュータ使用可能媒体は、ディスク、テープ、又は他の磁気、光学、又は電子記憶媒体の群から選択される、請求項 19 に記載のコンピュータプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願への相互参照

本出願は、参照によりその全体が本明細書に組み込まれる、S A N I T I Z E - A W A R E D R A M C O N T R O L L E R と題する米国仮出願第 6 2 / 3 2 3 , 1 7 7 号 (2 0 0 6 年 4 月 1 5 日出願) に基づく優先権を主張する。

【背景技術】

【0002】

ダイナミック・ランダム・アクセス・メモリ (D R A M) は、現代のコンピューティングシステムにおいて普及している。D R A M は、コストが低く、容量 / 密度が高く、高速であるため、普及している。密度の利点は、主に、データビットを記憶するための各セルがコンデンサおよび単一トランジスタのみを必要とするという事実由来する。これは、例えば、スタティック・ランダム・アクセス・メモリ (S R A M) でセル当たりが必要とされるよりも著しく少ないハードウェアである。しかしながら、セルのキャパシタへのデータビットの記憶は、電力消費コストを意味する。これは、コンデンサの電荷が時間とともにリークし、セルに値の喪失を引き起こす。したがって、その値を保持するために、コンデンサは定期的に「リフレッシュ」されねばならない。これは、セルから現在の値を読み取り、その値を「リフレッシュ」するためにセルに書き戻すことを含む。リフレッシュ動作は、リフレッシュを必要としない他のメモリ技術以上の追加の電力を消費する。リフレッシュは、システムによる D R A M アクセスの需要に応じて、D R A M のエネルギー消費のかなりの割合、例えば約 2 0 % に寄与し、システム性能を、例えば約 3 0 % 低下させる可能性がある。

【0003】

本発明の共同発明者の一人による米国特許第 5 , 4 6 9 , 5 5 9 号には、D R A M の有効なデータを含まない選択された部分をリフレッシュするためのメモリコントローラおよび方法が記載されている。これは、無効なデータへの不要なリフレッシュによって消費される電力の量が削減される可能性がある。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】米国仮出願第 6 2 / 3 2 3 , 1 7 7 号明細書

【特許文献 2】米国特許第 5 4 6 9 5 5 9 号明細書

【発明の概要】

【0005】

本発明の発明者らは、さらなる利点を提供する D R A M コントローラの実施形態を提供する。追加の利点は、多くのオペレーティングシステムが、例えばハッカー及び / 又はメモリが割り当てられた次のユーザが第 1 のユーザのデータを見ることを防止することによってシステムセキュリティを高めるために、割り当てを解除されたメモリにゼロに書き込むことによってそのメモリを「サニタイズ」するという本発明者が見出したことにより主に享受される

【図面の簡単な説明】

【0006】

10

20

30

40

50

【図1】図1は、コンピューティングシステムを示すブロック図である。

【図2】図2は、別の実施形態によるコンピューティングシステムを示すブロック図である。

【図3】図3は、システムの動作を示すフローチャートである。

【図4】図4は、システムの動作を示すフローチャートである。

【図5】図5は、システムの動作を示すフローチャートである。

【図6】図6は、一実施形態によるサンタイズされたDRAMブロックの選択的リフレッシュを実行するオペレーションシステムの動作を示すフローチャートである。

【図7】図7は、サンタイズ検出ハードウェア(SDH)インスタンスを示すブロック図である。

10

【図8】図8は、図7のSDHインスタンスを使用することによってDRAMブロックがサンタイズされるべきであることを検出するDRAMコントローラの動作を示すフローチャートである。

【発明を実施するための形態】

【0007】

DRAMのブロックは、DRAM内の1つ又は複数のストレージユニットであり、DRAMコントローラは、それに対してリフレッシュを選択的にイネーブル又はディセーブルすることができる。例えば、データRAM122の「行」と一般に称されるものがリフレッシュ可能である。いくつかのDRAMでは、例えば、1行は512バイトのストレージである。

20

【0008】

DRAMのブロックをサンタイズすることは、ブロック内のすべてのロケーションをゼロ値にクリアすることを意味する。

【0009】

ここで図1を参照すると、コンピューティングシステム100を示すブロック図が示されている。コンピューティングシステム100は、プロセッサ102と、DRAM104と、プロセッサ102をDRAM104に接続するDRAMコントローラ103と、DRAMコントローラ103を介してDRAM104にアクセスする他のバスマスタ106、例えばバスマスタリングI/Oデバイスと、を含む。プロセッサ102は、マルチコアプロセッサであってもよい。プロセッサ102は、オペレーティングシステム及び/又は基本入出力システム(BIOS)又は拡張ファームウェアなどのシステムファームウェア並びにユーティリティ及びアプリケーションプログラムなどのシステムソフトウェアを含むプログラムを実行する。DRAM104は、複数のDRAMブロック142として構成される。システムソフトウェアは、とりわけ、DRAMブロック142全体を含むDRAM104の一部をサンタイズする。多くのオペレーティングシステムは、プロセッサ102にサポートされる仮想メモリシステムに従ってサイズが判定されているページの粒度でメモリをサンタイズする。例えば、共通のページサイズは、4KB、64KB、1MB、16MB、256MB、1GB及び2GBである。

30

【0010】

DRAMコントローラ103は、DRAMブロック142としての、例えばDRAM104の行のリフレッシュを、DRAMコントローラが選択的にイネーブル又はディセーブルできるDRAM104内の1つ又は複数のストレージの単位を考慮する。いくつかの実施形態では、DRAMブロック142のサイズは、プロセッサ102の仮想メモリシステムによってサポートされる最小のページのサイズに対応する。例えば、DRAMコントローラがリフレッシュを選択的にイネーブル又はディセーブルすることができるストレージの単位が512バイト行であり、プロセッサ102によってサポートされる最小ページサイズが4KBである場合、DRAMコントローラ103は、DRAM104の8つの連続する行をDRAMブロック142として考慮する。

40

【0011】

DRAMコントローラ103は、サンタイズビット132とも呼ばれる複数のサンタイ

50

ズフラグ 1 3 2 及びサニタイズコントローラ 1 3 4 を含む。一実施形態では、D R A M コントローラ 1 0 3 は、D R A M 1 0 4 の対応する各 D R A M ブロック 1 4 2 について、サニタイズビット 1 3 2 を含む。

【 0 0 1 2 】

ここではサニタイズ範囲の実施形態と称される代替的实施形態において、各サニタイズビット 1 3 2 は、一緒にサニタイズペアを構成する対応する範囲レジスタを有する。範囲レジスタは、アドレスおよび連続する D R A M ブロック 1 4 2 の範囲を指定するカウントを保持する。アドレスは、範囲内の第 1 または開始の D R A M ブロック 1 4 2 を指定し、カウントはその範囲内の連続する D R A M ブロック 1 4 2 の数を指定する。サニタイズビット 1 3 2 がセットされている場合、対応する範囲レジスタで指定された D R A M ブロック 1 4 2 の範囲は、以下により詳細に説明するように、サニタイズされたとみなされる。サニタイズコントローラ 1 3 4 は、複数のサニタイズペアを、プールとして扱い、そのプールから一連の連続した D R A M ブロック 1 4 2 に対する割り当てを行うことができ（例えば図 3 のブロック 3 0 4 ）、そのプールへ割り当て解除することができる（例えば、図 5 のブロック 5 0 8 ）。サニタイズビット 1 3 2 がセットされている場合、サニタイズペアが割り当てられていることを示し、サニタイズビット 1 3 2 がクリアされている場合、これは、サニタイズペアが割り当てのために空いていることを示す。

10

【 0 0 1 3 】

ここで図 2 を参照すると、代替的实施形態によるコンピューティングシステム 1 0 0 を示すブロック図が示されている。図 2 のコンピューティングシステム 1 0 0 は、図 1 のコンピューティングシステム 1 0 0 と類似であり、類似の要素を含む。しかしながら、図 2 のコンピューティングシステム 1 0 0 では、D R A M コントローラ 1 0 3 がプロセッサ 1 0 2 に組み込まれている。より具体的には、プロセッサ 1 0 2 は、D R A M コントローラ 1 0 3 が接続されたリングバス 2 2 6 を含む。プロセッサ 1 0 2 はまた、リングバス 2 2 6 に接続された複数の処理コア 2 2 2 を含む。プロセッサ 1 0 2 はまた、コア 2 2 2 によって共有されるリングバス 2 2 6 に接続されたラストレベルキャッシュ（L L C ） 2 2 4 を含む。好ましくは、D R A M コントローラ 1 0 3、L L C 2 2 4、及び各コア 2 2 2 は、それをリングバス 2 2 6 に接続する関連するリングストップ 2 2 8 を有する。最後に、プロセッサ 1 0 2 は、I / O デバイス 1 0 6 をリングバス 2 2 6 に接続する I / O リングストップ 2 2 8 を含む。

20

30

【 0 0 1 4 】

ここで図 3 を参照すると、システム 1 0 0 の動作を示すフローチャートが示されている。フローはブロック 3 0 2 で開始する。

【 0 0 1 5 】

ブロック 3 0 2 において、D R A M コントローラ 1 0 3 は、D R A M ブロック 1 4 2 がサニタイズされるべきであると判定する。一実施形態では、システムソフトウェアは、例えば、図 6 に関して以下に説明するように、D R A M ブロック 1 4 2 がサニタイズされるべきであることを D R A M コントローラ 1 0 3 に通知する。別の実施形態では、D R A M コントローラ 1 0 3 は、例えば、図 7 および図 8 に関して以下に説明するように、D R A M ブロック 1 4 2 に対するゼロ値書き込みを監視することによって判定を行うハードウェアを含む。D R A M ブロック 1 4 2 がサニタイズされるべきであることを判定するための他の実施形態も考えられる。フローはブロック 3 0 4 に進む。

40

【 0 0 1 6 】

ブロック 3 0 4 において、D R A M コントローラ 1 0 3 は、ブロック 3 0 2 で判定された D R A M ブロック 1 4 2 に関連付けられたサニタイズビット 1 3 2 をセットする。さらに、D R A M コントローラ 1 0 3 は、その D R A M ブロック 1 4 2 のリフレッシュをディセーブルする。サニタイズ範囲の実施形態では、D R A M コントローラ 1 0 3 は、サニタイズペアを割り当て、サニタイズビット 1 3 2 をセットし、範囲内の第 1 の D R A M ブロック 1 4 2 のアドレスと、範囲内の D R A M ブロック 1 4 2 の数の総数とを範囲レジスタに投入する。さらに、D R A M コントローラ 1 0 3 は、その範囲のすべての D R A M ブロ

50

ック142のリフレッシュをディセーブルする。フローはブロック304で終了する。

【0017】

ここで図4を参照すると、システム100の動作を示すフローチャートが示されている。フローはブロック402で開始する。

【0018】

ブロック402において、DRAMコントローラ103は、DRAM104のロケーションからの読み出し要求を受信する。このロケーションは、DRAMブロック142に関係し、即ちそのアドレスに基づいてDRAMブロック142内にある。フローは判断ブロック404に進む。

【0019】

判断ブロック404において、DRAMコントローラ103は、関係するDRAMブロック142に対応するサニタイズビット132がセットされているかどうかを判定する。そうであれば、フローはブロック408に進み、そうでなければフローはブロック406に進む。サニタイズ範囲の実施形態では、サニタイズコントローラ134は、読み出し要求のアドレスが、サニタイズビット132がセットされたサニタイズペアの範囲レジスタで指定された範囲に入ることを判定する。

【0020】

ブロック406において、DRAMコントローラ103は、指定されたロケーションをDRAM104から読み出し、DRAMコントローラ103の通常動作に従って、読み出されたデータを返す。フローはブロック406で終了する。

【0021】

ブロック408において、DRAMコントローラ103は、DRAM104を読み出さず、その代わりに読み出し要求にゼロ値を返す。これは、読み出し要求によって関係付けられたDRAMブロック142が判断ブロック404でサニタイズされると判定されたためである。フローはブロック408で終了する。

【0022】

(例えば、ブロック408において)ブロックがサニタイズされているときDRAMを読み取らないことの利点は、(1)ゼロ値を維持するためにDRAMブロックをリフレッシュする必要がないので、より少ない電力が消費されうること、(2)ソフトウェアがデータの読み出しを要求しても、DRAMがデータを読み取るためにアクセスされないので、より少ない電力が消費されうること、(3)要求されたデータを読み取るためにDRAMにアクセスする必要がないので、リード要求の待ち時間が短くなるため性能が向上しうること、があり、それらのすべてはデータの要求されている値がゼロであることが分かっていることにより可能となる。

【0023】

ここで図5を参照すると、システム100の動作を示すフローチャートが示されている。フローはブロック502で開始する。

【0024】

ブロック502において、DRAMコントローラ103は、DRAM104のロケーションへのデータ書き込み要求を受信する。より具体的には、DRAMコントローラ103は、書き込まれるデータが非ゼロ値であると判定する。このロケーションは、DRAMブロック142に関係し、即ち、そのアドレスに基づいてDRAMブロック142内にあるか、又は、サニタイズ範囲の実施形態におけるDRAMブロック142の範囲に関係する。代替的实施形態では、DRAMコントローラ103は、書き込まれるデータが非ゼロであるかどうかをチェックするのではなく、代わりにデータ値に関係なく図5の動作を実行する。DRAMコントローラ103がDRAM104のロケーションにゼロ値を有するデータを書き込む要求を受信した場合には、サニタイズビット132がセットされていればDRAMコントローラ103はDRAM104に書き込まないのに対して、サニタイズビット132がクリアされていれば、DRAMコントローラ103がゼロ値をDRAM104の指定されたロケーションに書き込む。フローは判断ブロック504に進む。

10

20

30

40

50

【 0 0 2 5 】

判断ブロック504において、DRAMコントローラ103は、関係するDRAMブロック142に又はDRAMブロック142の範囲に対応するサニタイズビット132が設定されているかどうかを判定する。そうであれば、フローはブロック508に進む。そうでない場合、フローはブロック506に進む。サニタイズ範囲の実施形態では、サニタイズコントローラ134は、書き込み要求のアドレスが、サニタイズビット132がセットされたサニタイズペアの範囲レジスタに指定された範囲に入ると判定する。

【 0 0 2 6 】

ブロック506において、DRAMコントローラ103は、指定されたデータをDRAM104の特定の場所に、即ちDRAMコントローラ103の通常の動作に従って書き込む。フローはブロック506で終了する。

10

【 0 0 2 7 】

ブロック508において、DRAMコントローラ103は、関係するDRAMブロック142に対応するサニタイズビット132をクリアする。さらに、DRAMコントローラ103は、関係するDRAMブロック142のリフレッシュ、又は、サニタイズ範囲の実施形態において範囲レジスタによって関係付けられたDRAMブロック142の範囲のリフレッシュを再びイネーブルする。さらに、DRAMコントローラ103は、指定されたデータをDRAM104の指定されたロケーションに書き込む。最後に、DRAMコントローラ103は、書き込み要求によって指定されたロケーション以外の、DRAMブロック142のすべてのロケーション又はDRAMブロック142の関係する範囲に、ゼロを書き込む。フローはブロック508で終了する。

20

【 0 0 2 8 】

サニタイズされたブロックへの第1の非ゼロ書き込みが行われるまで、ブロックの他のロケーションにゼロ値を書き込むのを待つことの長所は、(1)そのブロックが割り当てられたことをオペレーティングシステムが示すとすぐにリフレッシュが開始される場合(例えば、米国特許第5,469,559号)に比べて、DRAMブロックが追加の回数量だけリフレッシュされず、場合によっては、そのブロックが割り当てられた後、ソフトウェアがそのブロックに書き込む前に、かなりの回数量となりうるので、より少ない電力が消費されるかもしれないという点、(2)オペレーティングシステムは、ブロックにゼロを書き込むために、プロセッサ102が数十から数百のオーダーに及びうる命令を実行することを含む、ブロックへのゼロ書き込みを、全ては実行する必要がない、という点である。この後者の考察は、次のよう利点を有する。(a)多くの書き込み命令を実行する必要がないので、プロセッサ102によってより少ない電力が消費される、(b)プロセッサ102が多くの書き込み命令を実行する必要がなくなり、したがって他の命令を実行する空きができるので、システム性能が改善され得る、(c)DRAMコントローラ103は、プロセッサ102が書き込み命令を実行し、かつ、DRAMコントローラ103への書き込み要求を作成しなければならない場合に生じる、余分な待ち時間なしでブロックへのゼロ書き込みを実行するのでシステム性能が改善され得る。第2の利点(2)は、図7及び図8のサニタイズ検出ハードウェア(SDH)の実施形態によっては実現されないことがあると理解されるべきである。

30

40

【 0 0 2 9 】

ここで図6を参照すると、一実施形態による、サニタイズされたDRAMブロック142の選択的リフレッシュを実行するシステム100の動作を示すフローチャートが示されている。フローはブロック602で開始する。

【 0 0 3 0 】

ブロック602において、(例えば、オペレーティングシステム又は他のエグゼクティブなどの)システムソフトウェアは、DRAMブロック142をサニタイズすることを判定する。例えば、いくつかのオペレーティングシステムは、メモリロケーションのシーケンス、即ち、所定のメモリアドレスから始まる所定の数の連続するメモリロケーションをサニタイズするために呼び出されるシステムコールであって、UNIX(登録商標)オ

50

ペレーティングシステム及び、Mac OS X並びにMicrosoft Windowsの後のバージョンのような同種のオペレーティングシステムで見られる**zero()**や**memset()**のようなシステムコールを提供する。慣習的に、それらのシステムコールを実行するルーチンは、所定のシーケンスで全てのメモリロケーションへのゼロ値の一連の書き込みを行う。一実施形態では、システムコールを実行するルーチンは、DRAMコントローラ103の能力を利用して変更される。より具体的には、ルーチンは、1つ又は複数のDRAMブロック142全体が一連のメモリロケーションによって含まれるかどうかをチェックする。そうであれば、従来のように含まれているブロック142への一連のゼロ値書き込みを実行する代わりに、ルーチンは、ブロック604に関して説明するように、DRAMコントローラ103へ、含まれているブロック142をサニタイズするように要求する書き込みをする。フローはブロック604へ進む。

10

【0031】

ブロック604において、システムソフトウェアは、サニタイズすべきブロック142のアドレスをDRAMコントローラ103に書き込む。好ましくは、DRAMコントローラ103は、アドレスを受け取るコントロールレジスタを含む。即ち、コントロールレジスタは、DRAM104及びDRAMコントローラ103を含むシステム100上(例えば、プロセッサ102上)で実行されるシステムソフトウェアによって書き込み可能である。サニタイズ範囲の実施形態では、システムソフトウェアは、アドレス及びその範囲のDRAMブロック142の数の両方を書き込む。フローはブロック606に進む。

【0032】

ブロック606において、DRAMコントローラ103は、指定されたブロック142又はブロック142の範囲に対して図3の動作を実行する、即ち、ブロック142又はブロック142の範囲に関連するサニタイズビット132を設定し、ブロック142又はブロック142の範囲に対してリフレッシュをディセーブルする。フローはブロック606で終了する。

20

【0033】

ここで図7を参照すると、サニタイズ検出ハードウェア(SDH)インスタンス700を示すブロック図が示されている。一実施形態では、DRAMコントローラ103は複数のSDHインスタンス700を含み、そこからDRAMコントローラ103が割り当てを行い(例えば、図8のブロック806)、その中へDRAMコントローラ103が割り当てを解除する(例えば、図8のブロック818)。SDHインスタンス700は、有効ビット702、ビットマップ704、アドレスレジスタ708、及びコントロールロジック706を含む。有効ビット702は、真の場合にSDHインスタンス700が割り当てられていることを示し、偽の場合にSDHインスタンス700が空いていることを示す。ビットマップ704は、そのアドレスがアドレスレジスタ708に保持されているDRAMブロック142の各ロケーションに対するビットを含む。様々な実施形態では、DRAMブロック142内のロケーションは、整列バイト、16ビットハーフワード、32ビットワード、64ビットダブルワード、128ビットクワドワード、又は256ビットオクタワードに対応する。一実施形態では、ロケーションは、例えばプロセッサ102のラストレベルキャッシュの整列キャッシュラインに対応する。図8を参照して以下に説明するように、コントロールロジック706は、有効ビット702、ビットマップ704、及び、アドレスレジスタ708の読み出し及び更新に関連する動作を実行する。

30

40

【0034】

ここで図8を参照すると、図7のSDHインスタンス700を使用することによってDRAMブロック142がサニタイズされることを検出するDRAMコントローラ103の動作を示すフローチャートが示されている。フローはブロック802で開始する。

【0035】

ブロック802において、DRAMコントローラ103は、DRAM104のロケーションにデータを書き込む要求を受信する。そのロケーションは、DRAMブロック142を表し、即ち、そのアドレスに基づいてDRAMブロック142内にあるか、又は、サニ

50

タイズ範囲の実施形態におけるDRAMブロック142を表す。フローは判断ブロック804に進む。

【0036】

判断ブロック804において、DRAMコントローラ103は、SDHインスタンス700が、書き込み要求によって関係付けられたDRAMブロック142又はDRAMブロック142の範囲に対して割り当てられているかどうかを判定する。より具体的には、DRAMコントローラ103は、読み出し要求アドレスの関連部分が、SDHインスタンス700の有効ビット702のアドレス708と一致するかどうかを判定する。そうであれば、フローは判断ブロック808に進み、そうでなければ、フローはブロック806に進む。

10

【0037】

ブロック806において、サニタイズコントローラ134は空きSDHインスタンス700を割り当てる。好ましくは、SDHインスタンス700を割り当てることは、空きSDHインスタンス700（即ち、有効ビット702が偽である）を見つけること、有効ビットを真に初期化すること、ビットマップ704の全てのビットをゼロへとクリーニングすること、及び、書き込み要求アドレスの関連部分をアドレスレジスタ708に書き込むことを含む。好ましくは、割り当てべき空きSDH700がない場合、DRAMコントローラ103は単に通常通り継続する、即ち、ブロックがサニタイズされていることを検出することを試みない。フローはブロック806で終了する。

【0038】

判断ブロック808において、サニタイズコントローラ134は、書き込まれるべき値がゼロであるかどうかを判定する。そうであれば、フローはブロック814に進む。そうでなければ、フローはブロック812に進む。

20

【0039】

ブロック812において、サニタイズコントローラ134は、DRAMブロック142に対して以前に（即ち、ブロック806において）割り当てられたSDHインスタンス700を割り当て解除する。好ましくは、SDHインスタンス700の割り当てを解除することは、後の割り当てのためにSDHインスタンス700を解放する、有効なビット702をクリアすることを含む。フローは、ブロック812で終了する。

【0040】

ブロック814において、サニタイズコントローラ134は、ブロック802で受信された要求によって書き込まれたDRAMブロック142内のロケーションに関連するビットマップ704のビットをセットする。フローは、判断ブロック816に進む。

30

【0041】

判断ブロック816において、サニタイズコントローラ134は、ビットマップ704が一杯であるかどうか、即ち、ビットマップ704のビットがすべてセットされているかどうかを判定する。そうであれば、フローはブロック818に進む。そうでなければ、フローは終了する。

【0042】

ブロック818において、サニタイズコントローラ134は、DRAMブロック142に対して以前に割り当てられたSDHインスタンス700を割り当て解除し、図3を参照して説明したDRAMブロック142の動作の実行を開始する。なぜなら、サニタイズコントローラ134は、システムソフトウェアがDRAMブロック142をサニタイズしたと判定したからである。

40

【0043】

SDHインスタンスの他の実施形態も考えられる。一実施形態では、DRAMコントローラ103は、ブロック142をサニタイズするための一連のゼロ値書き込みが固定サイズワードであり、ブロック142の第1のロケーションから始まると仮定する。この実施形態はビットマップ704を必要とせず、その代わりに、最も新しくゼロ値が書き込まれたブロック142のワードの後のブロック142内の固定サイズワードのインデックスを

50

保持するレジスタを必要とする。動作中、DRAMコントローラ103は、ブロック142における第1のロケーションへのデータ値の書き込みを検出する。SDHインスタンスがブロック142に対して割り当てられておらず、書き込みが固定サイズのゼロ値ワードである場合、DRAMコントローラ103は、SDHインスタンスを割り当てる。SDHインスタンスの割り当ては、レジスタを1の値に初期化することが含まれる。SDHインスタンスがブロック142に割り当てられている場合、DRAMコントローラ103は、データ値がゼロであり、レジスタのインデックスが現在のゼロ値書き込みのインデックスと一致するかどうかを判定する。そうでなければ、DRAMコントローラ103はSDHインスタンスを割り当て解除する。そうでない場合、DRAMコントローラ103は、レジスタのインデックスがブロック142で最高のインデックスであるかどうかを判定する。そうであれば、DRAMコントローラ103はSDHインスタンスを割り当て解除し、ブロックに対して図3の動作を実行する。そうでなければ、DRAMコントローラ103はレジスタをインクリメントする。

10

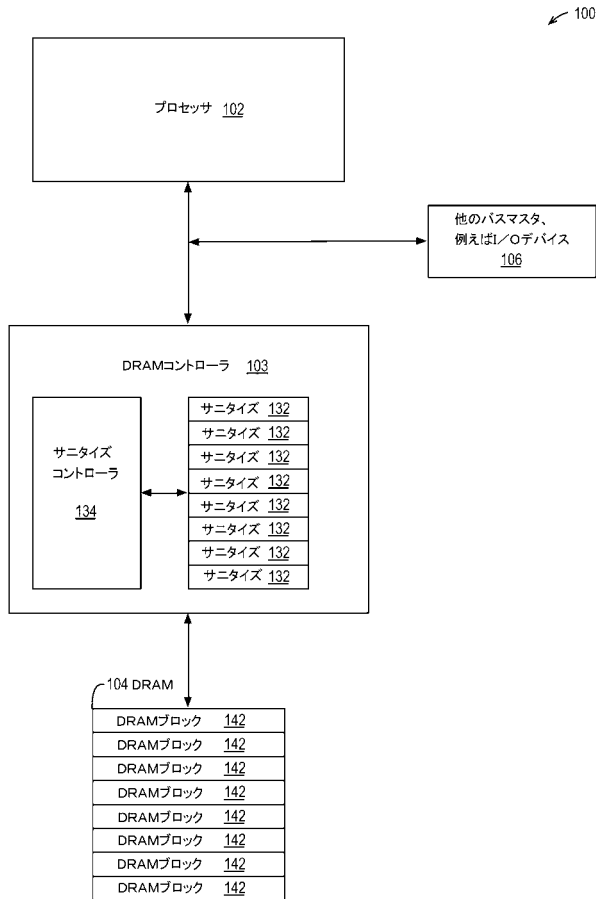
【0044】

本発明の様々な実施形態をここで説明してきたが、それらは例として提示されており、限定ではないことを理解されたい。関連するコンピュータ技術の当業者には、本発明の範囲から逸脱することなく、形態及び詳細の様々な変更を行うことができることが明らかであろう。例えば、ソフトウェアは、ここで説明された装置及び方法の、例えば、機能、製造、モデリング、シミュレーション、ディスクリプション及び/又は試験を可能にすることができる。これは、一般的なプログラミング言語（例えば、C、C++）、Verilog HDL、VHDLなどを含むハードウェア記述言語（HDL）、又は他の利用可能なプログラムを使用して達成することができる。そのようなソフトウェアは、磁気テープ、半導体、磁気ディスク、又は光ディスク（例えば、CD-ROM、DVD-ROMなど）、ネットワーク、有線、無線又は他の通信媒体のような、公知のコンピュータ読取可能媒体に配列され得る。ここで説明された装置及び方法の実施形態は、（例えば、HDLで具体化又は指定され）集積回路の製造においてハードウェアに変換されるプロセッサコアなどの半導体知的財産コアに含まれてもよい。さらに、個々で説明される装置及び方法は、ハードウェアとソフトウェアとの組み合わせとして実施されてもよい。したがって、本発明は、ここで説明された例示的实施形態のいずれによっても制限されるべきではなく、添付の特許請求の範囲及びそれらの均等物に従ってのみ定義されるべきである。具体的には、本発明は、汎用コンピュータで使用可能なプロセッサ装置内で実施することができる。最後に、当業者は、添付の特許請求の範囲によって定義された本発明の範囲を逸脱することなく、本発明と同じ目的を実現するための他の構造を設計し又は改変するための基礎として、開示された概念を容易に使用することができることを評価すべきである。

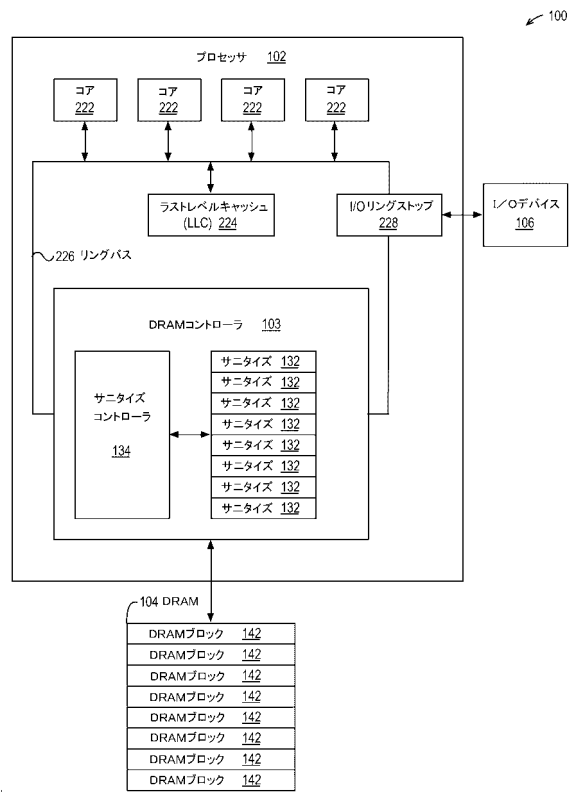
20

30

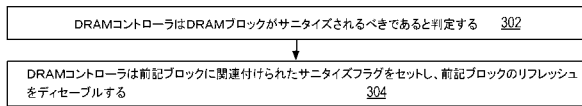
【 図 1 】



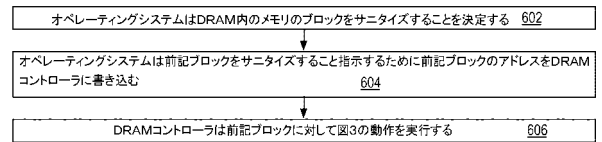
【 図 2 】



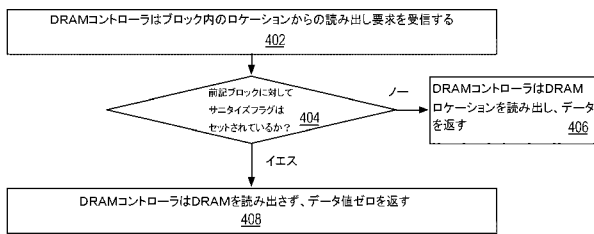
【 図 3 】



【 図 6 】



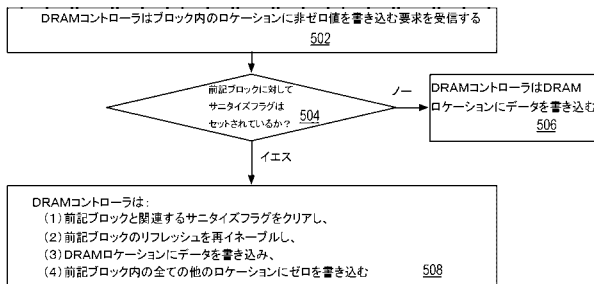
【 図 4 】



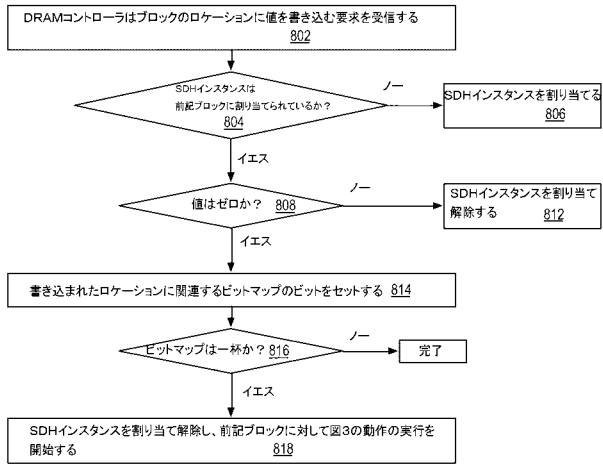
【 図 7 】



【 図 5 】



【 図 8 】



+

フロントページの続き

(72)発明者 テリー パークス

アメリカ合衆国 7 8 7 3 7 テキサス州, オースティン, キャリエイジ・ハウス・レーン # 6

(72)発明者 ロドニー イー フッカー

アメリカ合衆国 7 8 7 3 2 テキサス州, オースティン, カリストガ・ウェイ 1 2 6 3 2

(72)発明者 ダグラス アール リード

アメリカ合衆国 7 8 7 0 1 テキサス州, オースティン, ヌエイシス・ストリート 3 6 0 #
2 7 0 8

Fターム(参考) 5B017 AA03 BB02 CA01

5B060 CA10

5M024 AA04 BB35 EE17 KK35 PP01