



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2009년01월28일
 (11) 등록번호 10-0880506
 (24) 등록일자 2009년01월19일

(51) Int. Cl.⁹

H01L 27/04 (2006.01)

(21) 출원번호 10-2003-0016726

(22) 출원일자 2003년03월18일

심사청구일자 2007년04월19일

(65) 공개번호 10-2003-0076327

(43) 공개일자 2003년09월26일

(30) 우선권주장

JP-P-2002-00075483 2002년03월19일 일본(JP)

(56) 선행기술조사문헌

JP03016164 A*

(뒷면에 계속)

전체 청구항 수 : 총 4 항

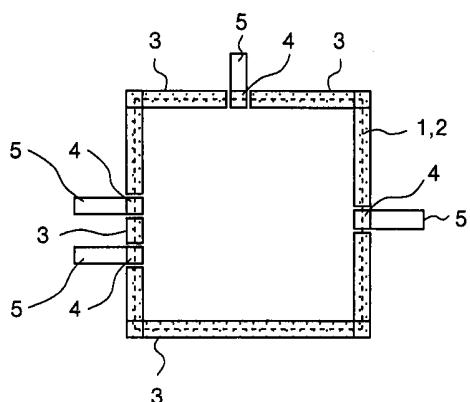
심사관 : 배진용

(54) 반도체 집적 회로의 실드 구조

(57) 요 약

매크로 등의 내측 영역 또는 외측 영역을, 물리 배선 패턴이 불명확한 블랙박스로서 취급하는 경우에, 물리 배선 패턴이 분명한 영역 내의 배선에 대하여, 블랙박스로부터 받는 크로스토크의 영향이나 배선간에 생기는 용량을 고려하지 않고, 지연값을 정확하게 구하는 것을 과제로 한다. 블랙박스(1)로 되는 매크로 등(2)의 실드 대상 영역의 경계상, 경계의 내측, 경계의 외측, 또는 경계의 내측과 외측에, 실드 대상 영역을 둘러싸도록 실드 배선(3)을 형성하고, 이 실드 배선(3)을 매크로 등(2)의 전원 단자(7)나 전원 배선, 또는 컨택트부(8)를 통하여 다른 배선층의 전원 배선 등에 접속하여, 실드 배선(3)의 전위를 고정한다. 그리고, 물리 배선 패턴이 분명한 영역 내의 배선과 실드 배선(3) 사이에서 크로스토크의 영향이나 배선간에 생기는 용량을 예측함으로써, 정확한 지연값을 구한다.

대 표 도 - 도1



(56) 선행기술조사문현

JP02226756 A

KR1019900002446 A

JP09232435 A

JP11214643 A

JP06318597 A

EP0917202 A

EP0791963 A

*는 심사관에 의하여 인용된 문현

특허청구의 범위

청구항 1

반도체 기판의 일 주면에 형성되는 실드 대상 영역과,

상기 실드 대상 영역의 경계 근방에 형성된, 상기 실드 대상 영역의 내외에서 신호의 수수(授受)를 행하기 위한 외부 접속 단자와,

상기 외부 접속 단자, 또는 상기 외부 접속 단자에 상기 실드 대상 영역의 외부로부터 전기적으로 접속되는 배선을 피하여, 상기 실드 대상 영역의 경계상에, 상기 실드 대상 영역을 둘러싸도록 배치된 실드 배선
을 포함하고,

상기 실드 대상 영역은, 그 실드 대상 영역보다 위의 배선층에 형성된 실드층에 의해 덮여 있는 것을 특징으로 하는 반도체 집적 회로의 실드 구조.

청구항 2

반도체 기판의 일 주면에 형성되는 실드 대상 영역과,

상기 실드 대상 영역의 경계 근방에 형성된, 상기 실드 대상 영역의 내외에서 신호의 수수를 행하기 위한 외부 접속 단자와,

상기 외부 접속 단자, 또는 상기 외부 접속 단자에 상기 실드 대상 영역의 외부로부터 전기적으로 접속되는 배선을 피하여, 상기 실드 대상 영역의 경계의 내측에, 상기 실드 대상 영역을 둘러싸도록 배치된 실드 배선
을 포함하고,

상기 실드 대상 영역은, 그 실드 대상 영역보다 위의 배선층에 형성된 실드층에 의해 덮여 있는 것을 특징으로 하는 반도체 집적 회로의 실드 구조.

청구항 3

반도체 기판의 일 주면에 형성되는 실드 대상 영역과,

상기 실드 대상 영역의 경계 근방에 형성된, 상기 실드 대상 영역의 내외에서 신호의 수수를 행하기 위한 외부 접속 단자와,

상기 외부 접속 단자, 또는 상기 외부 접속 단자에 상기 실드 대상 영역의 외부로부터 전기적으로 접속되는 배선을 피하여, 상기 실드 대상 영역의 경계의 외측에, 상기 실드 대상 영역을 둘러싸도록 배치된 실드 배선
을 포함하고,

상기 실드 대상 영역은, 그 실드 대상 영역보다 위의 배선층에 형성된 실드층에 의해 덮여 있는 것을 특징으로 하는 반도체 집적 회로의 실드 구조.

청구항 4

반도체 기판의 일 주면에 형성되는 실드 대상 영역과,

상기 실드 대상 영역의 경계 근방에 형성된, 상기 실드 대상 영역의 내외에서 신호의 수수를 행하기 위한 외부 접속 단자와,

상기 외부 접속 단자, 또는 상기 외부 접속 단자에 상기 실드 대상 영역의 외부로부터 전기적으로 접속되는 배선을 피하여, 상기 실드 대상 영역의 경계의 내측 및 외측에, 상기 실드 대상 영역을 둘러싸도록 배치된 실드 배선
을 포함하고,

상기 실드 대상 영역은, 그 실드 대상 영역보다 위의 배선층에 형성된 실드층에 의해 덮여 있는 것을 특징으로 하는 반도체 집적 회로의 실드 구조.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

- <18> 본 발명은, 반도체 집적 회로의 실드 구조에 관한 것으로, 특히 기능 블록인 매크로, 또는 계층 레이아웃으로 레이아웃되는 계층 블록(이하, 매크로 등이라고 한다)을 실드 배선으로 둘러싸는 실드 구조에 관한 것이다.
- <19> 반도체 집적 회로의 설계 단계에서, 지연 시뮬레이션을 실행하기 위해서 배선이나 게이트의 지연값을 구할 필요가 있다. 이를 위해서는, 배선간의 간격으로부터 크로스토크의 영향이나 배선간에 생기는 용량을 예측할 필요가 있다. 특정한 배선에 대하여, 크로스토크의 영향이나 다른 배선과의 사이에 생기는 용량의 영향을 배제하여 배선간에 생기는 용량을 정확하게 예측할 경우에는, 그 특정 배선을 따라 실드 배선이 형성된다. 또한, 매크로 등의 위에 실드층을 형성함으로써, 매크로 등의 내외의 배선간의 크로스토크의 영향이나 배선간에 생기는 용량을 고려하지 않고, 실드층보다 위의 층에 매크로 등의 외부의 배선을 형성할 수 있다.
- <20> 일반적으로, 반도체 집적 회로의 설계에서, 배선이 레이아웃되는 영역은 복수의 영역으로 분할되고, 매크로 등의 내측의 영역의 레이아웃과 외측의 영역의 레이아웃은 별도로 행해진다. 매크로 등의 내측 영역에 주목하여 크로스토크의 영향이나 배선간에 생기는 용량을 예측할 때에, 매크로 등의 외측 영역의 물리 배선 패턴이 불명확한 경우에는, 매크로 등의 외측 영역은, 물리 배선 패턴을 고려하지 않는, 소위 블랙박스로서 취급된다. 또한, 매크로 등의 외측 영역에 주목하는 경우에, 매크로 등의 내측 영역의 물리 배선 패턴이 불명확하면, 매크로 등의 내측 영역 역시 블랙박스로서 취급된다.

발명이 이루고자 하는 기술적 과제

- <21> 그러나, 블랙박스의 물리 배선 패턴이 불명확하기 때문에, 물리 배선 패턴이 분명한 영역에 주목하여 크로스토크의 영향이나 배선간에 생기는 용량을 예측할 때에, 주목하고 있는 영역의 근처에 블랙박스가 있으면, 그 주목하고 있는 영역이 블랙박스로부터 받는 크로스토크의 영향이나 배선간에 생기는 용량을 정확하게 예측할 수 없는 문제점이 있다.
- <22> 본 발명은, 상기 문제점을 감안하여 이루어진 것으로, 매크로 등의 내측 영역 또는 외측 영역을 물리 배선 패턴이 불명확한 블랙박스로서 취급하는 경우에, 물리 배선 패턴이 분명한 영역 내의 배선에 대하여, 블랙박스로부터 받는 크로스토크의 영향이나 배선간에 생기는 용량을 고려하지 않고도, 지연값을 정확하게 구하는 것을 가능하게 하는 반도체 집적 회로의 실드 구조를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

- <23> 상기 목적을 달성하기 위해서, 본 발명은, 매크로 등의 실드 대상 영역의 경계상, 경계의 내측, 경계의 외측, 또는 경계의 내측과 외측에, 실드 대상 영역을 둘러싸도록 실드 배선을 형성한다. 그리고, 이 실드 배선을 매크로 등의 전원 단자나 전원 배선, 또는 컨택트부를 통하여 다른 배선층의 전원 배선 등에 전기적으로

접속한다.

- <24> 본 발명에 따르면, 매크로 등의 내측 영역이 블랙박스이어도, 매크로 등의 외측 영역의 배선과 실드 배선 사이에서 크로스토크의 영향이나 배선간에 생기는 용량을 예측함으로써, 정확한 지연값을 구할 수 있게 된다. 매크로 등의 외측 영역을 블랙박스로 하고, 매크로 등의 내측 영역의 배선에 대하여 크로스토크의 영향이나 배선간에 생기는 용량을 예측하고, 그것에 기초하여 지연값을 구하는 경우도 마찬가지다.
- <25> <실시예>
- <26> 이하, 본 발명의 실시예에 대하여 도면을 참조하면서 상세히 설명한다. 실시예에 따른 실드 구조는, 매크로 등의 내측 영역 또는 외측 영역을, 물리 배선 패턴이 불명확한 블랙박스로서 취급하고, 실드 대상 영역으로 하는 경우에, 블랙박스 주변의 배선층에 실드 배선을 형성한 레이아웃 구조로 하는 것이다. 도 1 내지 도 4에 평면 레이아웃 구조의 구체예를 도시하며, 도 5에 이들 평면 레이아웃 구조의 배선층이 적층된 경우의 종단면 구조의 일례를 도시한다.
- <27> 도 1은, 제1 예로서, 블랙박스의 경계상에 실드 배선을 레이아웃한 구조를 도시하는 평면도이다. 도 1에서, 부호 1의 파선으로 도시하는 직사각형의 내측 영역은 매크로 등(2)으로 이루어지는 블랙박스이다. 실드 배선(3)은, 블랙박스(1)의 내측 영역을 둘러싸도록, 블랙박스(1)의 파선으로 나타내는 경계상에 형성되어 있다.
- <28> 매크로 등(2)의 외주 근방에는, 매크로 등(2)의 내부에 전기적으로 접속된 외부 접속 단자(4)가 형성되어 있고, 이 외부 접속 단자(4)에는 배선(5)이 접속된다. 이 배선(5)은 매크로 등(2)의 외부의 도시하지 않은 회로 등에 전기적으로 접속된다. 외부 접속 단자(4)로서는, 매크로 등(2)에 외부로부터 전원 전압을 공급하기 위한 전원 단자와, 매크로 등(2)과 외부의 회로 사이에서 신호를 수수(授受)하기 위한 신호 단자가 있다.
- <29> 실드 배선(3)은 전원 단자에 접속된다. 외부 접속 단자(4)가 전원 단자가 아닌 경우에는, 실드 배선(3)은, 외부 접속 단자(4) 부분에서 도중에 끊겨 있고, 외부 접속 단자(4) 및 배선(5)으로부터 절연되어 있다. 도 1에 도시하는 예에서는, 4개의 외부 접속 단자(4)가 전원 단자가 아니기 때문에, 실드 배선(3)은 외부 접속 단자(4)로부터 절연되어 있다. 그리고, 실드 배선(3)은, 도시하지 않은 전원 단자 또는 이것에 접속된 전원 배선에 전기적으로 접속되어 있다. 실드 배선(3)의 폭은, 특별히 한정하지 않지만, 예를 들면 배선이 정의할 수 있는 최소의 폭이면 된다.
- <30> 도 2는, 제2 예로서, 블랙박스의 경계의 내측에 실드 배선을 레이아웃한 구조를 도시하는 평면도이다. 제2 예에서도, 블랙박스(1)는 파선으로 도시하는 직사각형의 내측 영역의 매크로 등(2)이다. 실드 배선(3)은 도시하지 않은 전원 단자 또는 이것에 접속된 전원 배선에 전기적으로 접속되어 있다. 그리고, 실드 배선(3)은 전원 단자가 아닌 외부 접속 단자(4) 부분에서 절단되어 있고, 외부 접속 단자(4) 및 배선(5)으로부터 절연되어 있다.
- <31> 도 3은, 제3 예로서, 블랙박스의 경계의 외측에 실드 배선을 레이아웃한 구조를 도시하는 평면도이다. 제3 예에서도, 블랙박스(1)는 파선으로 도시하는 직사각형의 내측 영역의 매크로 등(2)이다. 실드 배선(3)은 전원 단자가 아닌 외부 접속 단자(4) 부분에서 절단되어 있고, 도시하지 않은 전원 단자 또는 이것에 접속된 전원 배선에 전기적으로 접속되어 있다.
- <32> 또한, 제3 예에서는, 블랙박스(1)는 실드 배선(3)보다 위의 배선층에 형성된 예를 들면 스트라이프형의 실드 배선(6)에 의해 덮여 있다. 이 블랙박스(1)의 위를 덮는 실드 배선(6)은 특정 전위의 배선이나 단자에만 접속되어 있다. 블랙박스(1)의 위를 덮는 실드 배선(6)은, 예를 들면 전원에 접속되어 있다. 이렇게 함으로써, 물리 배선 패턴이 분명한 영역 내의 모든 배선에 관하여, 블랙박스(1) 내의 배선으로부터 받는 크로스토크의 영향이나 배선간에 생기는 용량을 고려할 필요가 없어진다.
- <33> 도 4는, 제4 예로서, 블랙박스의 경계의 내측과 외측에 실드 배선을 레이아웃한 구조를 도시하는 평면도이다. 제4 예에서는, 매크로 등(2)은, 파선으로 도시하는 직사각형의 내측 영역이고, 블랙박스(1)는 매크로 등(2)의 외측 영역이다. 따라서, 이 경우에는, 블랙박스(1)의, 매크로 등(2)과의 경계 근방에, 블랙박스(1)의 내부에 전기적으로 접속된 외부 접속 단자(4)가 형성되어 있고, 이 외부 접속 단자(4)에 접속된 배선(5)은 매크로 등(2)의 내부로 연장되어 있다. 실드 배선(3)은, 전원 단자가 아닌 외부 접속 단자(4) 부분에서 절단되어 있고, 도시하지 않은 전원 단자 또는 이것에 접속된 전원 배선에 전기적으로 접속되어 있다.
- <34> 도 4에 도시하는 예에서는, 블랙박스(1)의 4개의 변 중 1개의 변에 대해서는, 매크로 등(2)과 블랙박스(1) 사이에서 크로스토크의 영향이나 배선간에 생기는 용량의 영향을 고려할 필요가 없는 것으로 가정하고 있다. 이에

따라, 이 근처에서는, 실드 배선이 형성되어 있지 않다. 단, 매크로 등(2)과 블랙박스(1) 사이에서 크로스토크의 영향이나 배선간에 생기는 용량의 영향을 고려할 필요가 없는 부분에, 실드 배선을 형성하여도 되는 것은 물론이다.

<35> 다층 배선 구조의 반도체 칩에서, 도 1 내지 도 4에 도시한 바와 같은 실드배선 구조를 갖는 배선층은 도 5에 도시한 바와 같이 적층된다. 실드 배선(3)은, 매크로 등(2)의 전원 단자(7), 혹은 전원 단자(7)에 접속된 배선에 직접 접속되거나, 또는, 컨택트부(8)를 통하여 다른 배선층의 전원 단자(7), 혹은 전원 단자(7)에 접속된 배선에 전기적으로 접속된다.

<36> 그에 따라, 예를 들면 상술한 매크로 등(2)의 신호 단자(9)에 의해 분리된 실드 배선(3)이나, 실드 배선이 불필요한 것으로 하여 분리된 실드 배선(3)의 전위가 고정된다. 또한, 도 5에서는, 제1 배선층의 일부에는 실드 배선이 불필요한 것으로 하여 형성되어 있지 않다. 도 5에서 부호 10은 반도체 기판이다.

<37> 도 6은 레이아웃 설계 처리의 수순을 도시하는 흐름도이다. 레이아웃 설계 처리에서는, 먼저 매크로 · HLB 레이아웃에 의한 플로어 플랜(floor plan)을 행하고(단계 S61), 전원 배선의 레이아웃을 행하고(단계 S62), 이어서, 실드 배선을 생성하고(단계 S63), 배치, 배선 처리를 행한다(단계 S64).

<38> 도 7은 실드 배선 생성 처리를 자동으로 행하는 수순을 도시하는 흐름도이다. 실드 배선 생성 처리에서는, 먼저 실드 배선을 생성하는 영역의 인식을 행한다(단계 S71). 이어서, 인식된 실드 대상 영역에 대하여, 상술한 바와 같이 신호 단자 등을 피하여 실드 배선을 배선한다(단계 S72). 이어서, 배선된 실드 배선을, 그 실드 배선과 동일한 배선층의 전원 배선이나 전원 단자에 접속하거나, 다른 배선층의 전원 배선이나 전원 단자에 컨택트부를 통하여 접속함으로써, 실드 배선의 전위를 고정한다(단계 S73).

<39> 상술한 실시예에 따르면, 블랙박스(1)가 있어도, 물리 배선 패턴이 분명한 영역 내의 배선과 실드 배선(3) 사이에서 크로스토크의 영향이나 배선간에 생기는 용량을 예측함으로써, 블랙박스(1) 내의 배선으로부터 받는 크로스토크의 영향이나 배선간에 생기는 용량을 예측하지 않아도, 주목한 배선에 대하여 크로스토크의 영향이나 배선간에 생기는 용량을 정확하게 예측할 수 있다. 또한, 물리 배선 패턴이 분명한 영역에 실드 배선이 형성되어 있지 않은 경우에는, 블랙박스(1) 내에 실드 배선이 형성되어 있는 것으로 가정함으로써, 마찬가지로 크로스토크의 영향이나 배선간에 생기는 용량을 정확하게 예측할 수 있다. 따라서, 지연값을 정확하게 구할 수 있다.

<40> 여기서, 종래의 실드 구조는, 특정한 배선이 동일한 배선층의 배선간에 서로 미치는 영향을 방지하기 위한 실드, 또는 매크로에서 사용되는 최상위층의 불특정 다수의 배선이 그것보다 위의 층의 배선간에서 서로 미치는 영향을 방지하기 위한 실드이다. 그에 비하여, 상술한 실시예의 각 실드 구조는, 불특정 다수의 배선이 블랙박스(1) 내의 동일한 배선층의 배선으로부터 받는 영향을 방지하는 실드이다.

<41> 이상에서, 상술한 실시예의 각 실드 구조는 일레이고, 본 발명은, 이들에 국한되지 않으며, 적절하게 변경 가능하다.

(부기 1) 반도체 기판의 일 주면에 형성되는 실드 대상 영역과,

<43> 상기 실드 대상 영역의 경계 근방에 형성된, 상기 실드 대상 영역의 내외에서 신호의 수수(授受)를 행하기 위한 외부 접속 단자와,

<44> 상기 외부 접속 단자, 또는 상기 외부 접속 단자에 상기 실드 대상 영역의 외부로부터 전기적으로 접속되는 배선을 피하여, 상기 실드 대상 영역의 경계상에 배치된 실드 배선을 포함하는 것을 특징으로 하는 반도체 집적 회로의 실드 구조.

(부기 2) 반도체 기판의 일 주면에 형성되는 실드 대상 영역과,

<46> 상기 실드 대상 영역의 경계 근방에 형성된, 상기 실드 대상 영역의 내외에서 신호의 수수를 행하기 위한 외부 접속 단자와,

<47> 상기 외부 접속 단자, 또는 상기 외부 접속 단자에 상기 실드 대상 영역의 외부로부터 전기적으로 접속되는 배선을 피하여, 상기 실드 대상 영역의 경계의 내측에 배치된 실드 배선을 포함하는 것을 특징으로 하는 반도체 집적 회로의 실드 구조.

(부기 3) 반도체 기판의 일 주면에 형성되는 실드 대상 영역과,

- <49> 상기 실드 대상 영역의 경계 근방에 형성된, 상기 실드 대상 영역의 내외에서 신호의 수수를 행하기 위한 외부 접속 단자와,
- <50> 상기 외부 접속 단자, 또는 상기 외부 접속 단자에 상기 실드 대상 영역의 외부로부터 전기적으로 접속되는 배선을 피하여, 상기 실드 대상 영역의 경계의 외측에 배치된 실드 배선을 포함하는 것을 특징으로 하는 반도체 집적 회로의 실드 구조.
- <51> (부기 4) 반도체 기판의 일 주면에 형성되는 실드 대상 영역과,
- <52> 상기 실드 대상 영역의 경계 근방에 형성된, 상기 실드 대상 영역의 내외에서 신호의 수수를 행하기 위한 외부 접속 단자와,
- <53> 상기 외부 접속 단자, 또는 상기 외부 접속 단자에 상기 실드 대상 영역의 외부로부터 전기적으로 접속되는 배선을 피하여, 상기 실드 대상 영역의 경계의 내측 및 외측에 배치된 실드 배선을 포함하는 것을 특징으로 하는 반도체 집적 회로의 실드 구조.
- <54> (부기 5) 상기 실드 배선은 전원에 접속되어 있는 것을 특징으로 하는 부기 1~4 중 어느 하나에 기재된 반도체 집적 회로의 실드 구조.
- <55> (부기 6) 상기 실드 배선은, 컨택트부를 통하여, 상기 실드 배선이 형성된 층과는 다른 층의 배선 또는 단자에 전기적으로 접속되어 있는 것을 특징으로 하는 부기 1~5 중 어느 하나에 기재된 반도체 집적 회로의 실드 구조.
- <56> (부기 7) 상기 실드 대상 영역은, 그 실드 대상 영역보다 위의 배선층에 형성된 실드층에 의해 덮여 있는 것을 특징으로 하는 부기 1~6 중 어느 하나에 기재된 반도체 집적 회로의 실드 구조.
- <57> (부기 8) 상기 실드 대상 영역은, 기능 블록인 매크로, 또는 계층 레이아웃으로 레이아웃되는 계층 블록인 것을 특징으로 하는 부기 1~7 중 어느 하나에 기재된 반도체 집적 회로의 실드 구조.
- <58> (부기 9) 반도체 기판의 일 주면에 형성되는 매크로로서,
- <59> 상기 매크로의 경계 근방에 형성된, 상기 매크로의 내외에서 신호의 수수를 행하기 위한 외부 접속 단자와,
- <60> 상기 외부 접속 단자, 또는 상기 외부 접속 단자에 상기 매크로의 외부로부터 전기적으로 접속되는 배선을 피하여, 상기 매크로의 경계상에 배치된 실드 배선을 포함하는 것을 특징으로 하는 매크로.
- <61> (부기 10) 반도체 기판의 일 주면에 형성되는 매크로로서,
- <62> 상기 매크로의 경계 근방에 형성된, 상기 매크로의 내외에서 신호의 수수를 행하기 위한 외부 접속 단자와,
- <63> 상기 외부 접속 단자, 또는 상기 외부 접속 단자에 상기 매크로의 외부로부터 전기적으로 접속되는 배선을 피하여, 상기 매크로의 경계의 내측에 배치된 실드 배선을 포함하는 것을 특징으로 하는 매크로.
- <64> (부기 11) 반도체 기판의 일 주면에 형성되는 매크로로서,
- <65> 상기 매크로의 경계 근방에 형성된, 상기 매크로의 내외에서 신호의 수수를 행하기 위한 외부 접속 단자와,
- <66> 상기 외부 접속 단자, 또는 상기 외부 접속 단자에 상기 매크로의 외부로부터 전기적으로 접속되는 배선을 피하여, 상기 매크로의 경계의 외측에 배치된 실드 배선을 포함하는 것을 특징으로 하는 매크로.
- <67> (부기 12) 반도체 기판의 일 주면에 형성되는 매크로로서,
- <68> 상기 매크로의 경계 근방에 형성된, 상기 매크로의 내외에서 신호의 수수를 행하기 위한 외부 접속 단자와,
- <69> 상기 외부 접속 단자, 또는 상기 외부 접속 단자에 상기 매크로의 외부로부터 전기적으로 접속되는 배선을 피하여, 상기 매크로의 경계의 내측 및 외측에 배치된 실드 배선을 포함하는 것을 특징으로 하는 매크로.
- <70> (부기 13) 상기 실드 배선은 전원에 접속되는 것을 특징으로 하는 부기 9~12 중 어느 하나에 기재된 매크로.
- <71> (부기 14) 반도체 집적 회로의 실드 구조를 설계하는 설계 방법으로서,
- <72> 실드 배선을 생성하는 실드 대상 영역을 인식하는 인식 공정과,

- <73> 상기 인식 공정에 의해서 인식된 실드 대상 영역에 대하여 실드 배선을 배선하는 배선 공정과,
- <74> 상기 배선 공정에 의해서 배선된 실드 배선의 전위를 고정하는 전위 고정 공정을 포함하는 것을 특징으로 하는 반도체 집적 회로의 실드 구조의 설계 방법.

발명의 효과

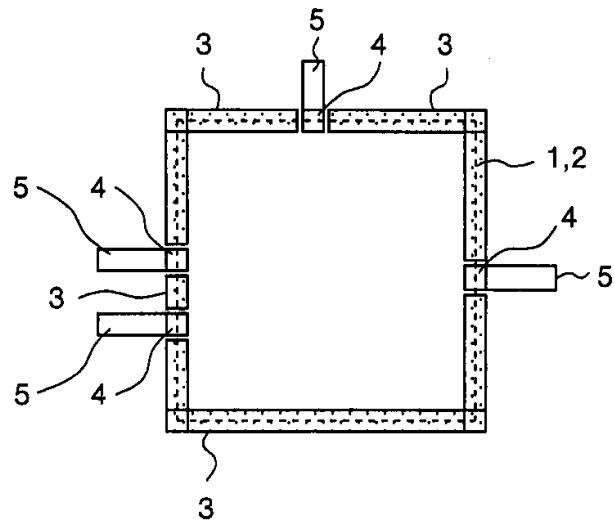
- <75> 본 발명에 따르면, 물리 배선 패턴이 불명확한 블랙박스가 있어도, 물리 배선 패턴이 분명한 영역 내의 배선과 실드 배선 사이에서 크로스토크의 영향이나 배선간에 생기는 용량을 예측함으로써, 블랙박스 내의 배선으로부터 받는 크로스토크의 영향이나 배선간에 생기는 용량을 예측하지 않더라도, 주목한 배선에 대하여 크로스토크의 영향이나 배선간에 생기는 용량을 정확하게 예측할 수 있다. 따라서, 지연값을 정확하게 구할 수 있다.

도면의 간단한 설명

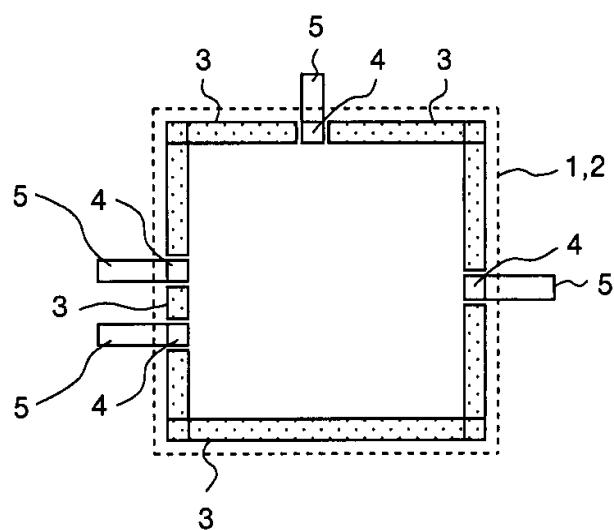
- <1> 도 1은 본 발명에 따른 반도체 집적 회로의 실드 구조의 제1 레이아웃 예를 나타내는 평면도.
- <2> 도 2는 본 발명에 따른 반도체 집적 회로의 실드 구조의 제2 레이아웃 예를 나타내는 평면도.
- <3> 도 3은 본 발명에 따른 반도체 집적 회로의 실드 구조의 제3 레이아웃 예를 나타내는 평면도.
- <4> 도 4는 본 발명에 따른 반도체 집적 회로의 실드 구조의 제4 레이아웃 예를 나타내는 평면도.
- <5> 도 5는 도 1 내지 도 4에 도시한 바와 같은 평면 레이아웃 구조의 배선층이 격증된 경우의 종단면 구조의 일례를 도시하는 단면도.
- <6> 도 6은 본 발명에 따른 반도체 집적 회로의 실드 구조를 설계하기 위한 레이아웃 설계 처리의 수순을 도시하는 흐름도.
- <7> 도 7은 본 발명에 따른 반도체 집적 회로의 실드 구조를 설계할 때의 실드 배선 생성 처리의 수순을 도시하는 흐름도.
- <8> <도면의 주요 부분에 대한 부호의 설명>
- <9> 1 : 블랙박스
- <10> 2 : 매크로 등
- <11> 3, 6 : 실드 배선
- <12> 4 : 외부 접속 단자
- <13> 5 : 배선
- <14> 7 : 전원 단자
- <15> 8 : 컨택트부
- <16> 9 : 신호 단자
- <17> 10 : 반도체 기판

도면

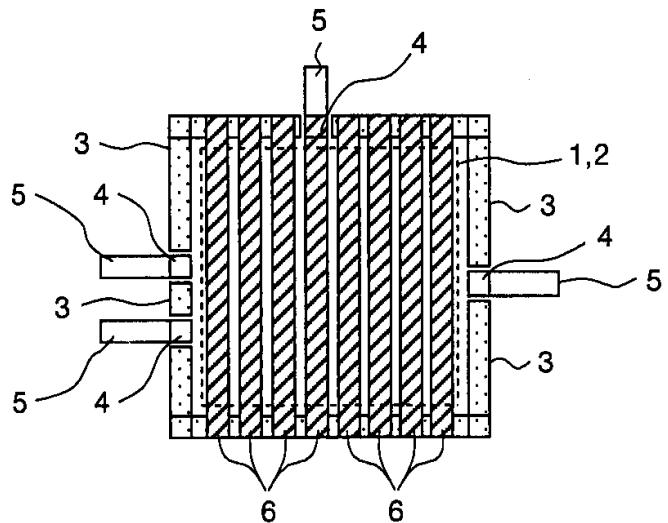
도면1



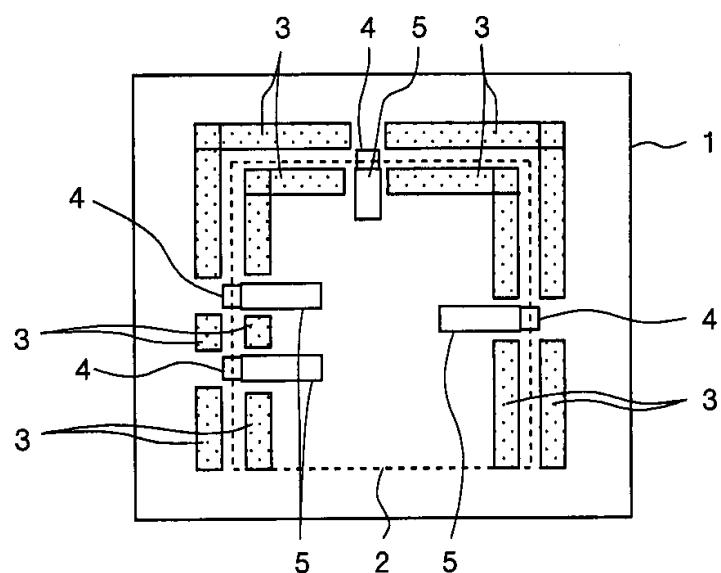
도면2



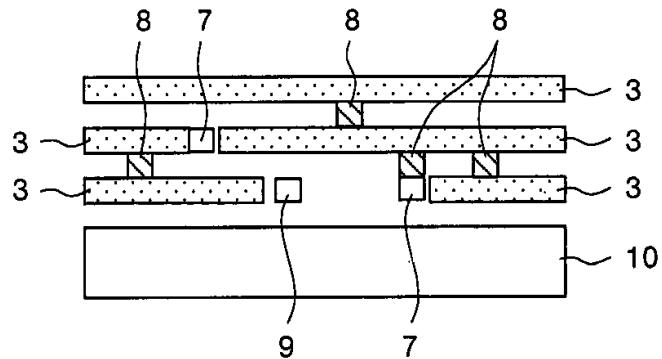
도면3



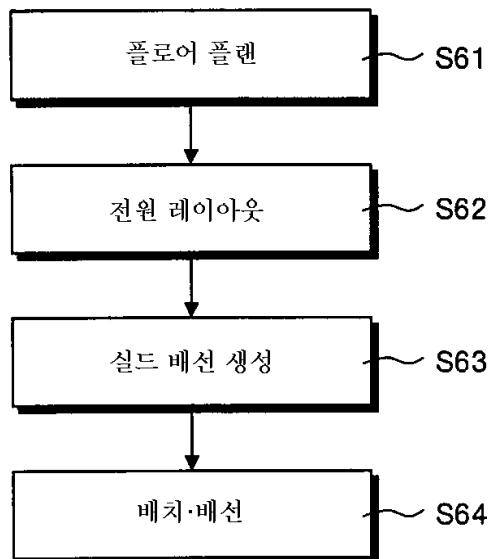
도면4



도면5



도면6



도면7

