



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

211570

(11) (B1)

(51) Int. Cl.³
H 03 K 13/02

/22/ Přihlášeno 16 10 79
/21/ /PV 7005-79/

(40) Zveřejněno 31 07 81

(45) Vydáno 15 03 83

(75)

Autor vynálezu

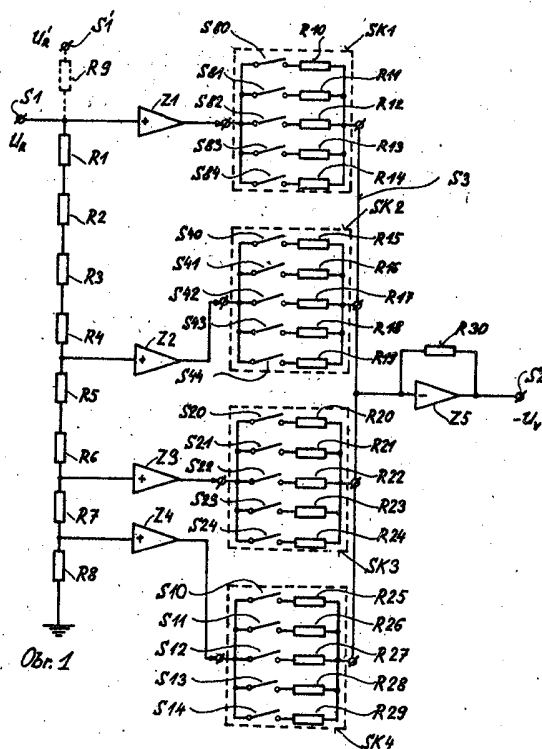
HANÁK IVO ing., PRAHA

(54) Zapojení číslicově analogového převodníku pracujícího v binárně dekadickém kódu

Vynález spadá do oboru elektronických měřicích přístrojů v systémech automatizace měření a řízení. Účelem vynálezu je zjednodušení sítě váhových odporů. Přesnost číslicově-analogového převodníku je ovlivněna převážně jednak odpory vstupního děliče, jednak prvním měrným odporem v každé spínací skupině a součtovým odporem. Je výhodou, že uvedené odpory mají jedinou hodnotu.

Podstatou vynálezu je zapojení vstupního odporového děliče, napájeného například přesným referenčním napětím a vytvořeného z osmi do série zapojených přesně stejných odporů. Počátek děliče, společné vývody čtvrtého a pátého, šestého a sedmého, sedmého a osmého odporu jsou jednotlivě přes celkem čtyři operační zesilovače a přes celkem čtyři spínací skupiny připojeny přes pátý součtový operační zesilovač, k němuž je paralelně připojen součtový odpor, k výstupní svorce převodníku. Každá ze čtyř spínacích skupin je vytvořena z pěti paralelních větví; v každé větvi je elektronický spínač a v sérii s ním měrný odpor. Hodnoty pěti měrných odporů tvoří geometrickou řadu s kvocientem 10. Elektronický spínač je vytvořen z ovládacího spínače, dvou řídicích tranzistorů a dvou spínacích tranzistorů řízených polem, dále z operačního zesilovače a koncového tranzistoru.

Vynález je použitelný zejména v systémech automatizovaného řízení a měření.



Vynález se týká zapojení číslicového analogového převodníku, pracujícího v binárně dekadickém kódu s dlouhodobou stabilitou a přesností 10^{-5} , v němž je užito elektronických spínačů. Zapojení lze využít při ručním ovládní jako dekadického zdroje nebo jako analogového výstupu v číslicových systémech. Zapojení je realizovatelné také v integrované formě.

Vynález je účelně využitelný v systémech automatizovaného měření a řízení.

Společným charakteristickým rysem dosud známých zapojení číslicových analogových převodníků, které pracují v přirozeném binárně dekadickém kódu, je spínání váhové struktury odporové sítě s poměrem odporů 8:4:2:1 nebo jejich dekadických násobků.

Základní nevýhodou - ve srovnání se zapojením podle vynálezu - je poměrně značný počet různých hodnot přesných váhových odporů, dále obtížné provedení teplotní kompenzace odporové sítě a proměnlivá zátěž zdroje referenčního napětí.

Naproti tomu zapojení podle vynálezu vykazuje řadu výhod, k nimž patří dosažitelná vysoká přesnost a dlouhodobá stabilita 10^{-5} , odpovídající krátkodobá stabilita 10^{-6} , možnost teplotní kompenzace použitých přesných váhových odporů tvořících děliče, pouze dva druhy obvodů, které se opakují, dále malý počet hodnot dekadických váhových odporů, které jsou z hlediska cejchování výhodné, též možnost realizace zapojení v integrované formě, skutečnost, že zdroj referenčního napětí je zatěžován konstatní zátěží a proto vliv jeho vnitřního odporu se neuplatní; výhodou je také, že pomocí potenciometrů pro kompenzaci offsetu operačních zesilovačů je možné provést účinné dokalibrování odporové sítě, takže odpadá obtížné a nepraktické dostavení odporů děliče odporové sítě.

Podstatou vynálezu je zapojení číslicového analogového převodníku, pracujícího v binárně dekadickém kódu, s dlouhodobou přesností a stabilitou 10^{-5} , v němž je užito elektronických spínačů. Zapojení je podle vynálezu vytvořeno ze vstupního odporového děliče, složeného z celkem osmi odporů zapojených do série, přičemž začátek odporového děliče je připojen jednak ke vstupní svorce převodníku, určené pro připojení zdroje přesného referenčního napětí, jednak ke vstupu prvního operačního zesilovače.

Společný vývod čtvrtého odporu a pátého odporu odporového děliče je připojen ke vstupu druhého operačního zesilovače. Společný vývod šestého odporu a sedmého odporu odporového děliče je připojen ke vstupu třetího operačního zesilovače. Společný vývod sedmého odporu a osmého odporu odporového děliče je připojen ke vstupu čtvrtého operačního zesilovače a konec odporového děliče je připojen k uzemňovacímu vodiči. Výstup prvního operačního zesilovače je připojen ke vstupu první spínací skupiny, výstup druhého operačního zesilovače je připojen ke vstupu druhé spínací skupiny, výstup třetího operačního zesilovače je připojen ke vstupu třetí spínací skupiny a konečně výstup čtvrtého operačního zesilovače je připojen ke vstupu čtvrté spínací skupiny.

Výstupy všech čtyř spínacích skupin jsou spojeny se sběrnicí a připojeny ke vstupu pátého, součtového operačního zesilovače a tento vstup je přes součtový odpor spojen s jeho výstupem a výstupní svorkou převodníku.

Podle vynálezu je dále spínací skupina vytvořena z pěti elektronických spínačů, z jednoho prvního měrného odporu, z jednoho druhého měrného odporu o desetinásobné hodnotě prvního měrného odporu, z jednoho třetího měrného odporu o stonásobné hodnotě prvního měrného odporu, z jednoho čtvrtého měrného odporu o tisícínásobné hodnotě prvního měrného odporu a z jednoho pátého měrného odporu o desetitisícínásobné hodnotě prvního měrného odporu. Vstup spínací skupiny je spojen se spolu spojenými prvními svorkami pěti elektronických spínačů.

Druhá svorka prvního elektronického spínače je připojena k prvnímu vývodu prvního měrného odporu, druhá svorka druhého elektronického spínače je připojena k prvnímu vývodu druhého měrného odporu, druhá svorka třetího elektronického spínače je připojena k prvnímu vý-

vodu třetího měrného odporu, druhá svorka čtvrtého elektronického spínače je připojena k prvnímu vývodu čtvrtého měrného odporu a druhá svorka pátého elektronického spínače je připojena k prvnímu vývodu pátého měrného odporu. Druhé vývody všech pěti měrných odporů jsou spolu spojeny a připojeny k výstupu spínací skupiny.

Podle vynálezu je dále elektronický spínač vytvořen z jednoho vnějšího ovládacího spínače, ze dvou řídicích tranzistorů, ze dvou spínacích tranzistorů řízených polem, z jednoho operačního zesilovače a z jednoho koncového tranzistoru.

První svorka elektronického spínače je připojena ke kolektoru prvního spínacího tranzistoru řízeného polem, jehož emitor je jednak připojen k neinvertujícímu vstupu operačního zesilovače, jednak ke kolektoru druhého spínacího tranzistoru řízeného polem, a jehož báze je připojena ke kolektoru prvního řídicího tranzistoru. Báze druhého spínacího tranzistoru řízeného polem je připojena ke kolektoru druhého řídicího tranzistoru, emitor druhého spínacího tranzistoru řízeného polem je připojen k uzemňovacímu vodiči, k němuž je také připojen druhý kontakt ovládacího spínače, jehož první kontakt je přes druhý odpor spojen sází prvního řídicího tranzistoru a zároveň přes první odpor se svorkou pro připojení ke kladnému pólu napájecího zdroje, k níž je připojen také jednak emitor prvního řídicího tranzistoru, jednak přes třetí odpor kolektor druhého řídicího tranzistoru, jakož kladný napájecí vzestup operačního zesilovače a kolektor koncového tranzistoru.

Svorka pro připojení k zápornému pólu napájecího zdroje je, jednak přes pátý odpor spojena sází druhého řídicího tranzistoru a přes čtvrtý odpor s kolektorem prvního řídicího tranzistoru, jednak je spojena s emitorem druhého řídicího tranzistoru a zároveň se záporným napájecím vstupem operačního zesilovače, jehož invertující vstup je přes šestý odpor připojen k emitoru koncového tranzistoru a zároveň ke druhé svorce elektronického spínače. Výstup operačního zesilovače (Z6) je spojen sází koncového tranzistoru (T3).

Podstata vynálezu je dále vysvětlena na příkladu jeho provedení, které je popsáno pomocí připojených výkresů, na nichž je znázorněno: na obr. 1 - blokové schéma zapojení úplného pětímístného číslicového analogového převodníku, na obr. 2 - příklad schématu zapojení jednoho z elektronických spínačů.

Na obr. 1 je vstupní odporový dělič číslicového analogového převodníku vytvořen řadou celkem osmi odporů R1 až R8 zapojených v sérii. Začátek vstupního děliče je připojen jednak ke vstupní svorce S1 pro připojení ke zdroji přesného referenčního napětí U_R , jednak ke vstupu prvního operačního zesilovače Z1. Společný vývod čtvrtého odporu R4 a pátého odporu R2 je připojen ke vstupu druhého operačního zesilovače Z2, společný vývod šestého odporu R6 a sedmého odporu R7 je připojen ke vstupu třetího operačního zesilovače Z3 a konečně společný vývod sedmého odporu R7 a osmého odporu R8 je připojen ke vstupu čtvrtého operačního zesilovače Z4. Konec odporového děliče, tj. druhý vývod osmého odporu R8, je spojen s uzemňovacím vodičem.

Na obr. 1 je čárkovně naznačen odpor R9 a svorka S1' pro připojení zdroje referenčního napětí U_R' . Toto řešení přichází v úvahu, pokud je k dispozici zdroj vyššího referenčního napětí U_R' , nežli je napětí U_R . Odpor R9 má potom takovou hodnotu, aby na vstupu prvního operačního zesilovače Z1 a tedy na začátku odporového děliče, tj. na prvním vývodu prvního odporu R1, bylo přesné referenční napětí U_R .

Výstup prvního operačního zesilovače Z1 je připojen k první spínací skupině, ke spolu spojeným prvním kontaktům prvního až pátého elektronického spínače S80, S81, S82, S83, S84. Druhé kontakty těchto spínačů jsou jednotlivě připojeny k prvním vývodům měrných odporů R10, R11, R12, R13, R14, jejichž druhé vývody jsou spojeny a připojeny ke sběrnici S3, k níž je připojen vstup pátého součtového operačního zesilovače Z5, k němuž je paralelně připojen součtový odpor R30.

Výstup součtového operačního zesilovače Z5 je připojen k výstupní svorce S2 pro odběr výstupního napětí U_v , které odpovídá zadané binárně dekadické kombinaci.

Výstup druhého operačního zesilovače Z2 je připojen ke druhé spínací skupině, ke spolu spojeným prvním kontaktům šestého až desátého elektronického spínače S40, S41, S42, S43, S44. Druhé kontakty těchto spínačů jsou jednotlivě připojeny k prvním vývodům měrných odporů R15, R16, R17, R18, R19, jejichž druhé vývody jsou spolu spojeny a připojeny ke sběrnici S3.

Výstup třetího operačního zesilovače Z3 je připojen ke třetí spínací skupině, ke spolu spojeným prvním kontaktům jedenáctého až patnáctého elektronického spínače S20, S21, S22, S23, S24. Druhé kontakty těchto spínačů jsou jednotlivě připojeny k prvním vývodům měrných odporů R20, R21, R22, R23, R24, jejichž druhé vývody jsou spolu spojeny a připojeny ke sběrnici S3.

Výstup čtvrtého operačního zesilovače Z4 je připojen ke čtvrté spínací skupině, ke spolu spojeným prvním kontaktům šestnáctého až dvanáctého elektronického spínače S10, S11, S12, S13, S14. Druhé kontakty těchto spínačů jsou jednotlivě připojeny k prvním vývodům měrných odporů R25, R26, R27, R28, R29, jejichž druhé vývody jsou spolu spojeny a připojeny také ke sběrnici S3.

Hodnoty odporů R10 až R14 v první spínací skupině tvoří geometrickou řadu s kvocientem 10, to znamená, že hodnota odporu R11 je rovna desetinasobku hodnoty odporu R10 atd., takže například hodnota odporu R14 je rovna 10^4 · hodnota odporu R10. Totéž platí o ostatních měrných odporech ve druhé až čtvrté spínací skupině.

Elektronické spínače S80 až S14 jsou na obr. 1 naznačeny pouze symbolicky, zjednodušeně. Příklad konkrétního, podrobného zapojení úplného elektronického spínače je znázorněn na obr. 2.

Na obr. 2 je elektronický spínač vytvořen dvěma spínacími tranzistory F1, F2 řízenými polem, tj. typu FET, dvěma řídícími tranzistory T1, T2, jejichž prostřednictvím ovládá vnější spínač Sv tranzistory F1, F2, dále operačním zesilovačem Z6 a koncovým tranzistorem T3. Svorka S4 pro připojení ke kladnému pólu napájecího zdroje je jednak přes první odpor R31 a přes druhý odpor R32 spojena s prvním kontaktem ovládacího spínače Sv, realizovaného například mechanicky pomocí binárně dekadického stavítka nebo tranzistorem, jednak je spojena s emitorem prvního řídícího tranzistoru T1, s prvním vývodem třetího odporu R35, s kladným napájecím vstupem operačního zesilovače Z6 a s kolektorem koncového tranzistoru T3. Druhý kontakt ovládacího spínače Sv je spojen s uzemňovacím vodičem a společný vývod prvního odporu R31 a druhého odporu R32 je připojen k bázi prvního řídícího tranzistoru T1, jehož kolektor je připojen jednak k prvnímu vývodu čtvrtého odporu R33, jednak k bázi prvního spínacího tranzistoru F1 řízeného polem. Společný vývod čtvrtého odporu R33 a pátého odporu R34 je připojen k bázi druhého řídícího tranzistoru T2. Druhý vývod pátého odporu R34 je spolu s emitorem druhého řídícího tranzistoru T2 připojen ke svorce S5 pro připojení k zápornému pólu napájecího zdroje. Svorka S5 je připojena zároveň k zápornému napájecímu vstupu operačního zesilovače Z6.

Kolektor druhého řídícího tranzistoru T2 je připojen jednak ke druhému vývodu třetího odporu R35, jednak k bázi druhého spínacího tranzistoru F2 řízeného polem. Kolektor prvního spínacího tranzistoru F1 je spojen s první svorkou A elektronického spínače, emitor tohoto prvního spínacího tranzistoru F1 je spojen s kolektorem druhého spínacího tranzistoru F2 a zároveň s neinvertujícím vstupem operačního zesilovače Z6, zatímco emitor druhého spínacího tranzistoru F2 je spojen s uzemňovacím vodičem. Invertující vstup operačního zesilovače Z6 je přes vazební, šestý odpor R36, spojen se druhou svorkou B elektronického spínače. Výstup operačního zesilovače Z6 je připojen k bázi koncového tranzistoru T3, jehož emitor je připojen ke druhé svorce B elektronického spínače.

Činnost číslicově analogového převodníku, zapojeného podle vynálezu souhlasně s obr. 1, je následující: zapojení pracuje s váhovými napětími 8V, 4V, 2V, 1V. Spínací odporová síť je vytvořena pouze z dekadických odporů. Princip činnosti spočívá podobně jako u jiných typů číslicově analogových převodníků v dekodování vstupních signálů v číslicově binárně dekadickém tvaru a jeho převodu na analogový napěťový signál na základě následujícího vztahu:

$$\begin{aligned}
 -U_v = & 10^0 (8 S_{80} + 4 S_{40} + 2 S_{20} + S_{10}) + \\
 & + 10^{-1} (8 S_{81} + 4 S_{41} + 2 S_{21} + S_{11}) + \\
 & + 10^{-2} (8 S_{82} + 4 S_{42} + 2 S_{22} + S_{12}) + \\
 & + 10^{-3} (8 S_{83} + 4 S_{43} + 2 S_{23} + S_{13}) + \\
 & + 10^{-4} (8 S_{84} + 4 S_{44} + 2 S_{24} + S_{14}), \text{ přičemž } R_{30} = 1.
 \end{aligned}$$

Přitom hodnota U_v je hodnota napěťového signálu na výstupu číslicově analogového převodníku a hodnoty koeficientů S_{80} až S_{14} nabývají hodnoty 1 nebo 0 v soulase s dále uvedenou tabulkou přirozeného binárně dekadického kódu:

	S				S				S				S				S			
	80	40	20	10	81	41	21	11	82	42	22	12	83	43	23	13	84	44	24	14
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0
5	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
6	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
7	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
8	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0
9	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1

Ve zjednodušeném vzorci pro $-U_v$ jsou uvedeny pouze poměry odporů a napětí.

Na vstupním děliči, tedy na vstupech operačních zesilovačů Z1, Z2, Z3, Z4, se vytvářejí váhová napětí 8V, 4V, 2V a 1V. Dělič je oddělen celkem čtyřmi operačními zesilovači Z1, Z2, Z3, Z4 od celkem čtyř spínacích skupin. Potenciometrické trimry pro kompenzaci offsetu těchto operačních zesilovačů slouží zároveň pro přesnou justaci váhových napětí. Pokud mají odpory R1 až R8 Stejný teplotní koeficient, to znamená, že to jsou například manganinové odpory stejné šarže, pak jsou váhová napětí teplotně nezávislá.

Proudy procházející sepnutými spínači S80 až S14 a příslušnými odpory R10 až R29 se sečítají v součtovém odporu R30 pátého součtového operačního zesilovače Z5 a vytvářejí žádané výstupní napětí U_v , odpovídající zadané binární kombinaci. Aby toto výstupní napětí U_v bylo teplotně nezávislé, je nutné, aby teplotní koeficient součtového odporu R30 byl stejný jako teplotní koeficient odporů R10 až R29.

Činnost vlastních elektronických spínačů, zapojených podle obr. 2, je následující: spínání, to znamená vodivé propojení první svorky A se druhou svorkou B, přičemž tyto dvě svorky představují kontakty jednoho ze spínačů S80 až S14, provádějí dva spínací tranzistory F2, F1 řízené polem, které jsou ovládány vnějším spínačem Sv prostřednictvím dvou řídicích tranzistorů T1 a T2, a sice tak, že je vždy jeden z obou ve vodivém stavu a druhý v nevodivém stavu. Každý z měrných odporů R10 až R29 je od příslušného elektronického spínače oddělen operačním zesilovačem Z6 a koncovým tranzistorem T3, který snižuje výkonovou ztrátu zesilovače na minimum, což je nutné z důvodů snížení teplotního driftu operačního zesilovače

Z6. Potenciometr pro kompenzaci offsetu operačního zesilovače Z6 slouží k přesnému nastavení nulového výstupu. Spínač Sv lze realizovat mechanicky pomocí binárně dekadického stavítka nebo tranzistorem, například hradlem TTL logiky s otevřeným kolektorem.

Pro snadné pochopení činnosti je dále uveden příklad převodu čísla 93582 na analogovou hodnotu, to znamená na odpovídající napětí U_v .

Podle tabulky přirozeného binárně dekadického kódu odpovídá číslicím 9, 3, 5, 8, 2 následující binární vyjádření:

9	3	5	8	2
1001	0011	0101	1000	0010

Uvedená binární vyjádření se realizují sepnutím spínačů odpovídajících zakroužkovaným jedničkám v tabulce přirozeného binárně dekadického kódu:

9	3	5	8	2
S80 + S10	S21 + S11	S42 + S12	S83	S24

Za předpokladu, že napětí na vstupu prvního operačního zesilovače je rovno přesně 8V, proud tekoucí do součtového odporu R30 podle obr. 1 má hodnotu souhlasně s následujícím vztahem pro výstupní analogové napětí U_v :

$$10^0 (8 + 1) + 10^{-1} (2 + 1) + 10^{-2} (4 + 1) + 10^{-3} (8) + 10^{-4} (2) =$$

$$= 9 + 0,3 + 0,05 + 0,008 + 0,0002 = 9,3582 \text{ mA}$$

Napětí U_v na odporu 1 000 ohmů 9,3582 V, absolutní hodnota.

Pokud není k dispozici přesné referenční napětí U_R , ale napětí vyšší, je nutno zapojit do série se vstupním váhovým děličem odpor R2, připojený ke vstupní svorce S1. Jeho velikost je taková, aby na vstupu prvního operačního zesilovače Z1 bylo přesné referenční napětí U_R .

Proud odebíraný ze zdroje referenčního napětí lze kompenzovat různými známými způsoby, například užitím pomocného stabilizovaného zdroje napětí.

Při realizaci zapojení podle vynálezu bylo užito odporů R1 až R8 o hodnotě 100 ohmů. Na vstupu prvního operačního zesilovače bylo napětí 8V, na vstupu druhého operačního zesilovače 4V, na vstupu třetího operačního zesilovače 2V a na vstupu čtvrtého operačního zesilovače 1V.

Stálou přesnost a dlouhodobou stabilitu výstupního analogového napětí U_v lze dosáhnout a udržet pouze udržením stálého váhového poměru odporového děliče. Musí být proto zajištěn stejný teplotní koeficient odporů děliče a jejich stejná teplotní vazba. Bez splnění této podmínky by nebylo dosaženo vysoké přesnosti a dlouhodobé stability výstupního analogového napětí U_v ani při nastavení přesnosti absolutních hodnot odporů děliče, což je samozřejmostí.

Zapojení elektronického spínače znázorněné na obr. 2 je nutné pouze pro nejvyšší bity vstupního slova, které způsobují větší změnu výstupního analogového napětí. Při menších váhových proudech lze ovšem zapojení zjednodušit, to znamená, že lze vypustit koncový tranzistor T3. U nejnižších bitů, kde odpor kolektor - emitor sepnutého prvního spínacího tranzis-

toru F_1 řízeného polem neovlivní přesnost převodu, lze zapojení dále zjednodušit tím, že se vypustí operační zesilovač Z_6 . Toto zjednodušení umožní u nižších bitů zvýšit rychlost převodu a zároveň snížit vliv přechodových jevů.

PŘEDMĚT VYNÁLEZU

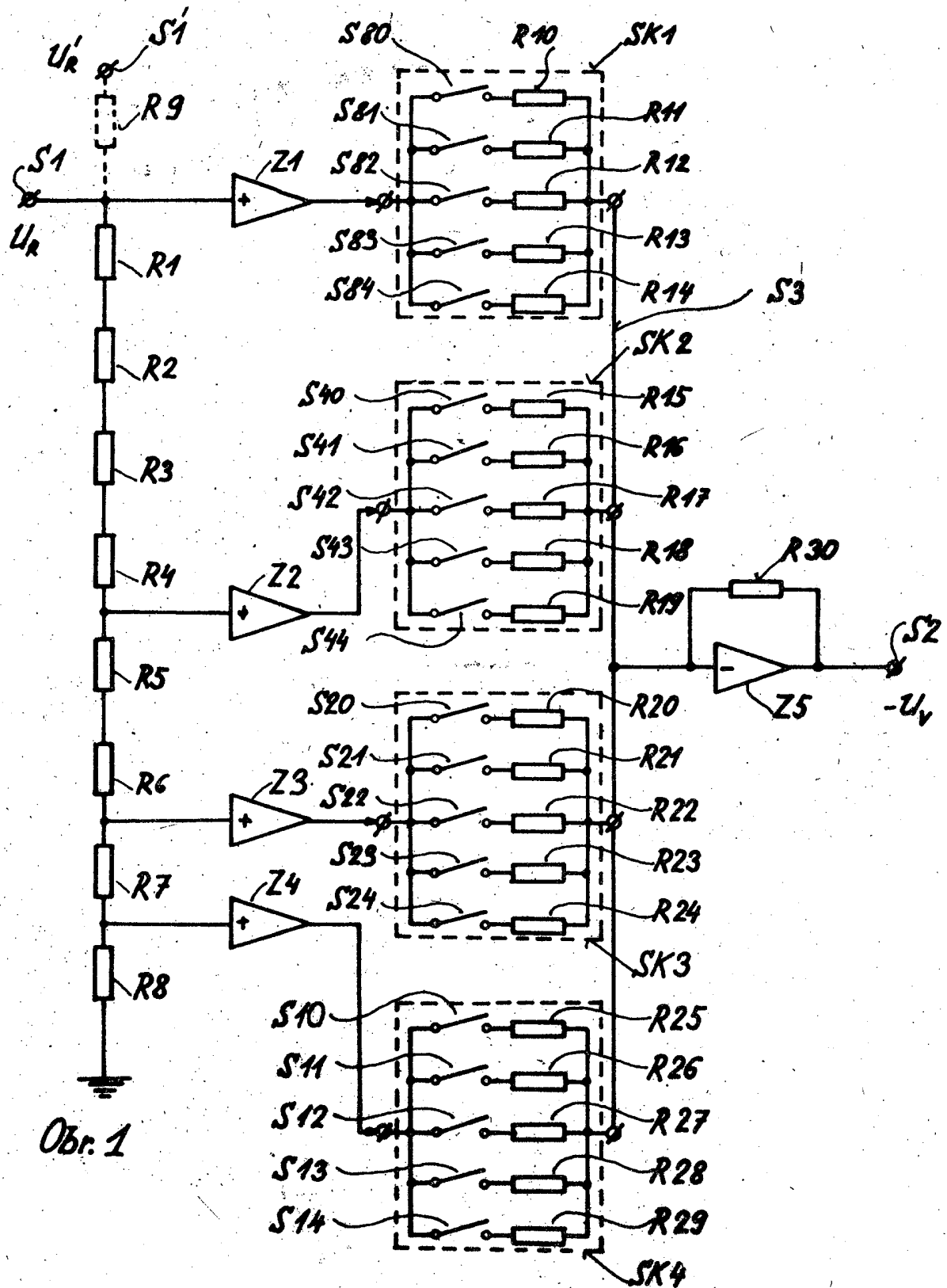
1. Zapojení číslicově analogového převodníku, pracujícího v binárně dekadickém kódu, s dlouhodobou stabilitou a přesností 10^{-5} , v němž je užito elektronických spínačů, vyznačené tím, že je vytvořeno ze vstupního odporového děliče, složeného z celkem osmi odporů ($R_1, R_2, R_3, R_4, R_5, R_6, R_7, R_8$) zapojených do série, přičemž začátek odporového děliče je připojen jednak ke vstupní svorce (S_1) převodníku, určené pro připojení zdroje přesného referenčního napětí, jednak ke vstupu prvního operačního zesilovače (Z_1), společný vývod čtvrtého odporu (R_4) a pátého odporu (R_5) odporového děliče je připojen ke vstupu druhého operačního zesilovače (Z_2), společný vývod šestého odporu (R_6) a sedmého odporu (R_7) odporového děliče je připojen ke vstupu třetího operačního zesilovače (Z_3) a konečně společný vývod sedmého odporu (R_7) a osmého odporu (R_8) odporového děliče je připojen ke vstupu čtvrtého operačního zesilovače (Z_4) a konec odporového děliče je připojen k uzemňovacímu vodiči, zatímco výstup prvního operačního zesilovače (Z_1) je připojen ke vstupu první spínací skupiny (SK_1), výstup druhého operačního zesilovače (Z_2) je připojen ke vstupu druhé spínací skupiny (SK_2), výstup třetího operačního zesilovače (Z_3) je připojen ke vstupu třetí spínací skupiny (SK_3) a výstup čtvrtého operačního zesilovače (Z_4) je připojen ke vstupu čtvrté spínací skupiny (SK_4), přičemž výstupy všech čtyř spínacích skupin (SK_1, SK_2, SK_3, SK_4) jsou spojeny se sběrnicí (S_3) a připojeny ke vstupu pátého součtového operačního zesilovače (Z_5) a tento vstup je přes součtový odpor (R_{30}) spojen s jeho výstupem a výstupní svorkou (S_2) převodníku.

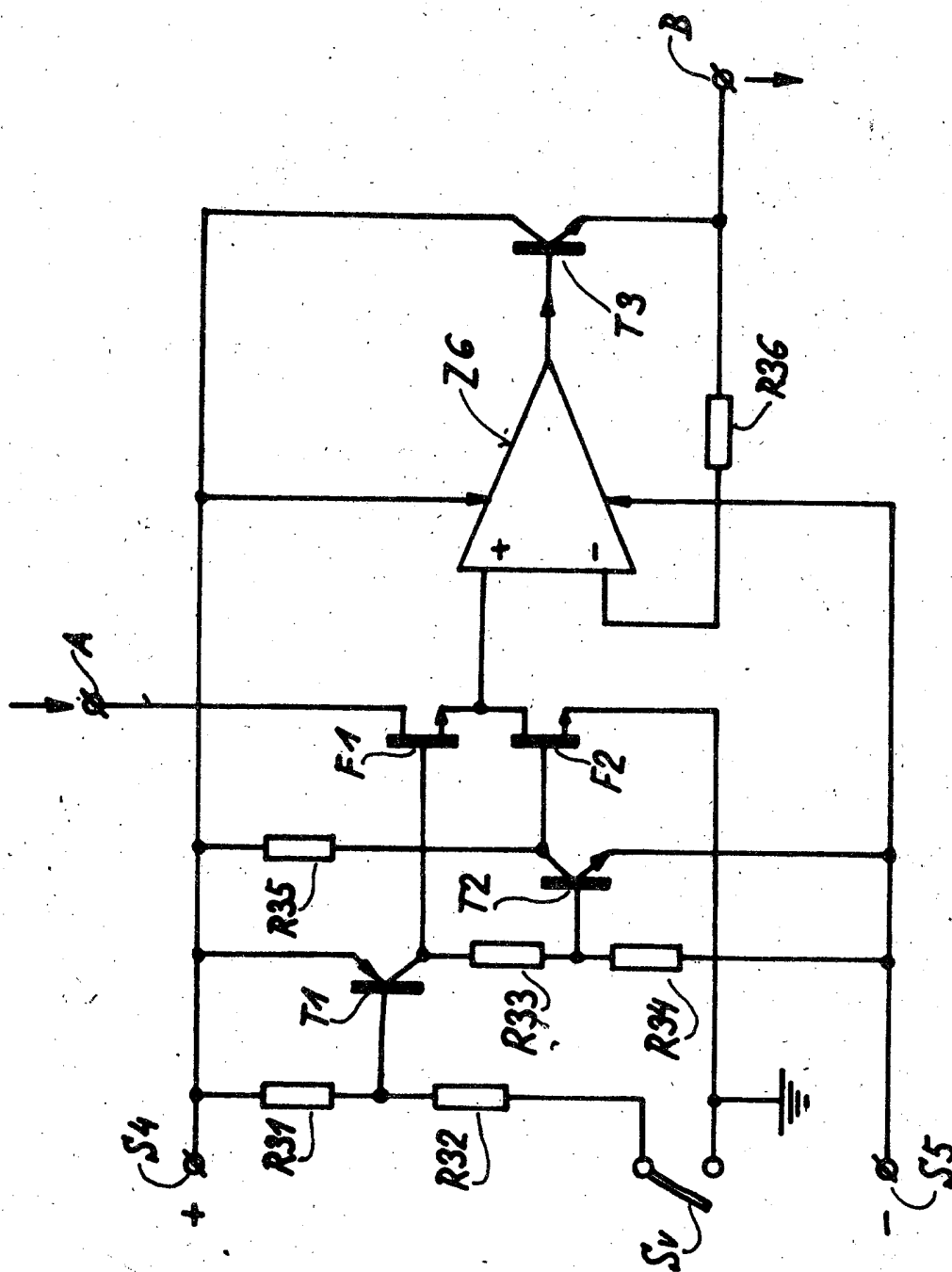
2. Zapojení podle bodu 1, vyznačené tím, že spínací skupina (SK_1, SK_2, SK_3, SK_4) je vytvořena z pěti elektronických spínačů ($S_{80}, S_{81}, S_{82}, S_{83}, S_{84}, S_{40}, S_{41}, S_{42}, S_{43}, S_{44}, S_{20}, S_{21}, S_{22}, S_{23}, S_{24}, S_{10}, S_{11}, S_{12}, S_{13}, S_{14}$), z jednoho prvního měrného odporu ($R_{10}, R_{15}, R_{20}, R_{25}$), z jednoho druhého měrného odporu ($R_{11}, R_{16}, R_{21}, R_{26}$) o desetinasobné hodnotě prvního měrného odporu, z jednoho třetího měrného odporu ($R_{12}, R_{17}, R_{22}, R_{27}$) o stonásobné hodnotě prvního měrného odporu, z jednoho čtvrtého měrného odporu ($R_{13}, R_{18}, R_{23}, R_{28}$) o tisícinasobné hodnotě prvního měrného odporu a z jednoho pátého měrného odporu ($R_{14}, R_{19}, R_{24}, R_{29}$) o desetitisícinasobné hodnotě prvního měrného odporu, přičemž vstup spínací skupiny (SK_1, SK_2, SK_3, SK_4) je spojen se spolu spojenými prvními svorkami (A) pěti elektronických spínačů (S_{80} až S_{84}, S_{40} až S_{44}, S_{20} až S_{24}, S_{10} až S_{14}) a druhá svorka (B) prvního elektronického spínače ($S_{80}, S_{40}, S_{20}, S_{10}$) je připojena k prvnímu vývodu prvního měrného odporu ($R_{10}, R_{15}, R_{20}, R_{25}$), druhá svorka druhého elektronického spínače ($S_{81}, S_{41}, S_{21}, S_{11}$) je připojena k prvnímu vývodu druhého měrného odporu ($R_{11}, R_{16}, R_{21}, R_{26}$), druhá svorka třetího elektronického spínače ($S_{82}, S_{42}, S_{22}, S_{12}$) je připojena k prvnímu vývodu třetího měrného odporu ($R_{12}, R_{17}, R_{22}, R_{27}$), druhá svorka čtvrtého elektronického spínače ($S_{83}, S_{43}, S_{23}, S_{13}$) je připojena k prvnímu vývodu čtvrtého měrného odporu ($R_{13}, R_{18}, R_{23}, R_{28}$) a konečně druhá svorka pátého elektronického spínače ($S_{84}, S_{44}, S_{24}, S_{14}$) je připojena k prvnímu vývodu pátého měrného odporu ($R_{14}, R_{19}, R_{24}, R_{29}$), zatímco druhé vývody všech pěti měrných odporů (R_{10} až R_{14}, R_{15} až R_{19}, R_{20} až R_{24}, R_{25} až R_{29}) jsou spolu spojeny a připojeny k výstupu spínací skupiny (SK_1, SK_2, SK_3, SK_4).

3. Zapojení podle bodů 1 a 2 vyznačené tím, že elektronický spínač (S_{80} až S_{84}, S_{40} až S_{44}, S_{20} až S_{24}, S_{10} až S_{14}), je vytvořen z jednoho vnějšího ovládacího spínače (S_v), ze dvou řídicích tranzistorů (T_1, T_2), ze dvou spínacích tranzistorů (F_1, F_2) řízených polem, z jednoho operačního zesilovače (Z_6) a z jednoho koncového tranzistoru (T_3), přičemž první svorka (A) elektronického spínače je připojena ke kolektoru prvního spínacího tranzistoru (F_1) řízeného polem, jehož emitor je jednak připojen k neinvertujícímu vstupu operačního zesilovače (Z_6), jednak ke kolektoru druhého spínacího tranzistoru (F_2) řízeného polem, a jehož báze je připojena ke kolektoru prvního řídicího tranzistoru (T_1), zatímco báze

druhého spínacího tranzistoru (F2) řízeného polem je připojena ke kolektoru druhého řídicího tranzistoru (T2), emitor druhého spínacího tranzistoru (F2) řízeného polem je připojen k uzemňovacímu vodiči, k němuž je také připojen druhý kontakt ovládacího spínače (Sv), jehož první kontakt je přes druhý odpor (R32) spojen sází prvního řídicího tranzistoru (T1) a zároveň přes první odpor (R31) se svorkou (S4) pro připojení ke kladnému pólu napájecího zdroje, k níž je připojen také jednak emitor prvního řídicího tranzistoru (T1), jednak přes třetí odpor (R35) kolektor druhého řídicího tranzistoru (T2) jako kladný napájecí vstup operačního zesilovače (Z6) a kolektor koncového tranzistoru (T3), a dále svorka (S5) pro připojení k zápornému pólu napájecího zdroje je jednak přes pátý odpor (R34) spojena sází druhého řídicího tranzistoru (T2), a přes čtvrtý odpor (R33) s kolektorem prvního řídicího tranzistoru (T1), jednak je spojena s emitorem druhého řídicího tranzistoru (T2) a zároveň se záporným napájecím vstupem operačního zesilovače (Z6), jehož invertující vstup je přes šestý odpor (R36) připojen k emitoru koncového tranzistoru (T3) a zároveň ke druhé svorce (B) elektronického spínače, zatímco výstup operačního zesilovače (Z6) je spojen sází koncového tranzistoru (T3).

2 listy výkresů





Obr. 2