



(12)发明专利



(10)授权公告号 CN 104956468 B

(45)授权公告日 2017.09.08

(21)申请号 201480005937.6

(22)申请日 2014.02.10

(65)同一申请的已公布的文献号

申请公布号 CN 104956468 A

(43)申请公布日 2015.09.30

(30)优先权数据

13/762,529 2013.02.08 US

(85)PCT国际申请进入国家阶段日

2015.07.24

(86)PCT国际申请的申请数据

PCT/US2014/015595 2014.02.10

(87)PCT国际申请的公布数据

W02014/124376 EN 2014.08.14

(73)专利权人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72)发明人 D·G·法伯 T·李 S·莱特尔

(74)专利代理机构 北京纪凯知识产权代理有限公司 11245

代理人 赵蓉民 赵志刚

(51)Int.Cl.

H01L 21/308(2006.01)

H01L 21/027(2006.01)

(56)对比文件

CN 101211761 A,2008.07.02,

US 7037850 B2,2006.05.02,

US 7196003 B2,2007.03.27,

审查员 孙大伟

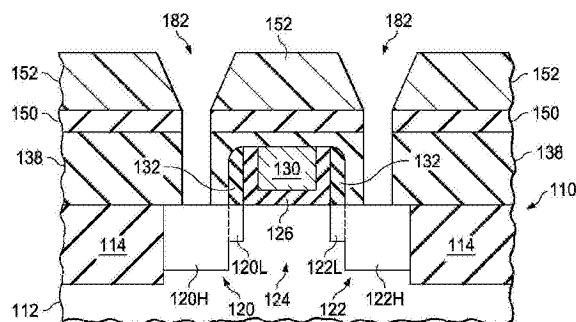
权利要求书3页 说明书5页 附图22页

(54)发明名称

形成金属接触窗口的方法

(57)摘要

金属接触窗口(182)的宽度被形成为小于光刻限定的窗口的最小特征尺寸。本方法通过首先刻蚀多层硬掩膜结构的第四层以具有暴露多层硬掩膜结构的第三层的若干沟槽,以形成金属接触窗口(182)。在此之后,选择性地刻蚀多层硬掩膜结构的第三层、第二层(152)和第一层(150)以暴露隔离层(138)的顶表面上的未覆盖区域,该隔离层(138)接触源极区域(120H)和漏极区域(122H)并位于源极区域(120H)和漏极区域(122H)上方。随后刻蚀隔离层(138)的顶表面上的未覆盖区域以形成金属接触窗口(182)。



1. 一种形成半导体结构的方法,所述方法包括:

形成第一硬掩膜层,所述第一硬掩膜层接触并且位于隔离层上方,所述隔离层具有顶表面、接触并且位于源极结构和漏极结构上方;

形成第二硬掩膜层,所述第二硬掩膜层接触并且位于所述第一硬掩膜层上方,所述第二硬掩膜层具有顶表面和底表面;

形成第三硬掩膜层,所述第三硬掩膜层接触并且位于所述第二硬掩膜层上方,所述第三硬掩膜层具有顶表面;

形成第四硬掩膜层,所述第四硬掩膜层接触并且位于所述第三硬掩膜层上方,所述第四硬掩膜层具有顶表面;以及

刻蚀所述第四硬掩膜层以形成若干沟槽,每个沟槽暴露所述第三硬掩膜层的所述顶表面。

2. 根据权利要求1所述的方法,进一步包括:

形成第一图案化光刻胶层,所述第一图案化光刻胶层接触并且位于所述第四硬掩膜层上方;以及

形成第二图案化光刻胶层,所述第二图案化光刻胶层接触并且位于所述第四硬掩膜层上方,所述第一图案化光刻胶层和所述第二图案化光刻胶层暴露所述第四硬掩膜层的所述顶表面上的若干未覆盖区域,刻蚀所述第四硬掩膜层的所述顶表面上的所述若干未覆盖区域以形成所述若干沟槽。

3. 根据权利要求1所述的方法,进一步包括选择性地刻蚀所述第三硬掩膜层、所述第二硬掩膜层和所述第一硬掩膜层以形成若干掩模窗口,每个掩模窗口暴露所述隔离层的所述顶表面上的未覆盖区域。

4. 根据权利要求3所述的方法,进一步包括:

形成第三图案化光刻胶层,所述第三图案化光刻胶层接触并且位于所述第三硬掩膜层和所述第四硬掩膜层上方;以及

形成第四图案化光刻胶层,所述第四图案化光刻胶层接触并且位于所述第三硬掩膜层和所述第四硬掩膜层上方,所述第三图案化光刻胶层和所述第四图案化光刻胶层暴露所述第三硬掩膜层的所述顶表面上的若干未覆盖区域,刻蚀所述第三硬掩膜层的所述顶表面上的所述若干未覆盖区域以形成所述若干掩模窗口。

5. 根据权利要求3所述的方法,进一步包括刻蚀所述隔离层的所述顶表面上的每个未覆盖区域以形成若干金属接触窗口,第一金属接触窗口暴露所述源极结构,第二金属接触窗口暴露所述漏极结构。

6. 根据权利要求5所述的方法,其中所述第一硬掩膜层和所述第二硬掩膜层具有不同的材料成分。

7. 根据权利要求5所述的方法,其中,穿过所述第二硬掩膜层的每个掩模窗口具有锥形侧壁,以便所述第二硬掩膜的所述顶表面处的掩模窗口的宽度大于所述第二硬掩膜层的所述底表面处的所述掩模窗口的宽度。

8. 根据权利要求5所述的方法,其中,穿过所述第二硬掩膜层的每个掩模窗口具有锥形侧壁,以便所述第二硬掩膜的所述顶表面处的掩模窗口的宽度大于所述第二硬掩膜的所述底表面处的所述掩模窗口的宽度的两倍。

9. 根据权利要求5所述的方法, 其中, 当刻蚀所述第一硬掩膜层时, 完全移除所述第三硬掩膜层和所述第四硬掩膜层。

10. 根据权利要求5所述的方法, 其中所述第二硬掩膜层和所述第三硬掩膜层具有不同的材料成分。

11. 一种形成半导体结构的方法, 所述方法包括:

形成第一硬掩膜层, 所述第一硬掩膜层接触并且位于隔离层上方, 所述隔离层具有顶表面、接触并位于源极结构和漏极结构上方;

形成第二硬掩膜层, 所述第二硬掩膜层接触并且位于所述第一硬掩膜层上方, 所述第二硬掩膜结构具有顶表面和底表面;

形成第三硬掩膜层, 所述第三硬掩膜层接触并且位于所述第二硬掩膜层上方, 所述第三硬掩膜层具有顶表面;

形成第四硬掩膜层, 所述第四硬掩膜层接触并且位于所述第三硬掩膜层上方, 所述第四硬掩膜层具有顶表面;

形成第一图案化光刻胶层, 所述第一图案化光刻胶层接触并且位于所述第四硬掩膜层上方; 以及

形成第二图案化光刻胶层, 所述第二图案化光刻胶层接触并且位于所述第四硬掩膜层上方, 所述第一图案化光刻胶层和所述第二图案化光刻胶层暴露所述第四硬掩膜层的所述顶表面上的若干未覆盖区域。

12. 根据权利要求11所述的方法, 进一步包括刻蚀所述第四硬掩膜层的所述顶表面上的所述若干未覆盖区域以形成若干沟槽, 所述若干沟槽延伸穿过所述第四硬掩膜层, 每个沟槽暴露所述第三硬掩膜层。

13. 根据权利要求12所述的方法, 进一步包括:

形成第三图案化光刻胶层, 所述第三图案化光刻胶层接触并且位于所述第三硬掩膜层和所述第四硬掩膜层上方; 以及

形成第四图案化光刻胶层, 所述第四图案化光刻胶层接触并且位于所述第三硬掩膜层和所述第四硬掩膜层上方, 所述第三图案化光刻胶层和所述第四图案化光刻胶层暴露所述第三硬掩膜层的所述顶表面上的若干未覆盖区域。

14. 根据权利要求13所述的方法, 进一步包括刻蚀所述第三硬掩膜层穿过所述第三硬掩膜层的所述顶表面上的所述若干未覆盖区域、所述第二硬掩膜层的下面区域和所述第一硬掩膜层的下面区域, 以形成若干掩模窗口, 所述掩模窗口暴露所述隔离层的所述顶表面上的若干未覆盖区域。

15. 根据权利要求14所述的方法, 还包括刻蚀所述隔离层穿过所述隔离层的所述顶表面上的所述若干未覆盖区域以形成若干金属接触窗口, 第一金属接触窗口暴露所述源极结构, 第二金属接触窗口暴露所述漏极结构。

16. 根据权利要求15所述的方法, 其中所述第三图案化光刻胶层具有多个间隔带, 每个带正交于所述沟槽。

17. 根据权利要求15所述的方法, 其中所述第一硬掩膜层和所述第二硬掩膜层具有不同的材料成分。

18. 根据权利要求15所述的方法, 其中穿过所述第二硬掩膜层的每个掩模窗口具有锥

形侧壁,以便所述第二硬掩膜的所述顶表面处的掩模窗口的宽度大于所述第二硬掩膜的所述底表面处的所述掩模窗口的宽度。

19.根据权利要求15所述的方法,其中,当刻蚀所述第一硬掩膜层时,完全移除所述第三硬掩膜层和所述第四硬掩膜层。

20.根据权利要求15所述的方法,其中所述第二硬掩膜层和所述第三硬掩膜层具有不同的材料成分。

形成金属接触窗口的方法

技术领域

[0001] 本发明涉及一种形成金属接触窗口的方法,并且更具体地,涉及一种形成金属接触窗口方法,其中金属接触窗口的宽度小于光刻限定窗口的最小特征尺寸。

背景技术

[0002] 金属氧化物半导体 (MOS) 晶体管是一种已知的半导体器件,其能够实现为n沟道 (NMOS) 器件或p沟道 (PMOS) 器件。MOS晶体管具有由沟道隔开的间隔的源极区域和漏极区域,还具有位于沟道上方的栅极。栅极介电层将栅极与沟道隔离。金属栅极MOS晶体管是利用金属栅极和高介电常数 (high-k) 的栅极介电层的MOS晶体管类型。

[0003] 金属栅极MOS晶体管连接到金属互连结构,该结构电气连接MOS晶体管以形成电气电路。金属互连结构包括金属迹线层和金属通孔,其中,隔离材料层将金属迹线层彼此电气隔离,而且金属通孔延伸穿过隔离材料层以电气连接相邻的金属迹线层。

[0004] 金属互连结构还包括金属触点,其延伸穿过底部隔离材料层以形成到MOS晶体管的源极区域和漏极区域的电气连接。金属触点形成在金属接触窗口中,所述接触窗口延伸穿过底部隔离材料层以暴露源极区域和漏极区域。

[0005] 常规地,通过在底部隔离层上形成图案化光刻胶层来制造金属接触窗口,其中底部隔离层接触并位于源极区域和漏极区域上方。一旦已经形成图案化光刻胶层,则刻蚀底部隔离层直到暴露源极区域和漏极区域。

[0006] 所述刻蚀形成源极金属接触窗口和漏极金属接触窗口,源极金属接触窗口暴露源极区域,漏极金属接触窗口暴露漏极区域。随后,移除图案化光刻胶层。在此之后,在源极区域和漏极区域上形成硅化物渗层,接着形成金属触点,其位于源极金属接触窗口和漏极金属接触窗口中并接触源极硅化物渗层和漏极硅化物渗层以及底部隔离层。

[0007] 因此,在常规方法中,源极金属接触窗口和漏极金属接触窗口的宽度由图案化光刻胶层中的窗口宽度确定。结果,源级金属接触窗口和漏极金属接触窗口的最小宽度由最小特征尺寸确定,其中最小特征尺寸能够利用充分的控制被光刻地印刷。

[0008] 最小特征尺寸具有两个基本限制:能够投影到晶片上的最小图像和利用该图像的光刻胶的分辨能力。能够投影到晶片上的最小图像由成像光的波长和投影透镜的数值孔径确定。光刻胶的分辨能力部分由投影到晶片上的图像的形状确定。

[0009] 例如,当长的平行线投影到晶片上时,与正方形或圆形投影到晶片上时相比,光刻胶具有沿着线的纵向边缘的更高的分辨能力。结果,与正方形或圆形窗口相比,长的平行线能够形成具有更小的最小特征尺寸。

[0010] 为了提高晶片上形成的器件密度并由此减少费用,最小特征尺寸已经持续呈比例缩小,主要通过减小成像光的波长并提高数值孔径。然而,如果可以形成其宽度小于光刻限定的窗口的最小特征尺寸的金属接触窗口,那么能够进一步提高晶片上形成的器件的密度。因此,需要一种形成金属接触窗口方法,并且该窗口的宽度小于光刻限定的窗口的最小特征尺寸。

发明内容

[0011] 本文提供一种形成半导体结构的方法,该半导体结构提高晶片上形成的器件的密度。该方法包括形成第一硬掩膜层,其接触并且位于隔离层上方。隔离层具有顶表面、接触并且位于源极结构和漏极结构上方。该方法还包括形成第二硬掩膜层,其接触并且位于第一硬掩膜层上方。第二硬掩膜层具有顶表面和底表面。该方法附加地包括形成第三硬掩膜层,其接触并且位于第二硬掩膜层上方。第三硬掩膜层具有顶表面。该方法进一步包括形成第四硬掩膜层,其接触并且位于第三硬掩膜层上方。第四硬掩膜层具有顶表面。另外,该方法包括刻蚀第四硬掩膜层以形成若干沟槽。每个沟槽暴露第三硬掩膜层的顶表面。

[0012] 所提供的方法可选地包括形成第一硬掩膜层,其接触并且位于隔离层上方。隔离层具有顶表面、接触并且位于源极结构和漏极结构上方。该方法还包括形成第二硬掩膜层,其接触并且位于第一硬掩膜层上方。第二硬掩膜层具有顶表面和底表面。另外,该方法包括形成第三硬掩膜层,其接触并且位于第二硬掩膜层上方。第三硬掩膜层具有顶表面。进一步地,该方法包括形成第四硬掩膜层,其接触并且位于第三硬掩膜层上方。第四硬掩膜层具有顶表面。该方法附加地包括形成第一图案化光刻胶层,其接触并且位于第四硬掩膜层上方。该方法进一步包括形成第二图案化光刻胶层,其接触并且位于第四硬掩膜层上方。第一图案化光刻胶层和第二图案化光刻胶层暴露第四硬掩膜层的顶表面上的若干未覆盖区域。

附图说明

[0013] 图1A-1D到9A-9D是示出根据本发明的一种形成金属接触窗口的方法100的一个示例的示意图。图1A-9A是平面图。图1B-9B是沿着图1A-9A的线1B-1B到9B-9B所取的截面图。图1C-9C是沿着图1A-9A的线1C-1C到9C-9C所取的截面图。图1D-9D是沿着图1A-9A的线1D-1D到9D-9D所取的截面图。

具体实施方式

[0014] 图1A-1D到9A-9D示出一种形成金属接触窗口的方法100的示例。

[0015] 如图1A-1D所示,方法100利用常规形成的金属栅极MOS晶体管结构108。MOS晶体管结构108继而包括具有单晶硅衬底区域112的半导体主体110和接触衬底区域112的沟槽隔离结构114。

[0016] 另外,半导体主体110包括每个都接触衬底区域112的源极120和漏极122。源极120和漏极122的每个具有的导电类型与衬底区域112的导电类型相反。源极120包括轻掺杂区域120L和重掺杂区域120H。类似地,漏极122包括轻掺杂区域122L和重掺杂区域122H。进一步,衬底区域112具有沟道区域124,其位于源极120和漏极122之间。

[0017] 还如图1A-1D所示,MOS晶体管结构108包括接触并且位于沟道区域124上方的高介电常数栅极介电结构126,和接触栅极介电结构126并且位于沟道区域124上方的金属栅极130。另外,MOS晶体管结构108包括侧向围绕栅极130的侧壁间隔件(sidewall spacer)132和接触侧壁间隔件132的底部隔离层138。底部隔离层138还接触并且位于源极区域120H和漏极区域122H上方。

[0018] 进一步如图1A-1D所示,方法100通过形成第一硬掩膜层150开始,该第一硬掩膜层

150接触并且位于底部隔离层138上方。第一硬掩膜层150能够利用例如氧氮化硅(SiON)层或碳氮化硅(SiCN)层实现。

[0019] 在已经形成第一硬掩膜层150之后,形成第二硬掩膜层152以接触并且位于第一硬掩膜层150上方。第二硬掩膜层152(基本比第一硬掩膜层150厚)能够利用例如无定形碳材料(例如,先进图膜(APF))的化学气相沉积(CVD)层实现。

[0020] 在已经形成第二硬掩膜层152之后,形成第三硬掩膜层154以接触并且位于第二硬掩膜层152上方。第三硬掩膜层154能够利用例如氮化硅(SiN)层或氧氮化硅(SiON)层实现。

[0021] 在已经形成第三硬掩膜层154之后,形成第四硬掩膜层156以接触并且位于第三硬掩膜层154上方。第四硬掩膜层156能够利用例如接触并且位于第三硬掩膜层154上方的氧化层和接触并且位于氧化层上方的氮化硅(SiN)层实现。第一硬掩膜层150比第三硬掩膜层154和第四硬掩膜层156的组合厚度更厚。

[0022] 在已经形成第四硬掩膜层156之后,形成图案化光刻胶层,以形成为若干间隔的带160,其接触并且位于第四硬掩膜层156上方。图案化光刻胶层的带160以常规方式形成,所述方式包括沉积光刻胶层、投射光通过称为掩膜的图案化黑色/透明玻璃板以在光刻胶层上形成图案化图像,以及移除成像后的光刻胶区域,该区域通过暴露在光下而软化。图案化光刻胶层的带160还能够包括下面的增透涂层。

[0023] 间距(pitch)是从特征件的一个边缘到相邻特征件的相应边缘的距离。最小间距等于 $2(Ki) * (\lambda/NA)$,其中, Ki 表示光刻工艺的困难度(分辨能力), λ 表示成像光的波长并且 NA 表示透镜的数值孔径。

[0024] 因此,使用波长为193纳米(nm)的当代成像光和数值孔径为1.35的透镜(使用水浸法),当最小 Ki 接近约为0.28的实际极限时,能够获得约80nm的最小间距。

[0025] 在本示例中,虽然约为80nm的最小间距是可能的,但是形成的图案化光刻胶层的带160具有168nm的间距 P 。进一步,每个带160具有等于四分之一 P 的宽度 W (42nm),而相邻的带160隔开四分之三 P 的间隔 $G1$ (126nm)。

[0026] 如图2A-2D所示,在已经形成图案化光刻胶层的带160之后,以常规方式形成第二图案化光刻胶层,作为若干间隔的条带166,其接触并且位于第四硬掩膜层156上方。图案化光刻胶层的条带166还能够包括下面的增透涂层。

[0027] 条带166(与带160间隔开)以交替方式位于带160之间,以暴露第四硬掩膜层156的顶表面上的若干未覆盖区域。在本示例中,还形成图案化光刻胶层的条带166,其具有168nm的间距 P 。进一步,每个条带166具有等于四分之一 P 的宽度 W (42nm)。每个条带166还与每个相邻带160间隔四分之一 P 的间隔 $G2$ 。

[0028] 如图3A-3D所示,在已经形成图案化光刻胶层的条带166之后,刻蚀第四硬掩膜层156的顶表面上的未覆盖区域以形成若干沟槽168。沟槽168中的每个延伸穿过第四硬掩膜层156以暴露第三硬掩膜层154的顶表面。在此之后,以常规方式(如除灰工艺(ash process))移除图案化光刻胶层的带160和条带166。

[0029] 如图4A-4D所示,在已经移除图案化光刻胶层160、166之后,以常规方式形成图案化光刻胶层作为若干间隔的带170,其接触并且位于第四硬掩膜层156上方。带170还延伸到沟槽168中,以接触并且位于部分第三硬掩膜层154上方。图案化光刻胶层的带170还能够包括下面的增透涂层。

[0030] 带170基本正交于沟槽168。进一步,在本示例中,形成的图案化光刻胶层的带170具有168nm的间距P。进一步,每个带170具有等于四分之一P的宽度W(42nm),而相邻带170隔开四分之三P的间隔G3(126nm)。

[0031] 如图5A-5D所示,在已经形成图案化光刻胶层的带170之后,以常规方式形成图案化光刻胶层作为若干间隔的条带176,其接触并且位于第四硬掩膜层156上方。条带176还延伸到沟槽168中,以接触并且位于部分第三硬掩膜层154上方。图案化光刻胶层的条带176还能够包括下面的增透涂层。

[0032] 在本示例中,还形成图案化光刻胶层的条带176,其具有168nm的间距P。进一步,图案化光刻胶层的每个条带176具有等于四分之一P的宽度W(42nm)。每个条带176还与每个相邻带160隔开四分之一P的间隔G4。

[0033] 条带176(与带170隔开)以交替方式位于带170之间。带170和条带176(结合正交取向的沟槽168)暴露第三硬掩膜层154的顶表面上的若干未覆盖区域的棋盘图案。(带170和条带176还暴露第四硬掩膜层156的顶表面上的区域。)

[0034] 如图6A-6D所示,在已经形成图案化光刻胶层的条带176之后,刻蚀第三硬掩膜层154的顶表面上的未覆盖区域以形成若干第三硬掩模窗口。刻蚀继续,直到第三硬掩模窗口暴露第二硬掩膜层152的顶表面上的若干未覆盖区域。在本示例中,刻蚀剂是可选择的,以便第三硬掩膜层154比第四硬掩膜层156刻蚀的更多。

[0035] 在已经暴露第二硬掩膜层152的顶表面上的未覆盖区域之后,改变刻蚀剂,并且刻蚀第二硬掩膜层152的顶表面上的未覆盖区域以形成若干第二硬掩模窗口。刻蚀继续,直到第二硬掩模窗口暴露第一硬掩膜层150的顶表面上的若干未覆盖区域。在本示例中,刻蚀剂是可选择的,以便第二硬掩膜层152比第四硬掩膜层156或第三硬掩膜层154刻蚀的更多。

[0036] 在第二硬掩膜层152的刻蚀期间,带170和条带176被刻蚀掉。另外,利用重聚合物刻蚀来刻蚀第二硬掩膜层152,这形成穿过第二硬掩膜层152的第二硬掩模窗口,该窗口具有锥形侧壁表面。

[0037] 因此,第二硬掩膜层152的厚度确定(结合其他因素,如刻蚀剂)第二硬掩膜层152的底表面上的第二硬掩模窗口的宽度。在本示例中,第二硬掩膜层152的顶表面处的第二硬掩模窗口具有约为42nm的宽度,而第二硬掩膜层152的底表面处的第二硬掩模窗口具有约为20nm的宽度。

[0038] 在已经暴露第一硬掩膜层150的顶表面上的未覆盖区域之后,改变刻蚀剂并且刻蚀第一硬掩膜层150的顶表面上的未覆盖区域以形成若干第一硬掩模窗口。刻蚀继续,直到第一硬掩模窗口暴露底部隔离层138的顶表面上的若干未覆盖区域。

[0039] 在第一硬掩膜层150的刻蚀期间,移除第四硬掩膜层156和第三硬掩膜层154,从而暴露第二硬掩膜层的顶表面。在本示例中,刻蚀剂是可选择的,以便第一硬掩膜层150比第二硬掩膜层152刻蚀的更多。另外,穿过第一硬掩膜层150的第一硬掩模窗口具有约为20nm的宽度,作为第二硬掩膜层152的底表面处的第二硬掩模窗口的宽度的结果。

[0040] 因此,刻蚀第三硬掩膜层154的未覆盖区域、第二硬掩膜层152的下面区域和第一硬掩膜层150的下面区域以形成若干掩模窗口180,其延伸穿过第二硬掩膜层152和第一硬掩膜层150。掩模窗口180的每个暴露底部隔离层138的顶表面上的未覆盖区域。

[0041] 第二硬掩模窗口形成穿过第二硬掩膜层152的掩模窗口180,而第一硬掩模窗口形

成穿过第一硬掩膜层150的掩模窗口180。一旦已经形成掩模窗口180,能够可选地移除第二硬掩膜层152。在本示例中,在此处,方法100继续而不移除第二硬掩膜层152。

[0042] 如图7A-7D所示,在已经形成掩模窗口180之后,改变刻蚀剂并刻蚀底部隔离层138的顶表面上的未覆盖区域。该刻蚀在底部隔离层138中形成若干金属接触窗口182,其中,金属接触窗口182中的一个暴露源极区域120H的顶表面区域,并且金属接触窗口182中的一个暴露漏极区域122H的顶表面区域。

[0043] 在本示例中,由于第一硬掩模窗口的宽度,金属接触窗口182的每个具有约为20nm的宽度,其与掩模窗口180的最小宽度相同。在已经形成金属接触窗口182之后,以常规方式移除第一硬掩膜层150和第二硬掩膜层152。

[0044] 如图8A-8D所示,一旦已经移除第一硬掩膜层150和第二硬掩膜层152,以常规方式形成接触并位于源极区域120H上方的源极金属硅化物区域184和接触并位于漏极区域122H上方的漏极金属硅化物186。在此之后,沉积金属接触层188(如钨(W)层)以接触底部隔离层138的顶表面并填充底部隔离层138中的金属接触窗口182。

[0045] 如图9A-9D所示,在已经形成金属接触层188之后,以常规方式(如使用化学-机械抛光)使金属接触层188平整,以暴露底部隔离层138的顶表面。该平整处理在金属接触窗口182中形成金属触点190。金属触点190形成到源极金属硅化物区域184和漏极金属硅化物区域186的电气连接。随后,方法100继续常规步骤以完成金属互连结构的形成。

[0046] 本公开方法的一个优点是方法100形成金属接触窗口182,其具有基本小于最小间距的宽度。在本示例中,金属接触窗口182具有约20nm的宽度,而最小间距P约为80nm(使用193nm的波长、1.35的数值孔径和0.28的Ki)。

[0047] 本公开方法的另一个优点是方法100形成金属接触窗口182,其具有基本小于光刻限定的窗口的最小特征尺寸的宽度。在本示例中,当最小间距约为80nm时,金属接触窗口182具有约20nm的宽度,而光刻限定的窗口的最小特征尺寸约为90-100nm。因此,形成的金属接触窗口182具有基本小于最小间距和光刻限定的窗口的最小特征尺寸的宽度,能够显著提高晶片上的器件密度。

[0048] 本领域技术人员将理解,在所要求保护的本发明的范围内,可以对所描述的示例进行修改,以及许多其他实施例是可能的。

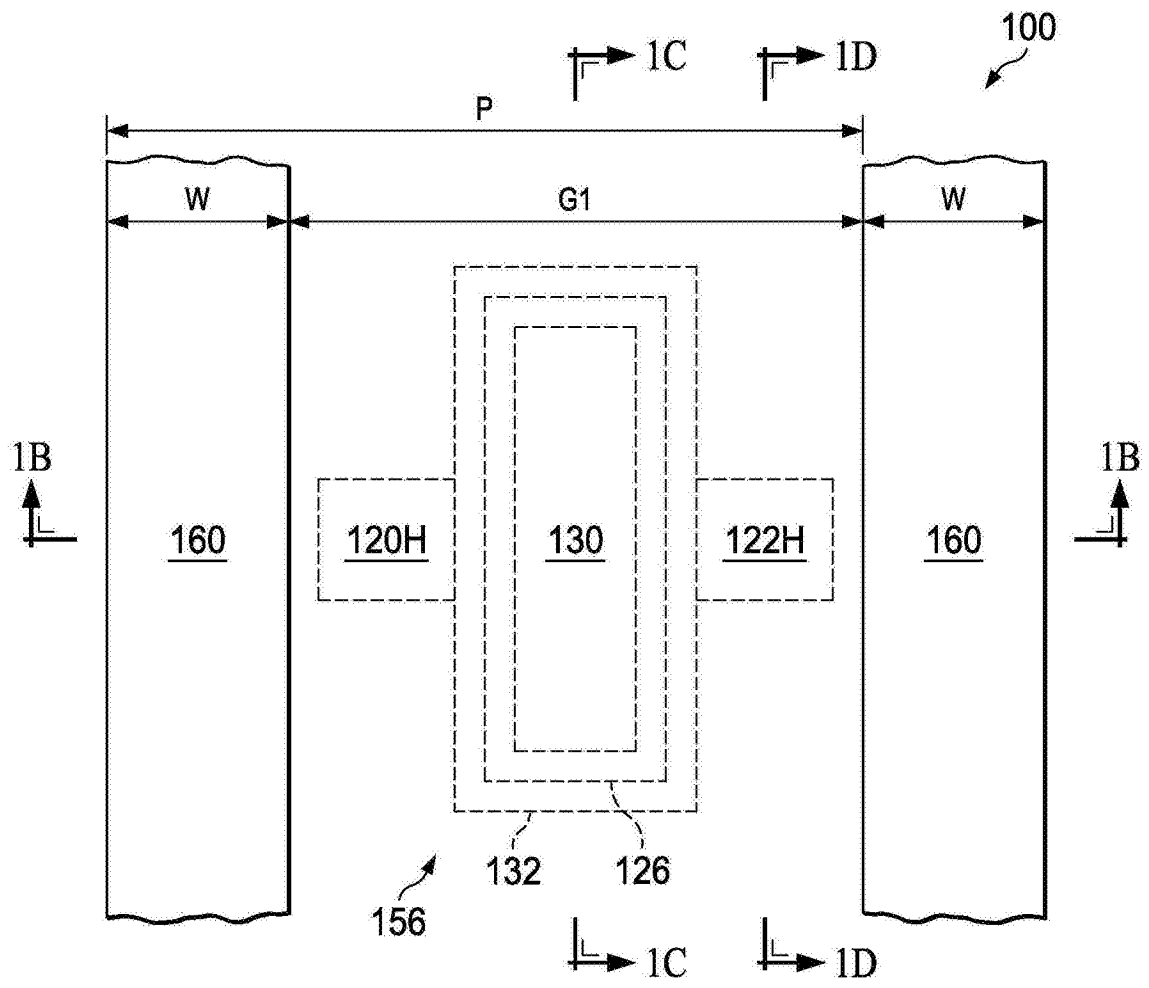


图1A

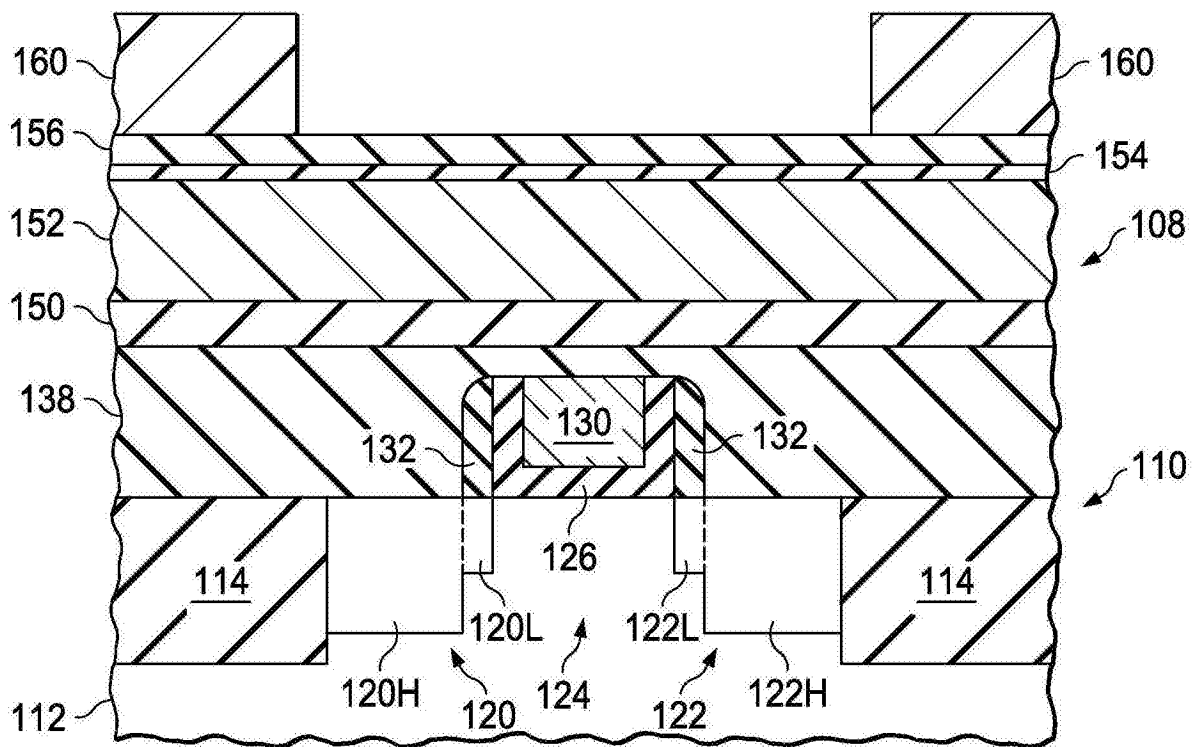


图1B

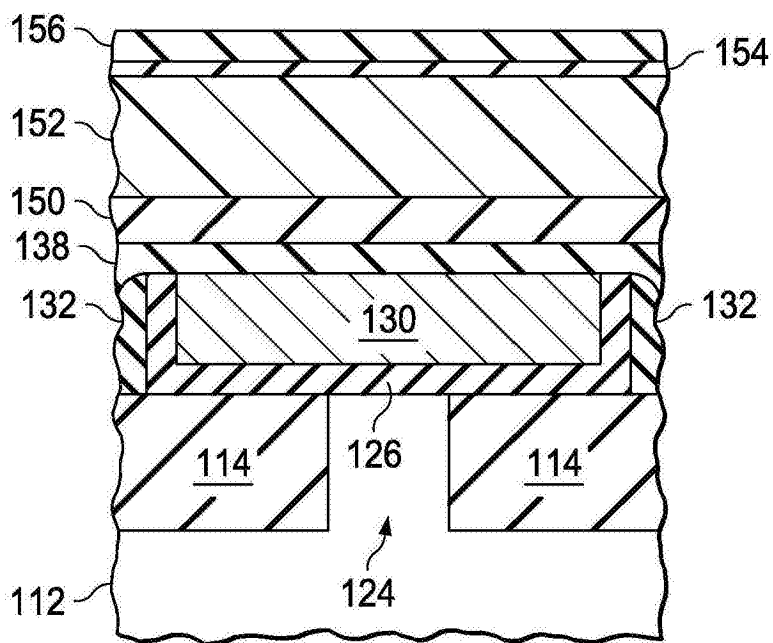


图1C

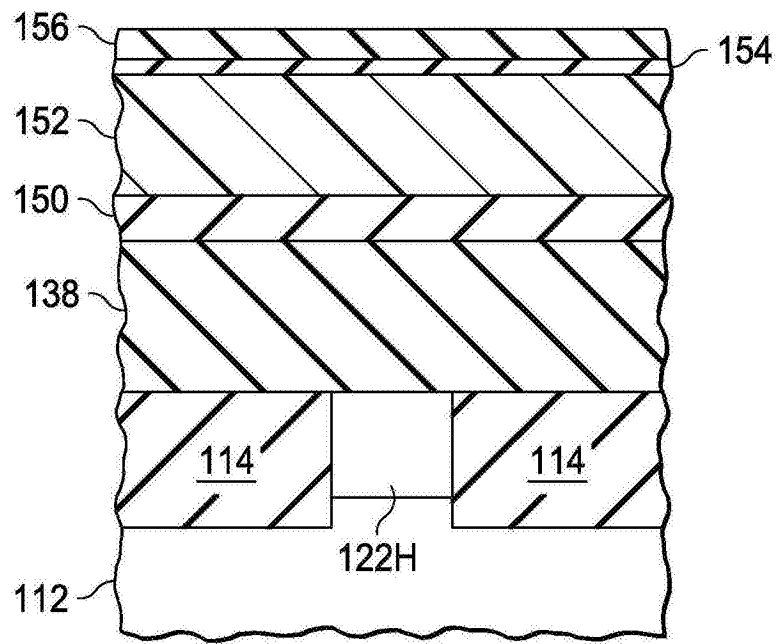


图1D

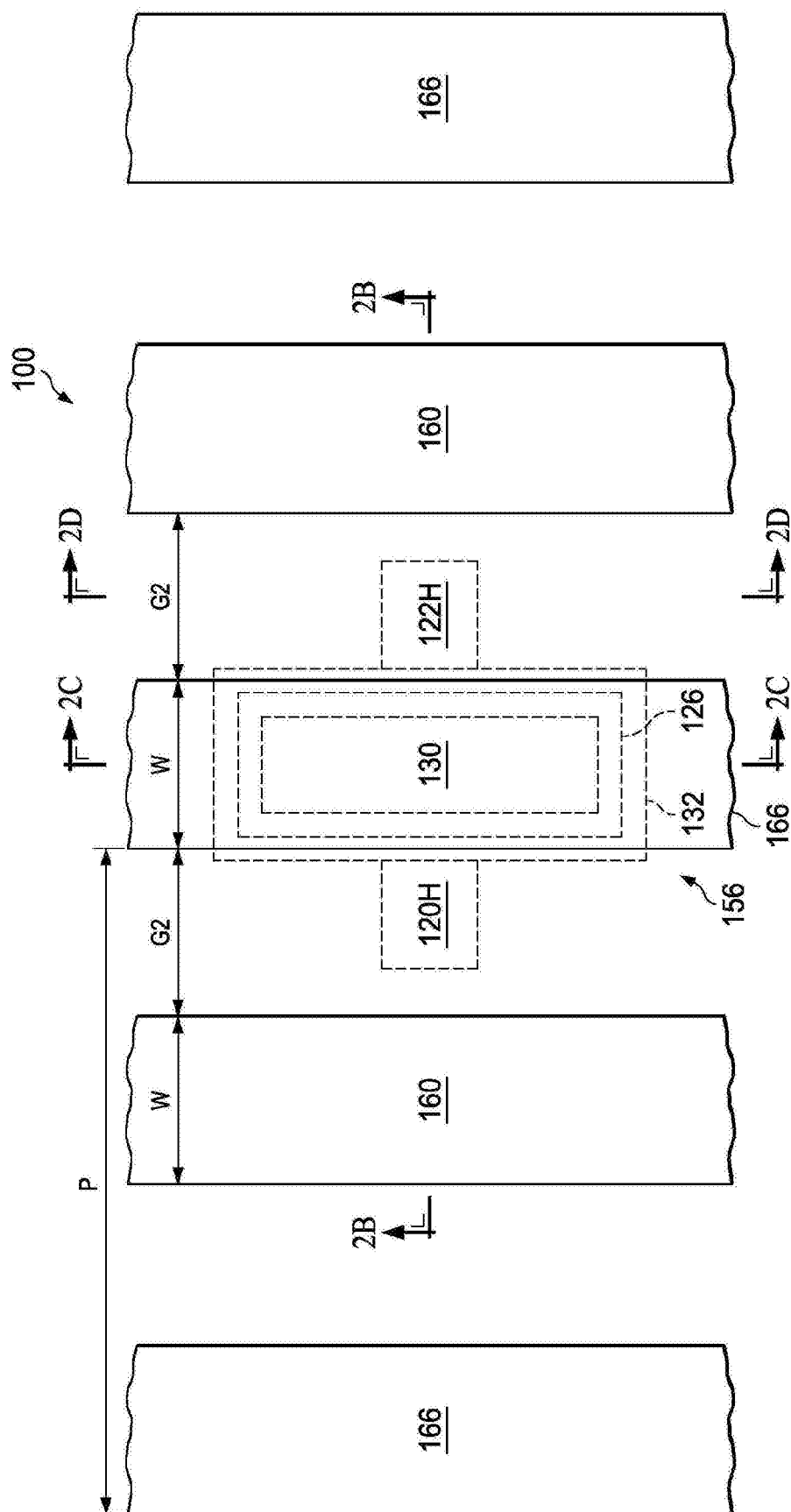


图2A

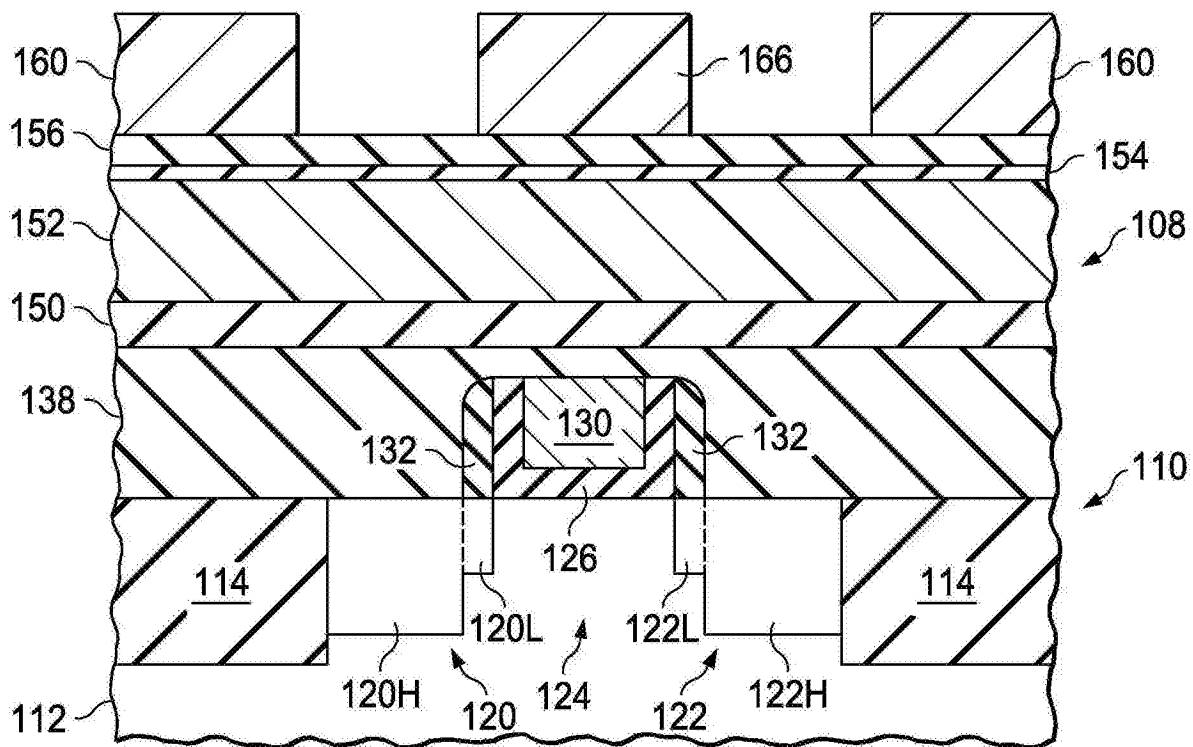


图2B

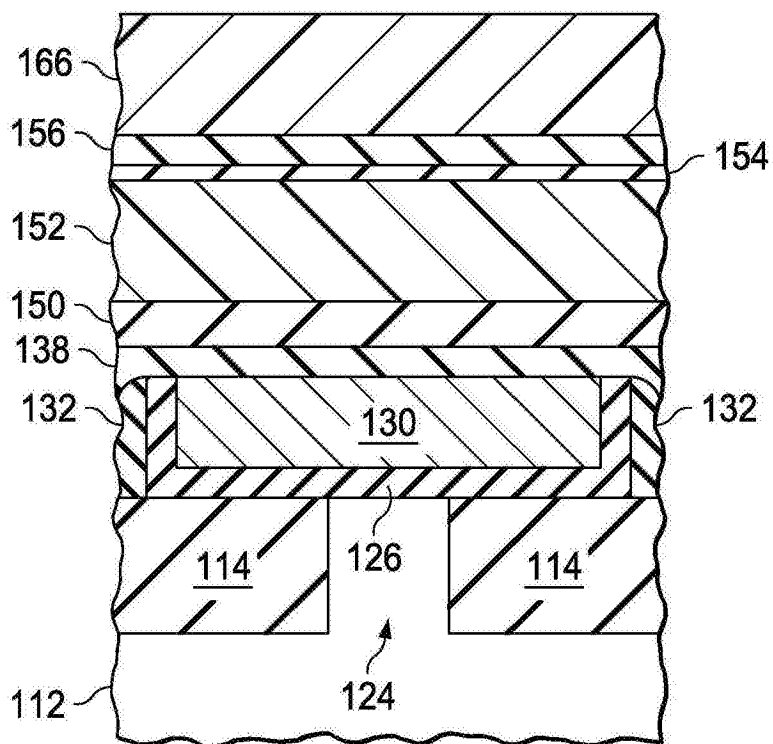


图2C

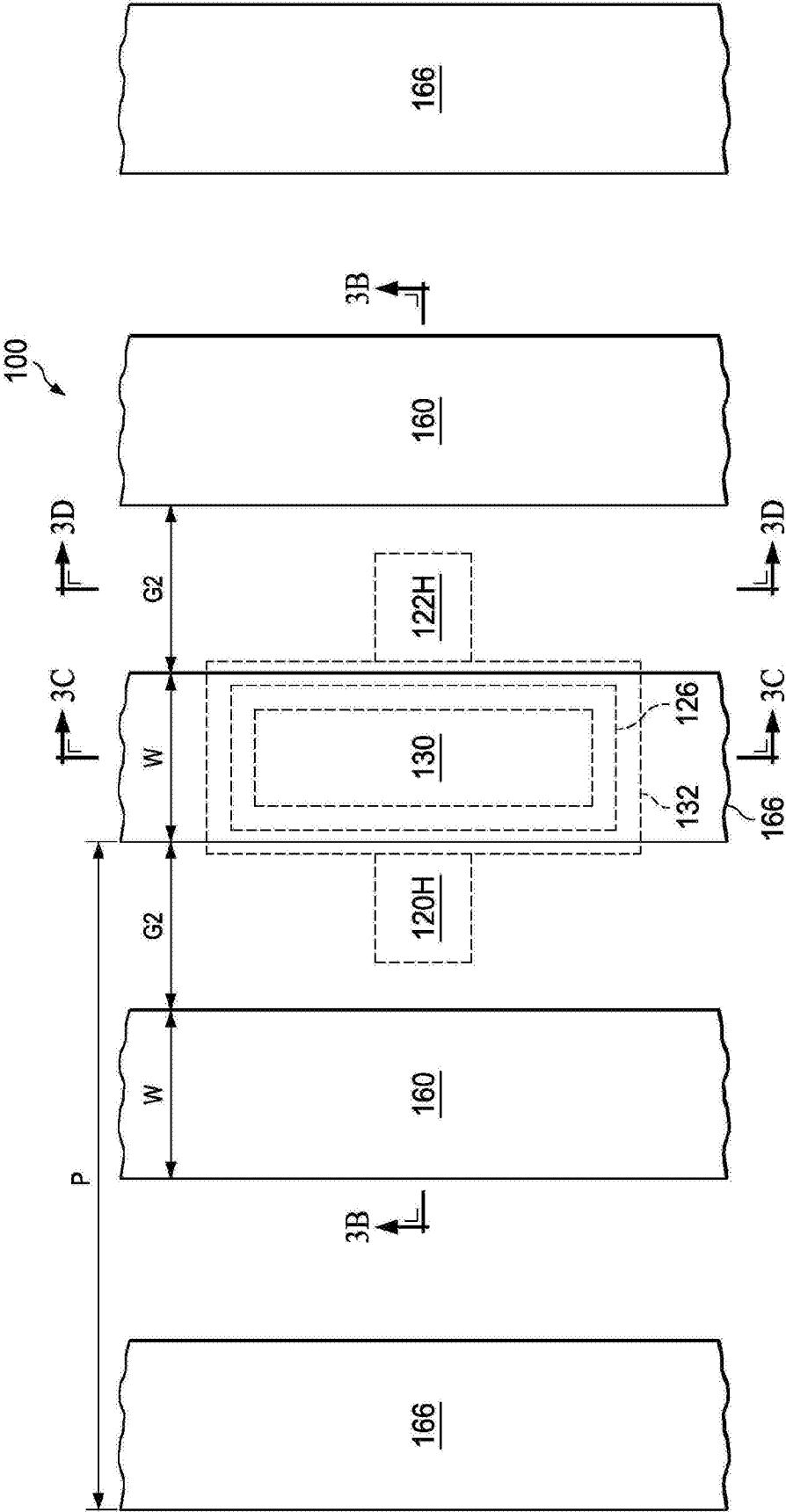


图3A

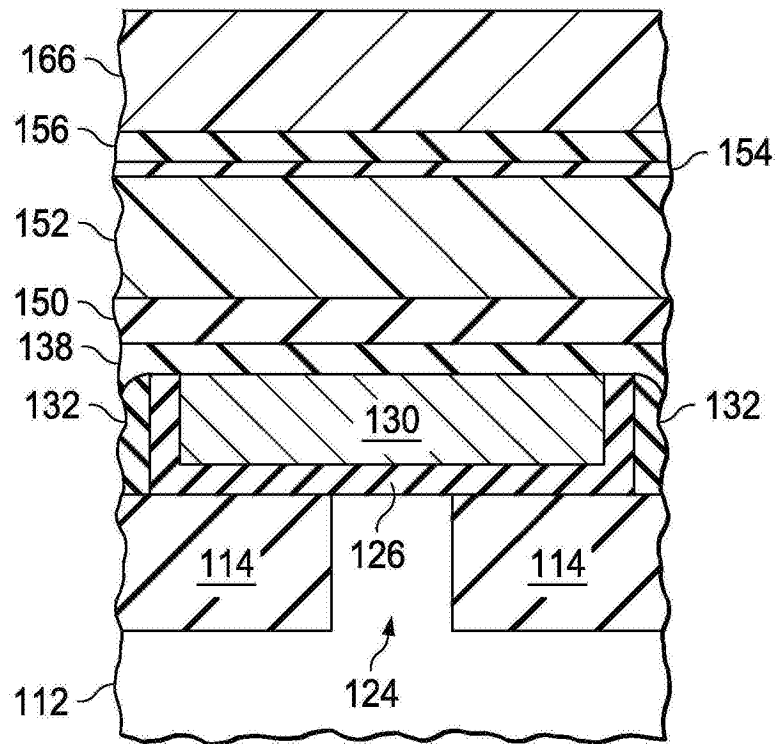


图3C

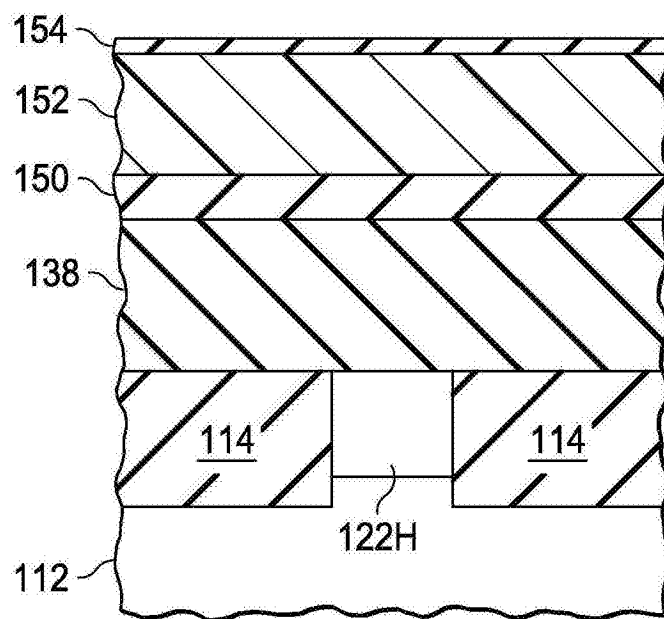


图3D

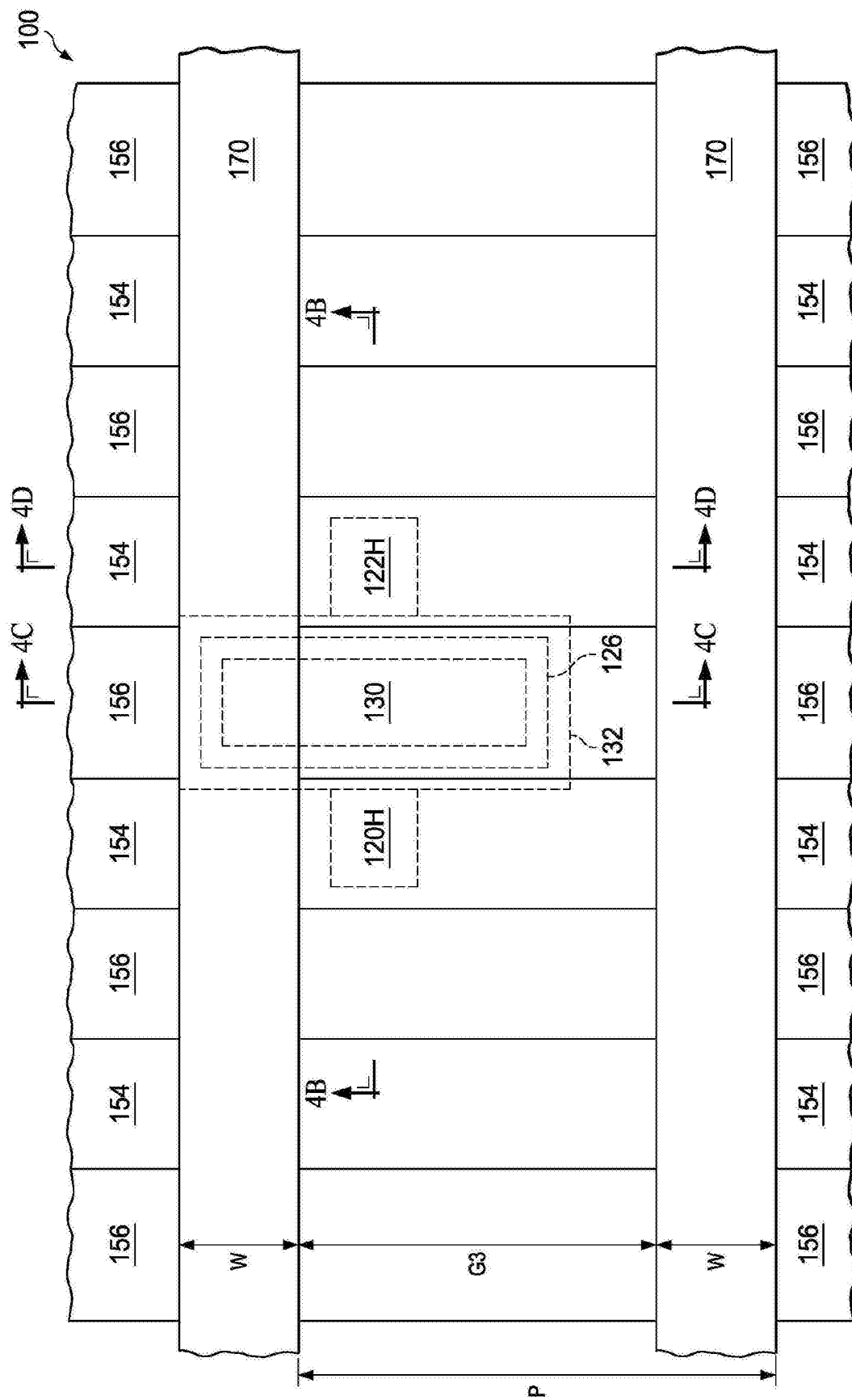


图4A

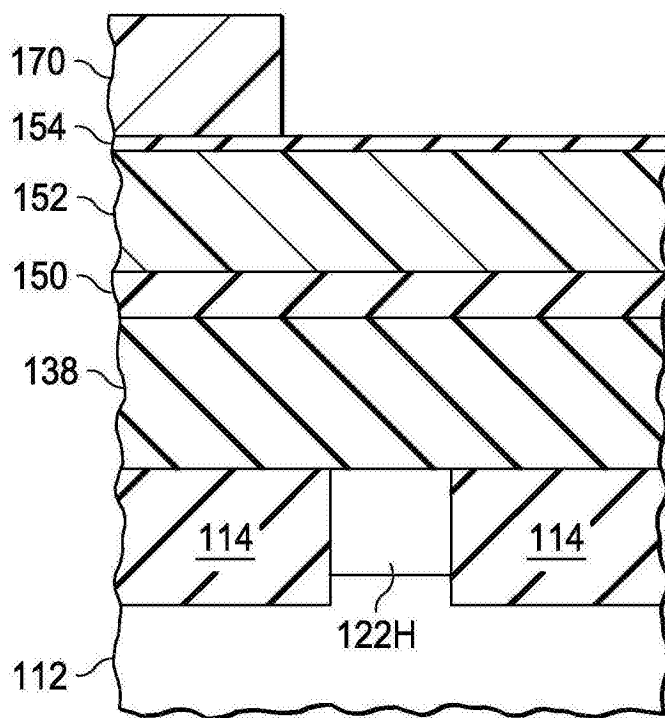


图4D

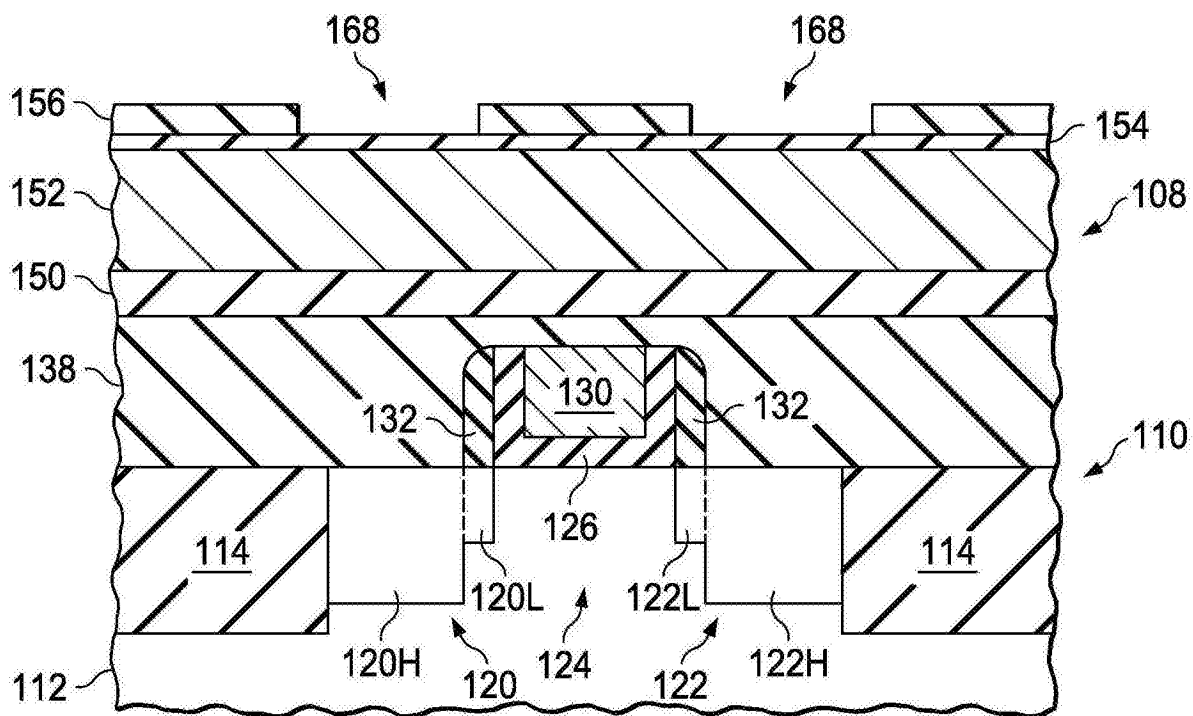


图5B

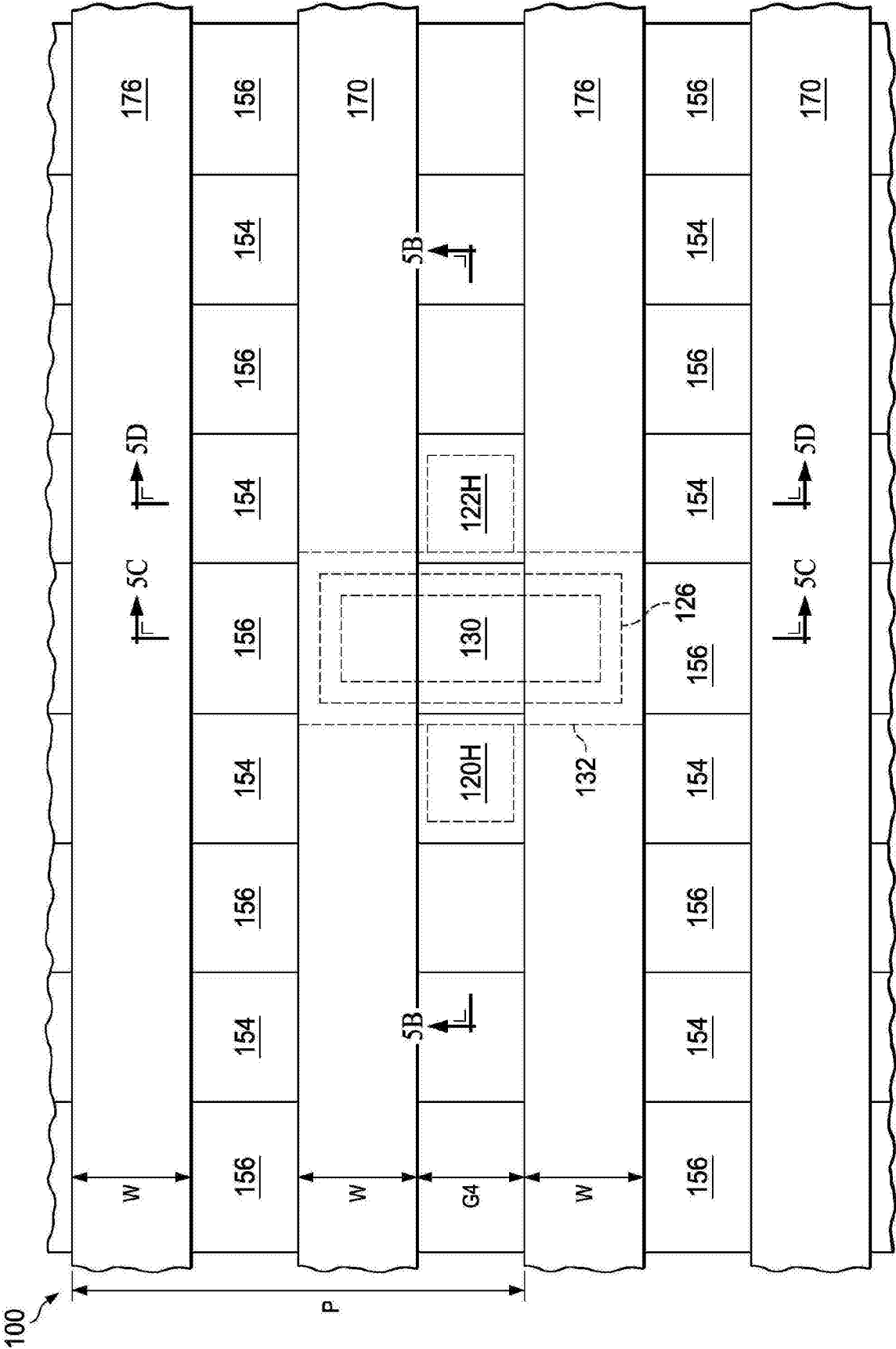


图5A

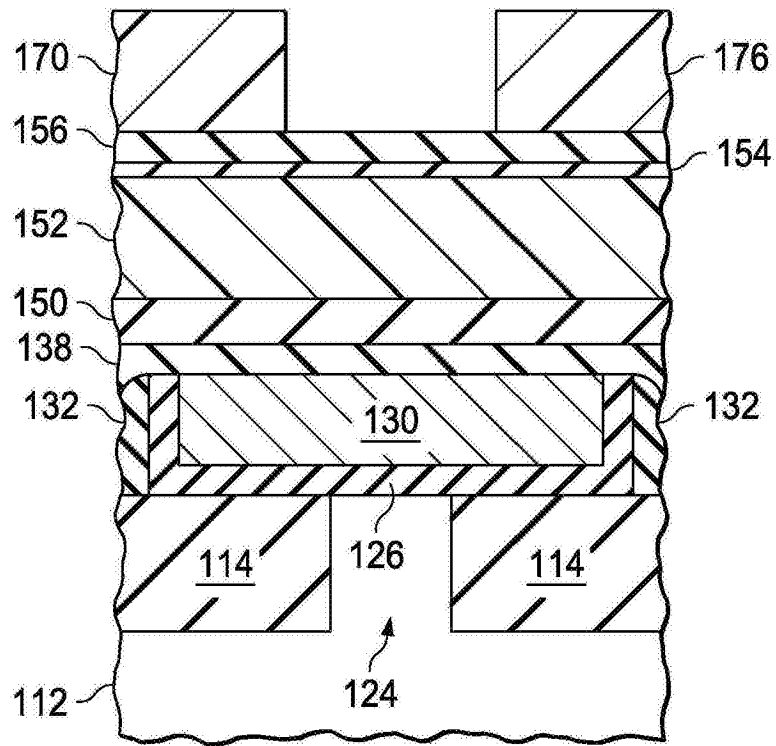


图5C

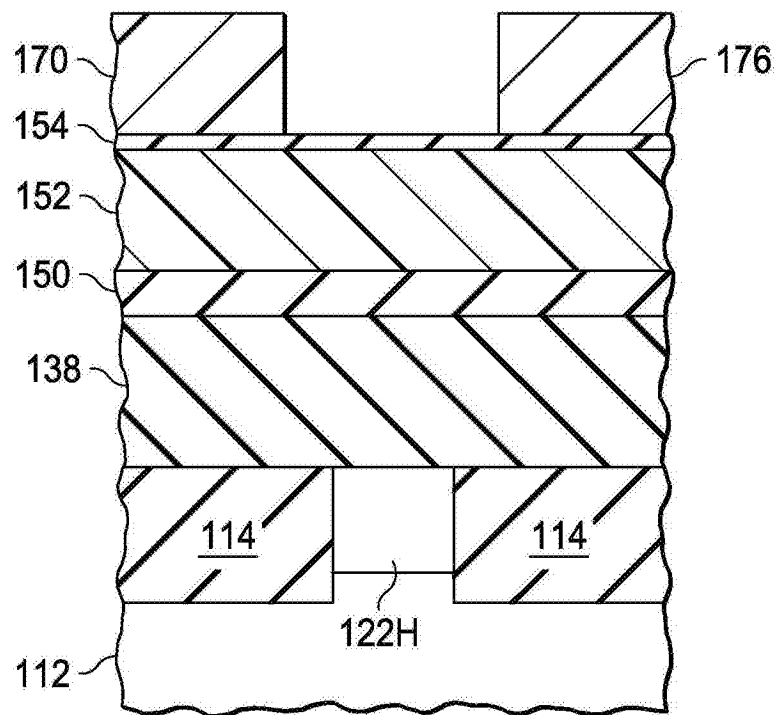


图5D

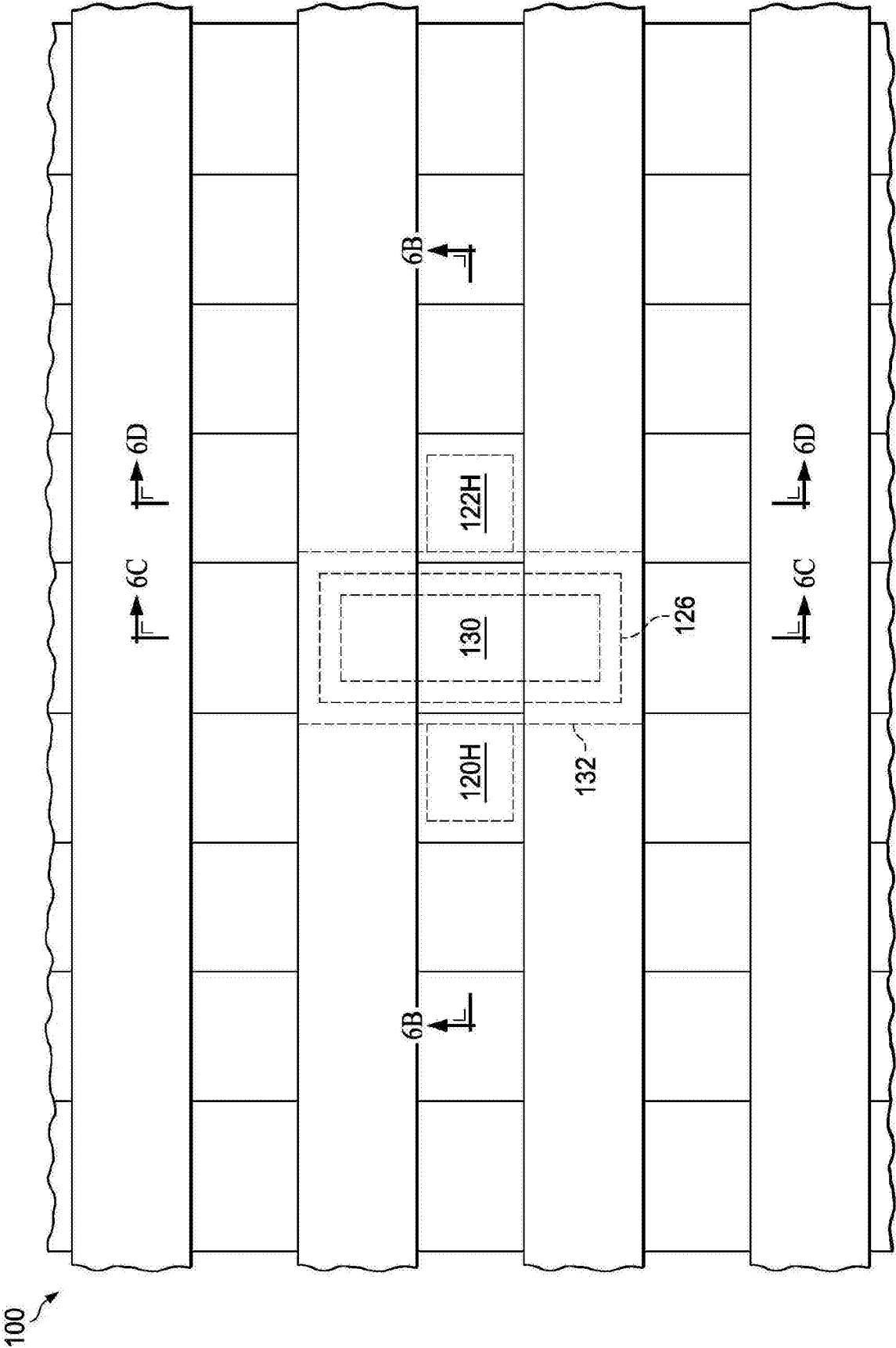


图6A

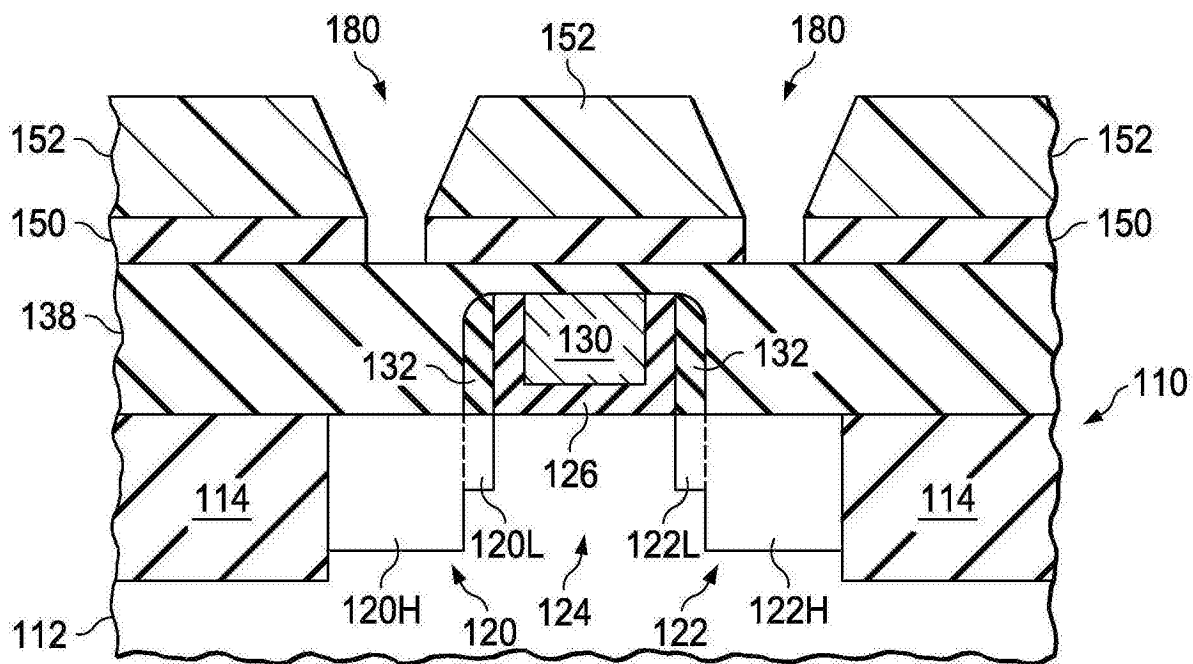


图6B

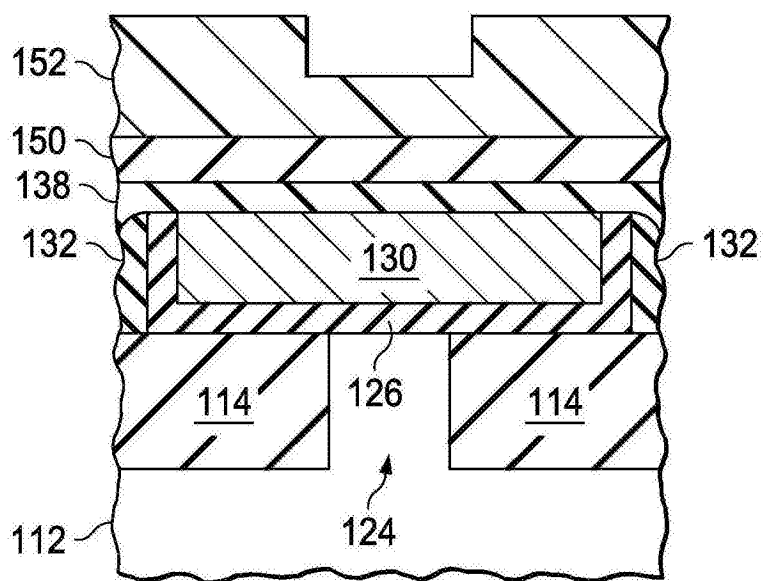


图6C

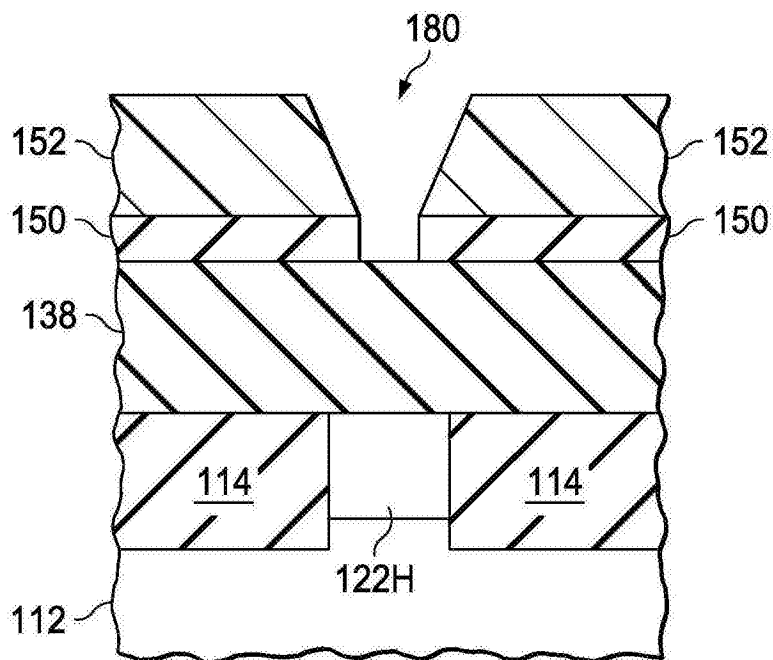


图6D

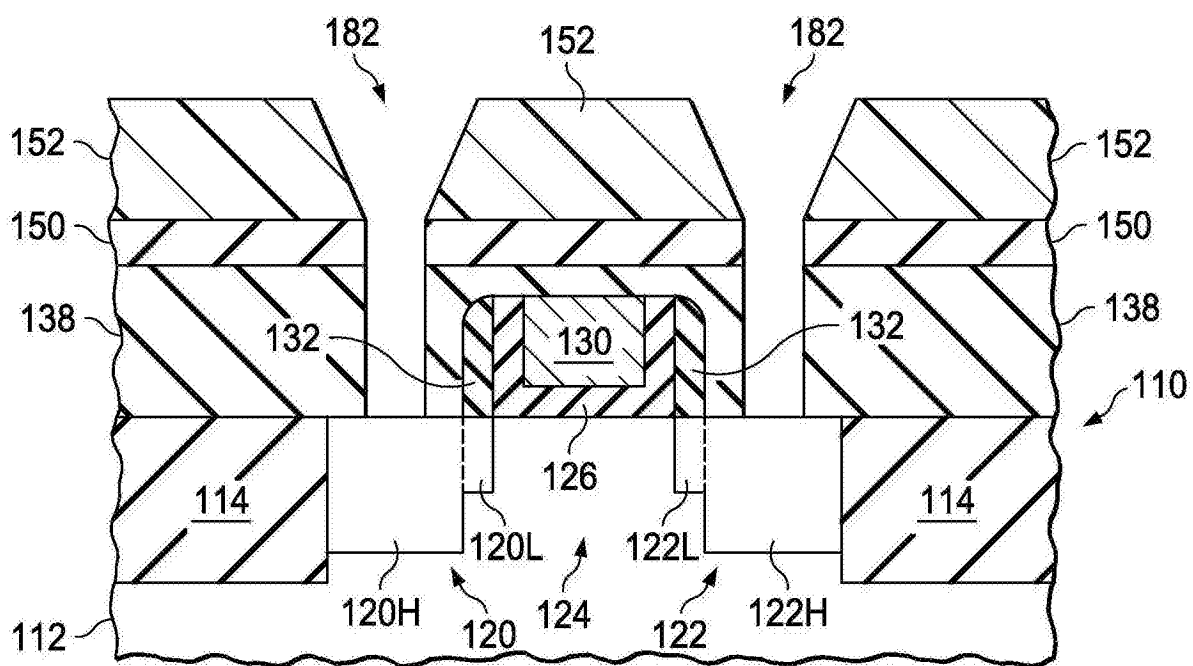


图7B

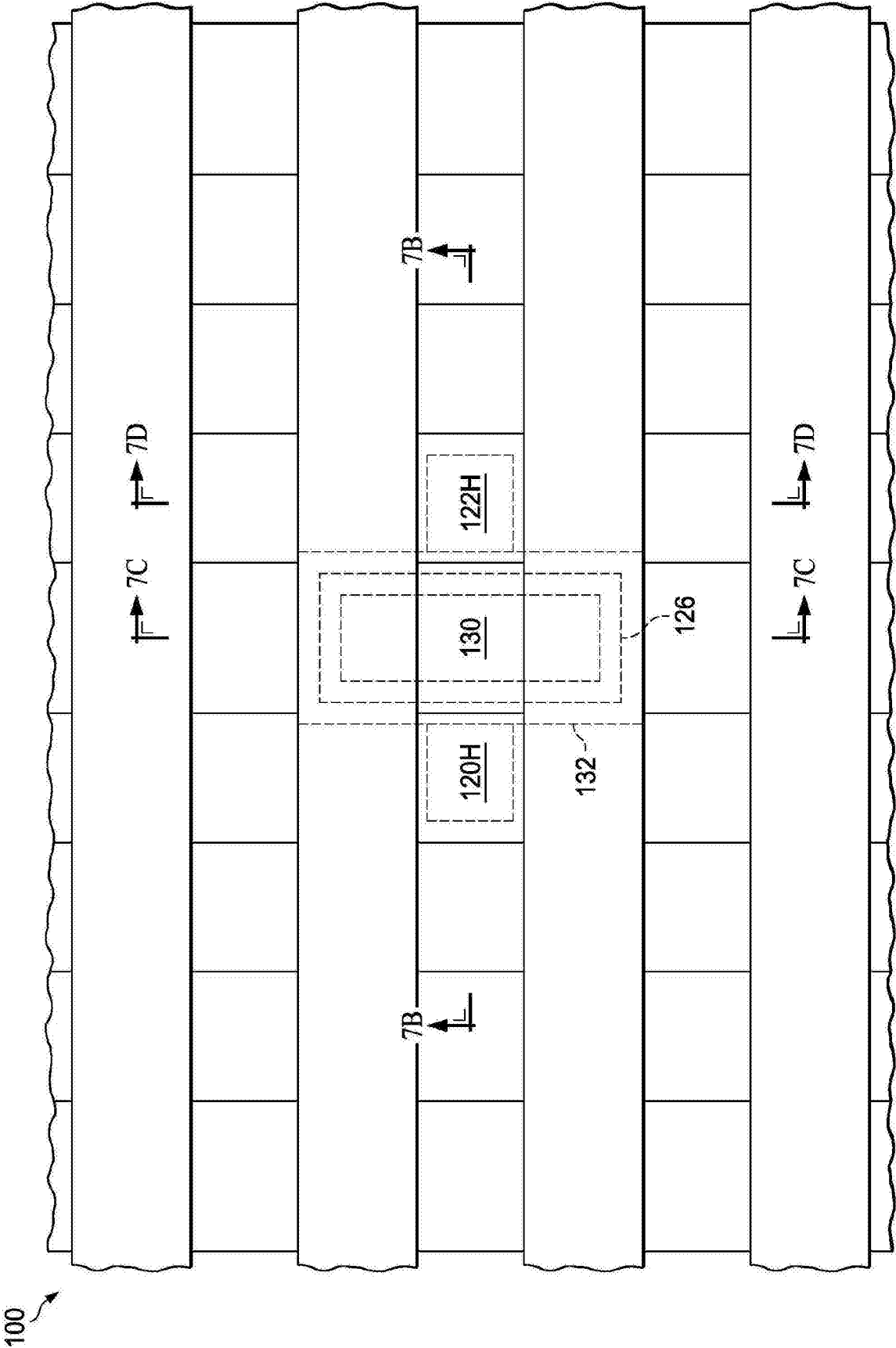


图7A

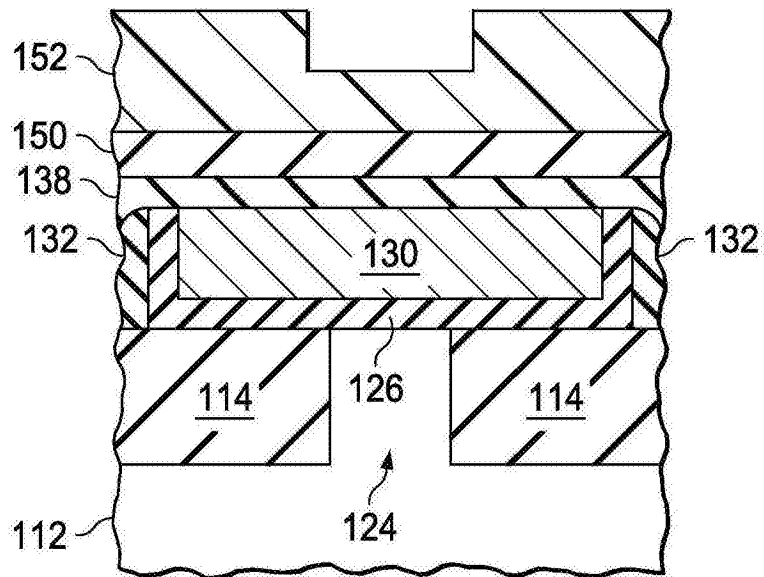


图7C

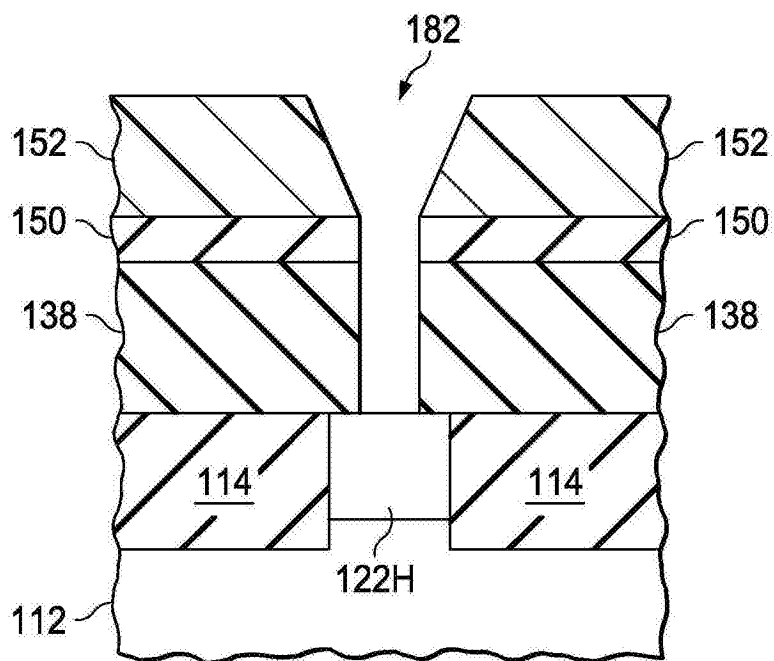


图7D

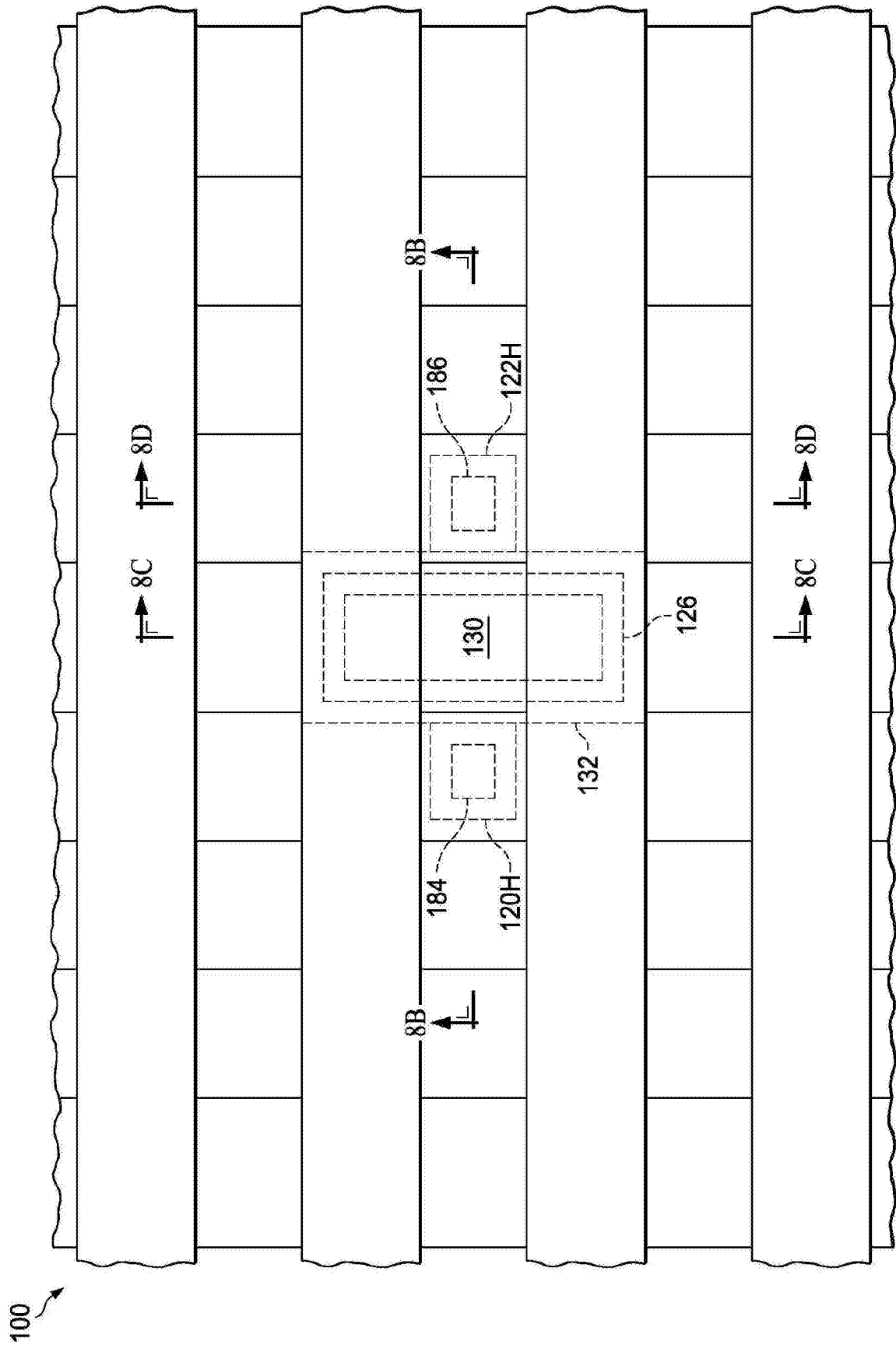


图8A

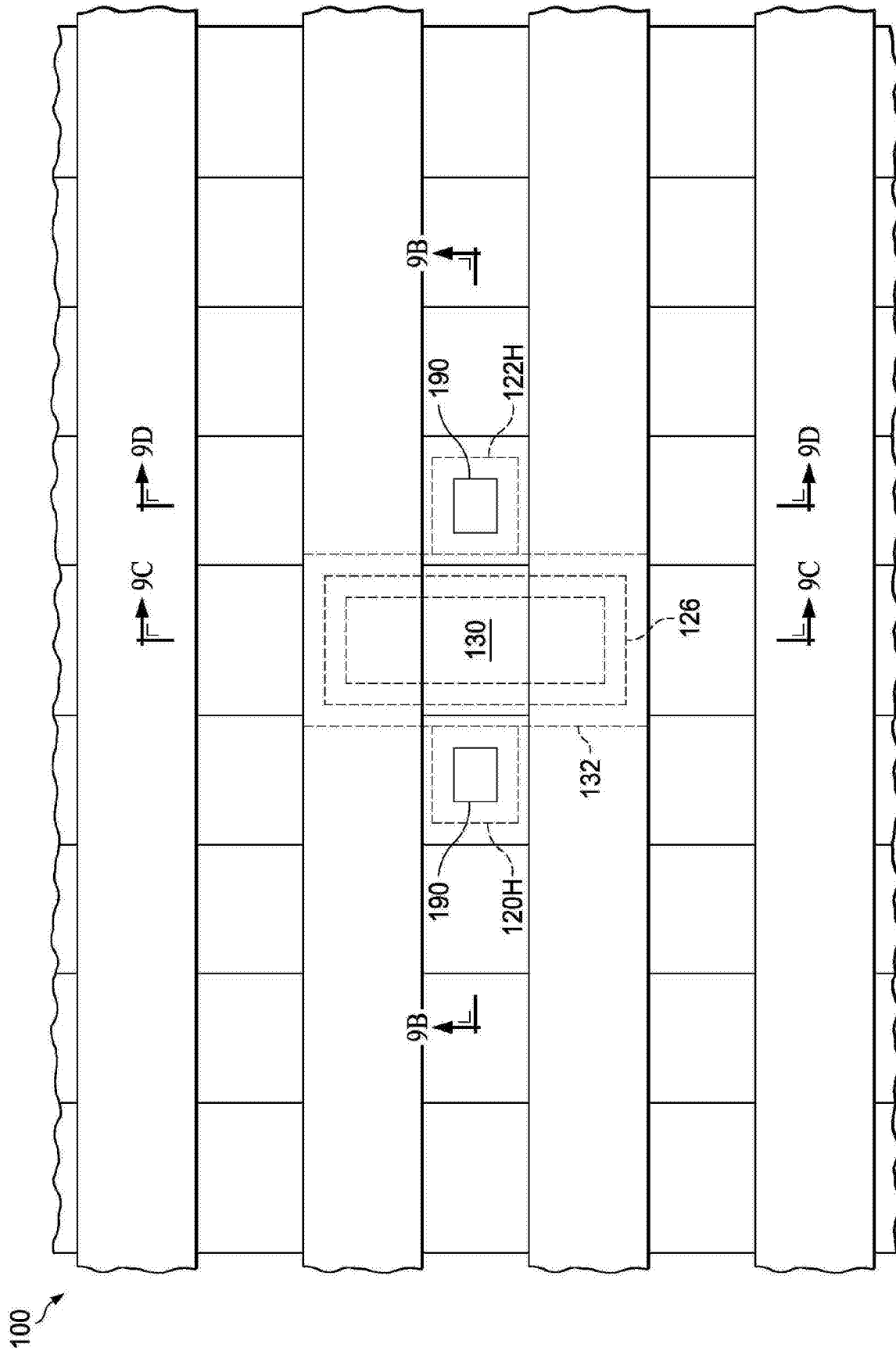


图9A

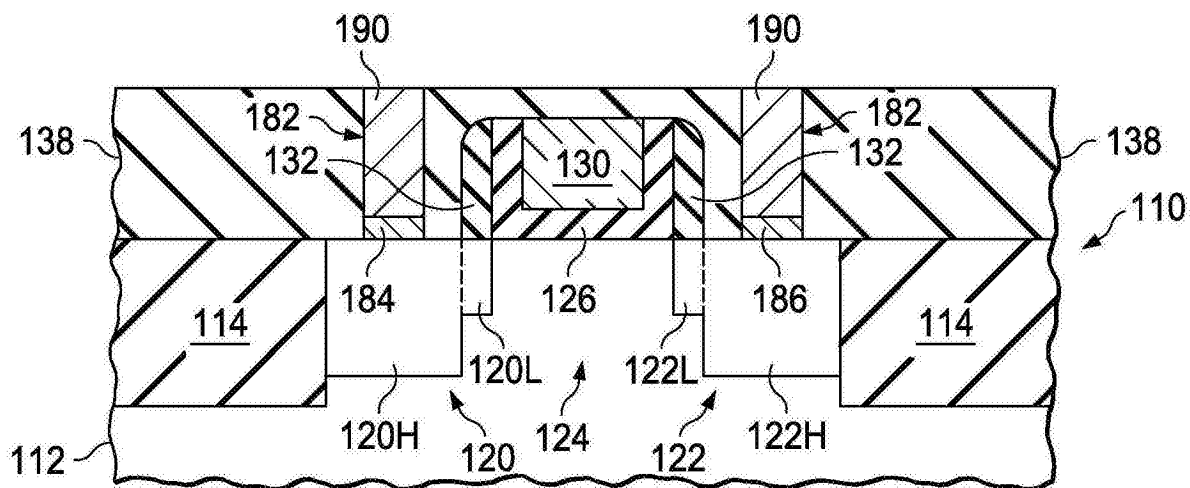


图9B

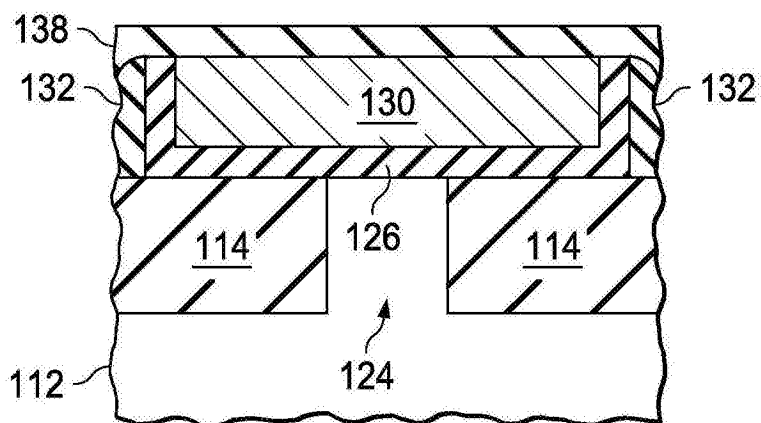


图9C

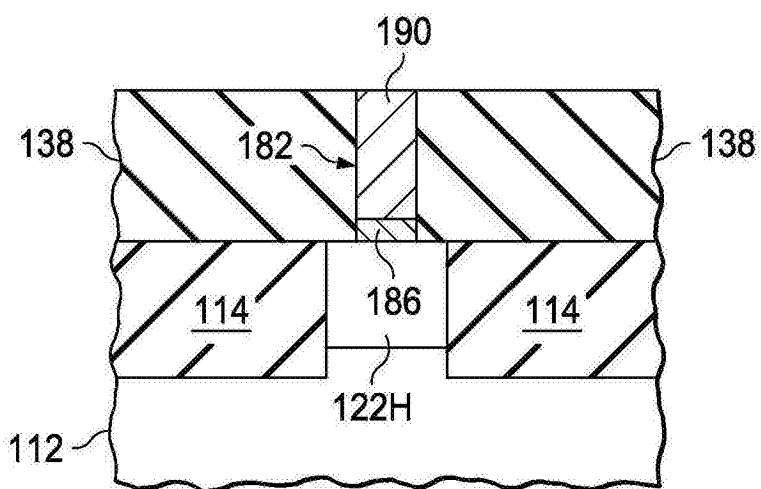


图9D