

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3600393号
(P3600393)

(45) 発行日 平成16年12月15日(2004.12.15)

(24) 登録日 平成16年9月24日(2004.9.24)

(51) Int. Cl.⁷

F I

H O 1 L 21/8247

H O 1 L 27/10 4 3 4

H O 1 L 27/115

H O 1 L 29/78 3 7 1

H O 1 L 29/788

H O 1 L 29/792

請求項の数 33 (全 33 頁)

(21) 出願番号	特願平9-26458	(73) 特許権者	000003078
(22) 出願日	平成9年2月10日(1997.2.10)		株式会社東芝
(65) 公開番号	特開平10-223867		東京都港区芝浦一丁目1番1号
(43) 公開日	平成10年8月21日(1998.8.21)	(74) 代理人	100058479
審査請求日	平成12年9月11日(2000.9.11)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100068814
			弁理士 坪井 淳
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、

前記半導体基板上に設けられた複数の素子分離領域と、

前記素子分離領域によってストライプ状に分離された複数の第1半導体領域と、

メモリセルアレイとして構成するため前記第1半導体領域に交差するように、かつ、所定の間隔を保って設けられた複数のゲート部材と、

前記ゲート部材相互間における前記第1半導体領域表面に設けられた、前記半導体基板とは逆の導電型を持つ第2半導体領域と、

前記メモリセルアレイを覆う層間絶縁膜と、

第1の隣り合う前記ゲート部材相互間における前記第2半導体領域の各々に電氣的に接続され、かつ、第2の隣り合う前記ゲート部材相互間における前記第2半導体領域の各々に電氣的に接続される第1導電部材と、

前記第1の隣り合う前記ゲート部材相互間における前記第1導電部材各々に対して電氣的に接続するように設けられ、かつ、前記第2の隣り合う前記ゲート部材相互間における前記第1導電部材各々共通に電氣的に接続するように前記ゲート部材相互間に沿って設けられる第2導電部材と、

各々が所定の前記第2導電部材の対応部分と電氣的に接続するため互いに離間しながら前記ゲート部材と交差するように設けられた電位供給用の配線とを具備したことを特徴とする半導体装置。

【請求項 2】

前記メモリセルの前記ゲート部材として電荷蓄積層と制御ゲートを含み、この電荷蓄積層と制御ゲートとの間の絶縁膜は酸化膜あるいは窒化膜あるいは酸化窒化膜あるいは酸化膜と窒化膜の積層膜であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記ゲート部材の周辺は前記層間絶縁膜とは異なる絶縁膜で覆われていることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】

前記素子分離領域は、前記半導体基板に選択的に形成されたトレンチに絶縁部材が埋め込まれているトレンチ素子分離領域であることを特徴とする請求項 1 記載の半導体装置。

10

【請求項 5】

前記電位供給用の配線は、前記第 1 の隣り合う前記ゲート部材相互間の前記第 2 導電部材と電氣的に接続するときビット線であり、前記第 2 の隣り合う前記ゲート部材相互間の前記第 2 導電部材と電氣的に接続するときソース線であることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】

前記第 1 の隣り合う前記ゲート部材相互間の前記第 2 導電部材は前記第 1 の隣り合う前記ゲート部材相互間を中心に互い違いに引き出され、前記第 2 導電部材における引き出し部と前記ビット線とが電氣的に接続されることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】

前記第 2 導電部材の対応部分は、第 3 導電部材を介して前記配線と電氣的に接続されることを特徴とする請求項 1 記載の半導体装置。

20

【請求項 8】

前記第 1 導電部材は、前記第 2 の隣り合う前記ゲート部材相互間における前記第 2 半導体領域の各々に電氣的に接続される構成に関し、それぞれ前記第 2 半導体領域に対応して個々に前記層間絶縁膜に隔てられ離間していることを特徴とする請求項 1 記載の半導体装置。

【請求項 9】

前記第 1 導電部材は、前記第 2 の隣り合う前記ゲート部材相互間における前記第 2 半導体領域の各々に電氣的に接続される構成に関し、前記ゲート部材相互間に沿って連続していることを特徴とする請求項 1 記載の半導体装置。

30

【請求項 10】

前記第 2 導電部材は、前記第 1 の隣り合う前記ゲート部材相互間、前記第 2 の隣り合う前記ゲート部材相互間で、前記第 1 導電部材と略同一幅で前記第 1 導電部材上に設けられていることを特徴とする請求項 1 記載の半導体装置。

【請求項 11】

前記第 2 導電部材は、前記第 1 の隣り合う前記ゲート部材相互間、前記第 2 の隣り合う前記ゲート部材相互間で、前記第 1 導電部材より大きい幅で前記第 1 導電部材上に設けられていることを特徴とする請求項 1 記載の半導体装置。

【請求項 12】

前記第 2 導電部材は、前記第 1 導電部材より層厚が小さいことを特徴とする請求項 1 記載の半導体装置。

40

【請求項 13】

前記第 2 導電部材は、前記第 1 導電部材より低抵抗率を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 14】

前記第 2 導電部材は、金属部材であることを特徴とする請求項 1 記載の半導体装置。

【請求項 15】

前記メモリセルアレイを駆動する周辺回路を構成するトランジスタを具備し、前記第 1 導電部材、第 2 導電部材のうちの少なくとも一つは前記トランジスタのソース、ドレイン、

50

ゲート電極の少なくとも1つと電氣的に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項16】

半導体基板と、

前記半導体基板上に設けられた複数の素子分離領域と、

前記素子分離領域によって分離された複数の第1半導体領域と、

メモリセルアレイとして構成するため前記第1半導体領域に交差するように、かつ、所定の間隔を保って設けられた複数のゲート部材と、

前記ゲート部材相互間における前記第1半導体領域表面に設けられた、前記半導体基板とは逆の導電型を持つ第2半導体領域と、

前記メモリセルアレイを覆う層間絶縁膜と、

前記層間絶縁膜上で前記第1半導体領域に沿って設けられる、複数のビット線及び前記ビット線複数本おきに配置される複数のソース線と、

第1の隣り合う前記ゲート部材相互間における前記第2半導体領域と前記ビット線とを結合するため前記第2半導体領域各々に対応して個々に設けられ、かつ、第2の隣り合う前記ゲート部材相互間における複数の前記第2半導体領域及び前記素子分離領域上に連続的に設けられ、前記第2半導体領域と前記ソース線とを結合する導電部材と

を具備したことを特徴とする半導体装置。

【請求項17】

前記第1の隣り合う前記ゲート部材相互間は前記メモリセルアレイのドレインコンタクト領域として、前記第2の隣り合う前記ゲート部材相互間は前記メモリセルアレイのソースコンタクト領域として与えられていることを特徴とする請求項16記載の半導体装置。

【請求項18】

前記ビット線と結合される前記導電部材のコンタクト部分は前記第1の隣り合う前記ゲート部材相互間を中心に互い違いに引き出されていることを特徴とする請求項17記載の半導体装置。

【請求項19】

前記導電部材は互いに電氣的に接続される第1、第2、第3の導電部材を含み、前記第1の導電部材は前記第2の半導体領域に接続され、前記第3の導電部材はそれぞれ対応する前記ビット線またはソース線に接続され、前記第2の導電部材は、前記第1の導電部材と第3の導電部材との間に設けられることを特徴とする請求項16記載の半導体装置。

【請求項20】

前記第1の導電部材と第3の導電部材は実質的に同一の物質であることを特徴とする請求項19記載の半導体装置。

【請求項21】

前記第2の隣り合う前記ゲート部材相互間で、前記第1の導電部材は個々に前記層間絶縁膜に隔てられ離間し、前記第2の導電部材は前記第2の隣り合う前記ゲート部材相互間に沿って連続していることを特徴とする請求項19記載の半導体装置。

【請求項22】

前記第2の隣り合う前記ゲート部材相互間で、前記第1の導電部材及び前記第2の導電部材は前記第2の隣り合う前記ゲート部材相互間に沿って連続していることを特徴とする請求項19記載の半導体装置。

【請求項23】

前記第2の導電部材は、前記第1の隣り合う前記ゲート部材相互間、前記第2の隣り合う前記ゲート部材相互間で、前記第1の導電部材と略同一幅で前記第1の導電部材上に設けられていることを特徴とする請求項19記載の半導体装置。

【請求項24】

前記第2の導電部材は、前記第1の隣り合う前記ゲート部材相互間、前記第2の隣り合う前記ゲート部材相互間で、前記第1の導電部材より大きい幅で前記第1の導電部材上に設けられていることを特徴とする請求項19記載の半導体装置。

10

20

30

40

50

【請求項 25】

前記第2の導電部材は、前記第1の導電部材より層厚が小さいことを特徴とする請求項19記載の半導体装置。

【請求項 26】

前記第2の導電部材は、前記第1の導電部材より低抵抗率を有することを特徴とする請求項19記載の半導体装置。

【請求項 27】

前記第2の導電部材は、金属部材であることを特徴とする請求項19記載の半導体装置。

【請求項 28】

前記導電部材は互いに電氣的に接続される第1、第2の導電部材を含み、前記第1の導電部材は前記第2の半導体領域に接続され、前記第2の導電部材はそれぞれ対応する前記ビット線またはソース線に接続されることを特徴とする請求項16記載の半導体装置。

10

【請求項 29】

前記第2の隣り合う前記ゲート部材相互間で、前記第1の導電部材及び前記第2の導電部材は前記第2の隣り合う前記ゲート部材相互間に沿って連続していることを特徴とする請求項28記載の半導体装置。

【請求項 30】

前記メモリセルアレイを駆動する周辺回路を構成するトランジスタを具備し、前記導電部材は前記トランジスタのソース、ドレイン、ゲート電極の少なくとも1つと電氣的に結合されていることを特徴とする請求項16記載の半導体装置。

20

【請求項 31】

半導体基板上に複数の素子分離領域を形成する工程と、
メモリセルアレイとして構成するため前記素子分離領域によって分離された第1半導体領域に交差するように、かつ、互いに所定の間隔を保つように複数のゲート部材を形成する工程と、
少なくとも前記ゲート部材をマスクにして前記第1半導体領域表面に前記半導体基板とは逆の導電型を持つ第2半導体領域を形成する工程と、
前記メモリセルアレイを覆う層間絶縁膜を形成する工程と、
第1の隣り合う前記ゲート部材相互間における前記第2半導体領域に対応して、かつ、第2の隣り合う前記ゲート部材相互間における前記第2半導体領域に対応して前記層間絶縁膜に開口部を形成し少なくともこの開口部に導電部材を形成する工程と、
各々前記第1の隣り合う前記ゲート部材相互間における前記導電部材の対応部分と結合するビット線及び前記第2の隣り合う前記ゲート部材相互間における前記導電部材の対応部分と結合するソース線を前記ゲート部材と交差させるように形成する工程とを具備し、
前記導電部材は、前記第2の隣り合う前記ゲート部材相互間における前記第2半導体領域が共通接続されるように、前記第2の隣り合う前記ゲート部材相互間に沿って連続して形成されることを特徴とする半導体装置の製造方法。

30

【請求項 32】

半導体基板上に複数の素子分離領域を形成する工程と、
メモリセルアレイとして構成するため前記素子分離領域によって分離された第1半導体領域に交差するように、かつ、互いに所定の間隔を保つように複数のゲート部材を形成すると共に前記メモリセルアレイの動作に関係する周辺トランジスタのゲート電極を形成する工程と、
少なくとも前記ゲート部材及び前記ゲート電極をマスクにして前記第1半導体領域表面に前記半導体基板とは逆の導電型を持つ第2半導体領域を形成する工程と、
前記メモリセルアレイ及び前記ゲート電極を覆う層間絶縁膜を形成する工程と、
第1の隣り合う前記ゲート部材相互間における前記第2半導体領域に対応して、かつ、第2の隣り合う前記ゲート部材相互間における前記第2半導体領域に対応して前記層間絶縁膜に開口部を形成し少なくともこの開口部に導電部材を形成すると共に、前記周辺トランジスタの配線部材の一部を形成する工程と、

40

50

各々前記第1の隣り合う前記ゲート部材相互間における前記導電部材の対応部分と結合するビット線及び前記第2の隣り合う前記ゲート部材相互間における前記導電部材の対応部分と結合するソース線を前記ゲート部材と交差させるように形成すると共に、前記周辺トランジスタの配線部材の他の一部を形成する工程とを具備し、

前記導電部材は、前記第2の隣り合う前記ゲート部材相互間における前記第2半導体領域が共通接続されるように、前記第2の隣り合う前記ゲート部材相互間に沿って連続して形成されることを特徴とする半導体装置の製造方法。

【請求項33】

前記導電部材は、互いに異なる導電体を加工、接続することで形成され、一方の導電体は他方の導電体より低抵抗率を有することを特徴とする請求項31または請求項32記載の半導体装置の製造方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に係わり、特に不揮発性半導体記憶装置のコンタクト技術及び配線技術の改良に関する。

【0002】

【従来の技術】

半導体装置、特に半導体メモリの大容量化、高速化を行うためには素子の微細化が重要であり、特にDRAMやEEPROMに代表される大容量半導体メモリではその要請が顕著である。

20

【0003】

EEPROMは、電氣的にデータの書き換えが可能な不揮発性半導体メモリであり、電荷蓄積層と制御ゲートの積層構造を持つMOSトランジスタ構造のメモリセルを用いたものが知られている。

【0004】

図45、図46は、EEPROMの一つである一般的なMOS型FET構成のEEPROMのメモリセルの構造を示す。図45は平面図であり、図46は、図45のF46-F46断面図である。P型シリコン基板あるいはPウェル16に素子分離絶縁膜17が形成され、その下にはチャンネルストッパとしてP⁺型層が形成されている。このように、選択酸化にて素子分離(LOCOS素子分離)された基板上のチャンネル領域全面にトンネル電流が流れ得る薄い第1ゲート絶縁膜18が形成される。この絶縁膜18上に電荷蓄積層19が形成され、この上にさらに第2ゲート絶縁膜20を介して制御ゲート21が形成されている。電荷蓄積層19と制御ゲート21は、チャンネル長方向において同じマスクを用いて連続的にエッチングされることによりそのエッジが揃えられる。そして、これらの積層ゲート(19, 21)をマスクとして不純物をイオン注入してソース、ドレインとなるN⁺型層22が形成されている。

30

【0005】

また、図47は、トレンチ素子分離を用いた場合の断面図を示す。この断面は、上記F46-F46断面と比較対象となる部分に相当する。P型シリコン基板あるいはPウェル16に素子分離用トレンチ溝(17)が形成され、トレンチ溝内部に素子分離用絶縁材料、例えば、SiO₂部材17が埋め込まれている。トレンチ溝下部にはチャンネルストッパとしてP⁺型層が形成されている。このように、トレンチにより素子分離された基板上のチャンネル領域全面に、トンネル電流が流れ得る薄い第1ゲート絶縁膜18が形成される。この絶縁膜18上に電荷蓄積層19が形成され、この上にさらに第2ゲート絶縁膜20を介して制御ゲート21が形成されている。トレンチ素子分離を用いることにより、制御ゲートに平行な方向の微細化が期待できる。

40

【0006】

以上のようなメモリセルを用いた不揮発性半導体メモリ装置には、メモリセルを直列あるいは並列に配置することにより、いくつかのメモリセルアレイ構成が提案されている。

50

【 0 0 0 7 】

図 4 8 は、N O R 型セルの構成を示す平面図である。N O R 型セルは、2 つのメモリセルのドレインを共通にした並列接続を行い、並列接続点に列線（ビット線）がコンタクトするようにセルを配置した構成である。N O R 型セル構成では、素子分離された半導体基板上にビット線コンタクト部を設けて 2 つのセルトランジスタで共用し、セルトランジスタのもう一方のソース側は素子分離をせずに共通配線（拡散ソース領域）としている。ビット線コンタクト（ドレインコンタクト）領域及び拡散ソース領域は、セルトランジスタが設けられている半導体基板あるいは P 型ウェルとは逆極性の N 型になっており、必要に応じてその不純物濃度が所望の値になるように不純物注入が行われている。

【 0 0 0 8 】

N O R 型セルにおいて、電荷蓄積層への電子注入による書き込みは、例えば、制御ゲート（ワード線）に 1 0 V、ドレイン（ビット線）に 5 V を印加し、ドレイン近傍における横方向高電界によりチャネルホットエレクトロンを発生させ、このホットエレクトロンの注入により達成される。一方、電荷蓄積層からの電子引き抜きによる消去は、例えば、制御ゲート（ワード線）に 0 V、ソース領域（ソース線～ソース拡散領域）に 1 2 V を印加して、ソース領域とオーバーラップする電荷蓄積層とソース領域の間での F - N (F o w l e r - N o r d h e i m) トンネリングによって達成される。

【 0 0 0 9 】

このような N O R 型セル構成のメモリセルアレイにおいて、高速化あるいは大容量化を行うために、寸法の縮小による微細化が強く望まれている。制御ゲート方向における微細化には、先に示したトレンチ素子分離が有効である。一方、制御ゲート方向に垂直な方向、つまりビット線方向の微細化には、制御ゲート長及び制御ゲート間隔の縮小が極めて重要となる。

【 0 0 1 0 】

共通ソース線を制御ゲートと平行にかつ制御ゲート間に形成することは、メモリセルの微細化を行う上で非常に問題となる。例えば、最小寸法を 0 . 2 5 μm と考えた場合、素子分離領域の長方向幅は、2 つのセルトランジスタの制御ゲート長分とビット線コンタクト幅及び制御ゲートとコンタクトの間の余裕を足した分となり、例えば制御ゲート長 0 . 2 5 μm 、コンタクトサイズ 0 . 3 μm 、コンタクトと制御ゲート間の余裕を 0 . 1 5 μm と想定するならば 1 . 1 μm となる。一方、素子分離領域の短方向幅は素子分離領域幅であり、例えば 0 . 2 5 μm となる。このような微細なパターンをリソグラフィー技術を用いて転写し、フィールド絶縁厚膜あるいはトレンチ溝を形成することは極めて困難であり、近接効果やレジストの引きつり等の影響によりパターンの歪みが生じてしまう。特に、ゲート長方向の寸法の歪は、ソース領域と制御ゲート間の寸法ずれを生じさせるため、消去ばらつき等の原因となる、しきい電圧のばらつきを引き起こす可能性があり、重大な問題となる。

【 0 0 1 1 】

このような問題を解決するために、S e l f - A l i g n e d - S o u r c e (S A S) 法が用いられる。図 4 9 に S A S を用いた場合のメモリセルアレイの一例を示す。素子分離領域は、ビット線方向に平行なライン状に設ける。その後、ゲート酸化膜、電荷蓄積層 (F . G ; フローティングゲート)、ゲート絶縁膜 (O N O ; 酸化膜 / 窒化膜 / 酸化膜の 3 層構造)、制御ゲート (ポリシリコン (P O L Y) 及び W S i の積層構造) を形成する。このとき、制御ゲート上には S i O ₂ 以外のマスク材料、例えば S i N を設ける。制御ゲートまで形成した後、全面をレジストで覆い、共通ソース線を形成する領域をリソグラフィーによって開口する (図 4 9 (a)) 。

【 0 0 1 2 】

そして、S i N や S i と選択比の高い S i O ₂ の R I E 条件を用いてドライエッチングし、開口部内の素子分離膜を除去する。高選択比条件とすることで、制御ゲートや半導体基板が削れることなく素子分離膜が除去できるため、拡散ソース領域が制御ゲートに対して合わせずれを生じることなく形成できる。エッチング後、再度リソグラフィー技術によ

10

20

30

40

50

って拡散ソース領域が開口したレジストパターンを形成し、N型不純物、例えばリンやヒ素等をイオン注入して共通の拡散ソース領域を形成する(図49(b))。SAS法を用いることでビット線方向の微細化が可能となる。図48のF49-F49は上記のようなSASを用いた構造となっている。

【0013】

しかし、SAS法では、いったん素子分離を行った後に、部分的に素子分離膜を除去してから不純物イオン注入を行って拡散ソース領域を形成するため、トレンチ素子分離法を用いた場合には、ソース線の形成が困難となる。上記NOR型セルでは、一般的にチャンネルホットエレクトロン注入を用いた書き込み方式を用いるので、トレンチ素子分離されたビット線コンタクト間のパンチスルー耐圧は、書き込み時にメモリセルのドレイン部に印加される電圧(6V程度)よりも高くする必要がある。そのため、トレンチ溝の深さに関し、従来の選択酸化、いわゆるLOCOS素子分離で形成されるフィールド酸化膜厚と同程度(300nm~400nm)にしなければならない。トレンチ溝内のSiO₂を除去した後のトレンチ溝には、トレンチ溝深さ分の段差があるために、イオン注入してもソース線が形成されない問題が生じる。

10

【0014】

さらに、0.25μmルールを用いた場合、制御ゲート長さが0.25μm程度となるため、制御ゲートと自己整合的にソース領域に $1 \times 10^{15} \text{ cm}^{-2}$ 以上の高不純物量をイオン注入すると、注入後の熱処理によって不純物が制御ゲート下に拡散してしまう。この結果、実行チャンネル長が短くなり、パンチスルーを起こす問題が生じる。従って、ソース線への高濃度の不純物イオン注入は極めて困難であることが予想される。このことは、ソース線の形成が困難であることと共に、ソース線抵抗の増大を招くことが考えられ、セル電流の低下やしきい電圧のばらつき等の問題が生じる。

20

【0015】

図50は、複数のメモリセルをそれらのソース、ドレイン拡散層を共用して直列接続したNAND型セルの構成を示す平面図である。NAND型セルの配置構成は、上記NOR型セル構成よりもセル占有面積を小さくできる(例えば、特願昭62-23944号)。メモリセルトランジスタMC1~8が直列接続された1つのNANDセル群は、ビット線方向に沿ってライン状に素子分離されている。斜線は制御ゲート(ワード線)下の電荷蓄積層(フローティングゲートFG)を示している。1つのNANDセル群の一端側のドレインDは、選択ゲートトランジスタSG1を介して図示しないビット線に接続され(ビット線コンタクトBC)、他端側のソースは、別の選択ゲートトランジスタSG2を介して拡散ソース線Sに接続されている。ビット線コンタクトBCは、各NANDセル群毎に1つ設けられ、拡散ソース線は素子分離されずに各NANDセル群が全て共通のソース線につながっている。

30

【0016】

NAND型セル構成のメモリセルでは、消去及び書き込み共に電荷蓄積層と基板との間の電荷のやりとりを利用する。図51、図52は、NANDセル構成のメモリセルアレイの動作電位関係を示している。以下説明する。

【0017】

消去は、制御ゲートに低電位(例えば0V)を与え、ソース、ドレイン、基板に高電位(例えば20V)を与え、トンネル現象を利用して電荷蓄積層からの電子放出を行い、しきい電圧が負になることで、例えば“0”状態とする。

40

【0018】

一方、ゲート書き込み時には、制御ゲートに高電位(例えば20V)を与え、ソース、ドレイン、基板に低電位(例えば0V)を与えて電荷蓄積層へ電子注入を行い、しきい電圧が正になることで、例えば“1”状態とする。

【0019】

NAND型セル構成では、書き込みは、選択した制御ゲートにつながる全てのトランジスタにおいて同時に行われる。従って、しきい電圧を正にする“1”書き込みセルとしきい

50

電圧を負のままにする“0”書き込みセルが同一制御ゲートに連なることとなる。このような書き込みに選択性を持たせるために以下に示す書き込み方式を用いる。

【0020】

図51では、“1”書き込みする選択セルのビット線に0Vを印加し、“0”書き込みする選択セルのビット線には中間電位(例えば8V)を印加する。選択セルに中間電位を転送するために、非選択の制御ゲートには中間電圧よりも高い電圧(例えば10V)を印加する。ソース線側の選択トランジスタのゲートには0Vを印加して、書き込み時にビット線とソース線の間には流れる貫通電流を無くして中間電圧を作る周辺昇圧回路の昇圧能力を高める。一方、ビット線側の選択トランジスタのゲートには非選択制御ゲートと同じ10Vを印加して中間電位を転送する。

10

【0021】

図52では、“0”書き込みするビット線のビット線側選択トランジスタのゲートに低電圧(例えば3V)、ビット線にも低電圧(例えば3V)を印加して選択トランジスタをカットオフする方法をとる。ソース側の選択トランジスタは、図51と同様にカットオフしてビット線全体をフローティング状態にする。この状態では、選択された制御ゲートに高電圧(例えば20V)が印加されたとき、制御ゲートの電位によって“0”書き込みする非選択セルのチャネル電位もまた容量カップリングして上昇し、“0”書き込みする非選択セルのゲートに印加される電界が下がり、“1”書き込みを抑制する。“0”書き込みする非選択セルのチャネル電位を効率的に上昇させるために、非選択制御ゲートにも中間電位(例えば8V)を印加する。

20

【0022】

データの読み出しは“1”、“0”状態のしきい電圧の正負を利用して行なう。すなわち、ソース及び選択された制御ゲートに低電位(例えば0V)を与え、選択されたビット線に読み出し用電位(例えば1V)を与え、セルトランジスタに流れる電流の有無で“0”、“1”の判別を行なう。このとき、選択ビット線につながる非選択セルが全てオン状態になるように“1”状態のセルトランジスタのしきい電圧よりも高い電圧(例えば5V)を非選択の制御ゲート全てに印加する。以上のように、EEPROMでは、電荷蓄積層と基板間において酸化膜のトンネル電流を利用してデータ消去、書き込みを行い、同様に電荷蓄積層直下の酸化膜/基板界面にチャネルを形成して読み出しを行っている。

【0023】

このようなNAND型セルアレイ構成では、NOR型セルアレイ構成と比較すると、ビット線コンタクトは、数個のメモリセル(例えば16個)に対して1つ設ければ良い。従って、コンタクト領域の面積が減少し、セル面積を著しく小さくすることが可能となる。換言すれば、もともとビット線方向の微細化に優れているといえる。そして、さらにトレンチ素子分離を用いればセル面積の非常に小さなメモリセルを形成することが可能となる。1994年のIEDMにおいて、有留等が報告したトレンチ素子分離NANDセルでは最小寸法0.25 μm ルールにおいてセル面積を0.31 μm^2 にまで縮小可能である。

30

【0024】

ところが、NAND型セルアレイ構成において、例えば0.25 μm ルールを用いた場合、拡散ソース線に高濃度不純物注入を行うと、拡散ソース線に隣接する選択トランジスタのパンチスルー耐圧が著しく低下して書き込み時にカットオフできなくなる問題が生じる。そのため、高濃度不純物注入を制限する必要がある、NOR型セルと同様、ソース線抵抗の増大はやむを得ない。

40

【0025】

NAND型セルアレイでは、拡散ソース線の抵抗が高くなると、拡散ソース線での電位降下が無視できなくなり、これが読み出し時にしきい電圧分布の広がりを生じさせる。拡散ソース線は、数個のNAND列毎に金属バイパスに置き換えられて配線される。これは拡散ソース線の抵抗を低減するためであるが、金属ビット線が各NAND列上に存在するために、各NAND列毎にコンタクトを設けて拡散ソース線とシャントすることはできない。そのためシャント領域から最も離れて設けられているNAND列は、ソース線の抵抗の

50

影響を最も受けることになる。

【0026】

すなわち、書き込み時に、上記NAND列内の選択メモリセルが書き込まれるメモリセルのうち、最も早く書き込まれるセルであった場合に、上記セルが書き込まれて“1”状態となった時、他のセルは未だ“0”状態であることが考えられる。この時、ペリファイ読み出しにより、上記NAND列以外のNAND列のセル電流は上記NAND列のセル電流よりもはるかに大きいため、上記NAND列のソース電位はソース抵抗とセル電流により電位降下が発生する。これは上記NAND列内の選択セルのしきい電圧を、見かけ上高く見せる。この結果、本来書き込み終了となるべきしきい電圧よりも低い状態で書き込み終了となる。これにより、書き込み後のしきい電圧分布の広がりが発生する。

10

【0027】

このような問題は、1つのメモリセルの書き込み後のしきい電圧を2つ以上にして1つのメモリセルに2値以上の情報を持たせるような多値方式を用いた場合、1つのしきい電圧の分布広がりが大きいと、書き込み電圧や読み出し電圧が極めて高くなり、書き込み速度の大幅な低下やセルへのディスタープの問題が顕著になるといった問題も生じる。

【0028】

なお、上記拡散ソース線は、一般化してセルアレイの共通信号線と言い替えることができる。従って、以上の問題は、不揮発性半導体メモリ装置に限った問題ではなく、セルアレイの共通信号線を含む半導体メモリ装置あるいは半導体装置全般に関する。また、そのアレイ構成は、NOR型セル構成やNAND型セル構成に限ったものではない。さらに、こ

20

【0029】

【発明が解決しようとする課題】

このように従来では、メモリ装置の微細化を行って素子面積の縮小を図る場合に、共通信号線、例えばソース線の形成が困難であり、かつソース線の抵抗が高くなるといった問題があった。

【0030】

この発明の課題は、上記のような事情を考慮し、素子面積の縮小を行う場合にも、形成が容易であり、かつその抵抗を低減できるような共通信号線を含む半導体装置及びその製造方法を提供することにある。

30

【0031】

【課題を解決するための手段】

この発明の半導体装置は、半導体基板と、前記半導体基板上に設けられた複数の素子分離領域と、前記素子分離領域によってストライプ状に分離された複数の第1半導体領域と、メモリセルアレイとして構成するため前記第1半導体領域に交差するように、かつ、所定の間隔を保って設けられた複数のゲート部材と、前記ゲート部材相互間における前記第1半導体領域表面に設けられた、前記半導体基板とは逆の導電型を持つ第2半導体領域と、前記メモリセルアレイを覆う層間絶縁膜と、第1の隣り合う前記ゲート部材相互間における前記第2半導体領域の各々に電氣的に接続され、かつ、第2の隣り合う前記ゲート部材相互間における前記第2半導体領域の各々に電氣的に接続される第1導電部材と、前記第1の隣り合う前記ゲート部材相互間における前記第1導電部材各々に対して電氣的に接続するように設けられ、かつ、前記第2の隣り合う前記ゲート部材相互間における前記第1導電部材各々共通に電氣的に接続するように前記ゲート部材相互間に沿って設けられる第2導電部材と、各々が所定の前記第2導電部材の対応部分と電氣的に接続するため互いに離間しながら前記ゲート部材と交差するように設けられた電位供給用の配線とを具備したことを特徴とする。

40

【0032】

この発明の半導体装置は、半導体基板と、前記半導体基板上に設けられた複数の素子分離領域と、前記素子分離領域によって分離された複数の第1半導体領域と、メモリセルアレイとして構成するため前記第1半導体領域に交差するように、かつ、所定の間隔を保って

50

設けられた複数のゲート部材と、前記ゲート部材相互間における前記第1半導体領域表面に設けられた、前記半導体基板とは逆の導電型を持つ第2半導体領域と、前記メモリセルアレイを覆う層間絶縁膜と、前記層間絶縁膜上で前記第1半導体領域に沿って設けられる、複数のビット線及び前記ビット線複数本おきに配置される複数のソース線と、第1の隣り合う前記ゲート部材相互間における前記第2半導体領域と前記ビット線とを結合するため前記第2半導体領域各々に対応して個々に設けられ、かつ、第2の隣り合う前記ゲート部材相互間における複数の前記第2半導体領域及び前記素子分離領域上に連続的に設けられ、前記第2半導体領域と前記ソース線とを結合する導電部材とを具備したことを特徴とする。

【0033】

この発明によれば、導電部材(第2導電部材)により、電位供給用の共通信号線としての例えばソース線と繋がる第2半導体領域は電氣的に同電位となる。従って導電部材(第2導電部材)として低抵抗の部材を選べば、第2半導体領域に電位を供給する信号線の低抵抗化が容易に達成できる。

【0034】

さらに、この発明の半導体装置の製造方法は、半導体基板上に複数の素子分離領域を形成する工程と、メモリセルアレイとして構成するため前記素子分離領域によって分離された第1半導体領域に交差するように、かつ、互いに所定の間隔を保つように複数のゲート部材を形成する工程と、少なくとも前記ゲート部材をマスクにして前記第1半導体領域表面に前記半導体基板とは逆の導電型を持つ第2半導体領域を形成する工程と、前記メモリセルアレイを覆う層間絶縁膜を形成する工程と、第1の隣り合う前記ゲート部材相互間における前記第2半導体領域に対応して、かつ、第2の隣り合う前記ゲート部材相互間における前記第2半導体領域に対応して前記層間絶縁膜に開口部を形成し少なくともこの開口部に導電部材を形成する工程と、各々前記第1の隣り合う前記ゲート部材相互間における前記導電部材の対応部分と結合するビット線及び前記第2の隣り合う前記ゲート部材相互間における前記導電部材の対応部分と結合するソース線を前記ゲート部材と交差させるように形成する工程とを具備し、前記導電部材は、前記第2の隣り合う前記ゲート部材相互間における前記第2半導体領域が共通接続されるように、前記第2の隣り合う前記ゲート部材相互間に沿って連続して形成されることを特徴とする。

【0035】

この発明によれば、導電部材の加工工程において寸法制御マージンを広くすると共に、微細化に非常に有利となる。また、ビット線とソース線のコンタクトは同時に行われ工程の簡略化に寄与する。また、同一コンタクト内に別の低抵抗率の導電体を埋め込むことで、工程の増加を行わずにコンタクト抵抗の低抵抗化及び信号線の低抵抗化が図れる。

【0036】

【発明の実施の形態】

図1は、この発明の第1の実施形態に係るNAND型EEPROMのメモリセルアレイの要部の構成を示す平面図である。また、図2～図4は、図1の構成の製造工程を順に示す平面図、図5(a)～(e)は、図1の構成の製造工程と共に形成される周辺トランジスタ(MOSTランジスタ)回路の製造工程を順に示す平面図である。図6～図10の(a), (b), (c)は、図1の構成の製造工程を順に示す各部の断面図であり、図1～図4それぞれに示す断面線(対応する図番号と添字a～cで示す)に対応する。また、図6～図10の(d)は、図5(a)～(e)の製造工程に対応する要部の断面図である。

【0037】

図10を参照しながら図1の構成を説明する。半導体基板領域上の素子領域(第1半導体領域)1は、素子分離領域2によって素子分離され、ストライプ状に配置される。素子分離領域2は、部分的にトレンチ(溝)が形成され、トレンチ内に絶縁部材(例えば酸化膜)が埋め込まれている。素子分離領域2は、この他、部分的に半導体基板を酸化したフィールド絶縁部材(例えば酸化膜)であってもよい。ソース・ドレイン領域は、半導体基板領域とは逆の導電型を有した不純物拡散層(第2半導体領域)であって、熱拡散あるい

10

20

30

40

50

はイオン注入によって不純物が導入され形成される。

【0038】

メモリセル (Cell) の積層ゲートは、メモリセルをマトリクス状に構成するためストライプ状の素子領域 1 に交差し、かつ所定の間隔を保って設けられている。この積層ゲートは、チャンネル領域上において、薄い第 1 ゲート絶縁膜 9 (トンネル酸化膜 9) が形成され、この絶縁膜 9 上に電荷蓄積層 (フローティングゲート) 10 が形成され、この上にさらに第 2 ゲート絶縁膜 11 を介してゲート電極 (制御ゲート) 3 が形成されている。

【0039】

上記第 1 ゲート絶縁膜 9 (トンネル酸化膜 9) は、ゲート電極と半導体基板間に印加される電圧によって電荷蓄積層と半導体基板間で電荷授受が可能な厚さの絶縁膜であり、例えば、膜厚 10 nm 以下の酸化膜あるいは窒化膜または酸化窒化膜等で構成される。電荷蓄積層は、例えば不純物ドーピングにより電気伝導率が高い多結晶シリコン材あるいは非晶質シリコン材等である。また、第 2 ゲート絶縁膜 11 は、電荷蓄積層 10 と制御ゲート 3 間を電氣的に分離するための、例えば酸化膜あるいは窒化膜あるいは酸化窒化膜あるいは酸化膜と窒化膜の積層膜である。このような積層ゲートは絶縁膜 (例えば窒化膜等) 25 に覆われ、層間絶縁膜 26 が形成されている。

【0040】

積層ゲート上部のゲート電極 3 は、ストライプ状の素子領域 1 と交差するように配置される。すなわち、ゲート電極 3 は、2 つの選択トランジスタの選択ゲート SGB、SGS と、その間の複数のメモリセルの制御ゲート CG1 ~ CG16 を構成する (1 つのユニットアレイ)。1 つのユニットアレイは、選択ゲート SGB 側で別のユニットアレイと 1 つのビット線コンタクト CB を共有し、直列に接続される。ユニットアレイは、選択ゲート SGS 側で別のユニットアレイのソースと共有する。素子領域 1 の上層に並行するように金属配線 8 が設けられている。金属配線 8 は、周辺配線材として機能する。図 1 では、ビット線 BL、ビット線 BL 複数本おきのソース線 SL として設けられている。

【0041】

この発明において、ソース線 SL は、ビット線 BL ~ ドレインコンタクト (ビット線コンタクト CB) と同じように、ソース線コンタクト部に金属部材を介して導かれる。ソース線コンタクト CS, CSd を構成するため、第 1、第 3 の導電部材 (4, 7)、第 2 の導電部材 (6) が用いられている。第 1、第 3 の導電部材は、拡散ソース領域と第 2 の導電部材の間、及び、第 2 の導電部材とソース線の間を接続する埋め込み用部材である。導電部材 4, 7 は、例えば、不純物ドーピングにより電気伝導率が高い多結晶シリコン材あるいは非晶質シリコン材である。導電部材 6 は、ソース線としての金属配線をコンタクト部に低抵抗で接続するために形成されている。導電部材 6 は、例えば、導電部材 4 よりも低抵抗率を有する W 等の高融点金属材あるいは Al 等の低抵抗金属である。

【0042】

図 1 の構成の製造方法を説明する。まず、図 2 及び図 6 を参照する。メモリセルは、トンネル酸化膜 9 上に多結晶シリコンあるいは非晶質シリコン材に不純物をドーピングして形成された電荷蓄積層 10、電荷蓄積層 10 上に第 2 ゲート絶縁膜 11 となる絶縁膜 (例えば ONO 膜)、その絶縁膜 11 上に制御ゲートとなるゲート電極 3 (多結晶シリコンあるいは非晶質シリコン材) を積層状に堆積し、スタックゲート加工を行って形成される。なお、ゲート電極 3 (制御ゲート) は、抵抗低減のために WSi や MoSi 等を積層したポリサイドを用いても良い。

【0043】

選択ゲート SG (SGB, SGS) は、トンネル酸化膜 9 あるいはトンネル酸化膜 9 よりも厚い絶縁膜上に、例えばメモリセルと同様に電荷蓄積層 10、絶縁膜 11、選択ゲートとなるゲート電極 3 を積層状に堆積して形成される。ただし、この場合、制御ゲート方向に並ぶ各電荷蓄積層 10 が電氣的に接続される必要がある。具体的には、電荷蓄積層 10 に直接コンタクトを取るために部分的にゲート電極 3 を除去しても良い。あるいは電荷蓄積層 10 と選択ゲートをシャントしても良い。また、絶縁膜 11 を部分的あるいは全面除

10

20

30

40

50

去しても良い。

【0044】

周辺トランジスタは、図5(a)に示すように、ゲート絶縁膜上にゲート電極12を形成してなる。ゲート電極12はメモリセルの電荷蓄積層10の部材を用いても良い。あるいは電荷蓄積層10の部材を除去してゲート電極3を直接配置しても良い。あるいは選択ゲートと同様に電荷蓄積層10とゲート電極3を積層状に配置した後にシャントしても良い。また、図10(d)に示すように、周辺トランジスタのゲート電極12は積層ゲートと同様、層間絶縁膜26とは異なる絶縁膜で覆われてもよい。

【0045】

メモリセル、選択ゲートトランジスタ、周辺トランジスタは、素子分離領域2によって素子分離された素子領域1内に形成される。素子分離領域2は、部分的にトレンチ(溝)を形成し、トレンチ内に絶縁部材(例えば酸化膜)を埋め込んでいる。素子分離領域2は、この他、部分的に半導体基板を酸化したフィールド絶縁部材(例えば酸化膜)であってもよい。

【0046】

ゲート加工後、各トランジスタ素子のソース、ドレイン部にN型不純物あるいはP型不純物をドーピングしてNチャネルMOSあるいはPチャネルMOSトランジスタの拡散層13を形成する(図5(a), 図6(d))。メモリセルの拡散層13も同様に形成する。

【0047】

この実施形態では、ビット線コンタクト及びソース線コンタクトを選択ゲートに対して自己整合的に設けるセルフアラインコンタクトを採用している。すなわち、選択ゲートSG(SGB, SGS)上に、例えば窒化シリコン膜を堆積して窒化シリコン材をマスクにしてスタックゲート加工し、さらに、窒化シリコンを再度堆積して、ゲート材の側壁に窒化シリコンが残るようにエッチングすることにより、積層ゲートを窒化シリコン材で覆う(絶縁膜25)。層間絶縁膜26は、例えばSiO₂やBPSGにより構成し、必要があればRIEやCMPにより層間絶縁膜26を平坦化してからビット線コンタクト(CB)及び拡散層側ソース線コンタクト(CSd)をRIEでエッチングして開口する。このとき、層間絶縁膜26と窒化シリコン材(絶縁膜25)の間で高選択比が取れるガス条件でエッチングすれば、層間絶縁材をエッチングするときに積層ゲート、特にゲート電極3が窒化シリコンでマスクされるためコンタクト部の層間絶縁膜26のみがエッチングされる。従って、ゲートとコンタクトの間に合わせずれ等を考慮して余裕を設けなくても積層ゲートがエッチングされずにコンタクトを形成できる。

【0048】

セルフアラインコンタクトを用いれば上記の合わせ余裕を無くすることができるためメモリサイズの縮小化が図れる。しかし、余裕があればセルフアラインコンタクトとする必要はない。

【0049】

このように開口したビット線コンタクト(CB)及び拡散層側ソース線コンタクト(CSd)内には、各不純物拡散層と電氣的に接続するための導電部材4を形成する(図6)。導電部材4は例えばN型にドーピングされた多結晶シリコンあるいは非晶質シリコンを埋め込み、CMP(Chemical Mechanical Polishing)を行って形成する。

【0050】

なお、導電部材4としての埋め込み材はシリコン材でなくとも構わない。例えばW等の金属材料でも良い。ただし、W等の金属材の場合は、バリアメタル材、例えばTi/TiN等を、予めコンタクト内部に形成する必要がある。半導体基板の素子領域1とコンタクトCBあるいはCSdの間の合わせ余裕がないと、図6に示すようにコンタクト領域が素子分離領域2にずれてしまう。上記ずれにより生じるピボット部分にはバリアメタルあるいは金属材が均一に形成されない可能性があるためコンタクト不良等が生じる可能性がある。

10

20

30

40

50

【0051】

一方、この実施形態で示した導電部材4としてのシリコン材の埋め込みでは、ピボット部分にも基板と同一材のシリコンが埋め込まれるため、コンタクト不良が生じないと考えられるので素子分離方向の合わせずれ余裕もなくすることができる。

【0052】

続いて、周辺トランジスタでは、図5(b)、図7(d)に示すように、ソースコンタクト(C_{TS})、ドレインコンタクト(C_{TD})、ゲートコンタクト(C_{TG})内に導電部材5を形成する。導電部材5は、例えばW等の高融点金属材料あるいはAl等の低抵抗金属材料が適している。メモリセルアレイ内のウェルコンタクトも同様の方法で形成が可能である。

10

【0053】

続いて、図3、図5(c)、及び図8に示すように、ビット線コンタクト(CB)、拡散層側ソース線コンタクト(CSd)、周辺トランジスタの各コンタクト(C_{TS} 、 C_{TD} 、 C_{TG})上において、それぞれ引き出し電極となる導電部材6を形成する。この時、拡散層側ソース線コンタクト(CSd)上における導電部材6は、制御ゲート方向に並んだ各導電部材4を連結するため選択ゲートSGSに沿うように選択ゲート間に形成する。この導電部材6の形成は、例えばWを堆積後パターニングしても良いし、いったん絶縁膜を堆積し、配線部分の絶縁膜を配線高さに対応する深さまで除去してから導電部材6を埋め込んでCMPで平坦化してもよい。

【0054】

上記導電部材6と周辺トランジスタの埋め込みコンタクトである導電部材5とが同一材料、例えばWで形成される場合は、コンタクト(C_{TS} 、 C_{TD} 、 C_{TG})を開口した後、埋め込みをせず、上記したように、配線部分の層間絶縁材を配線高さに対応する深さまで除去してから導電部材6を埋め込めば、埋め込み工程と平坦化工程を1工程ずつ省略することが可能である。

20

【0055】

続いて、図4、図5(d)、及び図9に示すように、導電部材6上に選択的にコンタクト(CS 、 CB)を開口し、その開口に導電部材7を形成する。導電部材7は、金属配線であるビット線、ソース線、他の金属配線と電気的に接続するための埋め込み部材であり、例えば、WあるいはAlを埋め込み平坦化するものである。

30

【0056】

その後、図1、図5(e)、図10に示すように、周辺配線材としての金属配線8をパターニングする。上述のように、金属配線8は、Al等の低抵抗配線材であり、ビット線BL、ソース線SL、周辺配線(M_T)を形成する。

【0057】

上記第1の実施形態のメモリセルアレイによれば、拡散ソース領域は、埋め込みコンタクト(導電部材4)とそれを連結する金属導体(導電部材6)で結合され、導電部材7により金属配線のソース線(SL)に接続される。この結果、SAS法のような素子分離膜のエッチングが必要なくなる。また、拡散ソース領域間の抵抗は主に金属導体の抵抗で決まるため、ここでの抵抗を極めて小さくすることができる特徴を有する。

40

【0058】

さらに、ビット線及びソース線が同一方向に延在して形成されるため、周辺回路との接続に関する配線レイアウトが簡単になる。このため、メモリセルアレイのさらなる微細化が可能となる。

【0059】

また、ビット線とソース線の接続構造を同一工程かつ同時に形成することが可能となる。これは、製造工程の簡略化と共にプロセス歩留まりの向上にも有利となる特徴を有する。さらに、同一半導体基板上にメモリセルアレイと周辺回路を形成する際にメモリセル内信号線、例えばビット線(データ線)とソース線と、周辺回路内のトランジスタのソース、ドレイン、ゲートの少なくとも1つと接続される信号線の接続構造を同一工程かつ同時に

50

形成することが可能となる。これも製造工程の簡略化と共にプロセス歩留まりの向上にも有利となる。

【0060】

図11は、微細化のための部分的応用例であり、ビット線コンタクトCBを示している。図1の引き出し用の電極である導電部材6及び埋め込みコンタクトとなる導電部材7の配置関係を、ビット線コンタクトCBから互い違いに引き出すようにすることによって、隣合うコンタクト部の位置が隣接しないように配置している。これにより、メモリセルの形成に当たって、隣り合う互いのビット線コンタクトに関する、引き出し電極としての導電部材6の形成余裕分を考慮する必要はない。従って、さらなる微細化に寄与する。

【0061】

図12は、この発明の第2の実施形態に係るNAND型EEPROMのメモリセルアレイの要部の構成を示す平面図である。また、図13～図15は、図12の構成の製造工程を順に示す平面図、図16(a)～(e)は、図12の構成の製造工程と共に形成される周辺トランジスタ(MOSTランジスタ)回路の製造工程を順に示す平面図である。図17～図21の(a),(b),(c)は、図12の構成の製造工程を順に示す各部の断面図であり、図12～図15それぞれに示す断面線(対応する図番号と添字a～cで示す)に対応する。また、図17～図21の(d)は、図16(a)～(e)の製造工程に対応する要部の断面図である。

【0062】

図21を参照しながら、第1の実施形態である図1の構成との相違点を主に、図12の構成を説明する。拡散ソース領域は、第1の実施形態と同様に、ソース線に導電部材を介して導かれるが、第1の導電部材4のコンタクト構造が異なっている。導電部材4は、ビット線コンタクト(CB)では第1の実施形態と変わらないが、拡散層側ソース線コンタクト(Csd)に関し異なっている。すなわち、ソース側選択ゲート(SGS)間に挟まれた領域に沿って開口部14が形成され、導電部材4が埋め込まれている(図21(c))。その他、メモリセル(Cell)、選択ゲート(SGS)や周辺トランジスタ(図16)の構成、ビット線、ソース線の金属配線8の構成等は、第1の実施形態の構成と同様である。

【0063】

すなわち、この第2の実施形態では、図21(c)にも示すように、導電部材4は素子分離領域2上にも配置されることになる。従って、拡散ソース領域間の抵抗はほぼ引き出し電極の導電部材6と導電部材4の並列抵抗となり、導電部材4の抵抗が低いほどここでの抵抗をさらに低減することができる。

【0064】

なお、ここでは図13にも示されるように、導電部材4が制御ゲート方向の多数の拡散ソース領域と接続するように連続して形成されているが、導電部材4は選択ゲートSGS間に挟まれた領域に沿って必ずしも連続して形成されなくてもよい。例えば複数の導電部材4を不連続に形成した場合でも、その制御ゲート方向の長さをビット線コンタクトCBの径の3倍以上程度とすれば1個所の導電部材4で複数の拡散ソース領域を連続的に接続でき、拡散ソース領域間の抵抗が低減化され得る。

【0065】

第1の実施形態と異なる個所を主に、図12の構成の製造方法を以下説明する。まず、図13及び図17を参照する。図2と同様にビット線コンタクト(CB)を形成すると共に、この実施形態では拡散ソース領域に対応する開口部(拡散層側ソース線コンタクトCsd)14を形成する。次いで、ビット線コンタクトCBと開口部14とに導電部材4を埋め込み形成する。導電部材4は、例えばN型にドーピングされた多結晶シリコンあるいは非晶質シリコンを埋め込み、CMP(Chemical Mechanical Polishing)を行って形成する。

【0066】

続いて、周辺トランジスタでは、図16(b)、図18(d)に示すように、ソースコン

10

20

30

40

50

タクト (C_{TS})、ドレインコンタクト (C_{TD})、ゲートコンタクト (C_{TG}) に導電部材 5 を形成する (第 1 の実施形態の場合と同様)。

【0067】

続いて、図 14、図 16 (c)、及び図 19 に示すように、ビット線コンタクト CB 及び拡散層側ソース線コンタクト CSd 内の導電部材 4 上、そして周辺トランジスタの各コンタクト C_{TS} 、 C_{TD} 、 C_{TG} 上において、それぞれ電極となる導電部材 6 を形成する。この工程も第 1 の実施形態の場合と同様であり、導電部材 6 は、選択ゲート SGS に沿うように選択ゲート間に形成する。

【0068】

続いて、図 15、図 16 (d)、及び図 20 に示すように、導電部材 6 上に選択的にコンタクト (CS 、 CB) を開口し、その開口に導電部材 7 を形成する。これも第 1 の実施形態の場合と同様である。

10

【0069】

その後、図 12、図 16 (e)、図 21 に示すように、周辺配線材としての金属配線 8 をパターンニングする。上述のように、金属配線 8 は、 $A1$ 等の低抵抗配線材であり、ビット線 BL 、ソース線 SL 、周辺配線 (M_T) を形成する。

【0070】

この実施形態の方法によれば、導電部材 4 は選択ゲート SGS の間に連続的に埋め込まれる。これにより、導電部材 4 は、容易に低抵抗になるよう形成できるので、拡散ソース領域間の抵抗のさらなる低減化が期待できる。

20

【0071】

図 22 は、この発明の第 3 の実施形態に係る $NAND$ 型 $EEPROM$ のメモリセルアレイの要部の構成を示す平面図である。また、図 23、図 24 は、図 22 の構成の製造工程を順に示す平面図、図 25 (a) ~ (d) は、図 22 の構成の製造工程と共に形成される周辺トランジスタ (MOS トランジスタ) 回路の製造工程を順に示す平面図である。図 26 ~ 図 29 の (a)、(b)、(c) は、図 22 の構成の製造工程を順に示す各部の断面図であり、図 22 ~ 図 24 それぞれに示す断面線 (対応する図番号と添字 a ~ c で示す) に対応する。また、図 26 ~ 図 29 の (d) は、図 25 (a) ~ (d) の製造工程に対応する要部の断面図である。

【0072】

図 29 を参照しながら、第 2 の実施形態である図 12 の構成との相違点を主に、図 22 の構成を説明する。拡散ソース領域は、第 2 の実施形態と同様に、第 1 の導電部材 4 で連続的に結合されるが、その上全体に導電部材 6 を設けない。導電部材 4 上には直接、導電部材 15 を配置し、導電部材 15 によりビット線コンタクト CB 、ソース線コンタクト CS を埋め込む。これに伴い、周辺トランジスタの配線構成が図 25 のように異なる。その他、メモリセル ($Cell$)、選択ゲート (SGS) やビット線、ソース線の金属配線 8 の構成等は第 2 の実施形態の構成と同様である。

30

【0073】

第 2 の実施形態と異なる個所を主に、図 22 の構成の製造方法を以下説明する。まず、図 23 及び図 26 を参照する。図 13 と同様にしてビット線コンタクト (CB) を形成すると共に、拡散ソース領域に対応する開口部 (拡散層側ソース線コンタクト CSd) 14 を形成する。次いで、ビット線コンタクト CB と開口部 14 とに導電部材 4 を埋め込み形成する。導電部材 4 は、例えば N 型にドーピングされた多結晶シリコンあるいは非晶質シリコンを埋め込み、 CMP ($Chemical\ Mechanical\ Polishing$) を行って形成する。

40

【0074】

続いて、周辺トランジスタでは、図 25 (b)、図 27 (d) に示すように、ソースコンタクト (C_{TS})、ドレインコンタクト (C_{TD})、ゲートコンタクト (C_{TG}) に導電部材 5 を形成する (第 2 の実施形態の場合と同様)。

【0075】

50

続いて、図24、図25(c)、及び図28に示すように、ビット線コンタクトCB及びソース線コンタクトCSに対応する導電部材4上、そして周辺トランジスタの各コンタクト C_{TS} 、 C_{TD} 、 C_{TG} 上において、それぞれ電極となる導電部材15を形成する。

【0076】

その後、図22、図25(d)、及び図29に示すように、周辺配線材としての金属配線8をパターンニングする。金属配線8は、Al等の低抵抗配線材であり、ビット線BL、ソース線SL、周辺配線(M_T)を形成する。

【0077】

この実施形態の方法によれば、ビット線コンタクトおよびソース線コンタクトに関して導電部材6のような電極材を介さずに、直接コンタクトを設けているため、第2の実施形態よりも工程が簡略化される特徴を有する。

10

【0078】

この第3の実施形態は、工程が簡略化される反面、コンタクト直上でコンタクト同士を接続する必要があるため合わせ余裕が厳しくなる。さらに、拡散ソース領域間の抵抗が埋め込み材の抵抗で決まるため、低抵抗化には多少不利である。

【0079】

図30は、この発明の第4の実施形態に係るNAND型EEPROMのメモリセルアレイの要部の構成を示す平面図である。また、図31～図33は、図30の構成の製造工程を順に示す平面図、図34(a)～(d)は、図30の構成の製造工程と共に形成される周辺トランジスタ(MOSTランジスタ)回路の製造工程を順に示す平面図である。図35～図39の(a)、(b)、(c)は、図30の構成の製造工程を順に示す各部の断面図であり、図30～図33それぞれに示す断面線(対応する図番号と添字a～cで示す)に対応する。また、図35～図39の(d)は、図34(a)～(d)の製造工程に対応する要部の断面図である。

20

【0080】

図39を参照しながら、第3の実施形態である図22の構成の相違点を主に、図30の構成を説明する。ここでは、第1の導電部材4の上部に、周辺トランジスタの最初のコンタクト埋め込みで使用される低抵抗の導電部材5を設けているところが異なる。導電部材5は、例えばW等の高融点金属材あるいはAl等の低抵抗金属材が適していることは上述した。この導電部材5によって、拡散ソース領域間の抵抗が低減される。その他の個所は第3

30

の実施形態と同様である。

【0081】

第3の実施形態と異なる個所を主に、図30の構成の製造方法を以下説明する。まず、図31及び図35を参照する。図23と同様にしてビット線コンタクト(CB)を形成すると共に、拡散層側ソース線コンタクトCSdとなる開口部14を形成する。次いで、ビット線コンタクトCBと開口部14とに導電部材4を埋め込み形成する。導電部材4は、例えばN型にドーピングされた多結晶シリコンあるいは非晶質シリコンを埋め込む。

【0082】

次に、導電部材4をCMP(Chemical Mechanical Polishing)を行って平坦化した後、図36に示すように、例えばRIE(Reactive Ion Etching)法を用いて、埋め込んだ導電部材4をエッチバックし、埋め込み高さを下げる。

40

【0083】

続いて、図32、図34(b)、及び図37に示すように、周辺トランジスタの各コンタクト C_{TS} 、 C_{TD} 、 C_{TG} を開口し導電部材5を埋め込む。これと同時に、先にエッチバックしている埋め込みの高さが低くなった導電部材4上、すなわち、ビット線コンタクトCB及び開口部14に対応する個所に導電部材5が埋め込まれる。平坦化の後には、ビット線コンタクトCBと開口部(拡散層側ソース線コンタクトCSd)14には導電部材4と導電部材5の積層構造が形成される。

【0084】

50

続いて、図33、図34(c)、及び図38に示すように、ビット線コンタクトCB及びソース線コンタクトCSに対応する導電部材5上、そして周辺トランジスタの各コンタクトCTS、CTD、CTG上において、それぞれ電極となる導電部材15を形成する。

【0085】

その後、図30、図34(d)、及び図39に示すように、周辺配線材としての金属配線8をパターンニングする。金属配線8は、A1等の低抵抗配線材であり、ビット線BL、ソース線SL、周辺配線(MT)を形成する。

【0086】

この実施形態の方法によれば、拡散ソース領域間の抵抗は導電部材4の抵抗と導電部材5の抵抗の並列抵抗となり、導電部材5が低抵抗であることから、ここでの抵抗を低減することが可能となる。

10

【0087】

なお、この発明は、上記各実施形態で示すNAND型EEPROMのみに限定されない。以下、一例を記載する。

図40は、この発明の第5の実施形態に係る、前記第2の実施形態を応用して構成されるNOR型EEPROMのメモリセルアレイの要部の構成を示す平面図である。また、図41~図43は、図40の構成の製造工程を順に示す平面図であり、図44(a)~(e)は、図40の構成の製造工程と共に形成される周辺トランジスタ(MOSTランジスタ)回路の製造工程を順に示す平面図である。

【0088】

NOR型EEPROMでは2つのメモリセル、例えば、CG1aとCG1bをそれぞれゲート電極とするメモリセルが1つのビット線コンタクト(CB)を共有し、同様に2つのメモリセル、例えばCG1bとCG2bをそれぞれゲート電極とするメモリセルが1つのソース線に接続されている。図40において、ソース線コンタクトCSでは、導電部材6が図43に示される導電部材7を介して導かれる。導電部材6,7はいずれも金属部材としている。導電部材6は図41に示される導電部材4に接続されている。導電部材4は、ゲート電極間に沿って埋め込まれ、拡散ソース領域と接続されている。ビット線コンタクトCBそれぞれも同様に、導電部材6が導電部材7を介して導かれる。導電部材6は導電部材4に接続されている。導電部材4は、各ビット線コンタクトCBに対応するドレイン拡散層と接続されている。

20

30

【0089】

図40の構成の製造方法を以下説明する。まず、図41に示すように、ビット線コンタクト(CB)を形成すると共に、拡散ソース領域に対応する開口部(拡散層側ソース線コンタクトCSd)14を形成する。その後、ビット線コンタクトCBと開口部14とに導電部材4を埋め込み形成する。拡散層側ソース線コンタクトCSdを埋める導電部材4は、ゲート電極CGに沿うようにゲート電極CG間に1つおきに形成される。

【0090】

続いて、周辺トランジスタでは、図44(b)に示すように、ソースコンタクト(CTS)、ドレインコンタクト(CTD)、ゲートコンタクト(CTG)に導電部材5を形成する。

40

【0091】

続いて、図42、図44(c)に示すように、ビット線コンタクトCB及び拡散層側ソース線コンタクトCSd内の導電部材4上、そして、周辺トランジスタの各コンタクトCTS、CTD、CTG上において、それぞれ電極となる導電部材6を形成する。

【0092】

続いて、図43、図44(d)に示すように、導電部材6上に選択的にコンタクト(CS, CB)を開口し、その開口内に導電部材7を形成する。周辺トランジスタの各コンタクト部も同様である。

【0093】

その後、図40、図44(e)に示すように、周辺配線材としての金属配線8をパターンニ

50

ングする。上述のように、金属配線 8 は、A1 等の低抵抗配線材であり、ビット線 BL、ソース線 SL、周辺配線 (M_T) を形成する。

【0094】

この実施形態の方法によれば、導電部材 4 及び導電部材 6 によって拡散ソース領域間が接続されているため、SAS 法のような素子分離膜のエッチングが必要なく、かつ、拡散ソース領域間の抵抗を低減することが可能となる。

【0095】

なお、本発明は上述した各実施形態に限定されるものではない。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0096】

【発明の効果】

この発明によれば、ビット線コンタクト部とソース線コンタクト部に導電部材を埋め込み、別の導電部材でもってソース線コンタクト間を電氣的に接続することにより、トレンチ素子分離が採用される集積化の中で、信頼性が懸念される現状の SAS 法を用いることなく、共通信号線の抵抗の低減とメモリセルアレイサイズの縮小を同時に実現できる高信頼性の半導体装置及びその製造方法が提供できる。

【図面の簡単な説明】

【図 1】この発明の第 1 の実施形態に係る NAND 型 EEPROM のメモリセルアレイの要部の構成を示す平面図。

【図 2】図 1 の構成の製造工程を示す第 1 の平面図。

【図 3】図 1 の構成の製造工程を示す第 2 の平面図。

【図 4】図 1 の構成の製造工程を示す第 3 の平面図。

【図 5】(a) ~ (e) は図 1 の構成の製造工程と共に形成される周辺トランジスタ (MOS トランジスタ) 回路の製造工程を順に示す平面図。

【図 6】(a), (b), (c) は、図 1 の構成の製造工程に関する各部を示す第 1 の断面図であり、(d) は、図 5 の製造工程に関する要部の第 1 の断面図。

【図 7】(a), (b), (c) は、図 1 の構成の製造工程に関する各部を示す第 2 の断面図であり、(d) は、図 5 の製造工程に関する要部の第 2 の断面図。

【図 8】(a), (b), (c) は、図 1 の構成の製造工程に関する各部を示す第 3 の断面図であり、(d) は、図 5 の製造工程に関する要部の第 3 の断面図。

【図 9】(a), (b), (c) は、図 1 の構成の製造工程に関する各部を示す第 4 の断面図であり、(d) は、図 5 の製造工程に関する要部の第 4 の断面図。

【図 10】(a), (b), (c) は、図 1 の構成の製造工程に関する各部を示す第 5 の断面図であり、(d) は、図 5 の製造工程に関する要部の第 5 の断面図。

【図 11】微細化のための部分的応用例であり、ビット線コンタクトを示す平面図。

【図 12】この発明の第 2 の実施形態に係る NAND 型 EEPROM のメモリセルアレイの要部の構成を示す平面図。

【図 13】図 12 の構成の製造工程を示す第 1 の平面図。

【図 14】図 12 の構成の製造工程を示す第 2 の平面図。

【図 15】図 12 の構成の製造工程を示す第 3 の平面図。

【図 16】(a) ~ (e) は図 12 の構成の製造工程と共に形成される周辺トランジスタ (MOS トランジスタ) 回路の製造工程を順に示す平面図。

【図 17】(a), (b), (c) は、図 12 の構成の製造工程に関する各部を示す第 1 の断面図であり、(d) は、図 16 の製造工程に関する要部の第 1 の断面図。

【図 18】(a), (b), (c) は、図 12 の構成の製造工程に関する各部を示す第 2 の断面図であり、(d) は、図 16 の製造工程に関する要部の第 2 の断面図。

【図 19】(a), (b), (c) は、図 12 の構成の製造工程に関する各部を示す第 3 の断面図であり、(d) は、図 16 の製造工程に関する要部の第 3 の断面図。

【図 20】(a), (b), (c) は、図 12 の構成の製造工程に関する各部を示す第 4 の断面図であり、(d) は、図 16 の製造工程に関する要部の第 4 の断面図。

10

20

30

40

50

【図21】(a), (b), (c)は、図12の構成の製造工程に関する各部を示す第5の断面図であり、(d)は、図16の製造工程に関する要部の第5の断面図。

【図22】この発明の第3の実施形態に係るNAND型EEPROMのメモリセルアレイの要部の構成を示す平面図。

【図23】図22の構成の製造工程を示す第1の平面図。

【図24】図22の構成の製造工程を示す第2の平面図。

【図25】(a)~(d)は図22の構成の製造工程と共に形成される周辺トランジスタ(MOSTランジスタ)回路の製造工程を順に示す平面図。

【図26】(a), (b), (c)は、図22の構成の製造工程に関する各部を示す第1の断面図であり、(d)は、図25の製造工程に関する要部の第1の断面図。

10

【図27】(a), (b), (c)は、図22の構成の製造工程に関する各部を示す第2の断面図であり、(d)は、図25の製造工程に関する要部の第2の断面図。

【図28】(a), (b), (c)は、図22の構成の製造工程に関する各部を示す第2の断面図であり、(d)は、図25の製造工程に関する要部の第2の断面図。

【図29】(a), (b), (c)は、図22の構成の製造工程に関する各部を示す第3の断面図であり、(d)は、図25の製造工程に関する要部の第4の断面図。

【図30】この発明の第4の実施形態に係るNAND型EEPROMのメモリセルアレイの要部の構成を示す平面図。

【図31】図30の構成の製造工程を示す第1の平面図。

【図32】図30の構成の製造工程を示す第2の平面図。

20

【図33】図30の構成の製造工程を示す第3の平面図。

【図34】(a)~(d)は図30の構成の製造工程と共に形成される周辺トランジスタ(MOSTランジスタ)回路の製造工程を順に示す平面図。

【図35】(a), (b), (c)は、図30の構成の製造工程に関する各部を示す第1の断面図であり、(d)は、図34の製造工程に関する要部の第1の断面図。

【図36】(a), (b), (c)は、図30の構成の製造工程に関する各部を示す第2の断面図であり、(d)は、図34の製造工程に関する要部の第2の断面図。

【図37】(a), (b), (c)は、図30の構成の製造工程に関する各部を示す第3の断面図であり、(d)は、図34の製造工程に関する要部の第3の断面図。

【図38】(a), (b), (c)は、図30の構成の製造工程に関する各部を示す第4の断面図であり、(d)は、図34の製造工程に関する要部の第4の断面図。

30

【図39】(a), (b), (c)は、図30の構成の製造工程に関する各部を示す第5の断面図であり、(d)は、図34の製造工程に関する要部の第5の断面図。

【図40】この発明の第5の実施形態に係るNOR型EEPROMのメモリセルアレイの要部の構成を示す平面図。

【図41】図40の構成の製造工程を示す第1の平面図。

【図42】図40の構成の製造工程を示す第2の平面図。

【図43】図40の構成の製造工程を示す第3の平面図。

【図44】(a)~(e)は図40の構成の製造工程と共に形成される周辺トランジスタ(MOSTランジスタ)回路の製造工程を順に示す平面図。

40

【図45】EEPROMの一つである一般的なMOS型FET構成のEEPROMのメモリセルの構造を示す平面図。

【図46】図45のF46-F46断面図。

【図47】トレンチ素子分離を用いた場合の上記図46の断面図と比較対象となる部分の断面図。

【図48】NOR型セルの構成を示す平面図。

【図49】(a), (b)は、それぞれメモリセルアレイの製造工程を示す断面図であり、SAS(Self-Aligned-Source)法を用いた場合について説明するための断面図。

【図50】NAND型セルの構成を示す平面図。

50

【図5 1】NANDセル構成のメモリセルアレイの動作電位関係を示す第一例としての図。

【図5 2】NANDセル構成のメモリセルアレイの動作電位関係を示す第二例としての図。

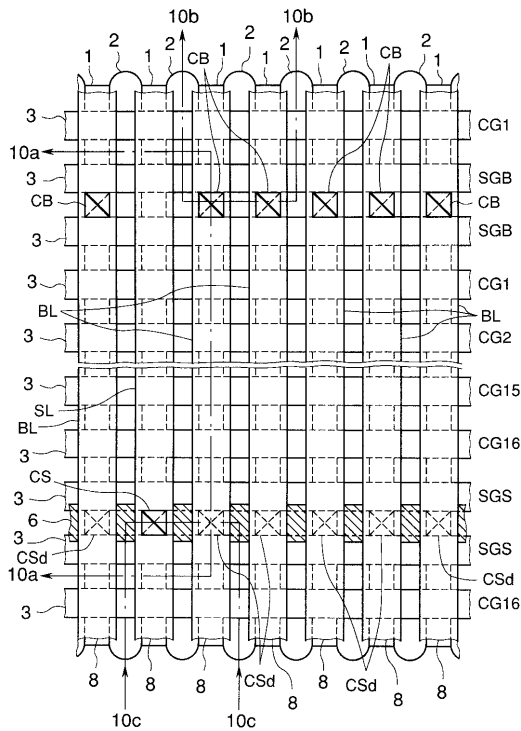
【符号の説明】

- 1 ... 半導体基板領域上の素子領域（半導体基板領域）
- 2 ... 素子分離領域
- 3 ... ゲート部材（制御ゲート）
- 4 ... 導電部材（例えば多結晶シリコン）
- 5 ... 導電部材（例えばW等の金属）
- 6, 7 ... 導電部材（例えばW、Al等の金属）
- 8 ... 金属配線（ビット線、ソース線及び周辺配線材（例えばAl））
- 9 ... 第1ゲート絶縁膜（トンネル酸化膜）
- 10 ... 電荷蓄積層（フローティングゲート）
- 11 ... 第2ゲート絶縁膜（ONO膜）
- 12 ... 周辺トランジスタのゲート電極
- 13 ... ソース・ドレイン拡散層
- 14 ... 開口部
- 15 ... 導電部材
- 25 ... 絶縁膜
- 26 ... 層間絶縁膜

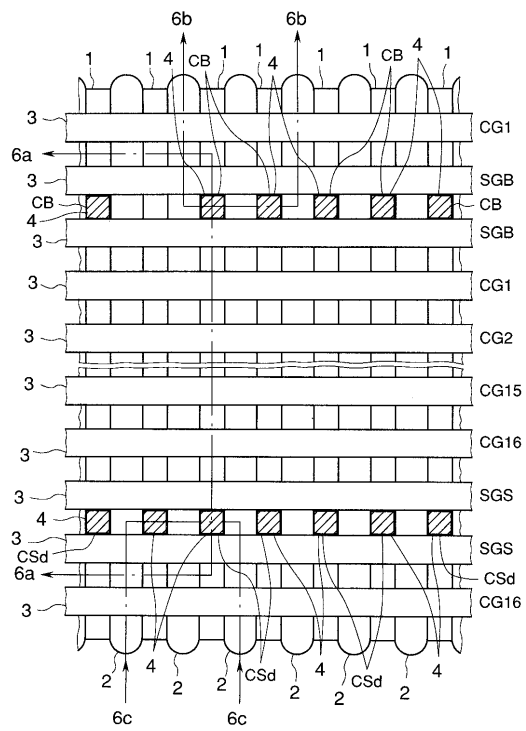
10

20

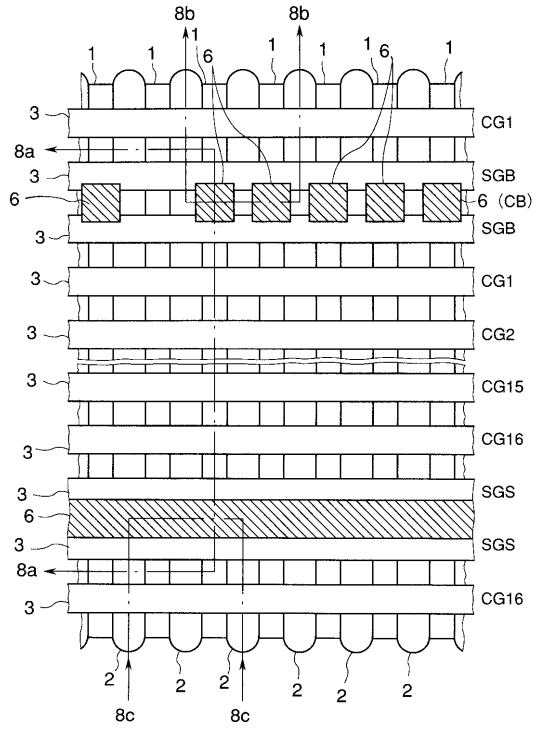
【図 1】



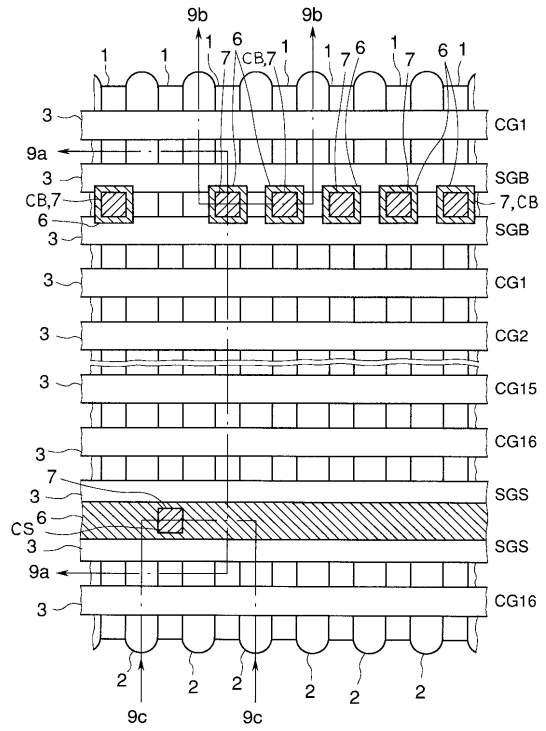
【図 2】



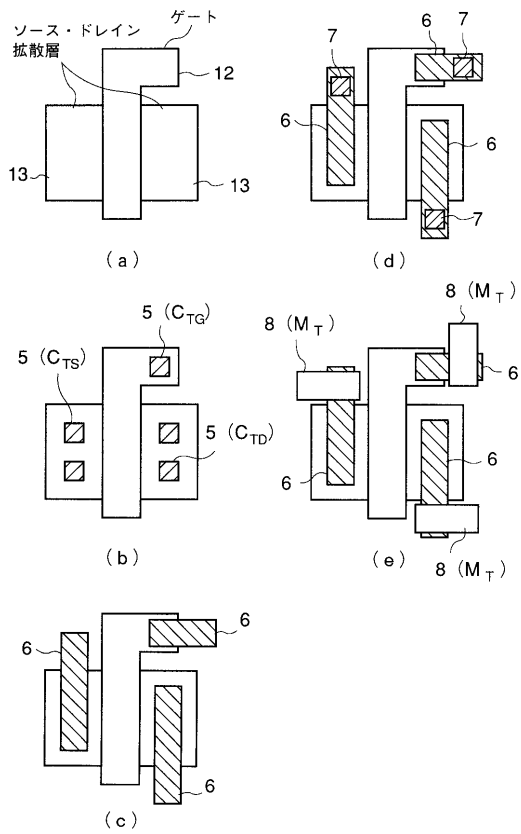
【 図 3 】



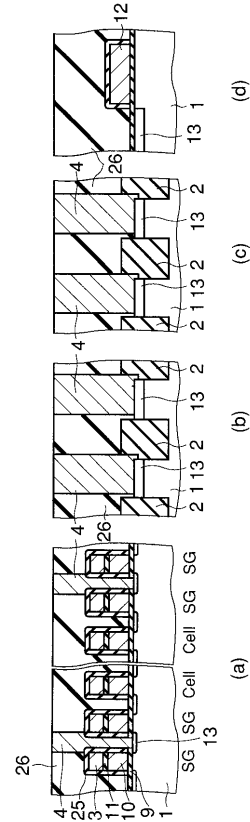
【 図 4 】



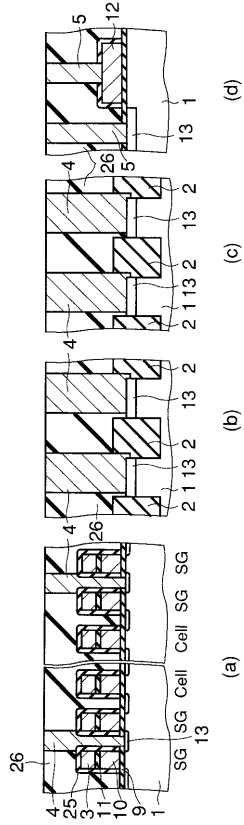
【 図 5 】



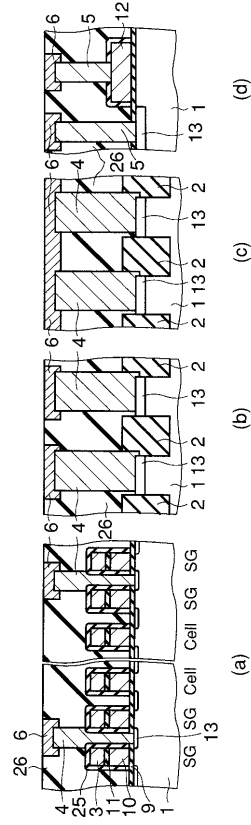
【 図 6 】



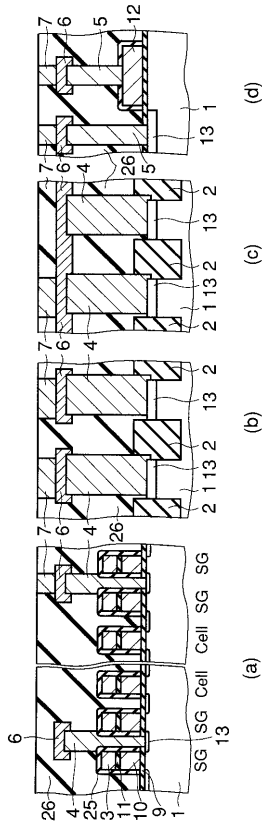
【 図 7 】



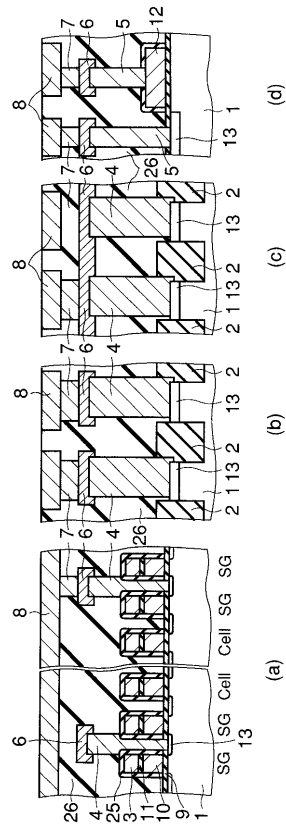
【 図 8 】



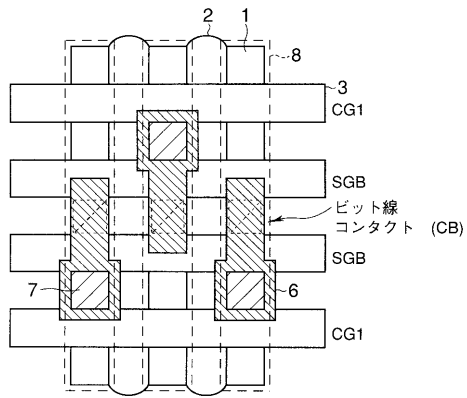
【 図 9 】



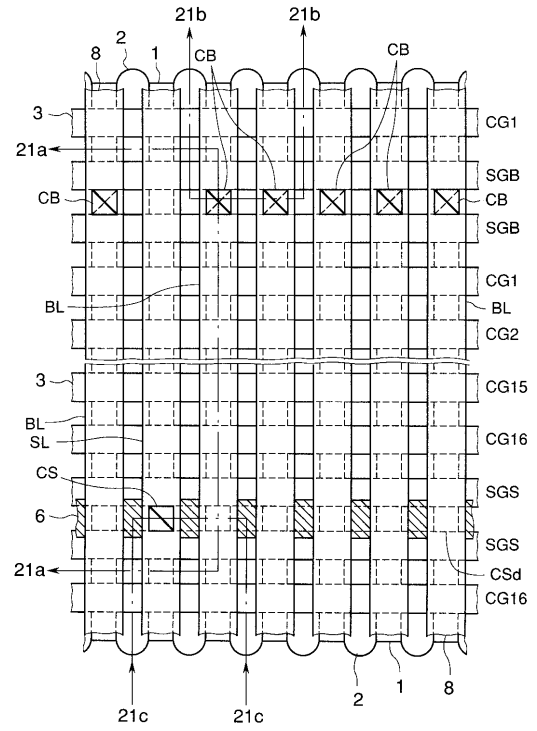
【 図 10 】



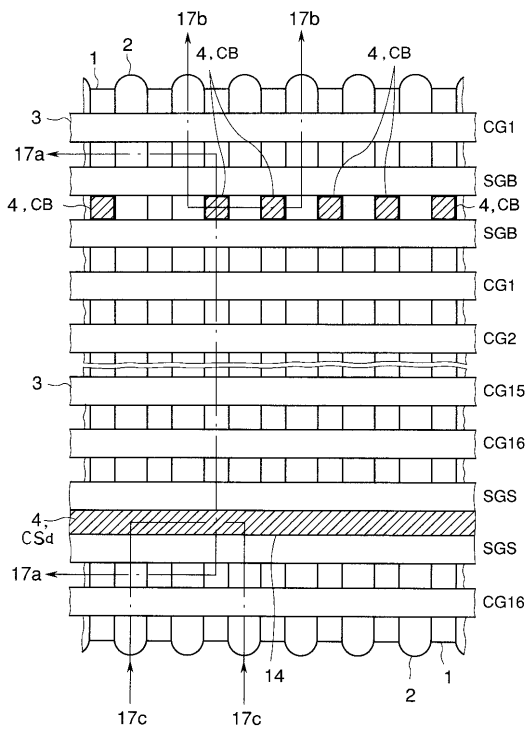
【図11】



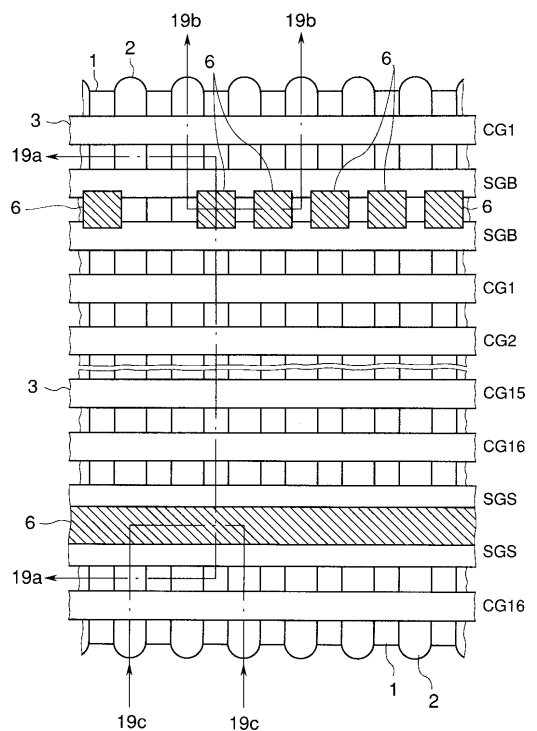
【図12】



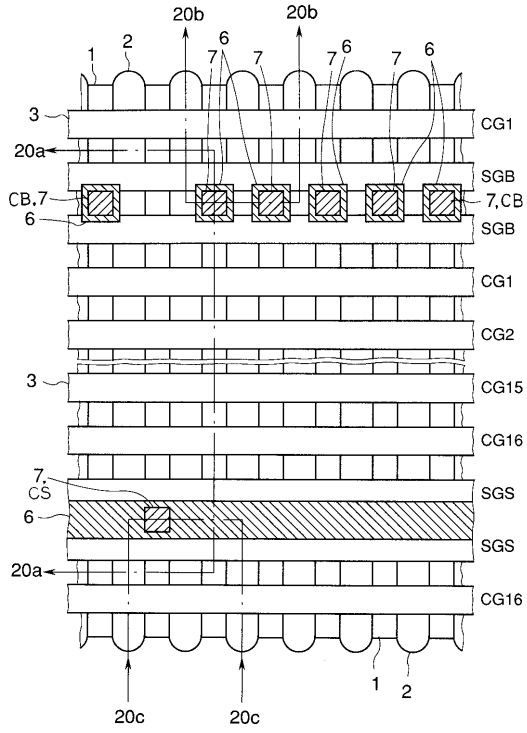
【図13】



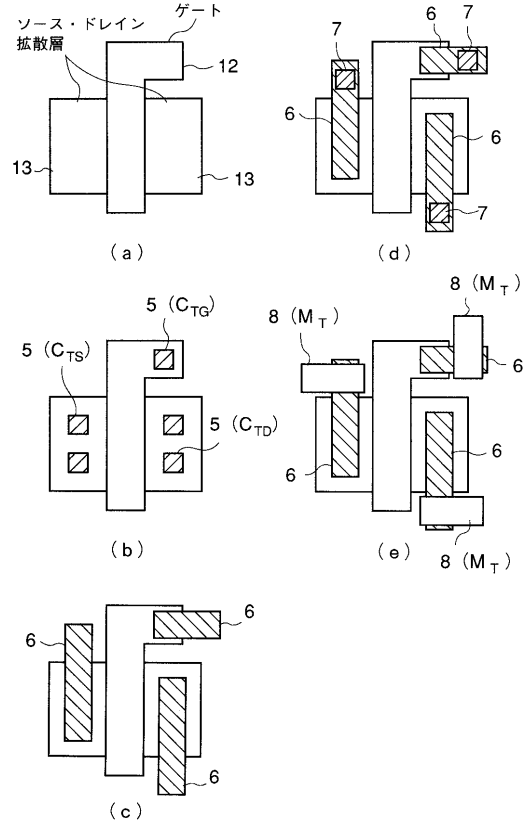
【図14】



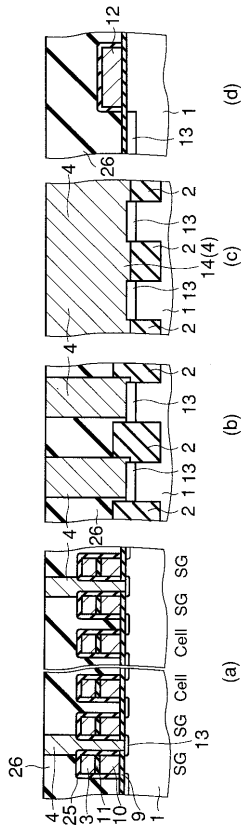
【 図 1 5 】



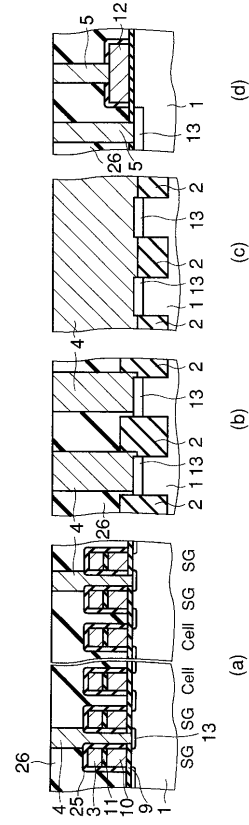
【 図 1 6 】



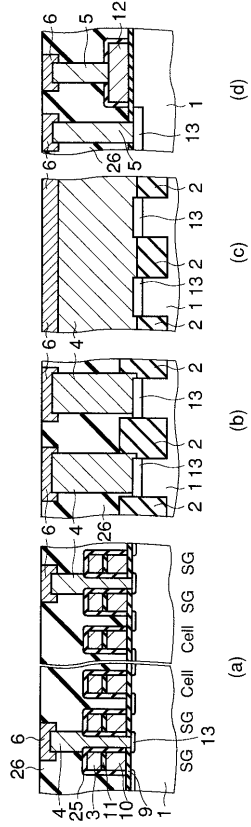
【 図 1 7 】



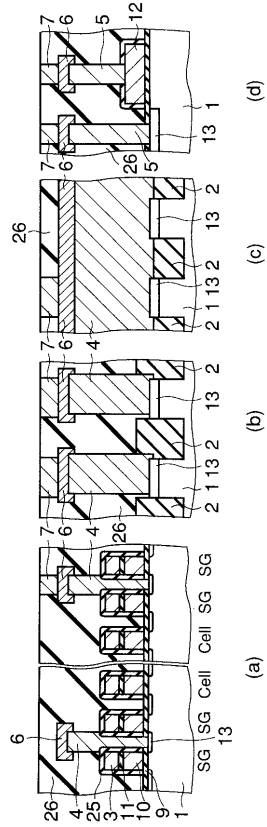
【 図 1 8 】



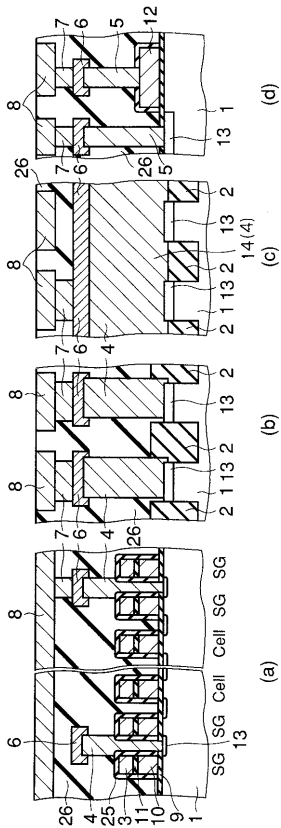
【 図 19 】



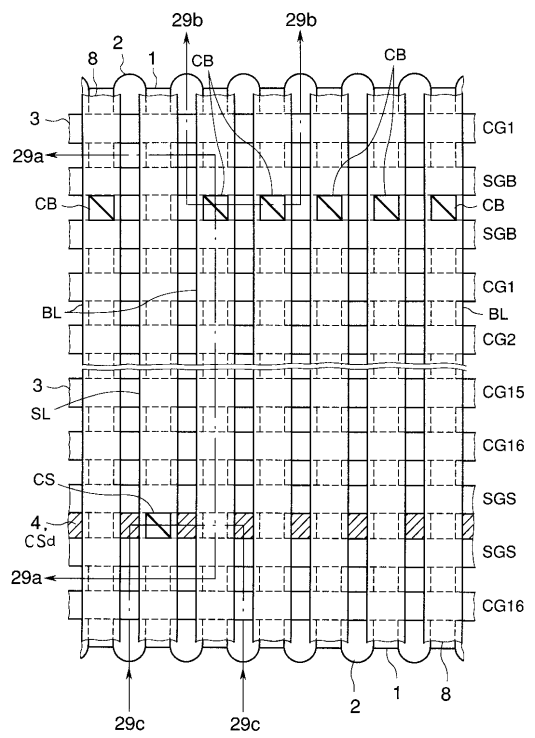
【 図 20 】



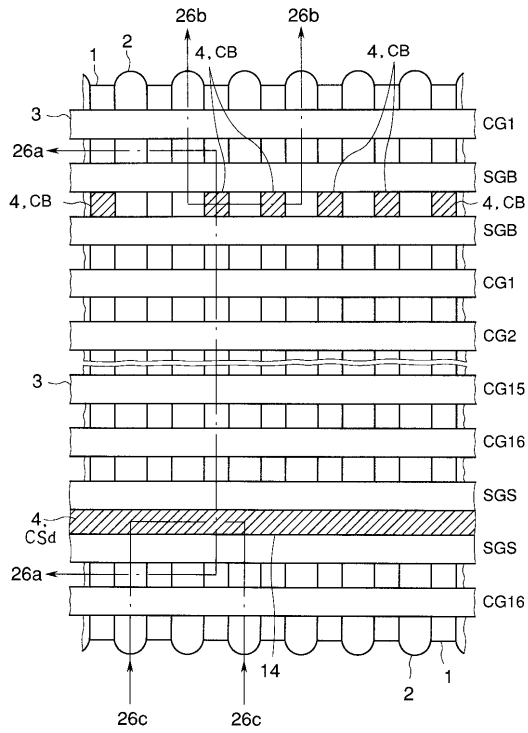
【 図 21 】



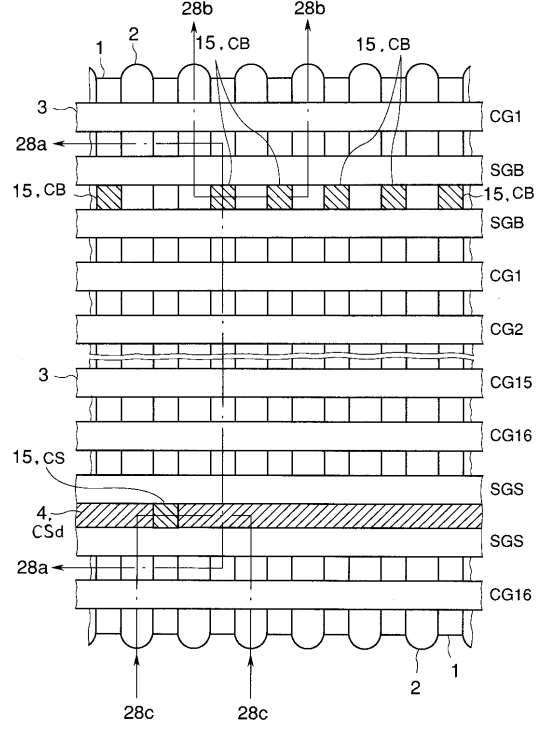
【 図 22 】



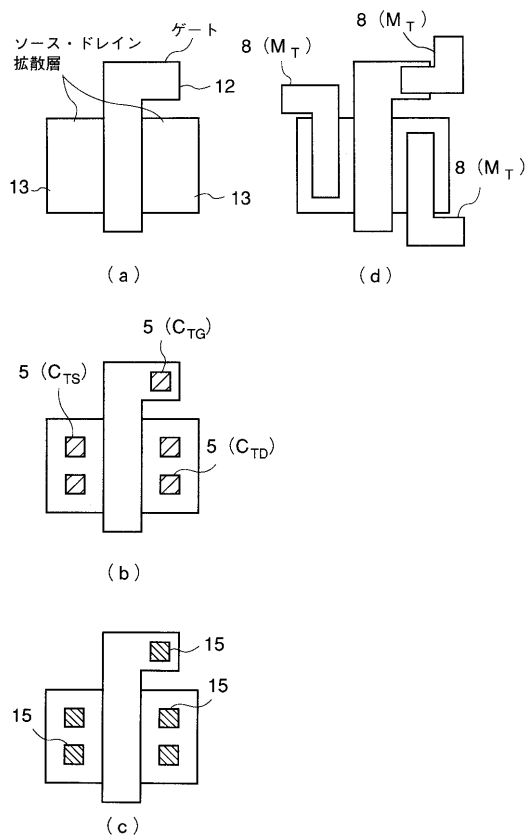
【 図 2 3 】



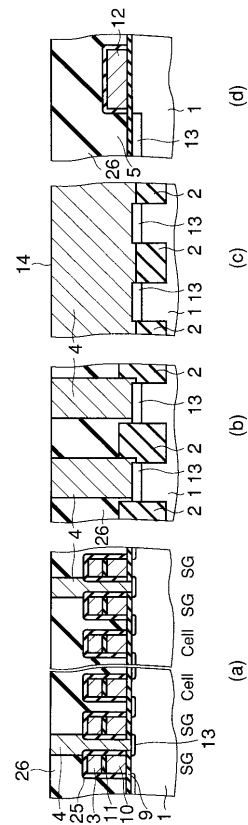
【 図 2 4 】



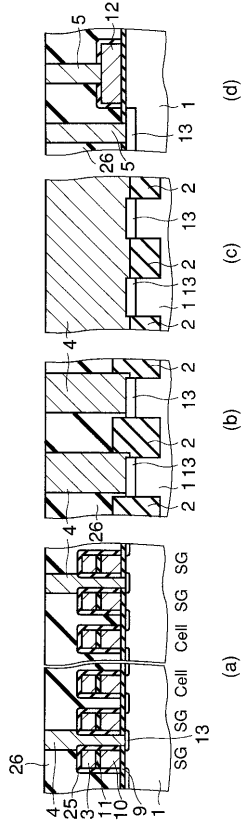
【 図 2 5 】



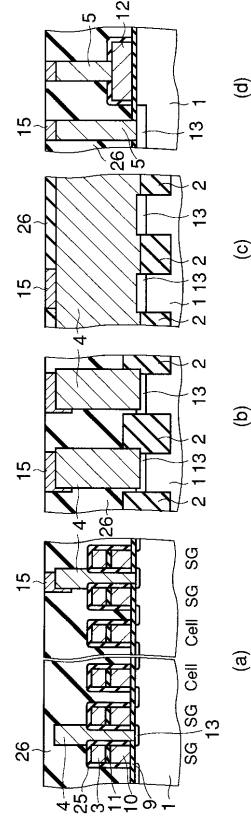
【 図 2 6 】



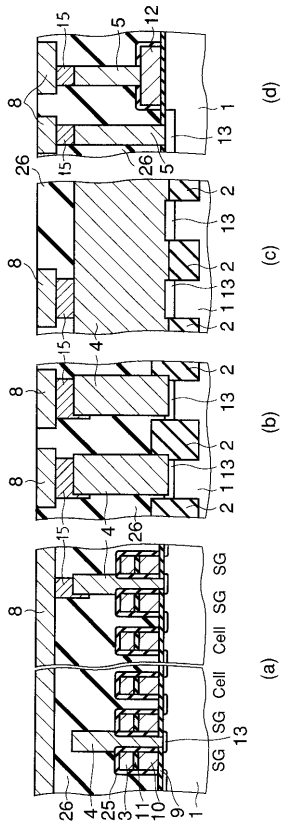
【 図 27 】



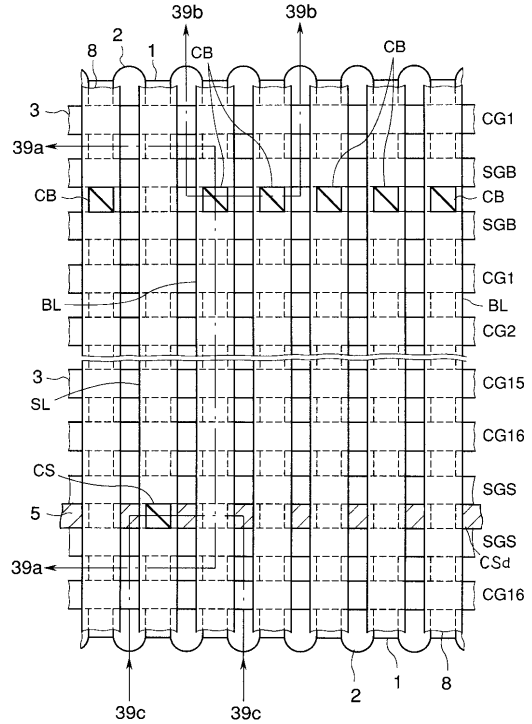
【 図 28 】



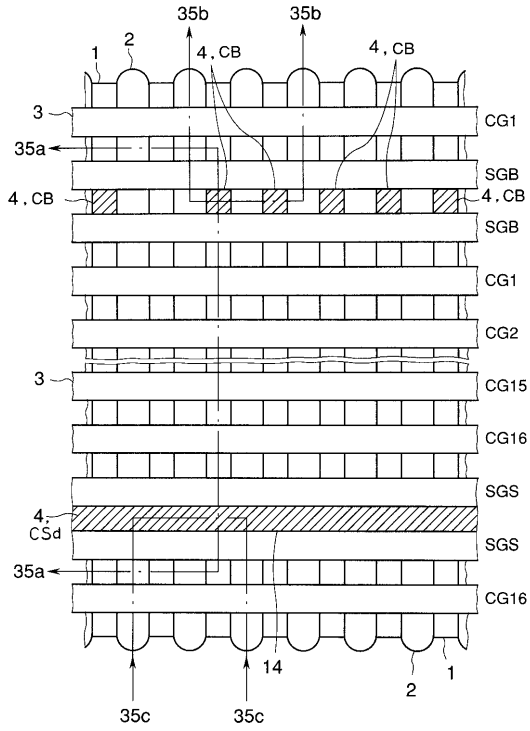
【 図 29 】



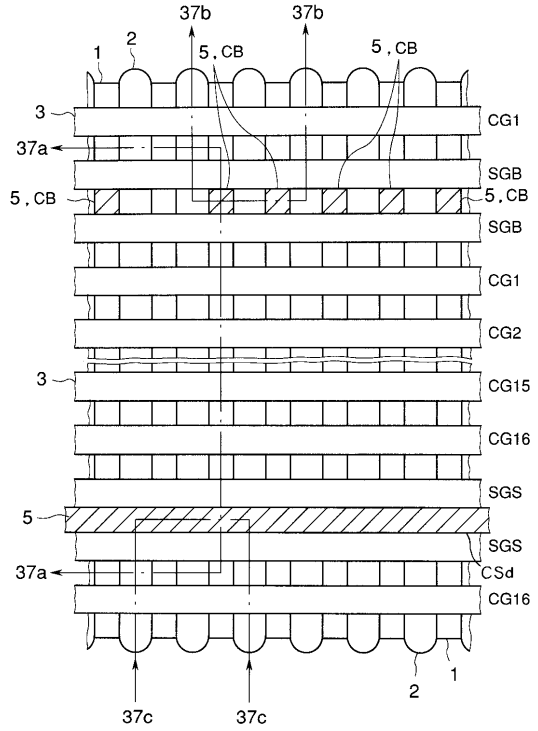
【 図 30 】



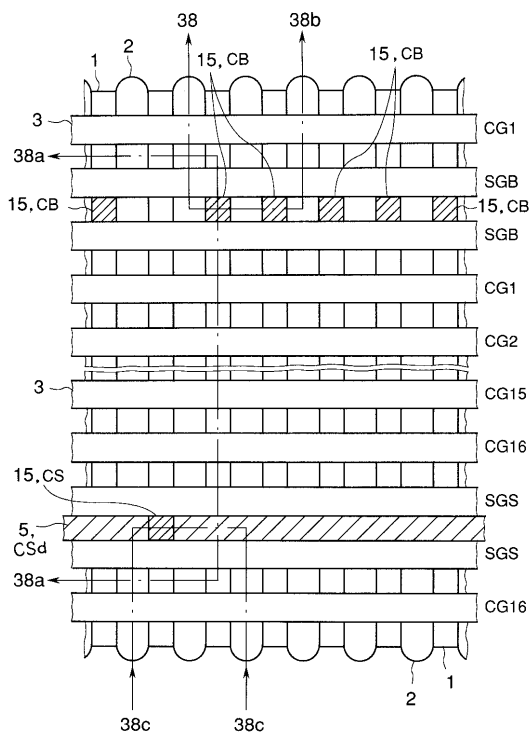
【図31】



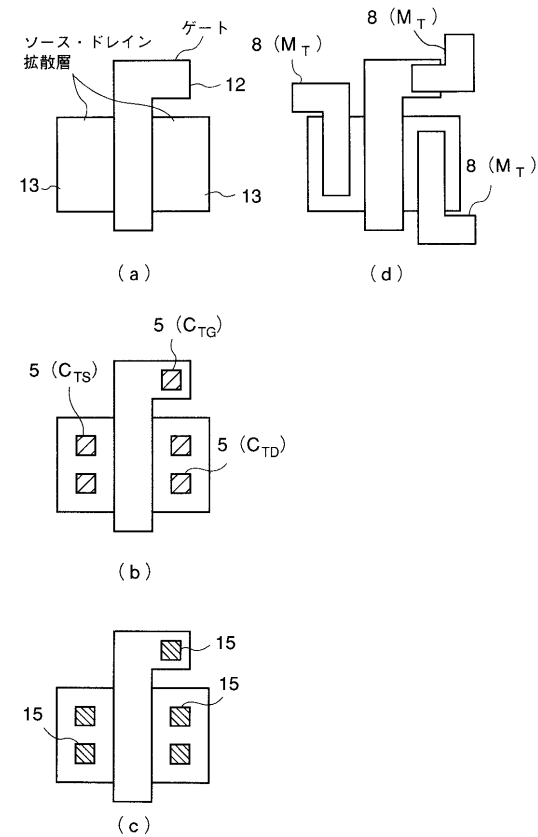
【図32】



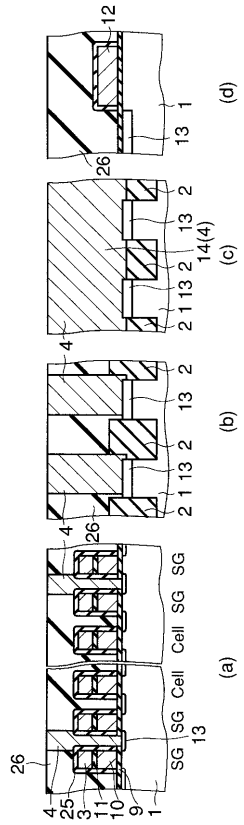
【図33】



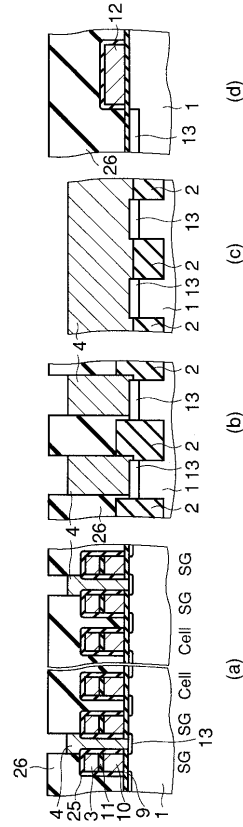
【図34】



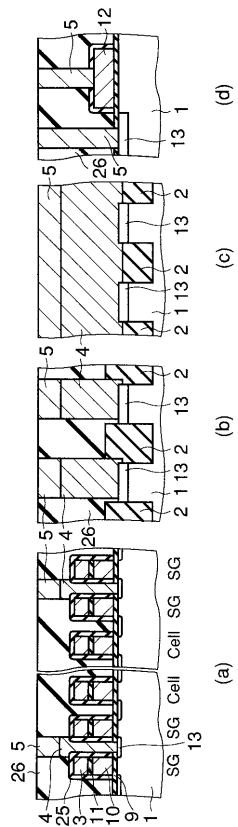
【 図 3 5 】



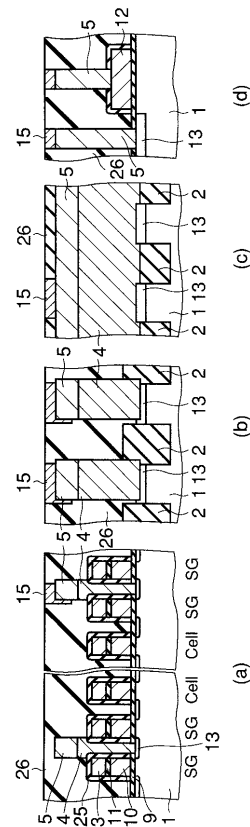
【 図 3 6 】



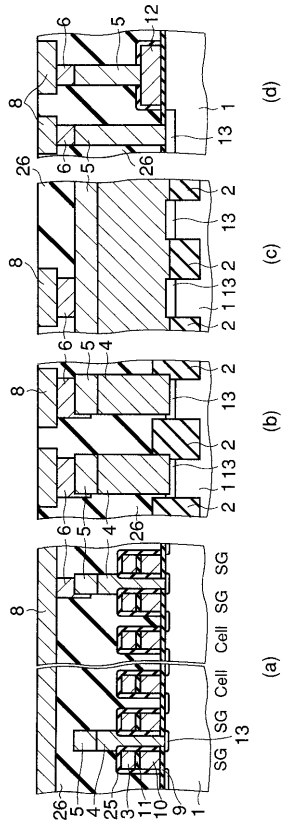
【 図 3 7 】



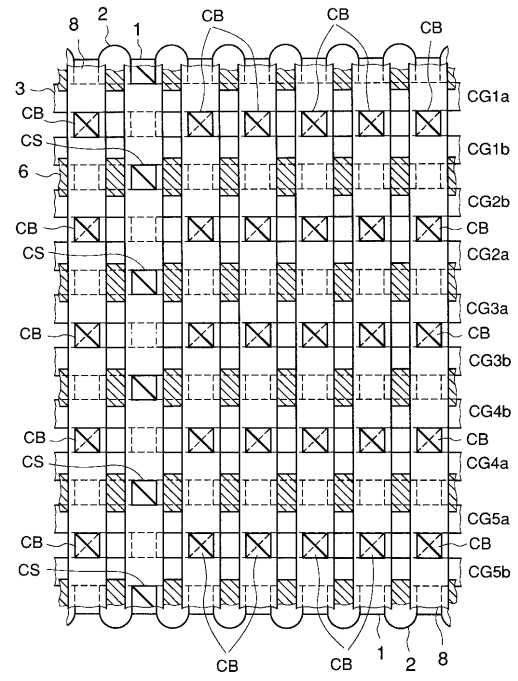
【 図 3 8 】



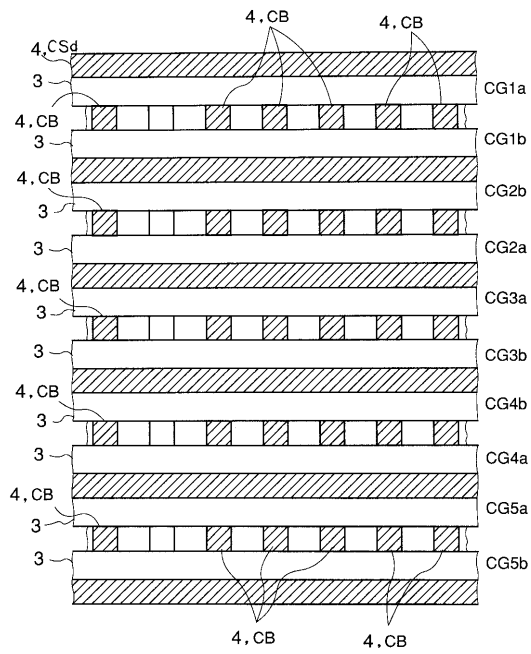
【 図 3 9 】



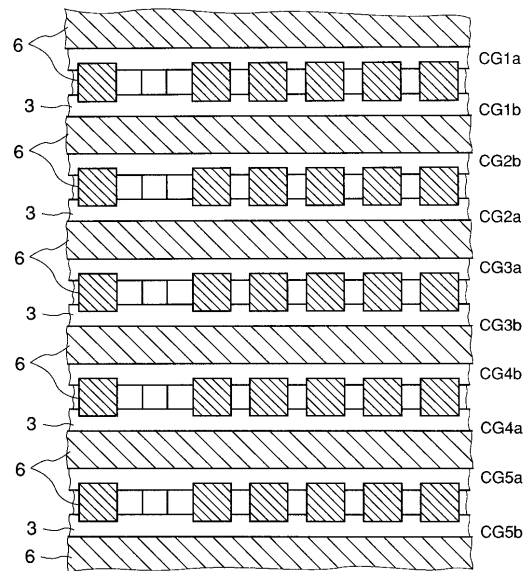
【 図 4 0 】



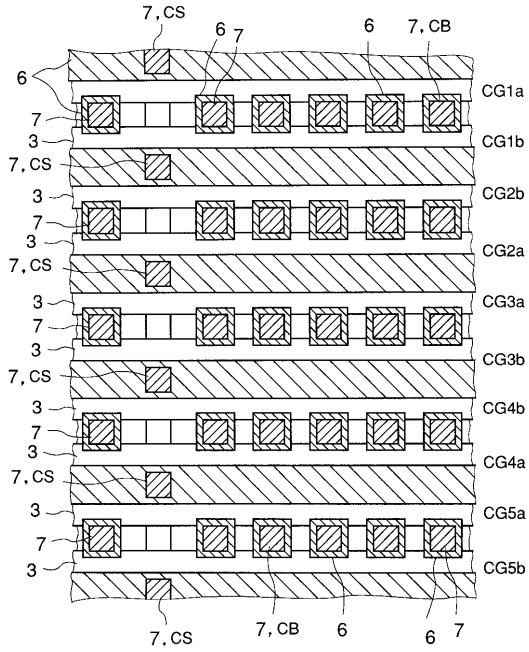
【 図 4 1 】



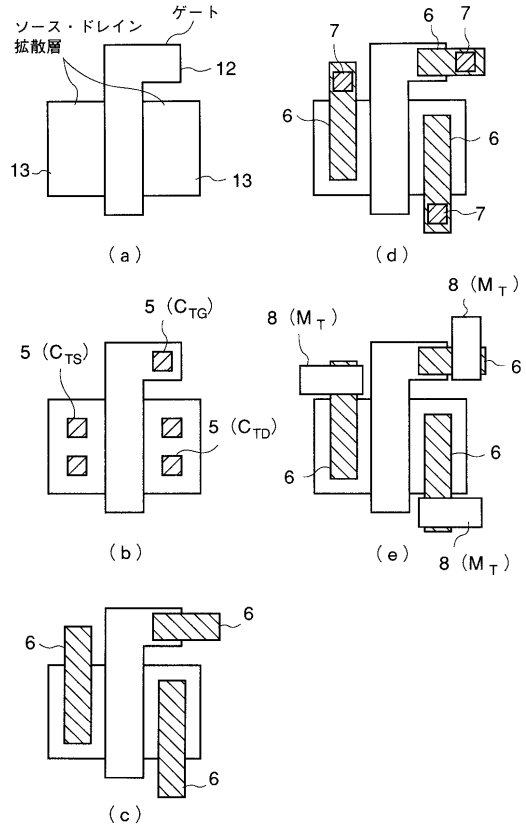
【 図 4 2 】



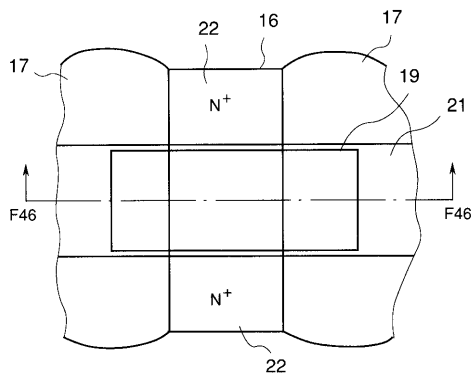
【図43】



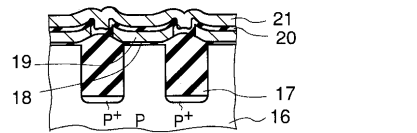
【図44】



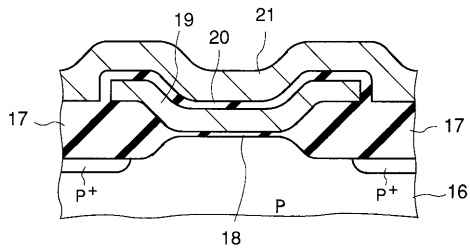
【図45】



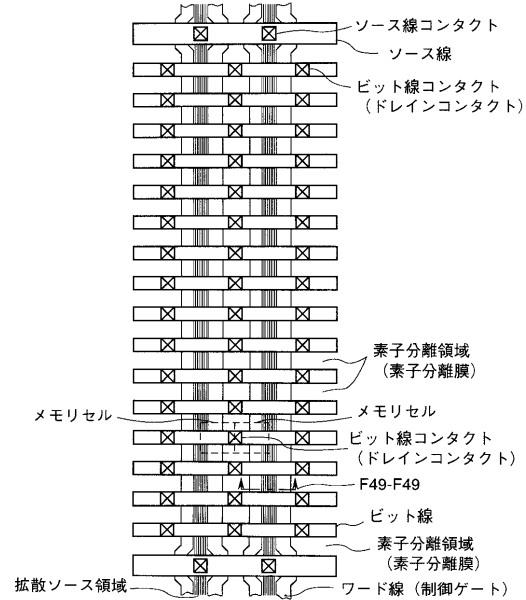
【図47】



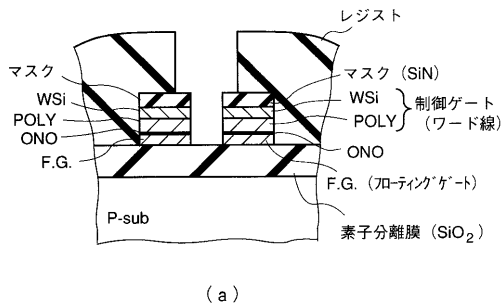
【図46】



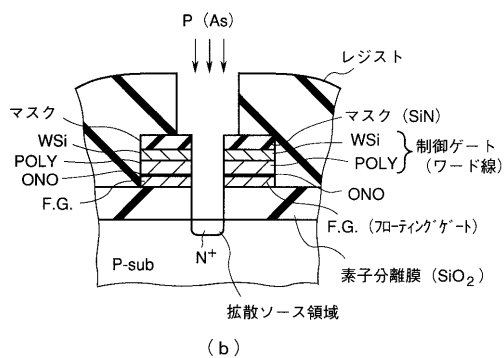
【図48】



【 図 4 9 】

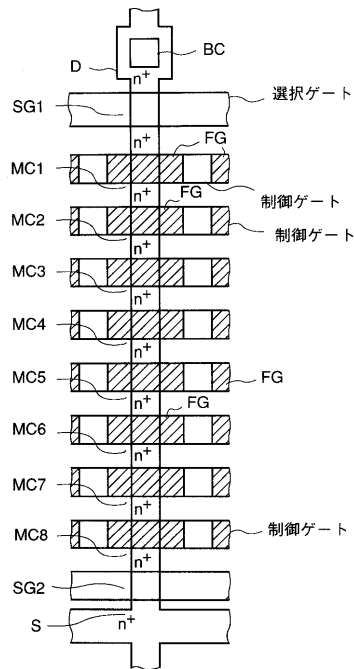


(a)

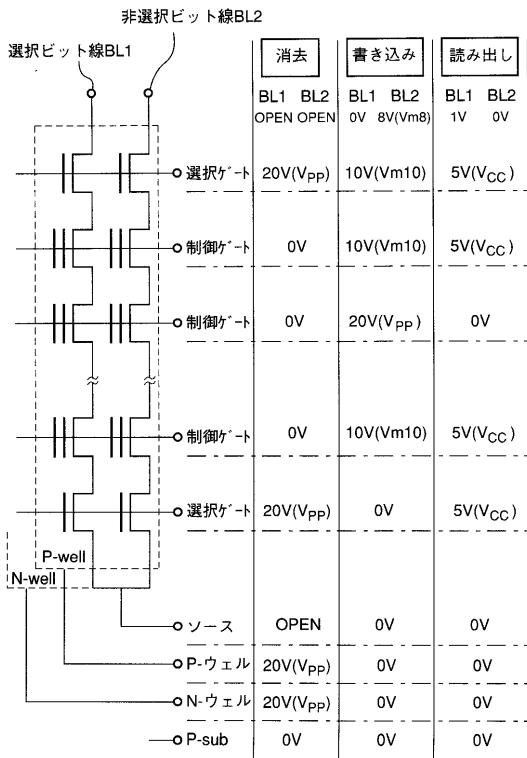


(b)

【 図 5 0 】

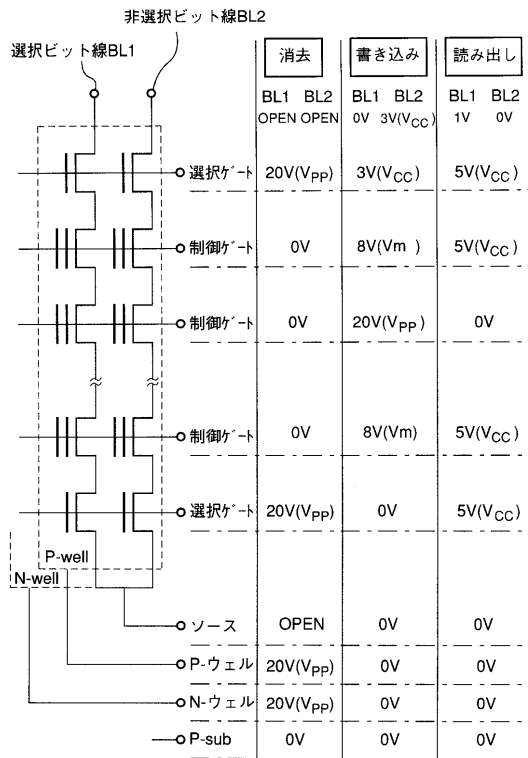


【 図 5 1 】



(非選択ビット線Vm8印加式プログラム)

【 図 5 2 】



(非選択ビット線フローティング方式プログラム)

フロントページの続き

- (74)代理人 100070437
弁理士 河井 将次
- (72)発明者 清水 和裕
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 渡部 浩
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 竹内 祐司
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 有留 誠一
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 渡辺 寿治
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

審査官 小川 将之

- (56)参考文献 特開平7-147095(JP,A)
特開平3-89552(JP,A)
特開平8-298295(JP,A)
特開平8-36894(JP,A)
特開平2-196462(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/8247
H01L 27/115
H01L 29/788
H01L 29/792