

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2016-513364
(P2016-513364A)

(43) 公表日 平成28年5月12日(2016.5.12)

(51) Int.Cl.	F 1	テーマコード (参考)
HO 1 F 17/00 (2006.01)	HO 1 F 17/00	B 5 E 0 6 2
HO 1 F 17/04 (2006.01)	HO 1 F 17/04	F 5 E 0 7 0
HO 1 F 41/04 (2006.01)	HO 1 F 41/04	C 5 F 0 3 8
HO 1 L 25/10 (2006.01)	HO 1 L 25/14	Z
HO 1 L 25/11 (2006.01)	HO 1 L 25/00	B

審査請求 未請求 予備審査請求 有 (全 31 頁) 最終頁に続く

(21) 出願番号	特願2015-556979 (P2015-556979)	(71) 出願人	507364838 クアルコム、インコーポレイテッド アメリカ合衆国 カリフォルニア 921 21 サン デイエゴ モアハウス ドラ イブ 5775
(86) (22) 出願日	平成26年1月31日 (2014. 1. 31)	(74) 代理人	100108453 弁理士 村山 靖彦
(85) 翻訳文提出日	平成27年7月21日 (2015. 7. 21)	(74) 代理人	100163522 弁理士 黒田 晋平
(86) 國際出願番号	PCT/US2014/014270	(72) 発明者	ジェームズ・トーマス・ドイル アメリカ合衆国・カリフォルニア・921 21-1714・サン・ディエゴ・モアハ ウス・ドライブ・5775
(87) 國際公開番号	W02014/123790		
(87) 國際公開日	平成26年8月14日 (2014. 8. 14)		
(31) 優先権主張番号	61/762,555		
(32) 優先日	平成25年2月8日 (2013. 2. 8)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	13/791,388		
(32) 優先日	平成25年3月8日 (2013. 3. 8)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】基板レス離散結合インダクタ構造体

(57) 【要約】

いくつかの新規の特徴は、第1のインダクタ巻線と、第2のインダクタ巻線と、充填材とを含むインダクタ構造に関する。第1のインダクタ巻線は導電性材料を含む。第2のインダクタ巻線は導電性材料を含む。充填材は、横方向において第1のインダクタ巻線と第2のインダクタ巻線との間に位置する。充填材は、第1のインダクタ巻線と第2のインダクタ巻線の構造上の結合を可能にするように構成される。いくつかの実装形態では、第1のインダクタ巻線は、横方向において第2のインダクタ巻線と同一平面内に位置する。いくつかの実装形態では、第1のインダクタ巻線は第1のらせん形状を有し、第2のインダクタ巻線は第2のらせん形状を有する。いくつかの実装形態では、第1のインダクタ巻線および第2のインダクタ巻線は、細長い円形形状を有する。いくつかの実装形態では、充填材はエポキシである。

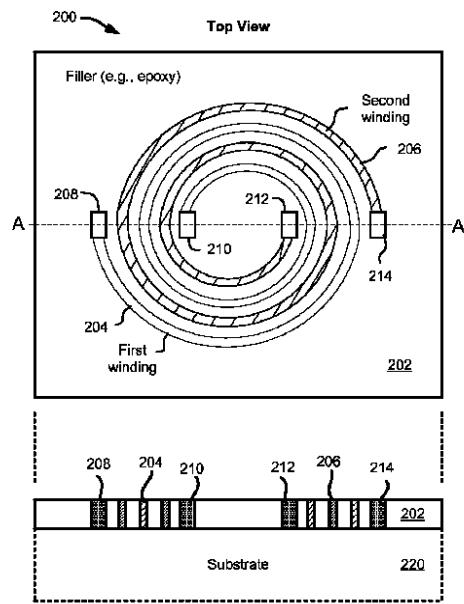


FIG. 3

【特許請求の範囲】**【請求項 1】**

導電性材料を含む第1のインダクタ巻線と、
導電性材料を含む第2のインダクタ巻線と、
横方向において前記第1のインダクタ巻線と前記第2のインダクタ巻線との間に位置する充填材であって、前記第1のインダクタ巻線と前記第2のインダクタ巻線の構造上の結合を実現するように構成された充填材とを備えるインダクタ構造体。

【請求項 2】

前記第1のインダクタ巻線は、横方向において前記第2のインダクタ巻線と同一平面内に位置する、請求項1に記載のインダクタ構造体。 10

【請求項 3】

前記第1のインダクタ巻線は第1のらせん形状を有し、前記第2のインダクタ巻線は第2のらせん形状を有する、請求項1に記載のインダクタ構造体。

【請求項 4】

前記第1のインダクタ巻線および前記第2のインダクタ巻線は細長い円形形状を有する、請求項1に記載のインダクタ構造体。

【請求項 5】

前記第1のインダクタ巻線は、第1の端子と第2の端子とを含み、前記第2のインダクタ巻線は、第3の端子と第4の端子とを含む、請求項1に記載のインダクタ構造体。 20

【請求項 6】

前記第1の端子は、前記第1のインダクタ巻線の第1の端部に結合され、前記第2の端子は、前記第1のインダクタ巻線の第2の端部に結合される、請求項5に記載のインダクタ構造体。

【請求項 7】

前記第1のインダクタ巻線の厚さは0.2ミリメートル未満である、請求項1に記載のインダクタ構造体。

【請求項 8】

前記充填材はエポキシである、請求項1に記載のインダクタ構造体。

【請求項 9】

前記インダクタ構造体には、前記インダクタ構造体のベース部分としての基板がない、請求項1に記載のインダクタ構造体。 30

【請求項 10】

前記インダクタ構造体は、パッケージオンパッケージ(PoP)構造上に集積される、請求項1に記載のインダクタ構造体。

【請求項 11】

前記インダクタ構造体は、パッケージ基板の表面上に集積される、請求項1に記載のインダクタ構造体。

【請求項 12】

前記インダクタ構造体は、パッケージ基板の内部に集積される、請求項1に記載のインダクタ構造体。 40

【請求項 13】

前記インダクタ構造体は、音楽プレーヤ、ビデオプレーヤ、娛樂ユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、モバイルフォン、スマートフォン、携帯情報端末、固定位置端末、タブレットコンピュータ、および／またはラップトップコンピュータのうちの少なくとも1つに組み込まれる、請求項1に記載のインダクタ構造体。

【請求項 14】

第1の誘導手段と、

第2の誘導手段と、

横方向において前記第1の誘導手段と前記第2の誘導手段との間に位置する充填材であって、前記第1の誘導手段と前記第2の誘導手段の構造上の結合を実現するように構成さ 50

れた充填材とを備える装置。

【請求項 1 5】

前記第 1 の誘導手段は、横方向において前記第 2 の誘導手段と同一平面内に位置する、請求項 1 4 に記載の装置。

【請求項 1 6】

前記第 1 の誘導手段は第 1 のらせん形状を有し、前記第 2 の誘導手段は第 2 のらせん形状を有する、請求項 1 4 に記載の装置。

【請求項 1 7】

前記第 1 の誘導手段および前記第 2 の誘導手段は、細長い円形形状を有する、請求項 1 4 に記載の装置。

【請求項 1 8】

前記第 1 の誘導手段は、第 1 の端子と第 2 の端子とを含み、前記第 2 の誘導手段は、第 3 の端子と第 4 の端子とを含む、請求項 1 4 に記載の装置。

【請求項 1 9】

前記第 1 の端子は、前記第 1 の誘導手段の第 1 の端部に結合され、前記第 2 の端子は、前記第 1 の誘導手段の第 2 の端部に結合される、請求項 1 8 に記載の装置。

【請求項 2 0】

前記第 1 の誘導手段の厚さは 0.2 ミリメートル未満である、請求項 1 4 に記載の装置。

【請求項 2 1】

前記充填材はエポキシである、請求項 1 4 に記載の装置。

【請求項 2 2】

前記装置には、インダクタ構造のベース部分としての基板がない、請求項 1 4 に記載の装置。

【請求項 2 3】

前記装置は、パッケージオンパッケージ (P o P) 構造上に集積される、請求項 1 4 に記載の装置。

【請求項 2 4】

前記装置は、パッケージ基板の表面上に集積される、請求項 1 4 に記載の装置。

【請求項 2 5】

前記装置は、パッケージ基板の内部に集積される、請求項 1 4 に記載の装置。

【請求項 2 6】

前記装置は、音楽プレーヤ、ビデオプレーヤ、娛樂ユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、モバイルフォン、スマートフォン、携帯情報端末、固定位置端末、タブレットコンピュータ、および / またはラップトップコンピュータのうちの少なくとも 1 つに組み込まれる、請求項 1 4 に記載の装置。

【請求項 2 7】

インダクタ構造体を提供するための方法であって、
基板を設けるステップと、

前記基板上に第 1 のインダクタ巻線および第 2 のインダクタ巻線を設けるステップと、
前記第 1 のインダクタ巻線と前記第 2 のインダクタ巻線との間に充填材を設けるステップ
であって、前記充填材が前記第 1 のインダクタ巻線と前記第 2 のインダクタ巻線の構造
上の結合を実現するように構成されたステップとを含む方法。

【請求項 2 8】

前記基板を除去するステップをさらに含む、請求項 2 7 に記載の方法。

【請求項 2 9】

前記基板上に前記第 1 のインダクタ巻線および前記第 2 のインダクタ巻線を設けるステ
ップは、

前記基板の上方に犠牲層を設けるステップと、

前記犠牲層の一部を選択的に除去するステップと、

10

20

30

40

50

前記基板および前記犠牲層の上方に金属層を設けるステップであって、前記金属層が前記第1のインダクタ巻線および前記第2のインダクタ巻線を形成するステップと、

前記犠牲層を除去するステップとを含む、請求項27に記載の方法。

【請求項30】

前記第1のインダクタ巻線および前記第2のインダクタ巻線を設けるステップは、前記第1のインダクタ巻線を横方向において前記第2のインダクタ巻線と同一平面内に設けるステップを含む、請求項27に記載の方法。

【請求項31】

前記第1のインダクタ巻線は第1のらせん形状を有し、前記第2のインダクタ巻線は第2のらせん形状を有する、請求項27に記載の方法。10

【請求項32】

前記第1のインダクタ巻線および前記第2のインダクタ巻線は細長い円形形状を有する、請求項27に記載の方法。

【請求項33】

前記第1のインダクタ巻線は、第1の端子と第2の端子とを含み、前記第2のインダクタ巻線は、第3の端子と第4の端子とを含む、請求項27に記載の方法。

【請求項34】

前記第1の端子は、前記第1のインダクタ巻線の第1の端部に結合され、前記第2の端子は、前記第1のインダクタ巻線の第2の端部に結合される、請求項33に記載の方法。

【請求項35】

前記充填材はエポキシである、請求項27に記載の方法。

【請求項36】

前記インダクタ構造体をパッケージオンパッケージ（P o P）構造上に設けるステップをさらに含む、請求項27に記載の方法。20

【請求項37】

前記インダクタ構造体をパッケージ基板の表面上に設けるステップをさらに含む、請求項27に記載の方法。

【請求項38】

前記インダクタ構造体をパッケージ基板の内部に設けるステップをさらに含む、請求項27に記載の方法。30

【請求項39】

音楽プレーヤ、ビデオプレーヤ、娛樂ユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、モバイルフォン、スマートフォン、携帯情報端末、固定位置端末、タブレットコンピュータ、および／またはラップトップコンピュータのうちの少なくとも1つに前記インダクタ構造体を設けるステップをさらに含む、請求項27に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本特許出願は、参照により本明細書に明確に組み込まれる、2013年2月8日に出願された「Substrate-less Discrete Coupled Inductor Structure」と題する米国仮出願第61/762,555号の優先権を主張する。40

【0002】

様々な特徴は、基板レス離散結合インダクタ構造に関する。

【背景技術】

【0003】

離散結合インダクタは従来、はしご型構造を使用して実現されている。図1に示すように、はしご型結合インダクタ構造102は、複数のインダクタ巻線106a～106dを有するコア104を備える。しかし、そのようなはしご型構造102は、カスタムコア1

04および巻線（たとえば、コイル）を必要とする。市販のインダクタと比較して、はしご型構造102はかなり高価である。さらに、インダクタを半導体デバイス内に配置する際、インダクタが占有する面積が最小になることが望ましい。

【0004】

したがって、効率的であるがコスト効果的な結合インダクタ構造／構成が必要である。

【発明の概要】

【課題を解決するための手段】

【0005】

様々な特徴は、基板結合インダクタ構造に関する。

【0006】

第1の例は、導電性材料を含む第1のインダクタ巻線を含むインダクタ構造体を提供する。インダクタ構造体は、導電性材料を含む第2のインダクタ巻線も含む。インダクタ構造体は、第1のインダクタ巻線と第2のインダクタ巻線との間に横方向に位置する充填材も含む。充填材は、第1のインダクタ巻線と第2のインダクタ巻線の構造上の結合を可能にするように構成される。

【0007】

一態様によれば、第1のインダクタ巻線は、横方向において第2のインダクタ巻線と同一平面内に位置する。

【0008】

一態様によれば、第1のインダクタ巻線は第1のらせん形状を有し、第2のインダクタ巻線は第2のらせん形状を有する。

【0009】

一態様によれば、第1のインダクタ巻線および第2のインダクタ巻線は、細長い円形形状を有する。

【0010】

一態様によれば、第1のインダクタ巻線は、第1の端子と第2の端子とを有し、第2のインダクタ巻線は、第3の端子と第4の端子とを有する。いくつかの実装形態では、第1の端子は、第1のインダクタ巻線の第1の端部に結合され、第2の端子は、第1のインダクタ巻線の第2の端部に結合される。

【0011】

一態様によれば、第1のインダクタ巻線の厚さは0.2ミリメートル未満である。

【0012】

一態様によれば、充填材はエポキシである。いくつかの実装形態では、インダクタ構造には、インダクタ構造体のベース部分としての基板がない。

【0013】

一態様によれば、インダクタ構造体は、パッケージオンパッケージ（P o P）構造上に集積される。いくつかの実装形態では、インダクタ構造体は、パッケージ基板の表面上に集積される。いくつかの実装形態では、インダクタ構造体は、パッケージ基板の内部に集積される。

【0014】

一態様によれば、インダクタ構造体は、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、モバイルフォン、スマートフォン、携帯情報端末、固定位置端末、タブレットコンピュータ、および／またはラップトップコンピュータのうちの少なくとも1つに組み込まれる。

【0015】

第2の例は、第1の誘導手段と、第2の誘導手段と、横方向において第1の誘導手段と第2の誘導手段との間に位置する充填材とを含む。充填材は、第1の誘導手段と第2の誘導手段の構造上の結合を可能にするように構成される。

【0016】

一態様によれば、第1の誘導手段は、横方向において第2の誘導手段と同一平面内に位

10

20

30

40

50

置する。

【0017】

一態様によれば、第1の誘導手段は第1のらせん形状を有し、第2の誘導手段は第2のらせん形状を有する。

【0018】

一態様によれば、第1の誘導手段および第2の誘導手段は、細長い円形形状を有する。

【0019】

一態様によれば、第1の誘導手段は、第1の端子と第2の端子とを有し、第2の誘導手段は、第3の端子と第4の端子とを有する。いくつかの実装形態では、第1の端子は、第1の誘導手段の第1の端部に結合され、第2の端子は、第2の誘導手段の第2の端部に結合される。

10

【0020】

一態様によれば、第1の誘導手段の厚さは0.2ミリメートル未満である。

【0021】

一態様によれば、充填材はエポキシである。いくつかの実装形態では、この装置には、インダクタ構造のベース部分としての基板がない。

【0022】

一態様によれば、この装置は、パッケージオンパッケージ（P o P）構造上に集積される。いくつかの実装形態では、この装置は、パッケージ基板の表面上に集積される。いくつかの実装形態では、この装置は、パッケージ基板の内部に集積される。

20

【0023】

一態様によれば、この装置は、音楽プレーヤ、ビデオプレーヤ、娛樂ユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、モバイルフォン、スマートフォン、携帯情報端末、固定位置端末、タブレットコンピュータ、および／またはラップトップコンピュータのうちの少なくとも1つに組み込まれる。

【0024】

第3の例は、インダクタ構造を実現する方法を提供する。この方法では、基板を設ける。この方法ではさらに、基板上に第1のインダクタ巻線および第2のインダクタ巻線を設ける。この方法では、第1のインダクタ巻線と第2のインダクタ巻線との間に充填材を設ける。充填材は、第1のインダクタ巻線と第2のインダクタ巻線の構造上の結合を可能にするように構成される。

30

【0025】

一態様によれば、この方法では基板を除去する。

【0026】

一態様によれば、基板上に第1のインダクタ巻線および第2のインダクタ巻線を設けることは、基板の上方に犠牲層を設けることと、犠牲層の一部を選択的に除去することと、基板および犠牲層の上方に金属層を設けることを含む。金属層は、第1のインダクタ巻線および第2のインダクタ巻線を形成する。いくつかの実装形態では、第1のインダクタ巻線および第2のインダクタ巻線を設けることは、犠牲層を除去することを含む。

40

【0027】

一態様によれば、第1のインダクタ巻線および第2のインダクタ巻線を設けることは、第1のインダクタ巻線を横方向において第2のインダクタ巻線と同一平面内に位置させることを含む。

【0028】

一態様によれば、第1のインダクタ巻線は第1のらせん形状を有し、第2のインダクタ巻線は第2のらせん形状を有する。

【0029】

一態様によれば、第1のインダクタ巻線および第2のインダクタ巻線は、細長い円形形状を有する。

【0030】

50

一態様によれば、第1のインダクタ巻線は、第1の端子と第2の端子とを含み、第2のインダクタ巻線は、第3の端子と第4の端子とを含む。いくつかの実装形態では、第1の端子は、第1のインダクタ巻線の第1の端部に結合され、第2の端子は、第1のインダクタ巻線の第2の端部に結合される。

【0031】

一態様によれば、充填材はエポキシである。

【0032】

一態様によれば、この方法ではさらに、インダクタ構造体をパッケージオンパッケージ(PoP)構造上に設ける。

【0033】

一態様によれば、この方法ではさらに、インダクタ構造体をパッケージ基板の表面上に設ける。

【0034】

一態様によれば、この方法ではさらに、インダクタ構造体をパッケージ基板の内部に設ける。

【0035】

一態様によれば、この方法ではさらに、音楽プレーヤ、ビデオプレーヤ、娛樂ユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、モバイルフォン、スマートフォン、携帯情報端末、固定位置端末、タブレットコンピュータ、および／またはラップトップコンピュータのうちの少なくとも1つにインダクタ構造体を設ける。

【0036】

様々な特徴、性質、および利点は、下記の詳細な説明を図面と併せ読みれば明らかになるであろう。図中、同様の参照符号は、全体を通じて同じ部分を表す。

【図面の簡単な説明】

【0037】

【図1】はしご型構造インダクタを示す図である。

【図2】基板上の基板レス結合インダクタ構造の斜視図である。

【図3】基板上の基板レス結合インダクタ構造の上面図および側面図である。

【図4A】基板レス結合インダクタ構造を提供／製造するためのシーケンスを示す図である。

【図4B】基板レス結合インダクタ構造を提供／製造するためのシーケンスを示す図である。

【図4C】基板レス結合インダクタ構造を提供／製造するためのシーケンスを示す図である。

【図5】基板レス結合インダクタ構造を提供／製造するための流れ図である。

【図6】基板レス結合インダクタ構造を提供／製造するための別の流れ図である。

【図7】パッケージオンパッケージ(PoP)構造上の基板レス結合インダクタ構造を示す図である。

【図8】パッケージオンパッケージ(PoP)構造上の別の基板レス結合インダクタ構造を示す図である。

【図9】パッケージ基板上の少なくとも1つの基板レス結合インダクタ構造を示す図である。

【図10】パッケージ基板に集積された少なくとも1つの基板レス結合インダクタ構造を示す図である。

【図11】パッケージ基板に集積された別の基板レス結合インダクタ構造を示す図である。

【図12】上述の集積回路、ダイ、ダイパッケージ、および／または基板のいずれかと統合され得る様々な電子デバイスを示す図である。

【発明を実施するための形態】

【0038】

10

20

30

40

50

以下の説明では、本開示の様々な態様の完全な理解を提供するために具体的な詳細が与えられる。しかしながら、態様はこれらの具体的な詳細なしに実践され得ることが当業者によって理解されるであろう。たとえば、態様が不要な詳細で不明瞭になることを回避するために、回路はブロック図で示される場合がある。他の場合には、本開示の態様を不明瞭にしないために、よく知られている回路、構造、および技法は、詳細に示されない場合がある。

【0039】

概要

いくつかの新規の特徴は、第1のインダクタ巻線と、第2のインダクタ巻線と、充填材とを含む基板レスインダクタ構造に関する。第1のインダクタ巻線は導電性材料を含む。第2のインダクタ巻線は導電性材料を含む。充填材は、横方向において第1のインダクタ巻線と第2のインダクタ巻線との間に位置する。充填材は、第1のインダクタ巻線と第2のインダクタ巻線の構造上の結合を可能にするように構成される。インダクタ構造には、インダクタ構造のベース部分としての基板がない。いくつかの実装形態では、第1のインダクタ巻線は、横方向において第2のインダクタ巻線と同一平面内に位置する。いくつかの実装形態では、第1のインダクタ巻線は第1のらせん形状を有し、第2のインダクタ巻線は第2のらせん形状を有する。いくつかの実装形態では、第1のインダクタ巻線および第2のインダクタ巻線は、細長い円形形状を有する。いくつかの実装形態では、充填材はエポキシである。

【0040】

例示的な結合インダクタ構造

図2～図3は、結合インダクタ構造の例を示す。いくつかの実装形態では、結合インダクタ構造は、図1に示しかつ図1で説明したはしご型構造よりも優れておりかつ／または改善された結合を有する小さい有効フットプリント／面積を占有するように設計／配置される。より具体的には、いくつかの実装形態は、図1に示すはしご型構造よりも薄くなるように設計／配置された結合インダクタ構造を実現する。いくつかの実装形態では、そのような結合インダクタ構造は、基板がない（たとえば、ベース部分としての基板が除去された）かまたは非常に薄い基板を有する基板レス離散結合インダクタ構造である。

【0041】

より具体的には、図2は、基板上に形成された結合インダクタ構造（基板は後で除去される）の斜視図であり、図3は、基板上の結合インダクタ構造（基板は後で除去される）の上面図および側面図である。いくつかの実装形態では、基板を除去すると、他の結合インダクタ構造と比較してかなり薄い結合インダクタ構造が得られる。いくつかの実装形態では、基板のない（たとえば、ベースとしての基板のない）結合インダクタ構造は、厚さが0.2ミリメートル（mm）以下（200ミクロン（μm）以下）である。いくつかの実装形態では、基板レス結合インダクタ構造は厚さが90ミクロン（μm）以下である。

【0042】

図2は、第1のインダクタ204と、第2のインダクタ206と、端子208～214とを含む結合インダクタ構造200を示す。第1のインダクタ204（たとえば、第1のインダクタ巻線）は端子208～210を含む。第2のインダクタ206（たとえば、第2のインダクタ巻線）は端子212～214を含む。第1のインダクタ204と第2のインダクタ206は、結合インダクタ構造200の構造上の結合、安定性、および／または剛性を実現する充填材（図示せず）を介して結合される。いくつかの実装形態では、充填材はエポキシである。いくつかの実装形態では、充填材は、第1のインダクタ204と第2のインダクタ206との間に位置し、第1のインダクタ204および第2のインダクタ206を保持し、2つのインダクタ204、206間の横エネルギー結合（たとえば、エネルギー伝達）を可能にする。

【0043】

図2は、結合インダクタ構造が基板220上に形成されることも示す。基板220は、基板220が、インダクタ204、206が形成された後に除去されることを示すように

10

20

30

40

50

点線で示されている。いくつかの実装形態では、構造 220 は、できるだけ薄い結合インダクタ構造 200 を実現するために除去される（たとえば、エッティング、研削される）。

【0044】

図 3 は、結合インダクタ構造 200 の構造上の結合、安定性、および / または剛性を充填材がどのように実現し得るかを示す。上記のように、図 3 は、基板上の結合インダクタ構造（基板は後で除去されるかまたは薄くされる）の上面図および側面図を示す。結合インダクタ構造 200 の側面図は、結合インダクタ構造 200 の上面図の AA 断面に沿った図である。

【0045】

図 3 に示すように、結合インダクタ構造 200 は、充填材 202 と、第 1 のインダクタ 204 と、第 2 のインダクタ 206 を含む。充填材 202 は、結合インダクタ構造 200 の構造上の結合、安定性、および / または剛性を実現する。たとえば、充填材 202 は、第 1 のインダクタ 204 と第 2 のインダクタ 206 を物理的に結合するのを可能にし、第 1 のインダクタ 204 と第 2 のインダクタ 206 との間のエネルギー結合を可能にする。エネルギー結合について以下でさらに説明する。

【0046】

結合インダクタ構造 200 は、基板 220 上に形成される（基板 220 は後で除去されるかまたは薄くされる）。基板 220 は、シリコン基板であってよい。第 1 のインダクタ 204 は第 1 のインダクタ巻線（たとえば、コイル）によって形成される。第 2 のインダクタ 206 は第 2 のインダクタ巻線（たとえば、コイル）によって形成される。第 1 および第 2 のインダクタ巻線は導電性材料（たとえば、銅などの金属）を有してよい。第 1 のインダクタ 204 の第 1 の巻線は、第 1 のらせんの形状を有する。第 2 のインダクタ 206 の第 2 の巻線は、第 2 のらせんの形状を有する。様々な実装形態がそれぞれに異なる形状をインダクタの巻線に使用してよいことにも留意されたい。たとえば、いくつかの実装形態では、インダクタ巻線は細長い円形形状（たとえば、レーストラック形状）を有してもよい。

【0047】

いくつかの実装形態では、第 1 のインダクタ 204 の第 1 のらせんと第 2 のインダクタ 206 の第 2 のらせんは、第 1 のインダクタ 204 と第 2 のインダクタ 206 との間に横エネルギー結合が存在するように基板 220 上に位置する（基板 220 は後で除去される）。すなわち、第 1 のインダクタ 204 は、第 2 のインダクタ 206 において電流を誘導するように構成されてよい。いくつかの実装形態では、横エネルギー結合は、同じ平面に沿った（たとえば、同じ層に沿って同一平面内に位置する）2つのインダクタ間のエネルギーの伝達を指す。いくつかの実装形態では、横結合インダクタ構造は、2つのインダクタ間のエネルギー伝達が主として（たとえば、エネルギー伝達の大部分が）または実質的に同じ平面に沿って生じるインダクタ構造である。横結合インダクタ構造は、小さいフィットプリントを実現することに加えて、他の種類の結合インダクタ構造（たとえば、縦結合インダクタ構造）よりも優れた結合効率を実現し得る。インダクタおよび / または結合インダクタ構造の特性のいくつかには、有効インダクタンス、Q 値、および / またはインダクタ構造の結合の有効性が含まれる。インダクタおよび / またはインダクタ構造の有効性はその Q 値によって定義される。Q 値は、インダクタの効率を規定する品質因子 / 値である。Q 値が高いほど、インダクタは、無損失のインダクタである理想のインダクタの挙動に近づく。したがって、一般的に言えば、より低い Q 値よりもより高い Q 値の方が好ましい。

【0048】

いくつかの実装形態では、第 1 のインダクタ 204 は、インダクタ構造における一次インダクタであり、第 2 のインダクタ 206 はインダクタ構造における二次インダクタである。そのような構成では、第 1 のインダクタ 204（たとえば、一次インダクタ）は、第 2 のインダクタ 206（たとえば、二次インダクタ）における電圧 / 電流を含んでよい。

10

20

30

40

50

代替として、いくつかの実装形態では、第1のインダクタ204は、インダクタ構造における二次インダクタであり、第2のインダクタ206はインダクタ構造における一次インダクタである。そのような構成では、第2のインダクタ206は、第1のインダクタ204における電圧 / 電流を含んでよい。

【0049】

インダクタ204、206は1組のピン / 端子（たとえば、入力端子および出力端子）も含む。具体的には、第1のインダクタ204は第1の入力端子208（たとえば、 v_{x_1} ）と第1の出力端子210（たとえば、 v_{out_1} ）とを有し、第2のインダクタ206は第2の入力端子214（たとえば、 v_{x_2} ）と第2の出力端子212（たとえば、 v_{out_2} ）とを有する。しかしながら、様々な実装形態がそれぞれに異なる入力端子位置および出力端子位置を使用してよいことに留意されたい。たとえば、いくつかの実装形態では、端子208は出力端子であってよく、端子210は入力端子であってよい。

10

【0050】

結合インダクタ構造200は、1つまたは複数の強磁性層（図示せず）を含んでもよい。たとえば、第1の強磁性層は基板202上に位置してよく、第2の強磁性層は基板202の底部に位置してよい。いくつかの実装形態では、第1および第2の強磁性層は、インダクタ204、206間の充填材の上方 / 下方に位置してよい。第1および第2の強磁性層は、インダクタ204、206に電気的に結合されなくてよい。第1および第2の強磁性層は、金属近接（ファラデーケージ）に起因する損失を低減させるように構成されてよい。第1および第2の強磁性層は、第1および第2のインダクタ204、206の遮蔽を実現することもでき、それによって、いくつかの実装形態において結合インダクタ構造200の有効インダクタンス、Q値、および / または結合の有効性を向上させる助けになる。上述のように、インダクタの有効性はそのQ値によって定義され得る。Q値は、インダクタの効率を規定する品質因子 / 値である。Q値が高いほど、インダクタは、無損失のインダクタである理想のインダクタの挙動に近づく。したがって、一般的に言えば、より低いQ値よりも高いQ値の方が好ましい。いくつかの実装形態では、第1および第2の強磁性層を使用すると、結合インダクタ構造200のQ値を向上させ（たとえば、有効インダクタンスを増大させ）、磁気遮蔽を実現する助けになる。いくつかの実装形態では、磁気遮蔽がインダクタ204、206のうちの1つまたは複数によって生成される磁界を結合インダクタ構造内に維持し（たとえば、集中させ）、それによってインダクタ構造の有効インピーダンスを増大させる（たとえば、Q値を向上させる）。

20

【0051】

第1および第2の強磁性層は高透磁率（ μ ）および / または高B飽和状態を有してよい。いくつかの実装形態では、材料の透磁率は、材料が印加磁場に応答して得る磁化の程度を指す。いくつかの実装形態では、材料のB飽和状態は、磁界を増大させててももはや材料の磁化が増強されないようになる状態を指す。強磁性材料の一例は、シリコンスチール、マンガン亜鉛フェライト（MnZn）および / またはパーマロイであってよい。いくつかの実装形態では、第1および第2の強磁性層は磁気箔であってよい。

30

【0052】

基板レス結合インダクタ構造について説明したが、次に、基板レス結合インダクタ構造を製造 / 提供するためのシーケンスおよび方法について以下に説明する。

40

【0053】

基板レス結合インダクタ構造を提供 / 製造するための例示的なシーケンス

図4A～図4Cは、基板レス結合インダクタ構造を提供 / 製造するためのシーケンスを示す。いくつかの実装形態では、図4A～図4Cのシーケンスを使用して図2および図3の結合インダクタ構造200を製造してよい。しかしながら、図4A～図4Cのシーケンスは他の結合インダクタ構造に適用可能であってよい。

【0054】

シーケンスは、基板402を有する図4Aの段階1から始まる。基板402は、いくつかの実装形態ではシリコン基板であってよい。様々な実装形態はそれぞれに異なる基板を

50

使用してよい。いくつかの実装形態では、基板 402 を薄くしてよい。

【0055】

段階 2において、基板 402 の上方に犠牲層 404 を設ける（たとえば、堆積させる）。基板 404 は、いくつかの実装形態ではフォトレジスト層であってよい。様々な実装形態は、フォトレジスト層にそれぞれの異なる材料を使用してよい。

【0056】

段階 3において、犠牲層 404 にパターン 405 を形成する。パターン 405 は、犠牲層 404 のキャビティおよび／またはトレンチであってよい。様々な実装形態は、それれに異なる方法を使用してパターン 405 を作製／形成してよい。いくつかの実装形態では、パターンを犠牲層 404 にエッチング／掘削する。たとえば、レーザを使用して犠牲層 404 をエッチングおよび／または掘削してよい。いくつかの実装形態では、リソグラフィを使用して犠牲層 404 にパターン 405 をエッチングする。エッチングは、いくつかの実装形態では化学的プロセスによって実施されてもよい。

10

【0057】

図 4B に示すように、段階 4 では、基板 402 の上方に金属層 406 を堆積させる。金属層 406 は、犠牲層 404 に作製されたパターン 405 のうちのいくつかまたはすべてを充填し得る。いくつかの実装形態では、金属層 406 を犠牲層 404 の上方に堆積させてもよい。様々な実装形態は、それぞれに異なる材料を金属層 406 に使用してよい。たとえば、金属層 406 はいくつかの実装形態では銅であってよい。

20

【0058】

段階 5において、犠牲層 404 および犠牲層 404 の上方の金属層 406 を除去し、残っている金属層 408 のみを残す。様々な実装形態は、それぞれに異なる方法を使用して犠牲層 404 および金属層 406 を除去してよい（たとえば、エッチング）。たとえば、化学的プロセスを使用して残っている犠牲層 404 を「洗い流して」よい。犠牲層 404 を「洗い流す」プロセスの間、いくつかの実装形態では犠牲層 404 の上方の金属層も除去する。段階 5 に示すように、犠牲層 404 を除去した後、残っている金属層がインダクタ構造の構成要素 408 になる。たとえば、構成要素 408 は第 1 のインダクタおよび／または第 2 のインダクタの巻線であってよい。さらに、構成要素 408 は、いくつかの実装形態では第 1 のインダクタおよび／または第 2 のインダクタの端子であってよい。

30

【0059】

段階 6 では、構成要素 408 間（たとえば、第 1 のインダクタの巻線と第 2 のインダクタの巻線の間）に充填材 410 を設ける。充填材 410 は、いくつかの実装形態ではエポキシであってよい。充填材 410 は、いくつかの実装形態では結合インダクタ構造の構造上の結合、安定性、および／または剛性を実現する。すなわち、いくつかの実装形態では、充填材 410 は、結合インダクタ構造がベース部分としての基板がない場合に構造の完全性を有するのを可能にするように構成されてよい。たとえば、充填材 410 は、第 1 のインダクタを第 2 のインダクタに物理的に結合するのを可能にし得る。

30

【0060】

図 4C に示すように、段階 7 において、結合インダクタ構造から基板 402 を除去する（たとえば、エッチングする）。基板 402 の除去は、基板 402 が前に位置していた場所を示す点線によって表されている。様々な実装形態は、それぞれに異なる方法を使用して基板を除去してよい。いくつかの実装形態では、レーザを使用して基板 402 をエッチング除去してよい。いくつかの実装形態では、基板の一部のみを除去する。たとえば、いくつかの実装形態では、基板を完全に除去する代わりに薄くする。

40

【0061】

段階 8 において、充填材 410 の一部を除去する。充填材 410 の一部の除去は、この部分が前に位置していた場所を示す点線によって表されている。様々な実装形態は、それれに異なる方法を使用して充填材 410 の一部を除去してよい。たとえば、レーザを使用して充填材 410 の一部を除去してよい。充填材 410 の一部を除去して結合インダクタ構造のサイズおよび／または面積をさらに小さくしてよい。

50

【 0 0 6 2 】

段階 9 は、基板を除去した後の例示的な結合インダクタ構造 4 0 0 を示す。段階 9 に示すように、基板レス結合インダクタ構造は、(第 1 および第 2 のインダクタ用の巻線を含んでよい) 構成要素 4 0 8 と、構成要素 4 0 8 同士を物理的に結合する(たとえば、第 1 のインダクタの巻線を第 2 のインダクタの巻線に物理的に結合する) 充填材 4 1 0 とを含む。

【 0 0 6 3 】

いくつかの実装形態では、結合インダクタ構造 4 0 0 上に 1 つまたは複数の強磁性層を設けてよい(たとえば、堆積させてよい) ことに留意されたい。強磁性層は、結合インダクタ構造 4 0 0 の上方および / または下方に設けられてよい。様々な実装形態は、結合インダクタ構造の製造のそれぞれに異なる段階の間に強磁性層を設けてよい。いくつかの実装形態では、1 つまたは複数の強磁性層を充填材上に(たとえば、図 4 B の段階 6 の後に) 設けてよい。いくつかの実装形態では、基板を除去しあつ / または薄くした後で(たとえば、図 4 C の段階 7 の後で) 1 つまたは複数の強磁性層を設けてよい。

10

【 0 0 6 4 】

基板レス結合インダクタ構造を提供 / 製造するための例示的な方法

図 5 は、基板レス結合インダクタ構造を提供 / 製造するための方法の流れ図である。いくつかの実装形態では、図 5 の方法を使用して図 2 および図 3 の基板レス結合インダクタ構造 2 0 0 ならびに図 4 A ~ 図 4 C の基板レス結合インダクタ構造 4 0 0 を製造 / 提供する。

20

【 0 0 6 5 】

この方法では(5 0 5 において) 基板(たとえば、基板 4 0 2)を設ける。基板は、いくつかの実装形態ではシリコン基板であってよい。様々な実装形態はそれぞれに異なる基板を使用してよい。いくつかの実装形態では、基板を薄くしてよい。

【 0 0 6 6 】

この方法ではさらに、(5 1 0 において) 基板の上方に犠牲層(たとえば、犠牲層 4 0 4)を設ける。いくつかの実装形態では、犠牲層を設けることは、基板上に犠牲層を堆積させることを含む。犠牲層は、いくつかの実装形態ではフォトレジスト層であってよい。様々な実装形態は、フォトレジスト層にそれぞれの異なる材料を使用してよい。

30

【 0 0 6 7 】

この方法では、犠牲層の一部を(5 1 5 において) 選択的に除去する。いくつかの実装形態では、犠牲層の一部を選択的に除去することは、犠牲層にパターン(たとえば、パターン 4 0 5)を作製 / 形成することを含む。パターンは、犠牲層のキャビティおよび / またはトレンチであってよい。様々な実装形態は、それぞれに異なる方法を使用して犠牲層の一部を選択的に除去し、パターンを作製 / 形成してよい。いくつかの実装形態では、パターンを犠牲層にエッティング / 掘削する。たとえば、レーザを使用して犠牲層をエッティングおよび / または掘削してよい。いくつかの実装形態では、リソグラフィを使用して犠牲層にパターンをエッティングする。エッティングは、いくつかの実装形態では化学的プロセスによって実施されてもよい。

【 0 0 6 8 】

この方法では、(5 2 0 において) 基板の上方に犠牲層(たとえば、犠牲層 4 0 6)を設ける。いくつかの実装形態では、金属層を設けることは、基板の上方に金属層を堆積させることを含む。金属層は、(5 1 5 において) 犠牲層の選択された部分を除去したときに犠牲層に作製されたパターンのうちのいくつかまたはすべてを充填してよい。いくつかの実装形態では、金属層を犠牲層の上方に堆積させてもよい。様々な実装形態は、金属層にそれぞれの異なる材料を使用してよい。たとえば、金属層はいくつかの実装形態では銅であってよい。

40

【 0 0 6 9 】

この方法では、(5 2 5 において) 犠牲層および犠牲層の上方の金属層を除去する。様々な実装形態は、それぞれに異なる方法を使用して犠牲層および金属層を除去してよい(

50

たとえば、エッティング）。たとえば、化学的プロセスを使用して残っている犠牲層を「洗い流して」よい。犠牲層を「洗い流す」プロセスの間、いくつかの実装形態では犠牲層の上方の金属層も除去する。犠牲層を除去した後、残っている金属層がインダクタ構造の構成要素（たとえば、構成要素 408）になる。たとえば、構成要素（たとえば、構成要素 408）は第1のインダクタおよび／または第2のインダクタの巻線であってよい。さらに、構成要素は、いくつかの実装形態では第1のインダクタおよび／または第2のインダクタの端子であってよい。

【0070】

この方法では、（530において）結合インダクタ構造の構成要素を形成する金属層間に（たとえば、第1のインダクタの巻線と第2のインダクタの巻線間に）充填材（たとえば、充填材 410）を設ける。いくつかの実装形態では、充填材を設けることは、結合インダクタ構造の構成要素を形成する金属層間に充填材を堆積させることを含む。充填材は、いくつかの実装形態ではエポキシであってよい。充填材は、いくつかの実装形態では結合インダクタ構造上の結合、安定性、および／または剛性を実現するように構成されてよい。すなわち、いくつかの実装形態では、充填材は、結合インダクタ構造がベース部分としての基板がない場合に構造の完全性を有するのを可能にするように構成されてよい。たとえば、充填材は、第1のインダクタ（たとえば、第1のインダクタ巻線）を第2のインダクタ（たとえば、第2のインダクタ巻線）に物理的に結合するのを可能にしてよい。

10

【0071】

この方法では、（535において）結合インダクタ構造から基板を除去する。様々な実装形態は、それぞれに異なる方法を使用して基板を除去してよい。いくつかの実装形態では、レーザを使用して基板をエッティング除去してよい。いくつかの実装形態は、基板を除去することに加えて、充填材の一部を除去してもよい。充填材の一部を除去して結合インダクタ構造のサイズおよび／または面積をさらに小さくしてよい。

20

【0072】

基板レス結合インダクタ構造を提供／製造するための特定の方法について説明したが、次に、基板レス結合インダクタ構造を提供／製造するための一般的な方法について以下に説明する。

30

【0073】

基板レス結合インダクタ構造を提供／製造するための例示的な方法

図6は、基板レス結合インダクタ構造を提供／製造するための方法の流れ図である。いくつかの実装形態では、図6の方法を使用して図2および図3の基板レス結合インダクタ構造 200ならびに図4A～図4Cの基板レス結合インダクタ構造 400を製造／提供する。

【0074】

この方法では（605において）基板（たとえば、基板 402）を設ける。基板は、いくつかの実装形態ではシリコン基板であってよい。様々な実装形態はそれぞれに異なる基板を使用してよい。いくつかの実装形態では、基板を薄くしてよい。

40

【0075】

この方法ではさらに、（610において）基板上に第1のインダクタ巻線および第2のインダクタ巻線を設ける。様々な実施形態は、基板上に第1のインダクタ巻線および第2のインダクタ巻線を別々に設けてよい。いくつかの実装形態では、第1および第2のインダクタ巻線を設けることは、基板の上方に犠牲層を設ける（たとえば、堆積させる）ことを含む。犠牲層は、いくつかの実装形態ではフォトレジスト層であってよい。様々な実装形態は、それぞれに異なる材料をフォトレジスト層に使用してよい。

【0076】

いくつかの実装形態では、第1および第2のインダクタ巻線を設けることは、犠牲層の一部を選択的に除去することも含む。いくつかの実装形態では、犠牲層の一部を選択的に除去することは、犠牲層にパターン（たとえば、パターン 405）を作製／形成すること

50

を含む。パターンは、犠牲層のキャビティおよび／またはトレンチであってよい。様々な実装形態は、それぞれに異なる方法を使用して犠牲層の一部を選択的に除去し、パターンを作製／形成してよい。いくつかの実装形態では、パターンを犠牲層にエッティング／掘削する。たとえば、レーザを使用して犠牲層をエッティングおよび／または掘削してよい。いくつかの実装形態では、リソグラフィを使用して犠牲層にパターンをエッティングする。エッティングは、いくつかの実装形態では化学的プロセスによって実施されてもよい。

【0077】

いくつかの実装形態では、第1および第2のインダクタ巻線を設けることは、基板の上方に金属層（たとえば、金属層406）を設けることを含む。いくつかの実装形態では、金属層を設けることは、基板の上方に金属層を堆積させることを含む。金属層は、犠牲層の選択された部分を除去したときに犠牲層に作製されたパターンのうちのいくつかまたはすべてを充填してよい。いくつかの実装形態では、金属層を犠牲層の上方に堆積させてよい。様々な実装形態は、金属層にそれぞれの異なる材料を使用してよい。たとえば、金属層はいくつかの実装形態では銅であってよい。

10

【0078】

いくつかの実装形態では、第1および第2のインダクタ巻線を設けることは、犠牲層および犠牲層の上方の金属層を除去することをさらに含む。様々な実装形態は、それぞれに異なる方法を使用して犠牲層および金属層を除去してよい（たとえば、エッティング）。たとえば、化学的プロセスを使用して残っている犠牲層を「洗い流して」よい。犠牲層を「洗い流す」プロセスの間、いくつかの実装形態では犠牲層の上方の金属層も除去する。犠牲層を除去した後、残っている金属層がインダクタ構造の構成要素（たとえば、構成要素408）になる。たとえば、構成要素（たとえば、構成要素408）は第1のインダクタおよび／または第2のインダクタの巻線であってよい。さらに、構成要素は、いくつかの実装形態では第1のインダクタおよび／または第2のインダクタの端子であってよい。

20

【0079】

この方法では、（615において）第1のインダクタ巻線と第2のインダクタ巻線との間に充填材を設ける。いくつかの実装形態では、（615において）充填材を設けることは、結合インダクタ構造の構成要素を形成する金属層間に充填材（たとえば、充填材410）を堆積させることを含む。充填材は、いくつかの実装形態ではエポキシであってよい。充填材は、いくつかの実装形態では結合インダクタ構造の構造上の結合、安定性、および／または剛性を実現するように構成されてよい。すなわち、いくつかの実装形態では、充填材は、結合インダクタ構造がベース部分としての基板がない場合に構造の完全性を有するのを可能にするように構成されてよい。たとえば、充填材は、第1のインダクタ（たとえば、第1のインダクタ巻線）を第2のインダクタ（たとえば、第2のインダクタ巻線）に物理的に結合するのを可能にしてよい。

30

【0080】

この方法では、（620において）結合インダクタ構造から基板を除去する。様々な実装形態は、それぞれに異なる方法を使用して基板を除去してよい。いくつかの実装形態では、レーザを使用して基板をエッティング除去してよい。いくつかの実装形態は、基板を除去することに加えて、充填材の一部を除去してもよい。充填材の一部を除去して結合インダクタ構造のサイズおよび／または面積をさらに小さくしてよい。いくつかの実装形態では、基板を除去することは、基板の一部を除去すること（たとえば、基板を薄くすること）を含む。

40

【0081】

例示的なパッケージオンパッケージ上基板レス結合インダクタ構造

いくつかの実装形態では、1つまたは複数の結合インダクタ構造（たとえば、インダクタ構造200）をパッケージオンパッケージ（PnP）構造内の基板上に結合してよい。図7は、結合インダクタ構造を含むパッケージオンパッケージ（PnP）構造700の側面図を示す。図7に示すように、PnP構造は、第1のパッケージ基板702と、第1の1組のはんだボール704と、第1のダイ706と、第2のパッケージ基板708と、第

50

2の1組のはんだボール710と、第2の1組のダイ712と、第1のインダクタ構造714と、第2のインダクタ構造716とを含む。第1および第2のインダクタ構造714、716は、図2および図3ならびに図4A～図4Cのインダクタ構造200および/または400であってよい。第1のダイ706は論理ダイであってよい。第2の1組のダイ716は、いくつかの実装形態ではスタッキングされたメモリダイであってよい。

【0082】

PoP構造700の第1のパッケージは、第1のパッケージ基板702と、第1の1組のはんだボール704と、第1のダイ706とを含んでよい。PoP構造700の第1のパッケージは第1および第2のインダクタ構造714、716を含んでもよい。第1のダイ706は、いくつかの実装形態では特定用途向け集積回路(ASIC)ダイであってよい。第1のインダクタ構造714は、第1のパッケージ基板702の頂面上に集積されてよい。図7に示すように、1つまたは複数のはんだボールを除去して第2のインダクタ構造714を第1のパッケージ基板702の頂面上に配置してよい。

10

【0083】

パッケージ基板の底面上にインダクタ構造を位置させててもよい。図7にさらに示すように、第2のインダクタ構造716は第1のパッケージ基板702の底面上に位置する。第1の1組のはんだボール710のうちの1つまたは複数を除去して第2のインダクタ構造716を第1のパッケージ基板702の底部上に配置するのを可能にしてよい。

【0084】

図8は、結合インダクタ構造を含む別のパッケージオンパッケージ(PoP)構造80の側面図および底面図を示す。図8に示すように、PoP構造は、第1のパッケージ基板802と、第1の1組のはんだボール804と、第1のダイ806と、第2のパッケージ基板808と、第2の1組のはんだボール810と、第2の1組のダイ812と、インダクタ構造814とを含む。第1のインダクタ構造814は、図2および図3ならびに図4A～図4Cのインダクタ構造200および/または400であってよい。第1のダイ706は論理ダイであってよい。第2の1組のダイ716は、いくつかの実装形態ではスタッキングされたメモリダイであってよい。

20

【0085】

図8に示すように、インダクタ構造814は第1のパッケージ基板802の底部部分/底面上に位置する。インダクタ構造814は、第1の1組のはんだボール804に囲まれる。図8は、インダクタ構造814用のスペースを設けるために第1の1組のはんだボール804のはんだボールのいくつかが除去されることも示している。図8のインダクタ構造814は、1つのインダクタ構造またはいくつかのインダクタ構造を概念的に表す。

30

【0086】

例示的なパッケージ上基板レス結合インダクタ構造

いくつかの実装形態では、1つまたは複数の結合インダクタ構造(たとえば、インダクタ構造200、400)を半導体パッケージ内の基板上に結合してよい。図9に示すように、ダイ/チップ900はパッケージ基板902上に取り付けられてよい。図9は、パッケージ基板902の表面上の2つの結合インダクタ構造も示す。具体的には、図9は、パッケージ基板902上の第1の構造904および第2の構造906を示す。第1および第2の構造904、906は、1組の配線(たとえば、トレース)を介してダイ900に結合される。いくつかの実装形態では、第1および第2の構造904、906の各々は、図2および図3ならびに/あるいは図4A～図4Cに示しかつ図2および図3ならびに/あるいは図4A～図4Cで説明したインダクタ構造(たとえば、インダクタ構造200、400)であってよい。

40

【0087】

いくつかの実装形態では、インダクタ構造904、906のインダクタのうちの1つまたは複数はそれぞれに異なる電圧で動作してよい。いくつかの実装形態では、1つまたは複数の電圧調整器(EVR)908～910を使用してインダクタ構造904、906内のインダクタのうちの1つまたは複数に与えられ(たとえば、供給され)る電圧/電流を

50

調整してよい。一例では、第1のEVR908を使用して第1の構造904への電圧／電流を調整しつゝまたは第1の構造904に電圧／電流を与えてよい。第1のEVR908は、第1の構造904の1つまたは複数のインダクタに与えられる電圧／電流の位相を調整してもよい。同様に、第2のEVR910を使用して第2の構造906への電圧／電流を調整しつゝまたは第2の構造906に電圧／電流を与えてよい。第2のEVR910は、第1の構造906の1つまたは複数のインダクタに与えられる電圧／電流の位相を調整してもよい。図9に示すように、第1および第2のEVR908、910はダイ900上に位置する。しかしながら、いくつかの実装形態では、EVR908、910は、ダイ900に結合されるがダイ900から物理的に分離されてよい。図9にさらに示すように、いくつかの実装形態では、第1および第2のEVR908、910の結合寸法は2mm × 2mm以下であってよい。しかしながら、様々な実装形態はそれぞれに異なる寸法を有するEVR908、910を有してよい。

10

【0088】

いくつかの実装形態では、ダイ900と構造904、906の一方または両方との間の間隔は2mm以下である。この間隔は、2つの構成要素間のエッジ間距離（たとえば、ダイのエッジと構造のエッジとの間の距離）として定義されてよい。いくつかの実装形態では、ダイ900と構造（たとえば、構造904）の外側エッジとの間の間隔は8mmよりも大きく5mmよりも小さい。しかし、様々な実装形態は、ダイ900と構造904、906のうちの1つまたは複数との間にそれぞれに異なる間隔を有してよい。

20

【0089】

いくつかの例では、基板902はカプセル化されたパッケージ基板（EPS）（以下に図10および図11を参照してさらに説明する）の一部であってよい。したがって、インダクタ構造902、904の厚さは、いくつかの実装形態ではダイ／チップ900の厚さ以下（たとえば、0.2mm以下）に維持される。

【0090】

例示的な結合インダクタ構造について説明したが、次に以下にそのような結合インダクタ構造を含むいくつかのパッケージ基板について説明する。

【0091】

基板レス結合インダクタ構造を有する例示的なパッケージ基板

いくつかの実装形態では、1つまたは複数の結合インダクタ構造（たとえば、インダクタ構造200、400）を半導体パッケージ内の基板（たとえば、パッケージ基板）内部に結合してよい。図10および図11は、いくつかの実装形態における基板内の結合インダクタ構造の例を示す。具体的には、図10は、本開示の一態様による、ICパッケージ1000の概略断面図を示す。ICパッケージ1000は、限定はしないが、モバイルフォン、ラップトップコンピュータ、タブレットコンピュータ、パーソナルコンピュータなどの電子デバイス用のICダイ1002（たとえば、メモリ回路、処理回路、アプリケーションプロセッサなど）を含む。ICパッケージ1000、特にICダイ1002は、電子デバイスに関連付けられた電源供給ネットワーク（PDN）（ICパッケージ基板1000の外部のPDNの部分は示されていない）を介して電力管理集積回路（PMIC）（図示せず）から電力を供給され（たとえば、公称供給電圧および電流が与えられ）てよい。

30

【0092】

ICダイ1002は、その下方の多層パッケージ基板1004にフリップチップ形式で電気的に結合される。たとえば、1つまたは複数のはんだボール1006がパッケージ基板1004の第1の金属層1022内に位置する金属トレースにダイ1002を電気的に結合してよい。他の態様によれば、ICダイ1002はパッケージ基板1004にワイヤ結合されてよい。パッケージ基板1004は、たとえば、4金属層積層基板であってよい。他の態様では、パッケージ基板1004は、5個、6個、7個、8個、9個、または10個の金属層を含む3つ以上の金属層を有してよい。

40

【0093】

50

図示の4層パッケージ基板1004は、第1の金属層1022（たとえば、第1の外側金属層）と、第2の金属層1024（たとえば、第1の内側金属層）と、第3の金属層1026（たとえば、第2の内側金属層）と、第4の金属層1028（たとえば、第2の外側金属層）とを含む。金属層1022、1024、1026、1028の各々は一般に、限定はしないがエポキシおよび／または樹脂などの1つまたは複数の誘電材料で構成され得る複数の絶縁層1032、1034、1036によって互いに分離される。特に、パッケージ基板1004の中央の第1の絶縁層1034は、他の層よりも厚くてよく、パッケージ基板1004に構造上の剛性も付与する。複数の金属垂直相互接続アクセス（ピア）1008が、パッケージ基板1004の複数の金属層1022、1024、1026、1028のトレースを必要に応じて互いに電気的に結合する。

10

【0094】

パッケージ基板1004は、キャパシタ、抵抗器、またはインダクタなどの埋め込み受動基板（E P S）離散回路構成要素（D C C）1010を収容するキャビティ1035（点線のボックスによって示されている）を含む。いくつかの実装形態では、E P S離散回路構成要素は本明細書で説明する結合インダクタ構造（たとえば、図2および図3の結合インダクタ構造）である。D C C1010がD C Cの概念的な表現であり、D C C（たとえば、結合インダクタ構造）が基板内にどのように形成され結合されるかを必ずしも厳密に表すものではないことに留意されたい。むしろ、図10および図11におけるD C C1010は単に、基板内のD C Cのあり得る位置を示すものである。様々な実装形態は、それぞれに異なる構成および設計を使用してD C Cの電極を基板内のピアに結合してよい。たとえば、いくつかの実装形態では、D C C用の（第1の導電層に結合された）第1の電極が左上のピアに結合されてよく、D C C用の（第2の導電層に結合された）第2の電極が右上ピアに結合されてよい。

20

【0095】

キャビティ1035は、第1の絶縁層1034の一部および内側金属層1024、1026のうちの1つまたは複数を占有するかまたは第1の絶縁層1034の一部および内側金属層1024、1026のうちの1つまたは複数内に位置してよい。図示の例では、D C C1010は、たとえば、離散キャパシタ（たとえば、「減結合キャパシタ」）であってよい。一態様によれば、離散キャパシタ1010は、I Cパッケージ1000に起因するインピーダンス（たとえば、パッケージ基板1004に関連するトレース、ピア、金属線などによって引き起こされるインダクタンス）の誘導分のバランスを取ることによってP D Nの一連の周波数におけるインピーダンスを低減させるのを助ける。パッケージ基板1004は、各々が別個のE P S離散回路構成要素を収容する複数のキャビティを有してよい。

30

【0096】

特に、パッケージ基板1004は、D C C1010の電極に電気的に結合された1つまたは複数のピア結合構成要素（たとえば、ピア結合構成要素1040）を備えてよい。ピア結合構成要素は、複数のピアを結合することのできる利用可能な表面積を増大させるための手段として働く（たとえば、各ピアの第1の端部をピア結合構成要素に結合することができる）。ピア結合構成要素は、金属または金属合金（たとえば、銅、アルミニウム、および／または窒化チタンなど）などの導電材料で構成される。一態様によれば、ピア結合構成要素は、内側金属層1024、1026を備える同じ金属のうちの1つまたは複数で作られる。

40

【0097】

一態様によれば、第1のピア結合構成要素は、D C C1010の第1の電極と第1の内側金属層1024内の第1の金属トレースの両方に電気的に結合され、第2のピア結合構成要素は、第1の電極と第2の内側金属層1026内の第2の金属トレースの両方に電気的に結合され、第3のピア結合構成要素は、D C C1010の第2の電極と第1の内側金属層1024内の第3の金属トレースの両方に電気的に結合され、第4のピア結合構成要素は、第2の電極と第2の内側金属層1026内の第4の金属トレースの両方に電気的に

50

結合される。

【0098】

上記の金属トレースの各々は、パッケージ基板1004に関連する電源または接地面に電気的に結合される。たとえば、第1の金属トレースはビアによって第2の金属トレースに電気的に結合され、第3の金属トレースは、別のビアによって第4の金属トレースに電気的に結合される。このようにして、ビア結合構成要素は、第1および第2の内側金属層1024、1026内の電源または接地面に電気的に結合され、その場合、第1および第2の内側金属層は、外側金属層1022、1028よりも第1の絶縁体層1034に近い。

【0099】

一様によれば、第1のビア結合構成要素の第1の部分はDCC1010の第1の電極の第1のエッジを越えて延びる。別の様によれば、第1のビア結合構成要素の第2の部分は、第1の内側金属層1024内に位置する。同様に、第2のビア結合構成要素の第1の部分は、第1の電極の第2のエッジを超えて延びてよく、第2のビア結合構成要素の第2の部分は、第2の内側金属層1026内に位置してよい。一様によれば、第3のビア結合構成要素の第1の部分はDCC1010の第2の電極の第1のエッジを越えて延びる。別の様によれば、第3のビア結合構成要素の第2の部分は、第1の内側金属層1024内に位置する。同様に、第4のビア結合構成要素の第1の部分は、第2の電極の第2のエッジを超えて延びてよく、第4のビア結合構成要素の第2の部分は、第2の内側金属層1026内に位置してよい。

【0100】

図11は、いくつかの実装形態における別の基板内のキャパシタ構造を示す。図11は図10に類似している。しかしながら、図10と図11の1つの違いは、図11では、基板1004が1つまたは複数の結合構成要素（たとえば、図10のビア結合構成要素1040）を含まないことである。

【0101】

結合インダクタ構造の様々な例について説明したが、次に、結合インダクタ構造を動作させるための方法について以下に説明する。

【0102】

例示的な電子デバイス

図12は、上述の集積回路、ダイ、またはパッケージのいずれかと統合され得る様々な電子デバイスを示す。たとえば、携帯電話1202、ラップトップコンピュータ1204、および固定位置端末1206は、本明細書で説明する集積回路（IC）1200を含み得る。IC1200は、たとえば、本明細書で説明する集積回路、ダイ、またはパッケージのうちのいずれかであり得る。図12に示されたデバイス1202、1204、1206は、例にすぎない。他の電子デバイスは、限定しないが、モバイルデバイス、ハンドヘルドパーソナル通信システム（PCS）ユニット、携帯情報端末などのポータブルデータユニット、GPS対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、メータ読み取り機器などの固定位置データユニット、通信デバイス、スマートフォン、タブレットコンピュータ、またはデータもしくはコンピュータ命令の記憶もしくは取り出しを行う任意の他のデバイス、またはそれらの任意の組合せを含むIC1200を採用することもできる。

【0103】

図2、図3、図4A～図4C、図5、図6、図7、図8、図9、図10、図11および/または図12に示した構成要素、ステップ、特徴および/または機能のうちの1つまたは複数は、単一の構成要素、ステップ、特徴または機能に再構成され、かつ/または組み合わされ、あるいは、いくつかの構成要素、ステップ、または機能で具現化され得る。本発明から逸脱することなく、さらなる要素、構成要素、ステップ、および/または機能を追加することもできる。

【0104】

10

20

30

40

50

上記図に示す構成要素、ステップ、特徴および／または機能のうちの1つまたは複数は、単一の構成要素、ステップ、特徴、または機能に再構成および／または組み合わされ、あるいは、いくつかの構成要素、ステップ、または機能で具現化され得る。本明細書で開示する新規の特徴から逸脱することなく追加の要素、構成要素、ステップ、および／または機能が、追加することもできる。上記図に示す装置、デバイス、および／または構成要素は、上記図に記載した方法、特徴、またはステップのうちの1つまたは複数を実行するように構成され得る。また、本明細書に記載した新規のアルゴリズムは、ソフトウェアに効率的に実装され、および／またはハードウェアに組み込まれる可能性もある。

【0105】

「例示的な」という言葉は、「例、事例、または例示として機能すること」を意味するように本明細書で使用される。「例示的」として本明細書で説明するいかなる実装形態または態様も、必ずしも本開示の他の態様よりも好ましいまたは有利なものと解釈すべきではない。同様に、「態様」という用語は、本開示のすべての態様が、論じられた特徴、利点または動作モードを含むことを必要とするとは限らない。「結合された」という用語は、2つのオブジェクト間の直接的または間接的な結合を指すために本明細書で使用される。たとえば、オブジェクトAがオブジェクトBに物理的に接触し、オブジェクトBがオブジェクトCに接触する場合、オブジェクトAとCとは、互いに物理的に直接接触していないても、依然として互いに結合するものと見なすことができる。「ダイパッケージ」という用語は、カプセル化されるかまたはパッケージ化された集積回路ウェハを指すのに使用される。

10

20

【0106】

また、実施形態は、フローチャート、流れ図、構造図、またはブロック図として示されるプロセスとして説明され得ることに留意されたい。フローチャートは動作を逐次プロセスとして説明し得るが、動作の多くは並行してまたは同時に実行され得る。加えて、動作の順序は並び替えられ得る。プロセスは、その動作が完了したときに終了する。プロセスは、方法、関数、手順、サブルーチン、サブプログラムなどに対応する場合がある。処理が関数に対応する場合、その終了は、関数が呼出し関数またはメイン関数に戻ることに対応する。

30

【0107】

本明細書で開示された実施形態に関して記載された、様々な例示的な論理ブロック、モジュール、回路、およびアルゴリズムステップは、電子ハードウェア、コンピュータソフトウェア、または両方の組合せとして実装される場合があることを当業者はさらに諒解されよう。ハードウェアおよびソフトウェアのこの互換性を明確に示すために、様々な例示的な構成要素、ブロック、モジュール、回路、およびステップが、概してそれらの機能性に関して上述されている。そのような機能性がハードウェアとして実装されるか、またはソフトウェアとして実装されるかは、特定の適用例および全体的なシステムに課される設計制約に依存する。

40

【0108】

本明細書で説明する本発明の様々な特徴は、本発明から逸脱することなく様々なシステムに実装され得る。上記の本開示の態様は例にすぎず、本発明を限定するものと解釈されるべきでないことに留意されたい。本開示の態様の説明は、例示的なものであり、特許請求の範囲を限定するものではない。したがって、本教示は、他のタイプの装置、ならびに多くの代替形態、変更形態、および変形形態に容易に適用され得ることが当業者には明らかであろう。

【符号の説明】

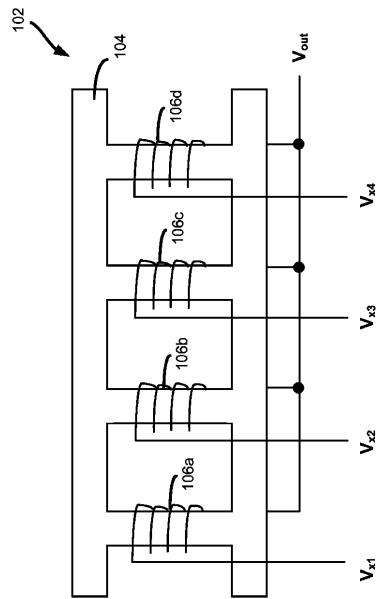
【0109】

- 102 はしご型結合インダクタ構造
- 104 コア
- 106a～106d インダクタ巻線
- 200 結合インダクタ構造

50

2 0 4	第 1 のインダクタ	
2 0 6	第 2 のインダクタ	
2 0 8 ~ 2 1 4	端子	
2 2 0	基板	
4 0 2	基板	
4 0 4	犠牲層	
4 0 5	パターン	
4 0 6	金属層	
4 0 8	構成要素	
4 1 0	充填材	10
7 0 2	第 1 のパッケージ基板	
7 0 4	第 1 の 1 組のはんだボール	
7 0 6	第 1 のダイ	
7 0 8	第 2 のパッケージ基板	
7 1 0	第 2 の 1 組のはんだボール	
7 1 2	第 2 の 1 組のダイ	
7 1 4	第 1 のインダクタ構造	
7 1 6	第 2 のインダクタ構造	
8 0 2	第 1 のパッケージ基板	
8 0 4	第 1 の 1 組のはんだボール	20
8 0 6	第 1 のダイ	
8 0 8	第 2 のパッケージ基板	
8 1 0	第 2 の 1 組のはんだボール	
8 1 2	第 2 の 1 組のダイ	
8 1 4	インダクタ構造	
9 0 0	ダイ / チップ	
9 0 2	パッケージ基板	
9 0 4	第 1 の構造	
9 0 6	第 2 の構造	
9 0 8	第 1 の E V R	30
9 1 0	第 2 の E V R	
1 0 0 0	I C パッケージ	
1 0 0 2	I C ダイ	
1 0 0 4	多層パッケージ基板	
1 0 0 6	はんだボール	
1 0 1 0	離散回路構成要素	
1 0 2 2	第 1 の金属層	
1 0 2 4	第 2 の金属層	
1 0 2 6	第 3 の金属層	
1 0 2 8	第 4 の金属層	40
1 0 3 2、1 0 3 4、1 0 3 6	絶縁層	
1 0 3 5	キャビティ	
1 0 4 0	ビア結合構成要素	
1 2 0 0	集積回路	
1 2 0 2	携帯電話	
1 2 0 4	ラップトップコンピュータ	
1 2 0 6	固定位置端末	

【図1】



【図2】

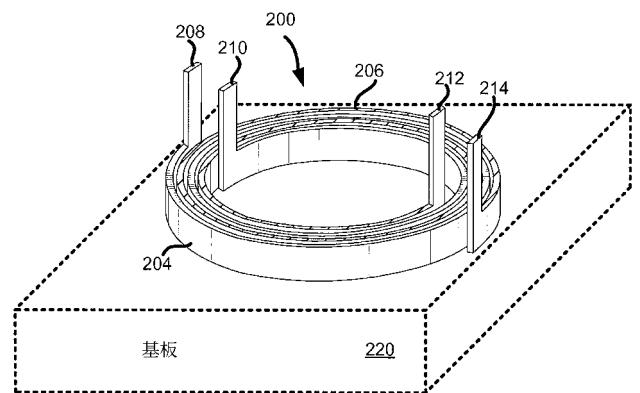
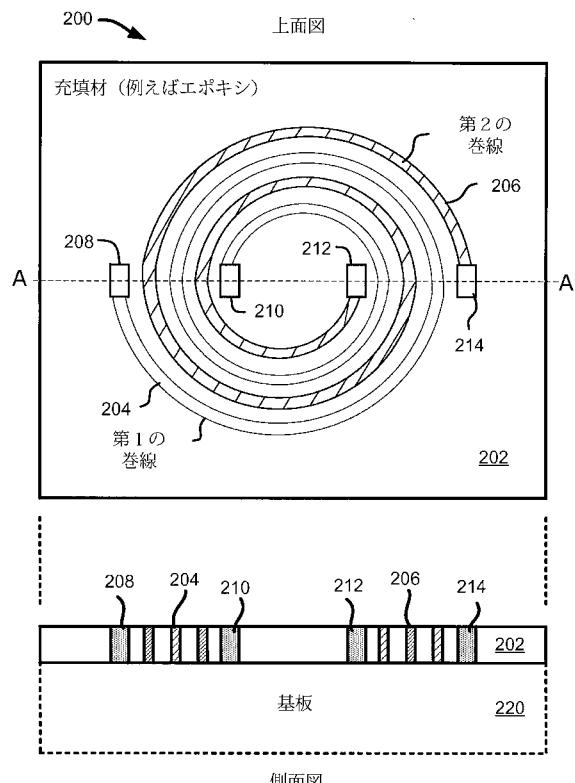


FIG. 2

【図3】



【図4A】

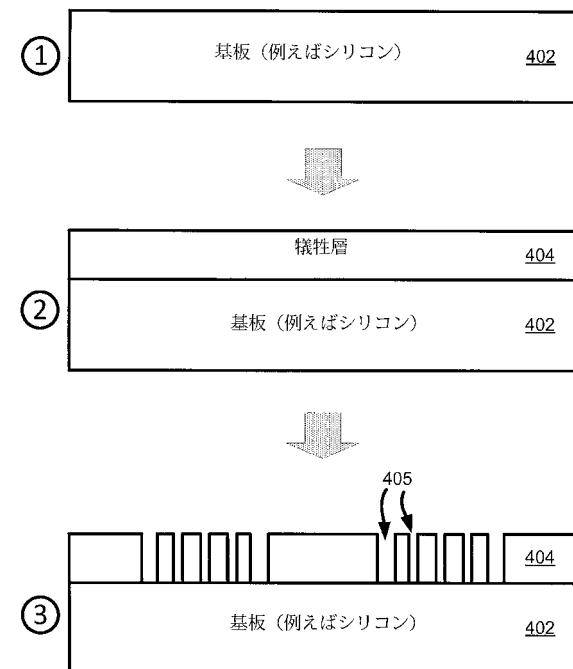


FIG. 4A

FIG. 3

【図 4B】

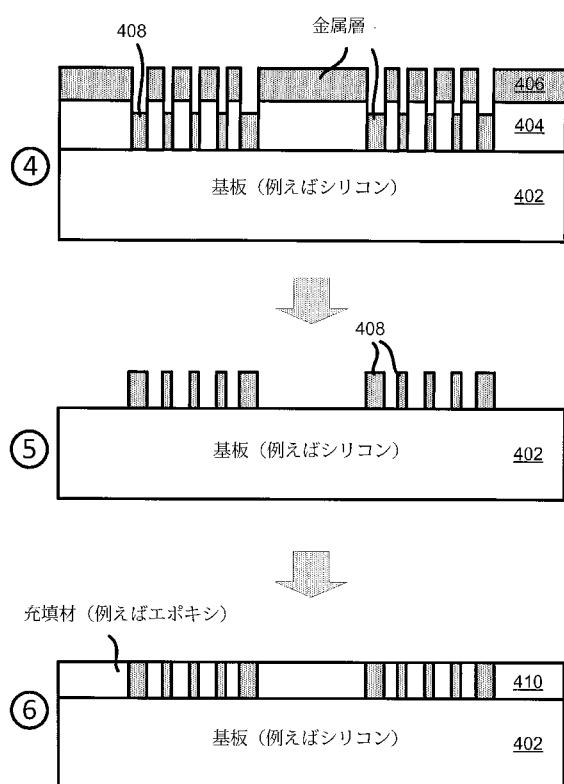


FIG. 4B

【図 4C】

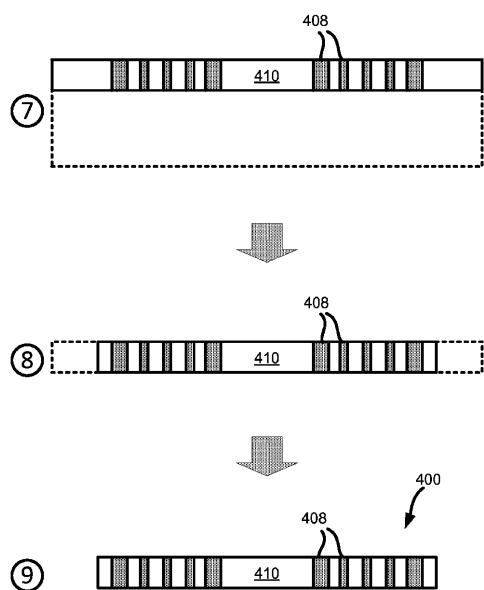


FIG. 4C

【図 5】

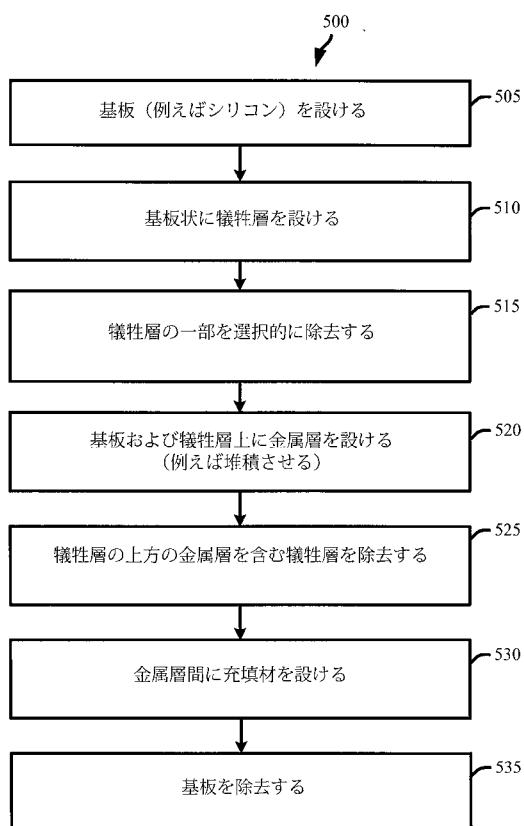


FIG. 5

【図 6】

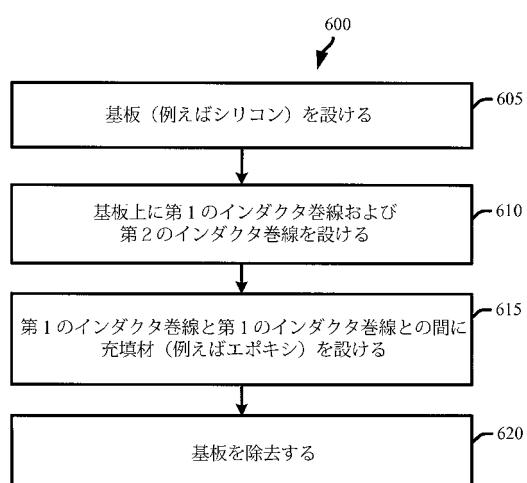


FIG. 6

【図 7】

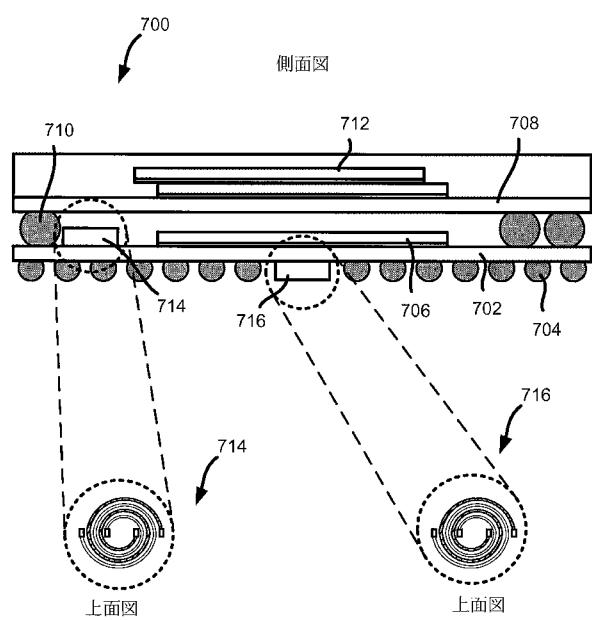


FIG. 7

【図 8】

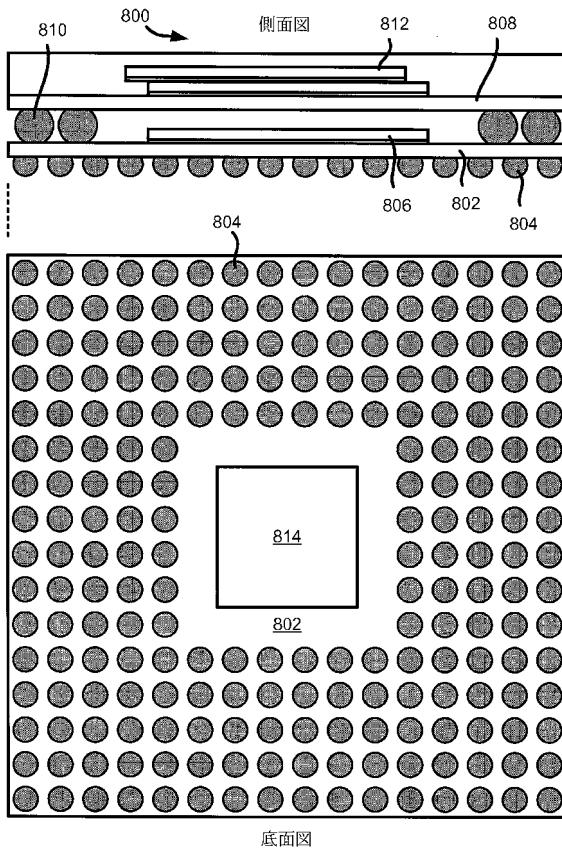


FIG. 8

【図 9】

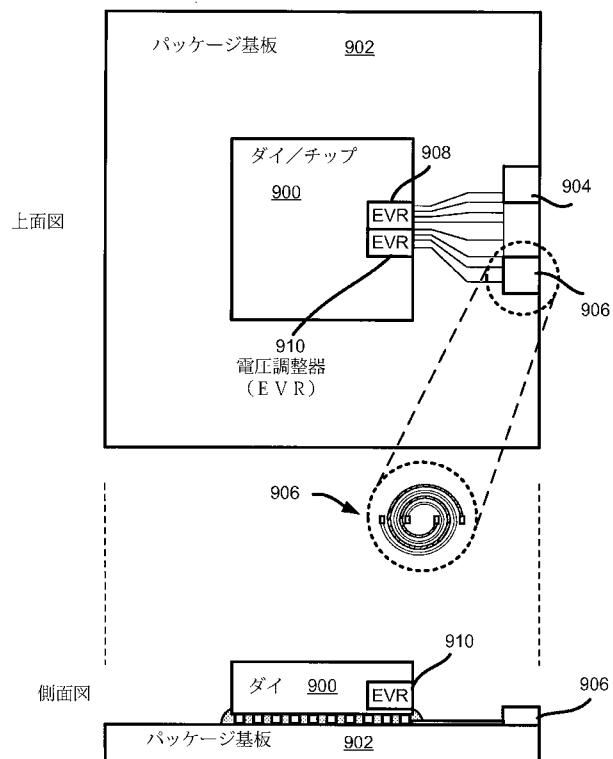
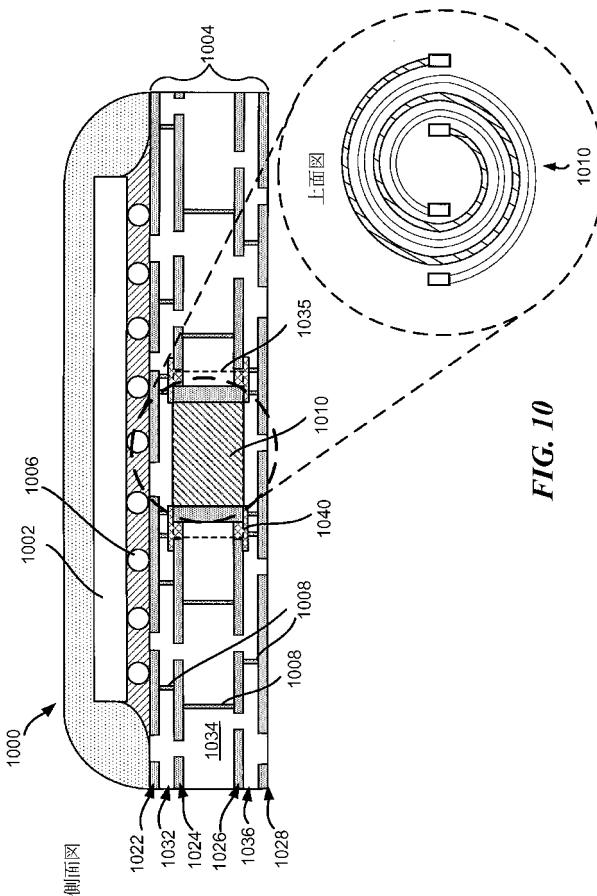


FIG. 9

【図 10】



【図 1 1】

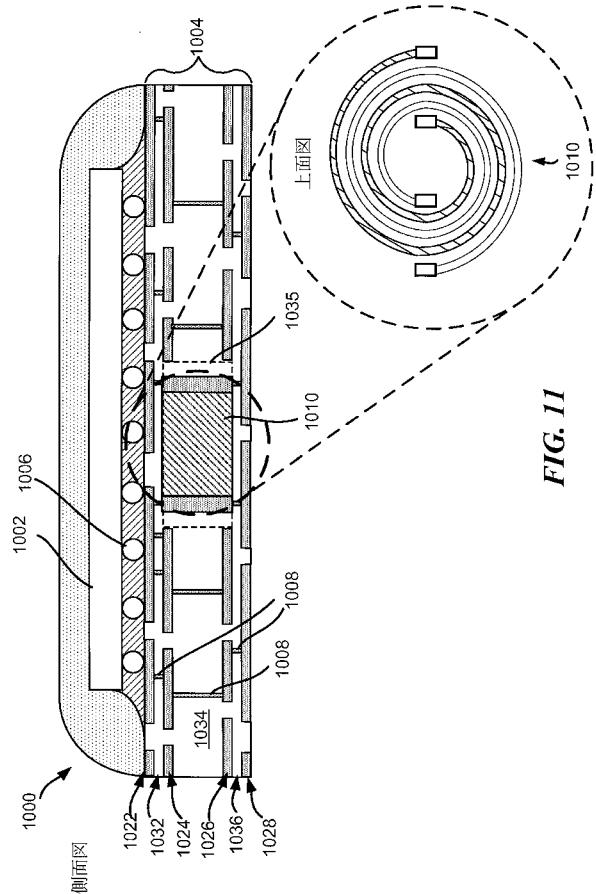


FIG. 11

【図 1 2】

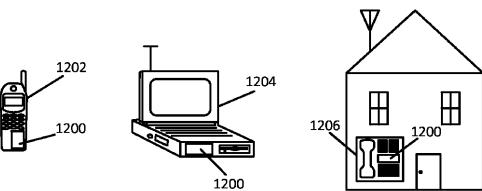


FIG. 12

【手続補正書】

【提出日】平成27年5月29日(2015.5.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

導電性材料を含む第1のインダクタ巻線と、

導電性材料を含む第2のインダクタ巻線と、

横方向において前記第1のインダクタ巻線と前記第2のインダクタ巻線との間に位置する充填材であって、前記第1のインダクタ巻線と前記第2のインダクタ巻線の構造上の結合を実現するように構成された充填材とを備え、インダクタ構造体にはベース部分がないインダクタ構造体。

【請求項2】

前記第1のインダクタ巻線は、横方向において前記第2のインダクタ巻線と同一平面内に位置する、請求項1に記載のインダクタ構造体。

【請求項3】

前記第1のインダクタ巻線は第1のらせん形状を有し、前記第2のインダクタ巻線は第2のらせん形状を有する、請求項1に記載のインダクタ構造体。

【請求項4】

前記第1のインダクタ巻線および前記第2のインダクタ巻線は細長い円形形状を有する、請求項1に記載のインダクタ構造体。

【請求項5】

前記第1のインダクタ巻線は、第1の端子と第2の端子とを含み、前記第2のインダクタ巻線は、第3の端子と第4の端子とを含む、請求項1に記載のインダクタ構造体。

【請求項6】

前記第1の端子は、前記第1のインダクタ巻線の第1の端部に結合され、前記第2の端子は、前記第1のインダクタ巻線の第2の端部に結合される、請求項5に記載のインダクタ構造体。

【請求項7】

前記第1のインダクタ巻線の厚さは0.2ミリメートル未満である、請求項1に記載のインダクタ構造体。

【請求項8】

前記充填材はエポキシである、請求項1に記載のインダクタ構造体。

【請求項9】

導電性材料を含む第1のインダクタ巻線と、

導電性材料を含む第2のインダクタ巻線と、

横方向において前記第1のインダクタ巻線と前記第2のインダクタ巻線との間に位置する充填材であって、前記第1および第2のインダクタ巻線の構造上の結合を実現するよう構成された充填材と、

前記充填材の隣に位置する少なくとも1つの強磁性層とを備えるインダクタ構造体。

【請求項10】

前記インダクタ構造体は、パッケージオンパッケージ(POP)構造上に集積される、請求項1に記載のインダクタ構造体。

【請求項11】

前記インダクタ構造体は、パッケージ基板の表面上に集積される、請求項1に記載のインダクタ構造体。

【請求項12】

前記インダクタ構造体は、パッケージ基板の内部に集積される、請求項1に記載のインダクタ構造体。

【請求項13】

前記インダクタ構造体は、音楽プレーヤ、ビデオプレーヤ、娛樂ユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、モバイルフォン、スマートフォン、携帯情報端末、固定位置端末、タブレットコンピュータ、および/またはラップトップコンピュータのうちの少なくとも1つに組み込まれる、請求項1に記載のインダクタ構造体。

【請求項14】

第1の誘導手段と、

第2の誘導手段と、

横方向において前記第1の誘導手段と前記第2の誘導手段との間に位置する充填材であって、前記第1の誘導手段と前記第2の誘導手段の構造上の結合を実現するよう構成された充填材とを備え、装置にはベース部分がない装置。

【請求項15】

前記第1の誘導手段は、横方向において前記第2の誘導手段と同一平面内に位置する、請求項14に記載の装置。

【請求項16】

前記第1の誘導手段は第1のらせん形状を有し、前記第2の誘導手段は第2のらせん形状を有する、請求項14に記載の装置。

【請求項17】

前記第1の誘導手段および前記第2の誘導手段は、細長い円形形状を有する、請求項14に記載の装置。

【請求項18】

前記第1の誘導手段は、第1の端子と第2の端子とを含み、前記第2の誘導手段は、第3の端子と第4の端子とを含む、請求項14に記載の装置。

【請求項 19】

前記第1の端子は、前記第1の誘導手段の第1の端部に結合され、前記第2の端子は、前記第1の誘導手段の第2の端部に結合される、請求項18に記載の装置。

【請求項 20】

前記第1の誘導手段の厚さは0.2ミリメートル未満である、請求項14に記載の装置。

【請求項 21】

前記充填材はエポキシである、請求項14に記載の装置。

【請求項 22】

導電性材料を含む第1の誘導手段と、

導電性材料を含む第2の誘導手段と、

横方向において前記第1の誘導手段と前記第2の誘導手段との間に位置する充填材であって、前記第1の誘導手段と前記第2の誘導手段の構造上の結合を実現するように構成された充填材と、

前記充填材の隣に位置する少なくとも1つの強磁性層とを備える装置。

【請求項 23】

前記装置は、パッケージオンパッケージ(POP)構造上に集積される、請求項14に記載の装置。

【請求項 24】

前記装置は、パッケージ基板の表面上に集積される、請求項14に記載の装置。

【請求項 25】

前記装置は、パッケージ基板の内部に集積される、請求項14に記載の装置。

【請求項 26】

前記装置は、音楽プレーヤ、ビデオプレーヤ、娛樂ユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、モバイルフォン、スマートフォン、携帯情報端末、固定位置端末、タブレットコンピュータ、および/またはラップトップコンピュータのうちの少なくとも1つに組み込まれる、請求項14に記載の装置。

【請求項 27】

インダクタ構造体を提供するための方法であって、

基板を設けるステップと、

前記基板上に第1のインダクタ巻線および第2のインダクタ巻線を設けるステップと、

前記第1のインダクタ巻線と前記第2のインダクタ巻線との間に充填材を設けるステップであって、前記充填材が前記第1のインダクタ巻線と前記第2のインダクタ巻線の構造上の結合を実現するように構成されたステップと、

前記充填材を設けるステップに続いて、前記基板を除去するステップとを含み、前記インダクタ構造体にはベース部分がない方法。

【請求項 28】

インダクタ構造体を提供するための方法であって、

第1のインダクタ巻線および第2のインダクタ巻線を設けるステップと、

前記第1のインダクタ巻線と前記第2のインダクタ巻線との間に充填材を設けるステップであって、前記充填材が前記第1のインダクタ巻線と前記第2のインダクタ巻線の構造上の結合を実現するように構成されたステップと、

前記充填材の隣に位置する少なくとも1つの強磁性層を設けるステップとを含む方法。

【請求項 29】

前記基板上に前記第1のインダクタ巻線および前記第2のインダクタ巻線を設けるステップは、

前記基板の上方に犠牲層を設けるステップと、

前記犠牲層の一部を選択的に除去するステップと、

前記基板および前記犠牲層の上方に金属層を設けるステップであって、前記金属層が前記第1のインダクタ巻線および前記第2のインダクタ巻線を形成するステップと、

前記犠牲層を除去するステップとを含む、請求項 2 7 に記載の方法。

【請求項 3 0】

前記第 1 のインダクタ巻線および前記第 2 のインダクタ巻線を設けるステップは、前記第 1 のインダクタ巻線を横方向において前記第 2 のインダクタ巻線と同一平面内に設けるステップを含む、請求項 2 7 に記載の方法。

【請求項 3 1】

前記第 1 のインダクタ巻線は第 1 のらせん形状を有し、前記第 2 のインダクタ巻線は第 2 のらせん形状を有する、請求項 2 7 に記載の方法。

【請求項 3 2】

前記第 1 のインダクタ巻線および前記第 2 のインダクタ巻線は細長い円形形状を有する、請求項 2 7 に記載の方法。

【請求項 3 3】

前記第 1 のインダクタ巻線は、第 1 の端子と第 2 の端子とを含み、前記第 2 のインダクタ巻線は、第 3 の端子と第 4 の端子とを含む、請求項 2 7 に記載の方法。

【請求項 3 4】

前記第 1 の端子は、前記第 1 のインダクタ巻線の第 1 の端部に結合され、前記第 2 の端子は、前記第 1 のインダクタ巻線の第 2 の端部に結合される、請求項 3 3 に記載の方法。

【請求項 3 5】

前記充填材はエポキシである、請求項 2 7 に記載の方法。

【請求項 3 6】

前記インダクタ構造体をパッケージオンパッケージ（P o P）構造上に設けるステップをさらに含む、請求項 2 7 に記載の方法。

【請求項 3 7】

前記インダクタ構造体をパッケージ基板の表面上に設けるステップをさらに含む、請求項 2 7 に記載の方法。

【請求項 3 8】

前記インダクタ構造体をパッケージ基板の内部に設けるステップをさらに含む、請求項 2 7 に記載の方法。

【請求項 3 9】

音楽プレーヤ、ビデオプレーヤ、娛樂ユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、モバイルフォン、スマートフォン、携帯情報端末、固定位置端末、タブレットコンピュータ、および／またはラップトップコンピュータのうちの少なくとも 1 つに前記インダクタ構造体を設けるステップをさらに含む、請求項 2 7 に記載の方法。

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No PCT/US2014/014270															
A. CLASSIFICATION OF SUBJECT MATTER INV. H01F17/00 H01L23/64 H01L49/02 ADD.																	
According to International Patent Classification (IPC) or to both national classification and IPC																	
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01F H01L																	
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched																	
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data																	
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left; padding: 2px;">Category*</th> <th style="text-align: left; padding: 2px;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="text-align: left; padding: 2px;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="padding: 2px;">X</td> <td style="padding: 2px;">US 2012/002377 A1 (FRENCH WILLIAM [US] ET AL) 5 January 2012 (2012-01-05)</td> <td style="padding: 2px;">1-8, 10-21, 23-27, 30-39</td> </tr> <tr> <td style="padding: 2px;">Y</td> <td style="padding: 2px;">paragraphs [0006], [0024], [0025]; figures 3,4; table 1 -----</td> <td style="padding: 2px;">9,22,28, 29</td> </tr> <tr> <td style="padding: 2px;">X</td> <td style="padding: 2px;">US 2006/001520 A1 (KAJI RINA [JP] ET AL) 5 January 2006 (2006-01-05)</td> <td style="padding: 2px;">1-6, 10-16, 18,19, 23-27, 30-34, 36-39</td> </tr> <tr> <td style="padding: 2px;">Y</td> <td style="padding: 2px;">paragraphs [0068] - [0077]; figures 1,2 ----- -/-</td> <td style="padding: 2px;">9,22,28, 29</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 2012/002377 A1 (FRENCH WILLIAM [US] ET AL) 5 January 2012 (2012-01-05)	1-8, 10-21, 23-27, 30-39	Y	paragraphs [0006], [0024], [0025]; figures 3,4; table 1 -----	9,22,28, 29	X	US 2006/001520 A1 (KAJI RINA [JP] ET AL) 5 January 2006 (2006-01-05)	1-6, 10-16, 18,19, 23-27, 30-34, 36-39	Y	paragraphs [0068] - [0077]; figures 1,2 ----- -/-	9,22,28, 29
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.															
X	US 2012/002377 A1 (FRENCH WILLIAM [US] ET AL) 5 January 2012 (2012-01-05)	1-8, 10-21, 23-27, 30-39															
Y	paragraphs [0006], [0024], [0025]; figures 3,4; table 1 -----	9,22,28, 29															
X	US 2006/001520 A1 (KAJI RINA [JP] ET AL) 5 January 2006 (2006-01-05)	1-6, 10-16, 18,19, 23-27, 30-34, 36-39															
Y	paragraphs [0068] - [0077]; figures 1,2 ----- -/-	9,22,28, 29															
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.															
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed																	
T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family																	
Date of the actual completion of the international search 10 April 2014	Date of mailing of the international search report 17/04/2014																
Name and mailing address of the ISA/ European Patent Office, P.O. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Mosig, Karsten																

INTERNATIONAL SEARCH REPORT

International application No PCT/US2014/014270

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2007/001794 A1 (ALFORD NEIL M [GB] ET AL) 4 January 2007 (2007-01-04)	1-7, 10-20, 23-27, 30-34, 36-39
Y	paragraphs [0018], [0028], [0076]; figures 5,6 -----	9,22,28, 29
Y	EP 1 519 414 A1 (SONY CORP [JP]) 30 March 2005 (2005-03-30) paragraphs [0024] - [0026], [0051], [0052]; figures -----	9,22,28, 29
Y	US 2009/170242 A1 (LIN YAOJIAN [SG] ET AL) 2 July 2009 (2009-07-02) paragraphs [0029], [0035], [0036]; figures 2b,2c -----	9,22,28, 29
1		

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2014/014270

Patent document cited in search report	Publication date	Patent family member(s)			Publication date
US 2012002377	A1 05-01-2012	CN EP JP TW US WO	102906833 A 2589055 A2 2013538442 A 201222782 A 2012002377 A1 2012012108 A2		30-01-2013 08-05-2013 10-10-2013 01-06-2012 05-01-2012 26-01-2012
US 2006001520	A1 05-01-2006	CN JP JP US	1716467 A 4012526 B2 2006019506 A 2006001520 A1		04-01-2006 21-11-2007 19-01-2006 05-01-2006
US 2007001794	A1 04-01-2007	CN EP JP US WO	1868009 A 1665297 A2 2007506263 A 2007001794 A1 2005027156 A2		22-11-2006 07-06-2006 15-03-2007 04-01-2007 24-03-2005
EP 1519414	A1 30-03-2005	EP JP KR TW US US US US WO	1519414 A1 2004039867 A 20050020739 A I232574 B 2005006752 A1 2005250310 A1 2006125083 A1 2007145568 A1 2004006331 A1		30-03-2005 05-02-2004 04-03-2005 11-05-2005 13-01-2005 10-11-2005 15-06-2006 28-06-2007 15-01-2004
US 2009170242	A1 02-07-2009	KR SG TW US US US	20090071370 A 153719 A1 200929491 A 2009170242 A1 2010244193 A1 2013264716 A1		01-07-2009 29-07-2009 01-07-2009 02-07-2009 30-09-2010 10-10-2013

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 01 L 25/18 (2006.01)	H 01 L 27/04	L
H 01 L 25/00 (2006.01)		
H 01 L 21/822 (2006.01)		
H 01 L 27/04 (2006.01)		

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,R,S,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JP,KE,KG,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US

(72)発明者 ファルシード・マーマウディ

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775

(72)発明者 アミラリ・シャヤン・アラニ

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775

F ターム(参考) 5E062 DD01

5E070 AA01	AB02	CB03	CB12	DA11
5F038 AZ04	BE07	EZ14	EZ15	EZ20