

1. 一种包含栅极驱动器和功率 MOSFET 的组合物,所述栅极驱动器的输出端与所述功率 MOSFET 的栅极端连接,所述栅极驱动器进一步包含:

第一输入端和第二输入端,所述第一输入端与第一电压源连接,所述第二输入端与第二电压源连接;

切换元件,在所述第一输入端和所述第二输入端之间切换所述输出端;

其中,在所述第一电压源提供的第一电压被传递给所述栅极端时,促使所述功率 MOSFET 处于完全接通条件,以及在所述第二电压源提供的第二电压被传递给所述栅极端时,促使所述功率 MOSFET 处于低电流条件。

2. 如权利要求 1 所述的组合物,进一步包含与所述栅极驱动器连接的缓冲器,以便在所述第一和第二输入端之间重复地切换所述输出端。

3. 如权利要求 1 所述的组合物,其中,所述切换元件包含 CMOS 对,所述 CMOS 对的第一 MOSFET 连接在所述第一输入端和所述输出端之间,所述 CMOS 对的第二 MOSFET 连接在所述第二输入端和所述输出端之间。

4. 如权利要求 1 所述的组合物,其中,所述栅极驱动器包含第三输入端,所述第三输入端与所述功率 MOSFET 的源极端连接,所述切换元件能够在所述第一、第二和第三输入端之间切换所述输出端。

5. 如权利要求 4 所述的组合物,其中,所述栅极驱动器包含 CMOS 对和第三 MOSFET,所述 CMOS 对的第一 MOSFET 连接在所述第一输入端和所述输出端之间,所述 CMOS 对的第二 MOSFET 连接在所述第三输入端和所述输出端之间,所述第三 MOSFET 连接在所述第二输入端和所述输出端之间。

6. 如权利要求 1 所述的组合物,其中,所述功率 MOSFET 与功率电路中的负载连接,所述组合物进一步包含连接在所述功率电路与所述栅极驱动器的第二端之间的反馈电路,所述反馈电路生成用于将所述功率 MOSFET 的低电流条件下的电流保持在目标值上的误差信号。

7. 如权利要求 6 所述的组合物,其中,所述反馈电路包含连接在所述功率电路中的电流传感器和放大器,并且其中所述第二电压源包含可变电电压源,所述电流传感器与所述放大器的第一输入端连接,所述放大器的第二输入端与参考电流源连接,所述放大器的输出与所述可变电电压源连接。

8. 如权利要求 6 所述的组合物,其中,所述功率电路包括感测电阻器,以及所述反馈电路包含放大器和参考电压源,所述放大器的第一输入端与所述感测电阻器连接,所述放大器的第二输入端与所述参考电压源连接,以及所述放大器的输出端与所述栅极驱动器的第二端连接。

9. 如权利要求 6 所述的组合物,其中,所述反馈电路包含:

电流镜布置,生成镜像电流,所述镜像电流的大小与所述功率电路中的电流的大小成比例;

感测电阻器,与所述电流镜布置连接,使得所述镜像电流流过所述感测电阻器;以及

放大器,所述放大器的第一输入端与参考电压源连接,所述放大器的第二输入端与所述感测电阻器连接,以及所述放大器的输出端与所述栅极驱动器的第二输入端连接。

10. 如权利要求 9 所述的组合物,其中,所述反馈电路包含与所述功率 MOSFET 串联的第

二 MOSFET。

11. 如权利要求 1 所述的组合体,其中,所述功率 MOSFET 与功率电路中的负载连接,以及所述第二电压源包含可变电压源,所述组合体进一步包含连接在所述功率电路中的电流传感器和与所述电流源和所述可变电压源连接的微调电路,所述微调电路适用于响应来自所述电流传感器的输出信号来调整所述第二电压的量值。

12. 如权利要求 11 所述的组合体,其中,所述微调电路包含多个电阻器和多个一次可编程 MOSFET,所述电阻器中的每一个与所述一次可编程 MOSFET 中的对应的一个并联。

13. 如权利要求 1 所述的组合体,其中,所述功率 MOSFET 与功率电路中的负载连接,所述组合体进一步包含:

电流镜 MOSFET,所述电流镜 MOSFET 的栅极端和漏极端短接在一起并与所述栅极驱动器的第二端连接;

电流传感器,连接在所述功率电路中;

可变电流源,与所述电流镜 MOSFET 连接;以及,

微调电路,与所述电流源和所述可变电流源连接,所述微调电路适用于响应来自所述电流传感器的输出信号来调整所述可变电流源供应的电流的量值。

14. 如权利要求 1 所述的组合体,其中,所述功率 MOSFET 与功率电路中的负载连接,所述组合体进一步包含:

电流镜 MOSFET,所述电流镜 MOSFET 的栅极端和漏极端短接在一起并与所述栅极驱动器的第二端连接;以及

电流源,与所述电流镜 MOSFET 连接,所述电流源适用于供应具有量值等于处于低电流条件下的所述功率 MOSFET 中的期望的电流量值的指定比例的电流。

15. 如权利要求 14 所述的组合体,其中,所述电流源包含可变电流源,所述组合体进一步包含与所述可变电流源的输入端连接的数字-模拟转换器、以及与所述数字-模拟转换器的输入端连接的数字器件。

16. 如权利要求 1 所述的组合体,其中,所述功率 MOSFET 是升压变换器的组件,所述功率 MOSFET 与电感器串联,在所述升压变换器的输出端与所述功率 MOSFET 和所述电感器之间的公共节点之间连接同步整流器 MOSFET。

17. 如权利要求 1 所述的组合体,其中,所述功率 MOSFET 是降压变换器的组件,所述功率 MOSFET 与同步整流器 MOSFET 串联,在所述降压变换器的输出端与所述功率 MOSFET 和所述同步整流器 MOSFET 之间的公共节点之间连接电感器。

减小功耗的 MOSFET 栅极驱动器

[0001] 相关申请的交叉引用

[0002] 本申请要求于 2007 年 5 月 21 日提交的临时申请第 60/931,097 号的优先权,在此通过引用并入其全文。

技术领域

[0003] 本发明涉及诸如 DC/DC 变换之类的开关应用中分立或集成的功率 MOSFET 的驱动,尤其涉及以高频开关的分立或集成的功率 MOSFET 的驱动。

背景技术

[0004] 使用开关调节器通过逐步升高或降低电压,或利用依赖于改变的条件而逐步升高或降低电压的能力来调节 DC 电压并将一个 DC 电压变换成另一个 DC 电压。通过 DC/DC 开关变换器和调节器对输入电压、输出电压、负载电流和温度的范围的调节能力来度量其质量。在电压和电流瞬态期间,以及在稳态操作期间,DC/DC 开关变换器和调节器反应应该足够快,以确保良好的调节。在一些应用中,还应该提供电气隔离,以防止高输入电压耦合到输出端,消除电击和火灾的风险。

[0005] 大多数开关调节器利用电感器或线圈作为能量存储器件,这是由于电感器容易生成不同于驱动电感器(即,不同于磁化电感器)的输入电压的一定范围的输出电压。一个或多个功率开关,典型的是功率 MOSFET,与二极管整流器一起用于控制电感器中的电流,并且,通过使用负反馈,来控制调节器的输出电压,其中通过脉宽调制(PWM)控制器来控制所述一个或多个功率开关的开关和导通。在图 1A-1F 中图示了现有技术中众所周知的 DC/DC 变换调节器的一些例子。

[0006] 常见 DC/DC 变换器拓扑:在图 1A 中,降压(Buck)变换器 1 通过脉宽调制,高压侧功率 MOSFET 2 响应 PWM 控制器 7 来控制电感器 4 中的电流,由此提供逐步降低电压的调节。电容器 5 对变换器 1 的输出端上的电压纹波进行滤波。当高压侧 MOSFET 2 关断时,电感器 4 中的电流保持不变,这是因为电压 V_x 下降到地电压以下,正向偏置整流器 3 并使得电感器电流续流,直到 MOSFET 2 再次接通(turn on)为止。二极管 6 在正常操作下保持反向偏置。如所示的,MOSFET 2 是 P 沟道器件,但利用对栅极驱动电路进行适当改变,高压侧 N 沟道 MOSFET 可以取代 P 沟道器件。

[0007] 图 1B 图示了同步降压变换器 10,其具备 PWM 控制器 17、具有内在 PN 结二极管 15 的高压侧 P 沟道 MOSFET 11、电感器 13 和电容器 14。同步整流器包含具有内在 PN 结二极管 16 的 N 沟道 MOSFET 12。同步降压变换器 10 包括先断后接(BBM)电路 18,以防止高压侧 P 沟道 MOSFET 11 和低压侧 N 沟道同步整流器 MOSFET 12 同时导通。同步降压变换器 10 的操作采用与对非同步降压变换器 1 所描述的相同的控制和反馈技术,除了在二极管 16 导通的一部分时间期间,即,当 MOSFET 11 关断时 MOSFET 12 导通之外。

[0008] 虽然同步降压变换器 10 采用具有 P 沟道 MOSFET 11 和 N 沟道 MOSFET 12 的互补半桥,但图 1C 的非同步降压变换器 20 利用了包含 N 沟道高压侧 MOSFET 21 和 N 沟道低压侧

同步整流器 MOSFET 22 的 N 沟道图腾柱布置。

[0009] 在图 1D 中示出的升压 (Boost) 变换器 30 包含 MOSFET 31 和 PWM 控制器 36, 升压变换器 30 通过脉宽调制或通过以变频操作来控制 MOSFET 31 的接通时间来控制电感器 32 中的电流。每当 MOSFET 31 关断并且电感器 32 未被磁化时, 电压 V_x 就很快上升, 正向偏置整流二极管 33 并将向滤波电容器 34 和输出端供应电流。经由反馈电压 V_{FB} 使用输出电压 V_{out} 的反馈来控制 MOSFET 31 的接通时间、电感器 32 中的电流、和 V_{out} 。同步升压调节器, 升压变换器 30 的修改包括与二极管 33 并联放置 N 沟道或 P 沟道同步整流器 MOSFET, 以在二极管 33 正向偏置、即低压侧 MOSFET 31 关断时的一部分时间期间内从二极管 33 对电流进行分流。

[0010] 典型地, 对于开关调节器采用单个电感器而不是变压器或耦合电感器, 在图 1A-1C 示出的降压或同步降压变换器可以只用于逐步降低电压的变换, 即, 将输入电压减少为较低的且良好调节的输出电压。降压变换器的逆向式 (converse)、在图 1D 示出的升压变换器和相应同步升压变换器可以只用于逐步升高电压的变换, 即, 将输入电压增加为较高的且良好调节的输出电压。

[0011] 获得具有使输入电压逐步升高或降低的能力的单个调节器需要更复杂的解决方案, 使用数量加倍的功率 MOSFET 以将降压和升压变换器组合成单个电路, 或者通过采用多绕组电感器和变压器。例如, 在图 1E 中示出的变换器 40 中, 高压侧 MOSFET 41 驱动匝数比为“n”的耦合电感器 42, 耦合电感器 42 的次级侧通过一个、两个、或四个整流二极管或同步整流器 MOSFET 而整流, 以输出跨接电容器 44 的电压。为了调节输出电压, 必须经由跨接隔离栅 (barrier) 46 的反馈电压 V_{FB} 将输出电压 V_{out} 反馈到 PWM 控制器 47, 隔离栅 46 可以包含变压器或光耦合器。

[0012] 虽然变换器 40 利用与正输入电压 V_{cc} 连接的 P 沟道功率 MOSFET, 但在图 1F 中示出的变换器 50 使用接地的 N 沟道 MOSFET 51 来控制耦合电感器 52 中的电流, 耦合电感器 52 的次级绕组通过二极管或 MOSFET 整流器电路 53 来整流并通过电容器 54 滤波。通过隔离变压器或光耦合器 56 将跨接电容器 54 的输出电压反馈到初级侧 PWM 控制器 57。依赖于当 MOSFET 51 导通时, 同相地将能量传递给负载, 还是当 MOSFET 关断时, 异相地将能量传递给负载, 变换器 50 可以操作为正激变换器或反激变换器。

[0013] 在图 1A-1F 示出的所有调节器中, 功率 MOSFET 和整流二极管用于控制变换器和调节电路中的能量流动。在同步整流器变换器中, 通过导通 MOSFET 对均匀的 (even) 二极管分流以减小导通损耗。

[0014] 但是, 以超过一兆赫的频率开关功率 MOSFET 引入 (involving) 了开关和栅极驱动功率损耗, 而不仅仅是由导通引起的功率损耗。

[0015] 功率 MOSFET 中的导通和开关损耗: 即使功率 MOSFET 向其它半导体器件提供了出色的电气性能, 但是尤其对于低于 100 伏的操作, 它们也不是理想的功率开关 - 事实上, 它们的确消耗了功率, 并且降低了采用它们的电路的效率。在导通或接通状态下, 通过跨接漏极 - 源极端的电压乘以电流, 或 $P = I_D \cdot V_{DS}$ 确定消耗的功率。由于该器件不是一直导通的, 所以通过该器件接通和导通的时间占时钟周期 T 的百分比 (即, t_{on}/T) 确定平均功率。

[0016] 在如 DC/DC 开关调节器的主开关中, 这个分数也称为变换器的占空比 D。对于本领域的普通技术人员来说, 众所周知, 如果电路不是以固定频率 $f \equiv 1/T$ 操作, 那么, 它的平均

功率逐个循环地改变,并且,必须进行更小心的时间积分,以计算在更长持续时间上,例如,在锂电池的放电期间的器件平均功率损耗。

[0017] 导通、“接通”状态功率 MOSFET 中的功率损耗依赖于它的端电压。术语“接通”和“开关”不应该被理解为排他性地意味着或暗示数字操作。功率 MOSFET 可以操作为可编程电流源或操作为可变电阻。正如在此使用的,术语“开关”遵从 IEEE 和 Webster(韦伯斯特)词典的定义,如指的是使电气电路接通 (complete) 或中断电气电路 (即,允许或防止电流流过,而不考虑电流的量值) 的器件。

[0018] 在其操作的饱和区内,依赖于栅极电压和相对不依赖于其漏极电压 V_{DS} 的值,“接通”功率 MOSFET 的表现如同恒流源 I_{sat} 。然后,通过下式给出平均功率损耗:

$$[0019] \quad P_{cond(sat)} = I_{sat} \cdot V_{DS} \cdot \frac{t_{on(sat)}}{T}$$

[0020] 当操作为受控电流源时,功率 MOSFET 的电流的量值必须保持低值,要不然该器件将过热。在电路设计中必须小心,以便使输入电压的变化对器件的栅极偏置的影响最小。利用栅极控制,功率 MOSFET 可以被操作为开关的电流源,在固定的漏极电流与其中除了器件漏电流之外没有电流流过的关断条件之间交替。

[0021] 当将功率 MOSFET 用作低电阻开关时,该器件在它的“线性”区内操作,其特征在于,在它的漏极电压与它的漏极电流之间存在线性关系,直线的斜率定义可变电阻 $R_{DS(on)}$,该可变电阻 $R_{DS(on)}$ 的量值随 MOSFET 栅极偏置而变化。由于根据欧姆定律, $V = I \cdot R$, MOSFET 在它的线性区内的功率损耗遵从如下关系:

$$[0022] \quad P_{cond(lin)} = I_{D(lin)} \cdot V_{DS(lin)} \cdot \frac{t_{on(lin)}}{T} = (I_D)^2 \cdot R_{DS(on)} \cdot \frac{t_{on(lin)}}{T}$$

[0023] 术语 $R_{DS(on)}$ 假定了该器件操作在它的线性区内,充当依赖于栅极电压的可变电阻。

[0024] 以高频来开关功率 MOSFET 接通和关断也存在功率损耗。图 2A-2D 图示了由 MOSFET 的栅极电容引起的 MOSFET 中的功率损耗。如图 2A 所示, MOSFET 61 的电容性栅极充放电所需的瞬态栅极电流 $I_g(t)$ 由栅极缓冲器 63 供应并在栅极缓冲器 63 中损耗,首先对 MOSFET 的栅极充电将它接通,然后接着向地泄放 (dump) 存储在 MOSFET 栅极上的电荷。由驱动电容器引起的等效功率损耗由众所周知的公式 $P = C_{eq} \cdot V^2$ 给出。使用术语 C_{eq} 是因为 MOSFET 呈现其结构内在的多个电压可变电容,最多使用未知的 (problematic) 电容进行简单功率计算。图 2B 图示了包括栅极-源极电容 70 (C_{GS})、栅极-漏极电容 69 (C_{DG})、和与 PN 结二极管 71 相关联的漏极-源极电容 72 (C_{DS}) 的 MOSFET 66 的电容网络。

[0025] 除了电压可变之外,栅极-漏极电容 69 形成从 MOSFET 漏极的“输出”到其栅极的输入的反馈路径。在电路示出电压增益的任何时候,该电容也被放大,将比小信号电容 C_{DG} 的量值大许多倍的电容加载在输入端上。这种现象称为 Miller(密勒)效应,它使利用电容计算功率损耗变得极其复杂,因为在开关瞬态期间, MOSFET 66 从截止转为饱和,并且进入其线性区,使电压增益和电容一前一后变化。

[0026] 图 2C 图示了一个叠加在功率 MOSFET I_D-V_{DS} 曲线族上的这样的开关瞬态。具体地,“负载”表示在二极管恢复期间,即,当二极管停止导通以及 MOSFET 启动时,驱动整流二极管 3 和电感器 4 两者的诸如图 1A 的降压变换器 1 之类的开关调节器。

[0027] 从“关断”器件在点 78 上没有电流开始,所示的开关瞬态以相对恒定漏极电压穿过路径 71。漏极-源极电压不能立即发生改变,这是因为二极管 3 必须在漏极电压可以上升之前耗尽任何存储的电荷。对于大的 V_{DS} 漏极电压, $V_{DS} > V_{GS}$ 并且 MOSFET 操作在它的饱和区内。作为受控于栅极电压 74 的饱和的 MOSFET 中的电流与 V_{GS} 值成比例地沿斜坡上升。在这样的条件和电路下,饱和 MOSFET 呈现电压增益,通过恒定地改变和增加量来放大栅极-漏极反馈电容,使栅极缓冲器越来越难在转变期间内平滑地驱动 MOSFET 栅极。

[0028] 在栅极偏置 V_{GS5} 上,该器件进入电流和漏极电压两者迅速改变的操作条件 72。点 75 对应于有时被称作饱和边缘或准饱和的线性与饱和之间的转变区内的偏置条件。该器件中的瞬时功率损耗达到峰值,并开始随 V_{DS} 下降而下降。从栅极偏置 V_{GS6} 和更高栅极偏置开始, MOSFET 操作在它的线性区 76 内。

[0029] 栅极电压 73 的进一步增加使 MOSFET 的电阻 R_{DS} 进一步降低到点 79,但削弱了对导通损耗的改善。在所示的示例中,电流在这个短间隔期间内变成半恒定的,这是因为负载是电感性的并且不允许电流立即发生改变。由于 I_D 、 V_{DS} 和 V_{GS} 同时变化,所以难以计量所有器件内电流 (intra-device current)。

[0030] 虽然在实际应用中,用于驱动 MOSFET 栅极的栅极缓冲器表现为固定的电压源,但在电流源栅极驱动的情况下可以获得更清晰的器件操作。如图 2D 所示,向驱动负载的 MOSFET 的栅极供应恒定电流 I_G 的电流源生成 V_{DS} 开关瞬态,电压从截止区 83 处的 V_{cc} 开始随时间下降,通过饱和区 87,进入它的线性区 88。在相同时间期间内, V_{GS} 栅极电压从点 90 处的零电压开始,在截止期间内按线性 81 增加,当漏极电压 87 回转 (slew) 时到达处于饱和的平台 (plateau) 82,并且随着器件进入它的线性操作区而再次按 83 增加。在时间 t_{on} ,瞬态结束, MOSFET 完全导通并且现在的漏极电压是 $I_D \cdot R_{DS}$ 。由于栅极电流在整个转变期间是恒定的,并且由于 $Q = I_G \cdot t_{on}$,所以可以将 x 轴重绘为栅极电荷 Q_G 。

[0031] 由于电荷总是守恒的,所以到达点 84 所需的电荷量不依赖于栅极驱动电路。换句话说,达到给定栅极和漏极偏置条件所需的栅极电荷 Q_G 是不依赖于路径的并且确实随驱动电路而改变。如图 3A 的曲线图 100 所示,可以以 V_{GS} 在 x 轴上来重绘 Q_G 和 V_{GS} 的曲线图,分别具有截止区、饱和区、和线性区 104, 105 和 106。被绘在相同轴上的漏极电压被表达为在饱和边缘 101 处迅速下降到线性区 102,最终在点 108 处稳定在最小值 R_{DS} 上的电阻。

[0032] 然后,可以将到达栅极电荷 107 和漏极电压 108 的功率损耗表达成:

$$[0033] \quad P_{drive} = Q_G \cdot V_{GS} \cdot f。$$

[0034] 这个方程考虑了 Miller 效应和所有依赖于电压的电容,但该方程随漏极偏置 V_{DS} , 随栅极驱动 V_{GS} , 和随技术而变化。然后,可以通过如下方程计算用于开关调节器中的功率 MOSFET 的总损耗:

$$[0035] \quad P_{loss} = P_{cond(lin)} + P_{cond(sat)} + P_{drive} + P_{other}。$$

[0036] 在传统开关调节器中,决不会有意使 MOSFET 操作处于饱和,而是只在开关瞬态和二极管恢复期间经历饱和。在这样的情况下,倘若变换器的频率不是太高,则可以忽略 $P_{cond(sat)}$ 并且只需考虑线性区 $P_{cond(lin)}$ 内的导通损耗。在低压下,可以忽略杂项损耗 P_{other} 并且将功率损耗方程简化成:

$$[0037] \quad P = (I_D)^2 \cdot R_{DS(on)} \cdot \frac{t_{on(lin)}}{T} + Q_G \cdot V_{GS} \cdot f。$$

[0038] 给定曲线图 100 中的 Q_g 和 R_{DS} 曲线,对于以固定的 t_{on}/T 比率的操作,在图 3B 的曲线图 120 中示出使用上面方程计算的总体的功率损耗。如所示的,曲线 121、122 和 123 图显示了功率损耗与频率 f_1 、 f_2 和 f_3 成比例地增加,频率 f_1 、 f_2 和 f_3 可以是,例如,300kHz、1MHz 和 2MHz。

[0039] 功率损耗曲线具有在某个特定栅极电压处的最小值的 U 形,并且对于在那个值以上或以下的任何栅极驱动,损耗都增加。在较高栅极驱动电压处 P_{loss} 逐渐增加是由于与曲线图 100 中的曲线 106 一致增加的栅极驱动损耗 P_{drive} 引起的。对于低栅极电压, P_{loss} 随栅极电压的陡峭依赖性 MOSFET 操作在与曲线图 100 中的曲线 101 相对应的饱和边缘处的结果。随着频率从曲线 121 增加到 123,最小功率损耗增加,即,变换器呈现降低的效率,并且呈现较大的凹度 (concavity),即,它的最小值出现在较窄范围的栅极电压上。换句话说,在较高频操作时栅极驱动损耗变得越来越关键。

[0040] 在采用恒压驱动而不是恒流驱动的正常应用中,根据对 V_{GS} 开关波形的检查,栅极驱动损耗不明显,这是因为它们出现得太快以至于看不见。例如,在图 4A 中,包含 P 沟道 MOSFET 142 和 N 沟道 MOSFET 143 和由提供电压 V_{cc} 的电压源 146 供电的栅极缓冲器 141 迅速驱动在 V_{cc} 与地电压之间的功率 MOSFET 144 的栅极。在接通期间,在图 4B 中示出的 V_{GS} 开关波形 150 示出了在不同的平滑向上前进的 (progression) 151 和 154 中斜率的稍微改变 153,并且在关断期间再次显示至零电压的最终栅极电压 159 的平滑衰减 156 和 158 中的斜率改变 157。

[0041] 也在图 4B 中的曲线图 170 中示出实际驱动损耗的较清楚机理画面,其中栅极电荷从零库仑的开始值 171 线性增加,以斜率 172 上升,到达最终值 173,并且在时间 t_3 处按 174 衰减至开关瞬态结束处的零库仑的最终值 175。因此,即使栅极驱动使用恒压驱动,功率损耗也与使用电流源驱动条件所示的相同。在充电期间存储在栅极上的总电荷在关断期间都损耗至地电压。

[0042] 这样的轨到轨 (rail-to-rail) 驱动是有损耗的,这是因为从一个循环到下一个循环不回收或保存任何栅极电荷,并且因为将栅极驱动至可能不对应于在图 3B 中示出的最小功率损耗条件的电压 V_{cc} 。结果,由于丢弃电荷和过驱动 MOSFET 栅极而浪费了功率,这两个因素都降低了变换器的效率。

[0043] 在以各个频率开关的任何 MOSFET 中,尤其在 DC/DC 开关调节器中需要的是这样的方式,其对功率 MOSFET 的栅极充电和放电,使得在逐个循环的基础上保存和重新使用一部分栅极电荷,以便提高变换器或其它电路的整体效率。

发明内容

[0044] 在依照本发明操作的 MOSFET 满足这些需求,其中,开关 MOSFET 没有完全关断,而是在完全接通条件与低电流条件之间交替。MOSFET 的低电流条件取代传统开关序列中使用的完全关断条件。在完全接通条件与低电流条件之间切换 MOSFET 减少了在每个开关循环期间必须移入 MOSFET 的栅极和从 MOSFET 的栅极移出的电荷量,从而减小了对栅极充电和放电的功率损耗。在许多状况下,这种功率节约不止补偿了来自在 MOSFET 低电流条件下继续流入 MOSFET 的漏极电流的附加功率损耗。因此,提高了 MOSFET 的整体效率。

[0045] 可以使用各种栅极驱动电路来实现上述驱动 MOSFET 栅极的方法,所有这些栅极

驱动电路都在本发明的范围之内。

[0046] 在一组实施例中,利用双态栅极驱动器驱动栅极,该双态栅极驱动器在功能上被构造成单刀双掷开关,并且具有连接到足以完全接通 MOSFET 的第一电压的第一输入端和连接到典型地接近 MOSFET 的阈值电压的第二电压连接的第二输入端。与 MOSFET 的栅极连接的栅极驱动器的输出端在第一和第二输入端之间切换,以便在完全接通和低电流条件之间驱动 MOSFET。可以使用一对互补 MOSFET 和连接到适合将 MOSFET 驱动成低电流条件的参考电压的传输晶体管来构造该栅极驱动器。可以使用连接成多路复用器的多个传输晶体管,或包括电阻器和 / 或二极管的分压电路来生成被传递给 MOSFET 栅极的电压。该栅极驱动器能够传递不止两个电压,以保证可获得适合 MOSFET 的低电流条件的电压。

[0047] 可以采用反馈来保证让适当的漏极电流流过处于低电流条件下的 MOSFET。反馈电路测量经过 MOSFET 的电流,然后将测量值与表示所期望电流值的参考值相比较。如果存在差异,就生成误差信号,并且如有必要,该误差信号促使栅极驱动器增大或减小处于低电流条件下的 MOSFET 的栅极电压,直到达到 MOSFET 中的漏极电流的正确值。该反馈电路可以包括放大器、感测电阻器、和 / 或电流镜。

[0048] 可替代地,由于 MOSFET 的阈值电压是影响其饱和电流的最主要工艺参数,可以通过微调来校正其阈值电压的制造偏差以获得 MOSFET 中的低电流的正确值。当对于低电流条件偏置 MOSFET 的栅极时,微调电路可以测量 MOSFET 中的漏极电流,并且调整栅极驱动器传递给 MOSFET 栅极的参考电压,直到实现漏极电流的正确值。例如,该微调电路可以包括与串联在分压网络中的电阻器并联的一次可编程 (OTP) MOSFET。各个 MOSFET 被编程,即,永久接通,以短路掉足够数量的电阻器,直到获得了提供 MOSFET 中的漏极电流的正确值的栅极电压。

[0049] 可替代地,可以与第二阈连接 (threshold-connected) 的电流镜 MOSFET 一起单片 (monolithically) 制造 MOSFET。由于阈值电压的任何变化都将影响这两个 MOSFET,将固定电流供应给电流镜 MOSFET 将促使电流按 MOSFET 的各自栅极宽度的比率 (n) 被镜像在主 MOSFET 中。因此,如果将等于主 MOSFET 中的目标电流除以 n 的电流供应给电流镜 MOSFET,则正确量值的电流将流过主 MOSFET。供应给电流镜 MOSFET 的电流可以在数字逻辑、数字信号处理器、或微处理器的控制下通过 D/A 转换器来调整,并且,如果需要,可以动态地和实时地调整。可替代地,可以在第一位置和第二位置之间切换电流镜 MOSFET 的栅极,所述第一位置与电流镜 MOSFET 的漏极和电流源连接,所述第二位置与地连接,关断电流镜 MOSFET,并将主 MOSFET 的栅极连接到驱动主 MOSFET 为高电流状态的高压。

[0050] 在另一组实施例中,栅极驱动器在功能上被构造成第三输入端与 MOSFET 的源极连接的三刀开关。通过将栅极驱动器的输出端与第三输入端连接,使 MOSFET 关断或进入休眠或关闭模式,在所述情形下驱动 MOSFET 的栅极或允许电流流过 MOSFET 的漏极时都没有功率损耗。在一些实施例中,该栅极驱动器可以具有使能输入端,所述使能输入端在接通条件下,促使该栅极驱动器在高电流和低电流状态之间切换 MOSFET,以及在关断条件下,促使该栅极驱动器将 MOSFET 的栅极与源极连接,关断 MOSFET 或使其进入其休眠模式。

[0051] 本发明还包括通过在第一电压和典型地接近阈值电压的第二电压之间切换栅极来驱动 MOSFET 的方法,MOSFET 在所述第一电压处完全接通,MOSFET 在所述电压处于低电流或部分接通条件下。

[0052] 上述利用低栅极驱动损耗来驱动功率 MOSFET 的方法和电路可以应用于 N 沟道或 P 沟道导通型的低压侧、高压侧或推挽配置的功率 MOSFET。

附图说明

- [0053] 图 1A 是降压变换器的电路图。
- [0054] 图 1B 是具有互补功率 MOSFET 的同步降压变换器的电路图。
- [0055] 图 1C 是具有图腾柱 N 沟道功率 MOSFET 的同步降压变换器的电路图。
- [0056] 图 1D 是非同步升压变换器的电路图。
- [0057] 图 1E 是具有 P 沟道功率 MOSFET 的反激或正激变换器的电路图。
- [0058] 图 1F 是具有 N 沟道功率 MOSFET 的反激或正激变换器的电路图。
- [0059] 图 2A 是图示栅极驱动器的操作的电路图。
- [0060] 图 2B 是图示 MOSFET 中的内在电容的图形。
- [0061] 图 2C 是示出叠加在 I_D-V_{DS} 曲线族上的开关瞬态的曲线图。
- [0062] 图 2D 是示出随着 MOSFET 从关断条件转到接通条件,漏极-源极电压和栅极电荷中的变化的曲线图。
- [0063] 图 3A 是示出作为栅极电压的函数的栅极电荷和 R_{DS} 的变化的曲线图。
- [0064] 图 3B 是作为栅极偏置的函数的功率损耗的曲线图。
- [0065] 图 4A 是 CMOS 栅极驱动器的电路图。
- [0066] 图 4B 示出了在开关期间栅极驱动器中的栅极电荷和栅极电压的曲线图。
- [0067] 图 5 是按照本发明的栅极电荷减少的功率 MOSFET 栅极驱动器的概念电路图。
- [0068] 图 6 示出了本发明的栅极驱动器中的电压和电流开关波形。
- [0069] 图 7 是图示本发明的栅极驱动器中的有限的栅极电压摆动 (swing) 的、作为栅极电荷的函数的栅极电压和漏极电压的曲线图。
- [0070] 图 8 是示出由本发明的栅极驱动器驱动的 MOSFET 中有限的漏极电流摆动的曲线图。
- [0071] 图 9 是示出由本发明的栅极驱动器驱动的 MOSFET 中有限的栅极电荷摆动的曲线图。
- [0072] 图 10 是依照本发明的三态栅极驱动器的概念电路图。
- [0073] 图 11A-11F 是图示本发明的三态栅极驱动器的操作条件,包括低电阻条件、低电流或受控电流条件和关断状态条件的曲线图和电路图。
- [0074] 图 12A 示出了本发明的三态栅极驱动器的电压和电流开关波形的曲线图。
- [0075] 图 12B 是在低电流和传统的栅极驱动技术之间交替的、本发明的栅极驱动器中的栅极电压的曲线图。
- [0076] 图 12C 是具有软接通 (turn-on) 特征的本发明的栅极驱动器中的栅极电压的曲线图。
- [0077] 图 13A 是包含传输 (pass) 晶体管的栅极驱动器的电路图。
- [0078] 图 13B 是包含 D/A 转换器的栅极驱动器的电路图。
- [0079] 图 13C 是包含多路复用传输晶体管的栅极驱动器的电路图。
- [0080] 图 13D 是包含多路复用电阻器分压器的栅极驱动器的电路图。

- [0081] 图 13E 是包含多路复用电阻器 / 二极管分压器的栅极驱动器的电路图。
- [0082] 图 14A 是没有反馈的开环栅极驱动器的电路图。
- [0083] 图 14B 是具有电流感测反馈系统的栅极驱动器的电路图。
- [0084] 图 14C 是比较开环栅极驱动器和反馈栅极驱动器中的漏极电流的稳定性的曲线图。
- [0085] 图 14D 是图示在具有反馈的栅极驱动器中的漏极电流的控制的 I-V 曲线图。
- [0086] 图 15A 是具有利用电流感测电阻器的反馈系统的栅极驱动器的电路图。
- [0087] 图 15B 是具有利用电流镜感测技术的反馈系统的栅极驱动器的电路图。
- [0088] 图 15C 是具有利用共射共基 (cascode) 电流感测技术的反馈系统的栅极驱动器的电路图。
- [0089] 图 16A 是本发明的栅极驱动器的微调 (trimming) 电路的概念电路图。
- [0090] 图 16B 是包含一次可编程 MOSFET 的本发明的栅极驱动器的微调电路的电路图。
- [0091] 图 16C 是图 16B 的栅极驱动器的偏置编程代码的曲线图。
- [0092] 图 16D 是微调电路的校准算法的流程图。
- [0093] 图 16E 是微调电路的编程序列的曲线图。
- [0094] 图 17A 是利用电流镜来控制处于低电流条件下的 MOSFET 中的电流的栅极驱动器的电路图。
- [0095] 图 17B 是示出调整镜像电流的大小的微调电路的电路图。
- [0096] 图 18 是包括 P 沟道电流镜的栅极驱动器的电路图。
- [0097] 图 19 是包括将参考电压变换成参考电流以控制处于低电流状态下的 MOSFET 中的电流的大小的电路的栅极驱动器的电路图。
- [0098] 图 20 是包括获得可变参考电流以控制处于低电流状态下的 MOSFET 中的电流的大小的电路的栅极驱动器的电路图。
- [0099] 图 21A 是包括获得可变参考电流以控制处于低电流状态下的 MOSFET 中的电流的大小的电路的另一栅极驱动器的电路图。
- [0100] 图 21B 是包括生成可变参考电流以控制处于低电流状态下的 MOSFET 中的电流的大小的数模转换器的栅极驱动器的电路图。
- [0101] 图 22A 是示出作为漏极电流的函数的栅极驱动电流的曲线图。
- [0102] 图 22B 是示出作为导通时间的函数的栅极驱动电流的曲线图。
- [0103] 图 23A 是在地电压与偏置供应电流之间切换 MOSFET 镜像的栅极的栅极驱动器的概念电路图。
- [0104] 图 23B 是在图 23A 中示出的栅极驱动器的更详细电路图。
- [0105] 图 24A 是示出与同负载连接的 N 沟道低压侧 MOSFET 一起使用本发明的栅极驱动器的电路图。
- [0106] 图 24B 是示出与同负载连接的 N 沟道高压侧 MOSFET 一起使用的本发明的栅极驱动器的电路图。
- [0107] 图 24C 是示出在同步升压变换器中使用本发明的栅极驱动器的电路图。
- [0108] 图 24D 是示出在同步降压变换器中使用本发明的栅极驱动器的电路图。
- [0109] 图 25A 是示出与同负载连接的 P 沟道高压侧 MOSFET 的一起使用的本发明的栅极

驱动器的电路图。

[0110] 图 25B 是示出在互补降压变换器中使用本发明的栅极驱动器的电路图。

具体实施方式

[0111] 虽然可以使用功率 MOSFET 的设计和制造来优化或小型化在功率开关应用中使用的器件的导通电阻与栅极电荷的乘积,但也可以通过限制在每次开关转变期间移动的栅极电荷量使功率损耗最小。可以以两种方式来完成这个任务 - 通过将最大栅极驱动限制在最优化的点或通过是在开关转变期间保留 (conserve) 一些栅极电荷。本申请公开了在随后的 (subsequent) 开关循环期间保存一些栅极电荷的方式。

[0112] 在图 5 中图示了本发明的一个实施例,其中电路 200 图示了驱动控制负载 204 的功率 MOSFET 203 的栅极的方式。负载 204 可以包含与电源电压 V_{DD} 连接的任何电气组件或与 V_{DD} 连接并且可选地与地电压或与其它电压源连接的电气网络的组件。到栅极驱动器 202 的输入信号是从缓冲器或反相器 201 输出的逻辑信号,缓冲器或反相器 201 具有在电源电压 V_{CC} 与地电压之间切换的输出端。通常,电源电压 V_{CC} 与 V_{DD} 不相同,并且一般小于 V_{DD} ,尽管不需要是这种情况。

[0113] 栅极驱动器 202 驱动 MOSFET 203 的栅极 - 源极端,利用比缓冲器 201 的输出端处的电压范围小的电压范围对栅极重复地充电和放电。在栅极电压 V_{GSH} 所表示的 MOSFET 203 的高或完全接通条件下, MOSFET 203 的栅极被偏置为如下电位:

$$[0114] \quad V_{GS} = V_{GSH} = V_{CC}。$$

[0115] 从而,将 MOSFET 驱动到它的线性区,即,操作为可变电阻,使得通过下式给出漏极电流 I_D :

$$[0116] \quad I_D = V_{DS} / R_{DS(on)}。$$

[0117] 在这种条件下, $V_D = V_{DS} \ll V_{GS}$ 和 $V_{GS} \gg V_t$,其中, V_t 是 MOSFET 203 的阈值电压。

[0118] 在传统的栅极驱动电路中的状况相反,其中在第二状态下,将功率 MOSFET 偏置成其栅极与其源极短路的完全“关断”,在本发明的技术中,不是将 MOSFET 203 阻断 (shut off),而是将它偏置在低或部分接通条件 V_{GSL} 下,栅极电位是:

$$[0119] \quad V_{GS} = V_{GSL} = V_{BIAS}。$$

[0120] 假定 V_{BIAS} 的值较小,典型地接近阈值电压,那么,在这种状态下, $V_{DS} > (V_{GS} - V_t)$ 并且该器件处于漏极电流相对不依赖于漏极电压 V_{DS} 的饱和状态下,使得通过下式给出漏极电流 I_D :

$$[0121] \quad I_D = I_{DBIAS} \propto V_{BIAS}。$$

[0122] 栅极电位 $V_{BIAS} > 0$ 由偏置电源 205 建立,偏置电压 205 可以包含固定值参考电压或它的倍数。可替代地, V_{BIAS} 可以作为 V_{CC} 的倍数而变化。如图所示,栅极驱动器 202 执行选择两种可能的栅极电位 V_{BIAS} 和 V_{CC} 之一的单刀双掷开关的功能。与偏置 MOSFET 栅极的传统方法相反,不将 MOSFET 203 的栅极驱动到地电压。

[0123] 典型地, I_{DBIAS} 在 MOSFET 的栅极 - 源极电压 V_{gs} 等于零时,比通过 MOSFET 的漏电流的大小大至少一个或两个数量级 (即,10 到 100 倍),而当 MOSFET 处于其完全接通条件下时, I_{DBIAS} 比 MOSFET 中的电流的量值小不超过一个或两个数量级 (即,它的 1% 到 10%)。处于

其饱和和低电流状态下的 MOSFET 的栅极 - 源极电压 V_{BIAS} 典型处于其外推 (extrapolate) 阈值电压的 10% 到 125% 的范围内, 优选地, 在其外推阈值电压的 25% 到 100% 的范围内。在 Dieter K. Schroder 的《Semiconductor Material and Device Characterization (1990)》中定义了外推阈值电压, 在特此通过引用并入其内容。

[0124] 对于在阈值上下几百毫伏的栅极偏置, 例如, $V_{GS} = V_t \pm 400\text{mV}$ 的栅极偏置, 饱和的漏极电流急剧改变。难以挑选生成特定所期望的漏极电流的栅极偏置, 尤其在考虑到制造的可变性 (variability) 时。将电压源 306 设置在固定值上可能导致 MOSFET 308 中的饱和的漏极电流中很宽的批次间 (lot-to-lot) 偏差。因此使用固定栅极偏置方法时, 必须有可能筛选 (screen) 产品以适合漏极电流的特定范围。例如, 在便携式应用中使用的具有固定偏置的 1W 开关调节器的漏极电流的筛选限制可以包含在表 1 中示出的指定范围:

[0125]

饱和和漏极电流	最好	好	降级	舍弃
便携式应用	1 μA -30 μA	30 μA -300 μA	300 μA -1mA	$I > 1\text{mA}$, $I < 1\mu\text{A}$
高功率应用	100 μA -1mA	1mA-30mA	30mA-300mA	$I > 300\text{mA}$, $I < 100\mu\text{A}$

[0126] 表 1

[0127] 在低功率应用中 (典型的, 当 MOSFET 完全接通时, 漏极电流处于 0.5A 到 5A 的范围内), 太大的饱和电流浪费功率, 如果不通过减小二极管恢复损耗来补偿 (offset), 这可能导致较低的整体变换器效率。在高功率变换器中 (典型的, 当 MOSFET 完全接通时, 漏极电流处于 5A 到 50A 的范围内), 这样的小损耗可忽略不计, 并且, 甚至在较高偏置电流上, 噪声获益可以补偿在任何对效率有影响的代价。注意, 也存在较低的限制; 如果低电流饱和模式下的漏极电流下降到某指定值以下, 则一起减少了或丧失了所公开技术在分流二极管电流和减少二极管中存储的电荷方面的益处。

[0128] 在图 6 的曲线图中示出电路 200 的开关波形, 在曲线图 220、230、240 和 250 中相对于时间分别绘出了 V_{IN} 、 V_{GS} 、 I_D 和 V_{DS} 。如曲线图 220 所示, 到栅极缓冲器 202 的输入 V_{IN} 在地电压 221, 即, 0V 与 V_{CC} 输入电压 223 之间交替, 在地电压 221 和 V_{CC} 输入电压 223 之间存在迅速转变 222 和 224。

[0129] 在曲线图 230 中示出的驱动 MOSFET 203 的栅极电压 V_{GS} 的栅极驱动器 202 的输出在电压 V_{BIAS} 与 V_{CC} 之间交替, 决不会到达零。如所示的, V_{GS} 中的转变 232 和 234 与 V_{IN} 中的转变 222 和 224 同步且同相, 但极性可以相反。与所示的 V_{GS} 脉冲相对应, 半对数曲线图 240 中的漏极电流 I_D 在量值 I_{DBIAS} 的最小电流 241 与量值 $(V_{DS}/R_{DS(on)})$ 的最大电流 243 之间交替, 在最小电流 241 和最大电流 243 之间存在转变 242 和 244。

[0130] 跨接 MOSFET 203 的漏极电压 V_{DS} 在量值 $(V_{DD} - \delta V) \approx V_{DD}$ 的最大电压 251 与量值 $(I_D \cdot R_{DS(on)})$ 的最小电压 253 之间交替。电压 δV 是跨接承载小电流 I_{DBIAS} 的负载 204 的电压降。如果 I_{DBIAS} 在 1mA 以下并且优选地在 1 μA 到 100 μA 的范围内, 那么, MOSFET 203 中的功耗, 即,

$$[0131] \quad P_{\text{BIAS}} = I_{\text{DBIAS}} \cdot (V_{\text{DD}} - \delta V) \approx I_{\text{DBIAS}} \cdot V_{\text{DD}}$$

[0132] 可忽略不计。通过限制栅极驱动电压范围并因此限制栅极电荷的摆动来实现在节约栅极驱动损耗中的功率。

[0133] 使栅极电荷摆动最小：在图 7 的曲线图 280 中图示出上述的功率节约的概念，其中包括 V_{GS} （在左侧 y 轴上）和 V_{DS} （在右侧 y 轴上）相对于栅极电荷 Q_{G} （在 x 轴上）的图。实线指示依照本发明操作的器件中的栅极和漏极电压的范围，而实线和虚线一起指示使用传统的栅极驱动技术操作的器件中的相同的范围。

[0134] 具体地，在传统栅极驱动中，栅极电荷从零开始，然后沿着曲线 281、282、283、和 284 增加到点 287。如果输入 V_{CC} 增加，则最大栅极电荷 Q_{GH} 将进一步沿着直线 285 增加超过点 287。随着栅极电荷增加，相应的漏极电压从 MOSFET 203 的关断状态下的 V_{DD} 开始移动，然后经由曲线 290、291 和 292 至点 294 处的 MOSFET 203 的接通状态。如果输入电压 V_{CC} 增加，则即使 Q_{G} 在这个区域中线性增加，电压 V_{GS} 也将沿着曲线 293 下降只稍微低于点 294。

[0135] 在传统开关应用中，在接通期间处于 MOSFET 栅极上的所有电荷在关断期间都泄放到地。总的栅极电荷对应于将栅极充电到 V_{CC} ，然后放电到地电压，导致栅极电压和栅极电荷的大的“摆动”。在此将栅极电荷摆动定义为：

$$[0136] \quad \Delta Q_{\text{G}} \equiv Q_{\text{GH}} - Q_0 = Q_{\text{G}}(V_{\text{GH}}) - 0。$$

[0137] 然后，对于传统栅极驱动方法，该总的栅极电荷摆动是：

$$[0138] \quad \Delta Q_{\text{G}} = Q_{\text{G}}(V_{\text{CC}}) - 0 = Q_{\text{GH}}。$$

[0139] 再次参照图 7 中的曲线图 280，当依照本发明来驱动栅极时，栅极电荷沿着曲线 283 和 284，只在点 286 和 287 之间交替。然后，通过下式给出改善的栅极电荷摆动 $\Delta Q'_{\text{G}}$ ：

$$[0140] \quad \Delta Q'_{\text{G}} \equiv Q_{\text{GH}} - Q_{\text{GL}} = Q_{\text{G}}(V_{\text{GH}}) - Q_{\text{G}}(V_{\text{G(on)}})。$$

[0141] 其中， $Q_{\text{GL}} > 0$ 。因为 $(Q_{\text{GH}} - Q_{\text{GL}}) < Q_{\text{GH}}$ ，所以以给定的频率开关需要较少的栅极电荷，并且，通过沿着从零到点 286 的路径的电荷或 $(Q_{\text{GL}} - Q_{\text{G0}}) = Q_{\text{GL}}$ ，成比例地减少了驱动栅极所需的功率。

[0142] 为了更好图示减小的栅极电荷摆动，如在图 9 的曲线图 320 中图示，可以将本发明的方法表示成 Q_{G} 相对于时间的图，其中，在 MOSFET 栅极上出现的电荷的变化随着充电和放电转变 322 和 324 在量值 Q_{GL} （曲线 321）与量值 Q_{GH} （曲线 323）之间交替。由于在器件栅极上总是留下某些最少量的电荷 Q_{GL} ，从一个循环到下一个循环保存着由面积 325 所表示的电荷，相应地提高了栅极驱动的效率。

[0143] 使平均功率损耗最小：如前所述，与按照本方法的驱动栅极相关联的功率损耗通过下式给出：

$$[0144] \quad P_{\text{drive}} = (Q_{\text{G}} \cdot V_{\text{G}}) / T = Q_{\text{GH}} \cdot V_{\text{GH}} \cdot f。$$

[0145] 然后，在高频 MOSFET 栅极驱动期间与减少的电荷相关联的相应的功率节约 P_{Gsaved} 通过下式给出：

$$[0146] \quad P_{\text{Gsaved}} = (Q_{\text{GL}} \cdot V_{\text{G(on)}}) / T = Q_{\text{GL}} \cdot V_{\text{G(on)}} \cdot f。$$

[0147] 再次参照图 7 中的曲线图 280，当使用本发明的技术时，漏极电压 V_{DS} 沿着曲线 292 从点 296 变化到点 294，跳过 (skip) 曲线 290 和 291 所表示的截止操作区。在点 294 上，跨接功率 MOSFET 的电压由 $I_{\text{D}} \cdot R_{\text{DS(on)}}$ 给出。

[0148] 进一步在图 8 中图示电流 I_{D} 与漏极电压 V_{DS} 之间的关系，其中将诸如降压变换器

1 之类的开关变换器的开关波形 303 叠加在表示栅极电压 V_{GS0} 到 V_{GS5} 的 MOSFET I-V 曲线族上。从栅极电压等于 V_{GS0} 和 $I_D > 0$ 的点 301 开始, 在 MOSFET 的栅极被偏置在它的饱和区 305 内并且 V_{DS} 相对恒定的同时, 电流沿着曲线 302 随 V_{GS} 增加。在 I-V 曲线 306 所表示的栅极电压 V_{GS3} 以下, 漏极电压 V_{DS} 沿着曲线 303 改变, 直到 MOSFET 操作在它的线性操作区 307, 这时 V_{DS} 沿着曲线 304 继续下降但 I_D 基本上不变化。栅极放电过程以相反方向在两个相同端点 301 和 304 之间转变。

[0149] 在周期 T 的每次循环中持续接通时间 t_{on} 的完全接通条件的平均功率损耗由下式给出:

$$[0150] \quad P_{cond} = I_D^2 \cdot R_{DS(on)} \cdot \frac{t_{on}}{T} = I_D^2 \cdot R_{DS(on)} \cdot D,$$

[0151] 其中, $D = t_{on}/T$ 。

[0152] 再次参照图 7, 在点 296 上, 低电流条件, 即, 跨接 MOSFET 203 的电压由 $V_{DS} = (V_{DD} - \delta V) \approx V_{DD}$ 给出, 并且在持续时间 $t_{sat} = T - t_{on}$ 期间的相应功率损耗是:

$$[0153] \quad P_{BIAS} = I_{DBIAS} \cdot (V_{DD} - \delta V) \cdot \frac{t_{sat}}{T} \approx I_{DBIAS} \cdot V_{DD} \cdot (1 - D)$$

[0154] 然后, 功率 MOSFET 中的总的导通损耗是在 MOSFET 被偏置为完全接通处于其线性区时的导通损耗 P_{cond} 与 MOSFET 处于其饱和操作区时在间隔 t_{sat} 期间由偏置电流 I_{DBIAS} 引起的功率损耗 P_{BIAS} 之和, 或

$$[0155] \quad P'_{cond} = I_D^2 \cdot R_{DS(on)} \cdot \frac{t_{on}}{T} + I_{DBIAS} \cdot V_{DD} \cdot \frac{t_{sat}}{T},$$

[0156] 其中, $T = (t_{sat} + t_{on})$, 并且, 其在可变频率操作中从一个循环到另一个循环是变化的, 或在具有占空比 D 的固定频率操作中:

$$[0157] \quad P'_{cond} = I_D^2 \cdot R_{DS(on)} \cdot D + I_{DBIAS} \cdot V_{DD} \cdot (1 - D)。$$

[0158] 使用所公开的技术时, 则器件中的总的导通和栅极驱动损耗由下式给出:

$$[0159] \quad P'_{loss} = \left[I_D^2 \cdot R_{DS(on)} \cdot \frac{t_{on}}{T} + Q_{GH} \cdot V_{GH} \cdot \frac{1}{T} \right] + \left(I_{DBIAS} \cdot V_{DD} \cdot \frac{t_{sat}}{T} \right) - \left(Q_{GL} \cdot V_{GL} \cdot \frac{1}{T} \right),$$

[0160] 其中, 带方括号的项表示使用传统的栅极驱动技术的栅极驱动和导通损耗 P_{loss} 。代入这一项中得出如下关系:

$$[0161] \quad P'_{loss} = [P_{loss}] + \left(I_{DBIAS} \cdot V_{DD} \cdot \frac{t_{sat}}{T} \right) - \left(Q_{GL} \cdot V_{GL} \cdot \frac{1}{T} \right),$$

[0162] 其中, 在可变频率操作中, T 从一个循环到另一个循环是变化的, 或对于固定的频率操作,

$$[0163] \quad P'_{loss} = [P_{loss}] + (I_{DBIAS} \cdot V_{DD} \cdot (1 - D)) - (Q_{GL} \cdot V_{GL} \cdot f)。$$

[0164] 对于所公开的方法, 节约功率 $P'_{loss} < P_{loss}$, 因此,

$$[0165] \quad \left(I_{DBIAS} \cdot V_{DD} \cdot \frac{t_{sat}}{T} \right) < \left(Q_{GL} \cdot V_{GL} \cdot \frac{1}{T} \right),$$

[0166] 这意味着通过减小栅极驱动节约的功率必须补偿由偏置电流 I_{DBIAS} 导致的增加的

导通损耗所消耗的任何附加的功率。当以固定频率 f 和占空比 $D \equiv t_{on}/T$ 操作时,可以将该方程表达为:

$$[0167] \quad (I_{DBIAS} \cdot V_{DD} \cdot (1-D)) < (Q_{GL} \cdot V_{GL} \cdot f)$$

[0168] 当减小的栅极驱动中的功率节约比由偏置电流导致的增加的功耗 P_{BIAS} 更有益时,在较高频率 f 上和对于较低 V_{DD} 输入条件更容易满足这个条件。

[0169] 难以对 I_{DBIAS} 相对于 $Q_{GL} \cdot V_{GL}$ 之间的关系做出任何一般性的结论,这是由于它们是相关的并且依赖于特定的功率 MOSFET 的制造工艺和设计。对于给定器件,增加驱动电路中的 $Q_{GL} \cdot V_{GL}$,即,增加 V_{BIAS} 将减小栅极驱动损耗,但同时也使 I_{DBIAS} 增加并使导通损耗增加。因此,最优化的功率节约的偏置条件是特定于技术的。

[0170] 占空比 D 对于每种开关应用是特定的。例如,在图 1A、1B 和 1C 中示出的逐步降低的降压变换器,高压侧 MOSFET 2、11、和 21 的占空比由 $D = V_{out}/V_{in}$ 给出,其中 $V_{in} = V_{DD}$ 。代入这个表达式为我们给出了在所公开的减小的栅极驱动方法是有益时的降压调节器的特定条件:

$$[0171] \quad (I_{DBIAS} \cdot (V_{DD} - V_{out})) < (Q_{GL} \cdot V_{GL} \cdot f)$$

[0172] 这个方程意味着,随着降压变换器的输出电压与输入电压之间的差增加,所公开的低栅极驱动损耗技术益处不大。

[0173] 对于升压变换器,如图 1D 所示,变换比 $V_{out}/V_{in} = 1/(1-D)$,其中 D 反映低压侧 MOSFET 31 的接通时间。重新排列并用 V_{in}/V_{out} 代替 $(1-D)$ 为我们给出了在所公开的减小的栅极驱动方法是有益时的升压调节器的特定条件:

$$[0174] \quad \left(I_{DBIAS} \cdot \frac{V_{DD}^2}{V_{out}} \right) < (Q_{GL} \cdot V_{GL} \cdot f)$$

[0175] 在升压变换器中,即在 $V_{out} > V_{in}$ 的情况下,当从较低输入电压生成较大输出电压时,所公开的方法更有益处。

[0176] 再次参照图 7 中的曲线图 280,当 MOSFET 203 操作在它的线性区时,跨接 MOSFET 203 的 V_{DS} 电压降在点 295 上几乎达到它的最小值。在所述的操作中,尽管在减小接通电阻或电压降方面具有最少的益处,但栅极驱动电路将 MOSFET “过驱动”至栅极偏置 294。不容易实现防止栅极被过驱动,这是由于将 MOSFET 的栅极部分地充电到小于 V_{cc} 的任何电压造成在电路的其它地方出现相同的功率损耗并且也不会使效率提高。

[0177] 具有关闭 (shutdown) 模式的减小的栅极驱动损耗电路:图 10 图示了依照本发明的另一个实施例。在许多应用中,当不对功率 MOSFET 进行开关时,例如,当计算机处于待命或休眠模式时,可能出现延长的时间段。在这样的操作条件下,从电池流过负载和功率 MOSFET 的任何导通电流,甚至如同 I_{BIAS} 那样的少量导通电流都将使电池随时间放电。对延长的关断时间的问题的解决方案是将所公开的本发明修改为包括关闭模式。

[0178] 电路 350 图示了所公开的扩增了具有增加的关闭模式特征的、减小的栅极驱动损耗的功率 MOSFET 的一般描述。与图 5 的电路 200 类似,电路 350 包括栅极驱动器 352,但在这种情况下,栅极驱动器 352 不是具有两种状态,而是具有三种状态,即,低电阻的完全导通、饱和的并且被偏置在 V_{BIAS} 上以导通小的固定电流,以及低的漏电流的截止的完全关断。相应地,栅极驱动器 352 有两个输入端,即,接收逻辑或 PWM 信号的 IN、和用于关闭器件的使

能引脚。

[0179] 如图所示,缓冲器 351 的输出将范围从 V_{cc} 到地电压的信号,即,从轨到轨切换的数字信号馈送到栅极驱动器 352 的“IN”输入端。只要将使能端偏置成它的“接通”状态,则栅极驱动器 352 就对其“IN”端上的信号作出响应,并且栅极驱动器 352 的输出以在 V_{cc} 和 V_{BIAS} 之间交替的电压 V_{GS1} 来驱动 MOSFET 353 的栅极。功率 MOSFET 353 又向负载 354 提供由栅极驱动电压 V_{cc} 和 V_{BIAS} 确定的、在高的和低的漏极电流之间交替的电流。如前所述,在高频操作期间,通过将 MOSFET 353 的栅极偏置在不低于 V_{BIAS} 的电压上,从一个循环到另一个循环保存栅极电荷,并且减小了栅极驱动损耗。倘若通过限制栅极电荷摆动实现的功率节约大于在开关期间的最小漏极电流 I_{BIAS} 增加的导通损耗,则由此提高了效率。

[0180] 当关断使能信号时,栅极驱动器 352 切换到使 MOSFET 353 的栅极接地,即,与它的源极连接并且 $V_{GS1} = 0$ 的第三状态。然后,功率 MOSFET 353 中的漏极电流减小到器件的 I_{DSS} 漏电流,即在栅极连接到源极的情况下从漏极到源极的结的漏电流。即使电流 I_{BIAS} 很小,优选地,在微安到几十微安范围内 $-I_{DSS}$ 甚至更小,优选地,一个微安以下或甚至比 I_{BIAS} 小几个数量级。

[0181] 在图 11A-11F 中图示和对比了三个条件,并在以下表 2 中进行了总结。在图 11A 中,栅极驱动器 361 将 MOSFET 353 的栅极偏置成 $V_{GS} = V_{cc}$,并且,器件在 MOSFET 的线性操作区内是完全导通的,即,如图 11B 的 I-V 曲线图 365 所示,表现为栅极受控的可变电阻。在这个区域内和在点 366 处的漏极电流和电压服从欧姆定律,即, $V_{DS} = I_D \cdot R_{DS(on)}$ 。在许多功率电路中, I_D 的值由功率 MOSFET 与电路中的其它元件的分压器确定,其中漏极电流 $I_D = V_{DS}/R_{DS(on)}$ 与漏极电压 V_{DS} 成比例地变化。在具有以高频开关的电感器或其它电流源的电路中, I_D 的量值受电路影响并且相应地调整 V_{DS} 。

[0182] 在图 11C 中示出的第二状态下,栅极缓冲器 371 将功率 MOSFET 353 的栅极偏置成由电压源或参考电压源 355 设定的值 $V_{GS} = V_{BIAS}$ 。然后,如图 11D 中的点 376 所示, MOSFET 353 导通漏极电流 $I_D = I_{BIAS}$ 。在这种模式下,漏极电流 I_D 相对“恒定”,这意味着它示出与 V_{DS} 值的最小依赖性。然而,漏极电流 I_D 强烈地依赖于栅极偏置 V_{BIAS} 。

[0183] 在图 11E 中示出的第三状态下,栅极缓冲器 381 将 MOSFET 353 的栅极与源极短路,使得 $V_{GS} = 0$ 。假定 N 沟道 MOSFET 353 是具有正阈值电压,即, $V_{th} > 0$ 的增强型器件,则,如在图 11F 中图示的,在 $V_{GS} = 0$ 上,该器件处于截止,其中关断状态的漏极电流 I_{DSS} 由结的漏电流引起。虽然对于 V_{DD} 的反向偏置在点 386 上的漏电流似乎是零,但在半对数曲线图上绘制的实际 I_{DSS} 漏电流可能示出某些电压依赖性,但一般地,在功率 MOSFET 的指定的漏极电压范围内漏电流很好地保持在 $1 \mu A$ 以下。

[0184] 在如下的真值表中总结了按照本发明的三态栅极驱动器和功率 MOSFET 的操作条件:

[0185]

IN	EN	V_{GS}	MOSFET 操作	漏极电流	g_{DS}
H	H	V_{CC}	线性区	$I_D = V_{DS}/R_{DS(on)}$	$1/R_{DS(on)}$
L	H	V_{BIAS}	饱和区	$I_D = I_{DBIAS}$	~常数

IN	EN	V_{GS}	MOSFET 操作	漏极电流	g_{DS}
H/L	L	0	截止	$I_D = I_{DSS}$	~常数

[0186] 表 2

[0187] 表 2 揭示了当将使能端偏置成高状态时,功率 MOSFET 的导通依赖于逻辑输入 IN,但当使能端处于低状态时, MOSFET 被关断,并且操作不依赖于 IN 信号。将输出电导 $g_{DS} \equiv dI_D/dV_{DS}$ 包括作为漏极电压灵敏性的定性的度量。

[0188] 在优选实施例中,如图 12A 的曲线图 410 中的方波 411、412、413 和 414 所示,在高频开关期间,驱动 MOSFET 353 的栅极驱动器的输出 V_{GS} 在 V_{CC} 与 V_{BIAS} 之间交替,并且跟随由曲线图 400 带箭头线所示的逻辑输入电压转变 404、405、406 和 407。在这个时间内,虚线所示的使能信号 EN 保持在高电平 V_{CC} 上(曲线 401)。类似地,如半对数曲线图 420 所示,如方波 421、422、423 和 424 所示,漏极电流 I_D 从 I_{DBIAS} 切换到 $V_{DS}/R_{DS(on)}$,并且如曲线图 430 所示,漏极电压 V_{DS} 以波形 431、432、433 和 434 在 $(V_{DD} - \delta V)$ 与 $I_D \cdot R_{DS(on)}$ 之间交替。

[0189] 在时间 t_{sleep} 处,随着 MOSFET 353 进入休眠或关闭模式,将使能信号 V_{EN} 拉低(曲线 402)并偏置在零伏上(曲线 403),将 V_{GS} 向下(曲线 415)驱动到零伏(曲线 416),栅极电压低于 V_{BIAS} 。在关闭模式下,如曲线图 420 所示,漏极电流 I_D 下降(曲线 425)到量值接近零的漏电流 I_{DSS} (曲线 426)。并且,如曲线图 430 所示,在 MOSFET 353 的切换期间, V_{DS} 跳跃(曲线 435)到曲线 435 所图示的电压 V_{DD} ,稍高于曲线 434 所示的最大漏极电压 $(V_{DD} - \delta V)$ 。

[0190] 在可替代实施例中,如在图 12B 中图示,栅极驱动器 352 可以在两种不同开关波形之间交替。如曲线图 440 所示,在时间 t_1 之前,栅极驱动器 352 的电压输出在 V_{CC} 与 V_{BIAS} 之间交替。在依照本发明的栅极驱动器在低 Q_G 栅极驱动操作(区域 441)期间,最小栅极驱动是偏置电压 $V_{BIAS} > 0$ (曲线 442)。

[0191] 如前所述,虽然所公开的低栅极电荷的栅极驱动技术在某些条件下可能提高效率,但由于与曾经存在的偏置电流 I_{DBIAS} 相关联的导通损耗引起的功率损耗可能降低效率。如果出现这样的条件,可以动态地变更电路 350 的操作,以便于其中在时间 t_1 处栅极电压 V_{GS} 在 V_{CC} 与地电压(曲线 444)之间交替的传统的轨到轨栅极驱动(区域 443)。在轨到轨间隔内丧失了减小的栅极电荷摆动的益处。在时间 t_{sleep} 处,将 MOSFET 的栅极接地 445 持续与休眠模式相对应的某个不定时间。

[0192] 在轨到轨操作期间,如图 12C 的曲线图 446 所示,可以操作电路 350 来降低与接通相关的噪声。在“软开关”轨到轨操作期间(区域 447),在每次接通转变期间栅极电压在被驱动成 V_{CC} (曲线 449)之前首先短暂地上升到 V_{BIAS} 一小段持续时间(曲线 448)。曲线 448 和 449 的步进的(stair-stepped)栅极波形降低了 MOSFET 353 的漏极处的波形的变换率(slew rate),并且可以有益地降低噪声。

[0193] 实施三态低损耗栅极驱动:图 13A-13E 图示了实施具有减小的驱动损耗的功率 MOSFET 栅极驱动的几种电路。在图 13A 中,包含高压侧 P 沟道 MOSFET 451 和低压侧 N 沟道 MOSFET 453 的互补 MOSFET 栅极驱动器驱动功率 MOSFET 454 的栅极。N 沟道传输晶体管 452 还将 MOSFET 454 的栅极与参考电压源 455 提供的参考电压 V_{ref} 连接。MOSFET 452 上的栅极电压相对于它的源极电压必须足够正,以接通 MOSFET 452。受控于合适的定时和逻辑

辑电路,一次只接通一个器件。当高压侧 MOSFET 451 接通时, $V_{GS} = V_{batt}$, 并且 MOSFET 454 操作在它的线性区。当 MOSFET 452 接通时, $V_{GS} = V_{ref}$, 并且将 MOSFET 454 偏置为电流源。当低压侧 MOSFET 453 接通时, $V_{GS} = 0$, 并且 MOSFET 454 关断。

[0194] 如所示的,将 MOSFET 452 的壳体 (body) 接地。接地壳体是防止 MOSFET452 中的寄生二极管导通所需的,这是由于依赖于 MOSFET 451 和 453 的状态,栅极电压 V_{GS} 可以大于或小于 V_{ref} 的值。

[0195] 通过将 MOSFET 452 的壳体接地,寄生体二极管 457A 和 457B 永久地保持反向偏置。如果 MOSFET 452 的壳体不接地,而是并入 (incorporate) 源极 - 壳体短路,则这些二极管之一将与 MOSFET 452 的沟道并联,类似于二极管 456 与 MOSFET 454 并联。源极 - 漏极并联二极管在各种栅极偏置条件之下,即,当 $V_{GS} > V_{BIAS}$ 时,或当 $V_{GS} < V_{BIAS}$ 时,将变成正向偏置。

[0196] 诸如在图 13B 中示出的壳体偏置发生器或“壳体抓取器 (body snatcher)”之类的其它电路技术可以用于避免这个问题。如电路 460 所示,传输晶体管 462 包含寄生 PN 结二极管 469A 和 469B。为了防止任一个二极管导通,两个交叉耦合的 N 沟道 MOSFET 468A 和 468B 的网络偏置 MOSFET 462 的壳体电位,使得无论哪一个二极管变为正向偏置,都被并联 MOSFET 短路掉,让其它寄生二极管反向偏置或不导通。

[0197] 例如,如果 $V_{GS} > V_{BIAS}$, 则二极管 469B 被正向偏置而二极管 469A 被反向偏置。由于 V_{GS} 是正极性更强的端, N 沟道 MOSFET 468B 接通并短路掉正向偏置的二极管 469B, 将 MOSFET 462 的壳体与它的更负的 V_{BIAS} 端连接,关断 MOSFET 468A, 并让二极管 469A 反向偏置并且与 MOSFET 462 并联。作为对称电路,每当极性反向时,器件就切换状态并且二极管 469B 变成反向偏置并与传输晶体管 462 并联。壳体偏置发生器技术可以应用于,例如,电路 450 中的任何传输晶体管。在此将传输晶体管定义成源极和漏极都不连接到固定功率轨的 MOSFET。

[0198] 除了交叉耦合的 MOSFET 468A 和 468B 之外,电路 460 与电路 450 类似,除了用数模转换器 465 取代了固定的参考电压 455。D/A 转换器的输出使用转换器 465 的数字控制来调整 V_{BIAS} 。如所示,数据转换器 465 输出的电压高达由参考电压源 466 供应的最大量 V_{ref} 。否则,每当 N 沟道传输晶体管 462 关断时,图 13B 的电路 460 利用驱动功率 MOSFET 464 的栅极的、包含高压侧 P 沟道 MOSFET 461 和低压侧 N 沟道 MOSFET 463 的互补 MOSFET 栅极驱动器。与前面一样, MOSFET 462 的栅极相对于它的源极必须被偏置得足够正,以接通 MOSFET 462。

[0199] 图 13C 图示了依照本发明制造的具有低驱动损耗的 D/A 转换器 - 驱动的功率 MOSFET 的实施方案。如电路 470 所示,功率 MOSFET 471 的栅极由包含一次只有一个可以导通的 N 沟道和 / 或 P 沟道传输晶体管 472、473、474 和 475 的多路复用器供电。低压侧 MOSFET 475 将功率 MOSFET 471 的栅极偏置成 $V_{G0} = 0$ 或地电压,传输晶体管 MOSFET 474 将功率 MOSFET 471 的栅极偏置成 $V_{G1} = V_{BIAS1}$, 传输晶体管 MOSFET 473 将功率 MOSFET 471 的栅极偏置成 $V_{G2} = V_{BIAS2}$, 以及高压侧 MOSFET 472 将功率 MOSFET 471 的栅极偏置成 $V_{G3} = V_{batt}$ 。如有需要,可以采用上面所述的壳体偏置技术。

[0200] 图 13D 图示了另一个 D/A 转换器驱动的功率 MOSFET,其中偏置条件由包含电阻器 496A、496B 和 496C 以生成偏置点 V_{G2} 和 V_{G1} 的电阻器分压器网络确定。这些电阻器的大小

适合于设置偏置点,例如, $V_{G2} = V_{batt} \cdot (R_2+R_3) / (R_1+R_2+R_3)$ 。使用包含 MOSFET492、493、494 和 495 的模拟多路复用器来选择 V_{GS} 栅极电压。如图所示的, $V_{GS3} = V_{batt}$, $V_{GS0} = 0$,以及在这些栅极电压值之间的中间偏置条件。可以使用任何数量的电阻器来形成分压器网络。

[0201] 可替代地,如图 13E 所示,也可以使用正向偏置的二极管和电阻器的组合。分压器网络无需包含线性梯级 (step),而是可以包括目标偏置电压附近的更大的分辨率。上述的所有 D/A 转换器栅极驱动方法提供了在制造期间或在操作期间对设置 I_{DBIAS} 值的某种程度控制。

[0202] 利用电路反馈的减小的栅极驱动损耗电路:虽然提供了设置 I_{DBIAS} 值的不同程度的灵活性,但上述电路和栅极驱动方法采用了固定偏置电压,而不会自动补偿由制造或操作条件改变引起的功率 MOSFET 的偏差 (variation)。

[0203] 例如,图 14A 图示了实施在图 5 中示出的栅极驱动器 202 的电路 550。如图所示,功率 MOSFET 556 的栅极由包含与 V_{cc} 连接的高压侧 P 沟道 MOSFET553 和源极被偏置在由电压源 555 提供的参考电压 V_{BIAS} 上的 N 沟道 MOSFET554 的 CMOS 驱动器驱动。当 MOSFET 554 被偏置在其低电流接通状态时,则 $V_{GS1} = V_{BIAS}$,并且漏极电流 I_D 与 $(V_{BIAS}-V_t)$ 成比例。由于 V_t 随温度以及随从批次的制造而变化,于是电流也相应地变化。

[0204] 为了移除这种变化的影响,图 14B 中的电路 580 包括 I_D 电流反馈电路 90, I_D 电流反馈电路 90 使用放大器 588 动态地调整参考电压源 585 提供的参考电压 V_{BIAS} 的值,以迫使漏极电流 I_D 为电流源 589 提供的参考电流 I_{ref} 的倍数。漏极电流的量值由电流传感器 590 测量,并被传递给放大器 588 的负输入端。该反馈稳定输出电流。对于电流 I_D 的任何增加,到放大器 588 的负输入都使放大器 588 的输出减小,降低 V_{BIAS} 的量值并减小 I_D ,由此补偿电流的增加。

[0205] 在图 14C 的曲线图 600 中示出了净效应 (net effect),其中绘出了功率 MOSFET 的阈值电压对漏极电流 I_{DBIAS} 的影响。当没有反馈时,如曲线 602 所示, V_{t1} 的任何增加都导致漏极电流 I_D 的相称的 (commensurate) 减小。相反,利用反馈,漏极电流 601 保持恒定。进一步在图 14D 中图示反馈的效果,其中 I_D 相对于 V_{DS} 的曲线图动态地调整栅极偏置,以将过电流 607A 减小到它的目标值 606,或相反,将漏极欠电流 607B 增加到目标值 606。

[0206] 在图 15A 中示出的本发明的实施例中,使用感测电阻器 618B 来实现 I_D 漏极电流反馈。跨接电阻器 615B 的电压降 V_s 由运算放大器 618 相对于电压源 619 提供的参考电压 V_{REF} 进行差分放大,以生成电压 V_{BIAS} 。每当 MOSFET614 被偏置在接通状态条件下时,偏置电压 V_{BIAS} 驱动功率 MOSFET 616 的栅极。电流感测电阻器 615B 增加了与电气负载 617 串联的总的电阻,并因此减少了效率。

[0207] 在图 15B 中示出的本发明的另一个实施例中,改进的电路 620 利用包含栅极宽度 $n \cdot W$ 的功率 MOSFET 626A 和栅极宽度 W 的感测 MOSFET 626B 的电流镜,功率 MOSFET 626A 和感测 MOSFET 626B 具有公共栅极和源极端以及分开的漏极连接。在包含 P 沟道 MOSFET 623 和 N 沟道 MOSFET 624 的 COMS 栅极驱动器的栅极控制下,功率 MOSFET 626A 控制通过负载 629 的电流 I_D 。运算放大器 628 控制电流源 627 中的电流,迫使 MOSFET 626B 的漏极电压 V_β 至与功率 MOSFET 626A 的漏极相同的电压。假设 MOSFET626A 和 626B 的 V_{GS} 相同,当 $V_\alpha = V_\beta$ 时,两个器件中的电流处于分别由它们的相对栅极宽度 $n \cdot W$ 和 W 所确定的比例。相应地,当功率 MOSFET 626A 导通漏极电流 I_D 时,与 MOSFET 处于其线性操作区还是饱和操

作区内无关,由 $I_{\text{sense}} = I_D/n$ 给出依赖于电流源 627 的感测电流。

[0208] 感测电流 I_{sense} 627 被镜像到电流源 630 并被转换成跨接感测电阻器 631 的电压 V_{sense} 。与电路 610 中的电阻器 618B 不同,感测电阻器 631 对增加与负载 629 串联的电阻没有作用。然后,感测电压 V_{sense} 由放大器 623 相对于电压源 632 提供的参考电压 V_{REF} 差分放大,在 MOSFET 624 的源极上生成输出电压 V_{BIAS} 。每当 $V_{\text{GS1}} = V_{\text{BIAS}}$ 时,即,当 MOSFET 624 接通而 MOSFET 623 关断时,电流感测电路和偏置网络形成具有负反馈的闭环,对功率 MOSFET 626A 中的低漏极电流条件 I_{BIAS} 提供稳定控制。MOSFET 626A 中的漏极电流 I_D 的任何增加都造成电流源 627 供应的 I_{sense} 电流增加以平衡电压。这又使电流 I_{mirror} 增加,并使被施加于运算放大器 633 的负输入端的 V_{sense} 增加。较大的负输入信号使 V_{BIAS} 降低,使功率 MOSFET 626A 上的 V_{GS} 减小并补偿增加的电流,因此,尽管在温度或制造方面的偏差 (variation),但保持 I_D 恒定。

[0209] 电流镜电路 620 相对电路 610 的一个优点是其不与电气负载 629 串联地引入任何附加电压降,并因此提高了从电源到负载 629 的能量传输效率。与在电路 610 中体现的感测电阻器技术不同,在电路 620 中体现的电流镜方法只能与诸如 MOSFET 的漏极可以被分开连接的 MOSFET 626A 和 626B 之类的共源极分漏极 MOSFET 一起使用。它不能与诸如槽沟门控 (trench-gated) 垂直 DMOS 或平面垂直 DMOS 之类的共漏极器件一起使用。

[0210] 可替代地,可以不用引入与负载 657 串联的大阻值的感测电阻器而采用在图 15C 中示出的电路 650 来精确监视分立功率 MOSFET 656 中的漏极电流。然后,将感测电流 660 用于在低电流导通期间控制 I_{DBIAS} 的量值并且用于在高电流低电阻状态下感测短路条件。在与本申请同时提交并且在此通过引用被并入的、名称为“Cascode Current Sensor For Discrete Power Semiconductor Devices”的申请 [代理案号第 AATI-26-DS-US] 中描述了这种电流感测方法。

[0211] 具体地说,如图 15C 所示,被施加于功率 MOSFET 656 的栅极偏置受包含 P 沟道 MOSFET 653 和 N 沟道 MOSFET 654 的栅极驱动器控制。栅极电位 V_{GS} 在操作在低电阻条件下时可以包含 V_{cc} ,或在操作在低电流状态下可以包含 V_{BIAS} 。使用反馈来控制电压 V_{BIAS} ,以生成所期望的输出电流 I_{DBIAS} 而与操作条件或制造工艺的偏差无关。使用与功率 MOSFET 656 串联的具有栅极宽度 $n \cdot W$ 的低电阻低压 MOSFET 658A 实现电流感测。功率 MOSFET 656 可以包含低压或高压器件,并且无需与电路 650 中的其它组件部件集成。电流感测元件包括与较大的 MOSFET 658A 一起单片制造的、并且共用公共的源极和分开的漏极的栅极宽度 W 的电流镜 MOSFET 658B。

[0212] 在一个优选实施例中,使 MOSFET 658A 和 658B 两者的栅极偏置为电源电压 V_{cc} 并因此被偏置到它们的低电阻线性操作区。甚至在高 I_D 漏极电流上, MOSFET 658A 的低电阻也保证 MOSFET 658A 的漏极处的电压 V_{α} 保持低。将 MOSFET 658B 的漏极电压指定成 V_{β} 。差分放大器 659 控制所依赖的电流源 660 中的电流 I_{sense} ,直到 MOSFET 658A 和 658B 的漏极电压相等,即, $V_{\beta} = V_{\alpha}$ 。在这种条件下, $I_{\text{sense}} = (I_D/n)$,并且精确度量流入功率 MOSFET 656 中的电流 I_D ,而与其偏置条件无关。

[0213] 使用与感测电阻器 664 串联的电流镜 661 将 I_{sense} 的值镜像为成比例的电流 I_{mirror} ,以生成与 V_{α} 成比例的感测电压 V_{sense} 。因为运算放大器 659 的电压增益,尽管事实上电压 V_{α} 小,但可以使信号 V_{sense} 大。 V_{sense} 的值由运算放大器 663 相对于电压源 662 生成的参考

电压 V_{BIAS} 差分放大。

[0214] 在闭环操作下,当 MOSFET 654 接通而 MOSFET 653 关断时,放大器 663 的输出在 I_D 等于目标电流 I_{DBIAS} 时,具有 $\sim V_{BIAS}$ 的输出电压。如果 I_D 太小,电流 I_{mirror} 也将减小,从而降低到运算放大器 663 的负输入端的 V_{sense} 电压。较低的负输入电压导致放大器 663 的输出电压增加,这又将功率 MOSFET 656 的栅极驱动到更高的偏置,将 I_D 增加到它的目标值。

[0215] 当 N 沟道 MOSFET 654 关断而 P 沟道 MOSFET 653 接通时,功率 MOSFET 656 被偏置成它的高电流状态,并且忽略跨接在电阻器 655 的降低的运算放大器 663 输出。为了短路和过电流保护的的目的,仍然可以使用电压 V_{sense} 来监视 MOSFET 658A 中的电流 I_D 。如所示,通过磁滞比较器 670 将电压 V_{sense} 与电压源 671 提供的参考电压 V_{ref} 相比较。当 V_{sense} 超过 V_{ref} 时,电流 I_D 太高,并且过电流关闭,即,OCSD 比较器 670 生成通知系统已经出现过电流条件和应该关闭功率 MOSFET 656 的高逻辑输出信号。

[0216] 由此,通过利用包括感测电阻器、电流镜、共射共基电流感测、或任何其它方法的电流感测技术,并通过将电流感测技术与负反馈组合以调整栅极偏置 V_{BIAS} ,可以精确控制漏极电流 I_{DBIAS} 的值。通过控制 I_{DBIAS} 的值,也可以依照本发明的方法和与图 9 的曲线图一致地控制在每个开关循环的低状态下在功率 MOSFET 栅极上保留的最小栅极电荷 Q_{GL} ,以使栅极驱动损耗最小。

[0217] 利用电流微调的减小的栅极驱动损耗的电路:虽然上面的技术使用电流反馈来设置 I_{DBIAS} 低电流条件的值,但对许多应用来说,可能不止要求电流精确度和电路复杂度。由于饱和的 MOSFET 具有如下方程给出的漏极电流:

$$[0218] \quad I_D = k(V_{GS} - V_t)^2,$$

[0219] 该漏极电流与跨导 (transconductance) 因子成比例并且与 $(V_{GS} - V_t)$ 的平方成比例,所以阈值电压是影响饱和电流的最主要工艺参数。同样,可以合理地通过电路的电气微调来实现精确的电流控制以补偿作为制作工艺的一部分的阈值可变性。

[0220] 如图 16A 所示,依照本发明制造的具有低驱动损耗的功率 MOSFET 栅极驱动器 701 利用在用于低电阻操作的 V_{cc} 与用于低电流导通的 V_{BIAS} 之间交替的电压来驱动功率 MOSFET 702 的栅极。固定电压源 706 设置 V_{BIAS} 的值。在制造好之后,通过测试设备测量电流 I_D ,并将它用于调节微调网络 705,直到 I_D 的测量值与偏置电流 I_{DBIAS} 的目标值匹配。优选地在室温下进行这种校准。

[0221] 由于饱和电流也随温度变化,主要由于阈值电压,可以使用可选的温度补偿电路 709 来调节 V_{BIAS} 706,以便保持 I_D 对于温度的半恒定值。

[0222] 在图 16B 中示出的微调栅极驱动电路 720 包括具有 MOSFET 721 和 722 的栅极驱动器、功率 MOSFET 724、和负载 725。其余部件用于实施微调的偏置电压 V_{BIAS} ,包括提供参考电压 V_{ref} 的参考电压源 726、包括电阻器 728A 和 728B 和 729a-729e 的电阻器分压网络 728、一次可编程 (OTP) MOSFET 730a-730e、偏置多路复用器 731a-731e 和 OTP 编程器 727。电阻器 728A 和 728B 分别具有值 R_A 和 R_B 。

[0223] 在制造好之后,OTP MOSFET 730a-730e 呈现比 V_{cc} 低得多的正常阈值电压。在操作期间,多路复用器 731a-731e 将 OTP MOSFET 730a-730e 每一个的栅极偏置成 V_{cc} ,接通 OTP MOSFET 730a-730e 中的每一个,并且短路掉与之并联的电阻器 729a-729e 之一。例如,在未编程状态下,OTP MOSFET 731c 具有 0.7V 的阈值。当多路复用器 731c 将 OTP MOSFET 730c

的栅极与 V_{cc} 连接时,它就导通,并短路掉相应电阻器 729c。

[0224] 在未编程状态下,将所有电阻器 729a-729e 短路,使得通过电阻器分压器 728 将 V_{BIAS} 设置成:

$$[0225] \quad V_{BIAS} = \left(\frac{R_A}{R_A + R_B} \right) \cdot V_{ref}$$

[0226] 编程涉及到将 OTP MOSFET 731a-731e 中给定的任何一个的栅极与编程器 727 连接,并且以高压将该器件偏置成饱和。该过程生成热载流子,并且永久地对栅极氧化物充电,使该器件的阈值电压增加到较高值,使得在正常操作下,OTP MOSFET 不导通。由此,将电阻器 729a-729e 中并联那一个插入分压器 728 中,调节电阻器分压器比率和 V_{BIAS} 的值。电阻器 729a-729e 的值可以相同或不同,使得微调可以是线性的或非线性的。依赖于电阻器 729a-729e 的值,微调输出的范围可以从高至 V_{ref} 到它的几分之一 V_{ref}/m 。诸如图 16C 中示出的,可以以任何数量的组合来排列代码。如所示,代码 C1 到 C8 对应于依赖于通过未编程的 OTP MOSFET 730a-730e 短路的那些电阻器的各种电阻器组合。代码 C1 从最低电压处的 V_{BIAS} 开始(直线 741),并且随着通过关断 OTP MOSFET 730a-730e 中的各个 OTP MOSFET 所编程的各种比特而增加(直线 742)。直线 743 所指示的可替代的模式使用非线性梯级,并且以量值 V_{ref} 的最大电压(直线 744)结束。

[0227] 虽然许多特定的编程序列是可能的,但在图 16D 中示出了用于微调 V_{BIAS} 的一般编程算法 780,其中将固定电压 V_{DS} 施加于操作在低电流,即, I_{DBIAS} 状态下的功率 MOSFET 724。在步骤 781 中施加了这个偏置之后,在步骤 782 中测量漏极电流 I_D ,并在步骤 783 中将漏极电流 I_D 与 I_{DBIAS} 的目标范围在某个容限内比较。如果电流太低,则在步骤 784 中编程 OTP MOSFET 730a-730e 的一个或多个,增加 V_{BIAS} 和 I_D 。然后,重复该过程(步骤 785),直到测量的 I_D 达到 I_{DBIAS} 的指定范围,然后该程序终止(步骤 786)。

[0228] 在图 16E 中示出了 I_{DBIAS} 编程的例子,其中制造好的产品具有量值 $I_{initial}$ (直线 801) 的电流,并且在每次叠代期间电流都增加,直到达到正好在 I_{Dlow} 到 I_{Dhigh} 的目标范围之外的直线 802 所表示的值。在第五次叠代中,电流增加到目标范围之内的、由直线 804 所表示的值,然后终止该程序。虽然可以在室温下进行该程序,但也可以在更高温度上使用相同的程序。

[0229] 可替代地,可以在两种温度下进行编程 - 一种是校正初始电流的误差,另一种是微调以补偿随温度的阈值变化的影响。图 16A 中的温度补偿电路 709 可以假定某个温度系数,例如,处于 $-3mV/^\circ C$ 上,以避免需要在高温下微调。不管怎样,都使用微调来提高 I_{DBIAS} 的精度,并且因此更严密地控制 MOSFET702 的栅极电荷摆动。

[0230] 利用电流镜驱动的减小的栅极驱动损耗的电路:在上述的技术中, I_{DBIAS} 的量值依赖于功率 MOSFET 的阈值。在一种情况下,采用主动微调来调节 V_{BIAS} 的值,以生成 I_{DBIAS} 的目标值。在另一种情况下,采用电流反馈来迫使在闭环操作下 I_D 至目标值 I_{DBIAS} 。

[0231] 在本发明的另一个实施例中,减小的栅极驱动损耗电路利用对功率 MOSFET 的阈值波动不敏感的栅极驱动技术。一种消除对阈值的敏感性的这样的方法利用在图 17A 中示出的电流镜栅极驱动电路 820。不用实际感测电流,该技术采用以下原理:被单片制造的两个 MOSFET 将呈现基本匹配的阈值电压并且在相同栅极驱动条件下,在饱和时漏极电流大

致与 MOSFET 栅极宽度成比例地缩放 (scale)。

[0232] 具体地说,单片地制造 MOSFET 824A 和 824B 作为电流镜 830。功率 MOSFET 824A 是具有大栅极宽度 $n \cdot W$ 的低电阻器件,而电流镜 MOSFET824B 具有栅极宽度 W 是 MOSFET 824A 的栅极宽度的“ n ”分之一。MOSFET824A 的栅极由栅极驱动器 821 从三个输入 $-V_{cc}$ 、 V_{BIAS} 和地电压中选择的选项驱动。当选择 V_{cc} 时,将功率 MOSFET 824A 偏置成操作在其线性区内的低电阻状态。当选择地电压时,切断功率 MOSFET 824A 并且没有电流流过。

[0233] 当选择 V_{BIAS} 时,功率 MOSFET 824A 的栅极驱动由包含电流源 822 和镜像 MOSFET 824B 的偏置网络确定。在图 17B 中示出这种模式下的等效电路,其中固定电流源 822 被选择或预置成供应目标电流 I_{DBIAS} 除以宽度比率“ n ”。让这个电流 I_{DBIAS}/n 馈入其漏极和栅极被短路的、即,阈连接的 MOSFET 824B 中。阈连接的 MOSFET 824B 是自偏置的,意味着它将其栅极电压调节为承载固定电流源 822 供应的漏极电流所需的电位 V_{BIAS} 。通过定义,因为 $V_{DS} = V_{GS}$ 保证了饱和条件 $V_{DS} > (V_{GS} - V_t)$ 总是得到满足,阈连接的 MOSFET 操作在它的饱和区内。

[0234] 这个 V_{BIAS} 电压,即, MOSFET 824B 的栅极电压也是大功率 MOSFET824A 上的栅极电压。倘若 MOSFET 824A 上的 V_{DS} 很大,意味着 I_{DBIAS} 不会太大,那么,其也处于饱和中并且 MOSFET 824A 和 824B 中的电流应该按比率“ n ”缩放。如果电流源 822 被预置成电流 I_{DBIAS}/n ,那么, MOSFET 824A 和负载 823 中的电流应该是:

$$[0235] \quad I_D = n \cdot (I_{DBIAS}/n) = I_{DBIAS}。$$

[0236] 由于 MOSFET 824A 和 824B 的阈值电压接近匹配,在两个器件中出现由于工艺偏差或温度引起的 V_t 的任何漂移,并且作为共模噪声加以抑制。例如,如果由于任何原因 V_t 下降到 $(V_t - \Delta V_t)$,那么, V_{BIAS} 下降相称的量至 $(V_{BIAS} - \Delta V_t)$ 。MOSFET 824A 上的栅极驱动从 $(V_{BIAS} - V_t)$ 改变为与原始条件相同的值:

$$[0237] \quad (V_{BIAS} - \Delta V_t) - (V_t - \Delta V_t) = (V_{BIAS} - V_t)。$$

[0238] 因此,使用电流镜栅极驱动取消了阈值变化的影响。

[0239] 因此,由于诸如短沟道效应、串联电阻、准饱和等的次级 (secondary) 因素引起在设置 I_{DBIAS} 中的任何误差。如果需要,作为制造工艺的一部分,可以采用微调电路 831 来调节电流源 822 的值。

[0240] 在图 18 中示出了没有微调的电流镜栅极驱动电路 860。栅极驱动电路 860 包含电流镜 MOSFET 对 861、负载 863、包括 MOSFET 864、865 和 870 的三态栅极驱动器、先断后接 (BBM) 缓冲器 866 和具有电阻器 869 的偏置电流发生器 MOSFET 对 871。如所示,功率 MOSFET 862A 在 P 沟道 MOSFET 864 接通时可以被偏置成低电阻状态,在 N 沟道 MOSFET 870 接通时可以被偏置成完全关断不导通状态,以及在 N 沟道 MOSFET 865 接通时可以被偏置为处于低受控电流 I_{DBIAS} 的饱和。在 BBM 缓冲器 866 的控制下,一次可以仅仅接通 MOSFET 864、865 和 870 中的一个。

[0241] MOSFET 对 861 包含具有栅极宽度 $n \cdot W$ 的功率 MOSFET 862A 和具有栅极宽度 W 的小电流镜 MOSFET 862B。利用在 MOSFET 862B 的栅极和漏极上的电压 V_{BIAS} ,该器件导通漏极电流 I_{DBIAS}/n 。这个电流由包含 P 沟道 MOSFET 867 和 868 的电流镜 871 建立。阈连接的 MOSFET 868 导通由电阻器 869 设置的、具有如下量值的电流 I_{ref} :

$$[0242] \quad I_{ref} = \frac{V_{cc} - V_{tp}}{R} \equiv \frac{I_{DBIAS}}{n} .$$

[0243] 电流 I_{ref} 被 MOSFET 867 镜像以驱动 MOSFET 862B。给定 P 沟道阈值电压 V_{tp} ，将电阻器 869 的值 R 调节为将这个电流设置成目标值 I_{DBIAS}/n 。

[0244] 图 19 图示了按照本发明制造的电流镜栅极驱动器 880，其中使用提供电压 V_{ref} 的参考电压源 890 和电阻器 889 实现 I_{ref} 。然后，通过下式给出电流 I_{ref} ：

$$[0245] \quad I_{ref} = \frac{V_{ref} - V_{tn}}{R} \equiv \frac{I_{DBIAS}}{n} ,$$

[0246] 其中，选择 R 的值使得 $I_{ref} = I_{DBIAS}/n$ 。

[0247] 电路 880 还图示了三态栅极驱动器的另一种实施方式。该栅极驱动器包含通过逻辑“AND(与)”门 892 和 893 和反相器 894、895 和 896 驱动的连接 V_{cc} 的 P 沟道 MOSFET 884、连接 V_{BIAS} 的 N 沟道 MOSFET 885、和连接地的 N 沟道 MOSFET 891。每当使能信号 EN 处于逻辑低状态状态下时，AND 门 892 和 893 的输出是关断 MOSFET 885 的低电平，并且，经反相器 894 反相，AND 门 892 的输出将 P 沟道 MOSFET 884 的栅极偏置成高电平，将它关断。经反相器 896 反相的低电平使能信号驱动具有高栅极偏置的接地的 MOSFET 891，将它接通，并且将功率 MOSFET 882A 的栅极与地短路。在这样的状态下，MOSFET 891 接通而 MOSFET 884 和 885 关断。

[0248] 当使能信号 EN 是高电平时，反相器 896 的输出是低电平并且 MOSFET 891 关断。当 EN 作为高电平被输入 AND 门 892 和 893 时，它们的输出只依赖于输入引脚 IN 的状态。当 IN 是高电平时，反相器 895 将 AND 门 893 的输入端和输出端驱动成低电平，并且关断 N 沟道 MOSFET 885。但是，高电平输入将 AND 门 892 的输入端和输出端驱动成高电平，并且，经反相器 894 反相，将 P 沟道 MOSFET 884 的栅极驱动成低电平，接通 P 沟道 MOSFET 884。在这样的状态下，MOSFET 884 接通而 MOSFET 885 和 896 关断。

[0249] 相反，当 EN 是高电平而 IN 是低电平时，反相器 895 将 AND 门 893 的输入端和输出端驱动成高电平，并且接通 N 沟道 MOSFET 885。但是，低电平输入将 AND 门 892 的输入端和输出端驱动成低电平，并且，经反相器 894 反相，将 P 沟道 MOSFET 884 的栅极驱动成高电平，关断 P 沟道 MOSFET 884。在这样的状态下，MOSFET 885 接通而 MOSFET 884 和 896 关断。

[0250] 当使用组合逻辑时，在任何一个时刻都只接通驱动功率 MOSFET 882A 的栅极的三个 MOSFET 884、885 或 891 之一。因此，电路 880 操作为依照本发明控制功率 MOSFET 882A 的导通和栅极电荷摆动的三态栅极驱动器。表 3 是三态栅极驱动器的逻辑的真值表：

[0251]

输入		逻辑			功率MOSFET 882A		
EN	IN	884	885	891	V_{GS1}	状态	I_D
L	L/H	断开	断开	接通	0V	截止	~0
H	H	接通	断开	断开	V_{CC}	低电阻	$V_{DD}/R_{DS(on)}$
	L	断开	接通	断开	V_{BIAS}	饱和	I_{DBIAS}

[0252] 表 3

[0253] 在图 20 中图示依照本发明的电流镜栅极驱动器的另一种变型,其中三态栅极驱动器 901 利用值 V_{GS1} 将功率 MOSFET 903A 的栅极驱动成三个电位之一 $-V_{CC}$ 、地电压或 V_{BIAS} 。电压 V_{BIAS} 由导通来自受控电流源 904 的电流 I_{ref} 的阈连接的 MOSFET 903B 确定。分别具有栅极宽度 W 和 $n \cdot W$ 的 MOSFET 903B 和 903A 一同构成被单片制造的 MOSFET 对 902。

[0254] 在数字逻辑、数字信号处理器、或微处理器 907 的控制下通过 D/A 转换器 906 来调整电流 I_{ref} , 并且, 如果需要, 可以动态地和实时地调整电流 I_{ref} 。D/A 转换器 906 和相关电流源 904 可以一起构成电流输出 D/A 转换器。

[0255] 在图 21B 中图示直接驱动镜像 MOSFET 942B 的电流型 D/A 转换器 947 的例子。电流模式 D/A 转换器 947 包括生成参考电压 V_{ref} 的参考电压源 949 以消除对电源电压 V_{CC} 波动的敏感性。可替代地, 如图 21A 所示, 可以使用 D/A 转换器 929 控制受控电压源 928 来生成电流 I_{ref} 。使用具有值 R 的电阻器 927 将电压 V_{ref} 变换成电流, 从而 $I_{ref} = (V_{ref} - V_{tn})/R$ 。如前所述, 可以使用一系列电阻器和 OTP MOSFET 来微调 R 的精确值。

[0256] 为了有利于 V_{BIAS} 的系统控制, 可以响应不断改变的条件来调整饱和期间的漏极电流 I_{Dsat} , 即, I_{DBIAS} 的值。例如, 可以将 I_{DBIAS} 调整成在线性低电阻状态期间导通的 I_{Dlin} 的百分数, 即,

$$[0257] \quad I_{Dsat} = I_{DBIAS} \propto I_{Dlin} = V_{CC}/R_{DS(on)}$$

[0258] 在图示 I_{DBIAS} 相对于 I_{Dlin} 的图 22A 中示出这样的例子。曲线图 980 中的曲线 983 图示了使用线性区电流的模拟反馈控制的恒定百分比。可替代地, 可以使用 D/A 转换器和数字控制来实现被示为曲线 982a、982b 和 982c 的包含的电流的 I_{DBIAS} 的步进的增加。作为参考, 将恒定 I_{DBIAS} 示为直线 981。在图 22B 的曲线图 990 中, I_{DBIAS} 作为频率 f 的函数变化 (曲线 992) 而不是保持恒定 (曲线 991)。

[0259] 利用切换偏置电流镜驱动的减小栅极驱动损耗的电路: 在前面的电流镜驱动电路中, 功率 MOSFET 栅极偏置由从 V_{CC} 、 V_{BIAS} 和可选的地电压中选择的多路复用栅极驱动器确定。在这样的实施方式中, 向被硬连线成阈连接的器件, 即, 具有 $V_{GS} = V_{DS}$ 的电流镜 MOSFET 馈送的电流源建立 V_{BIAS} 。

[0260] 图 23A 中图示的一种可替代方式是在高频开关期间在地电压与偏置电源电流 I_{ref} 之间切换电流镜 MOSFET 1002B 上的栅极偏置。当 P 沟道 MOSFET 1004 接通并且使能信号是高电平时, 栅极驱动器 1005 将 N 沟道 MOSFET 1002B 的栅极与地连接, 关断 MOSFET 1002B。其结果是, $V_{GS1} = V_{CC}$, 并且功率 MOSFET 1002A 被偏置成低电阻状态, 在该状态中 MOSFET 1006 保持关断。

[0261] 在饱和和低电流模式下, MOSFET 1004 关断并且使能信号具有高电平, 栅极驱动器 1005 将镜像 MOSFET 1002B 的栅极与漏极短路。同时, MOSFET1006 接通, 并且参考电压源 1008 通过电阻器 1007 向阈连接 MOSFET 1002B 供应电流 I_{ref} 。镜像 MOSFET 1002B 只有在 $V_{GS1} = V_{BIAS}$ 的时间期间内是阈连接的。其结果是, 利用漏极电流 I_{DBIAS} 将功率 MOSFET1002A 偏置成饱和。

[0262] 如果使能信号是低电平, 则栅极驱动器 1005 将 MOSFET 1002B 的栅极与 V_{cc} 连接, 将它接通, 并将功率 MOSFET 1002A 的栅极接地。在这种条件下, MOSFET 1004 和 1006 保持关断。

[0263] 切换偏置电路 1000 的优点在于只需两个大面积 MOSFET 作为缓冲器来驱动功率 MOSFET 1002A 的栅极, 即, 将功率 MOSFET 1002A 驱动到低电阻状态的高压侧 MOSFET 1004, 和为功率 MOSFET 1002A 在饱和和下操作而提供 V_{BIAS} 栅极驱动以及关断功率 MOSFET 1002A 的多功能镜像 MOSFET1002B。

[0264] 图 23B 图示了电路 1000 的一种形式, 其中驱动电流镜 MOSFET 1022B 的栅极的栅极驱动器包含用于关断 MOSFET 1022B 的接地的 N 沟道 MOSFET1025、和将 MOSFET 1022B 的栅极和漏极短路的 N 沟道 MOSFET 1029。采用 MOSFET 1026 将镜像 MOSFET 1022B 的栅极偏置在电压 V_{BIAS} 上。使用 MOSFET 1024 将功率 MOSFET 1022A 驱动到低电阻状态。

[0265] 减小栅极驱动损耗的电路的应用和拓扑: 上述具有低栅极驱动损耗的用于驱动功率 MOSFET 的方法和电路可以被应用于 N 沟道或 P 沟道导通型的低压侧、高压侧或推挽配置的功率 MOSFET。图 24A-24D 图示了使用 N 沟道功率 MOSFET 的低损耗栅极驱动器, 而图 25A 和 25B 图示了使用 P 沟道和互补功率 MOSFET 的低损耗栅极驱动器。

[0266] 如上所述, 栅极驱动器可以包含在低电阻完全接通条件与有限电流饱和 MOSFET 条件之间切换的双态驱动器。可替代地, 栅极驱动器可以包含在低电阻完全接通条件、有限电流饱和 MOSFET 条件、和用于休眠模式操作的完全关断条件之间切换的三态缓冲器。功率电路中的每个功率 MOSFET 可以采用所述低栅极驱动损耗技术之一, 或可替代地, 仅仅功率器件中的一个可以利用低驱动损耗方法。

[0267] 图 24A 图示了驱动接地的、即低压侧配置的 N 沟道功率 MOSFET 1101、利用电压源 1106 生成 V_{BIAS} 并且由生成 V_{cc} 的电压源 1105 供电的三态栅极驱动器 1102。由生成 V_{DD} 的电压源 1104 供应的功率 MOSFET 1101 和负载 1103 中的电流可以包含: 在低电阻状态下的 V_{DD}/R ; 当饱和时的恒定电流 I_{DBIAS} ; 以及当没有进行切换时的 $I_D = 0$ 。当使能信号 EN 是低电平并且功率 MOSFET1101 的栅极接地时, 禁止切换。电压源 1104 (V_{DD}) 和 1105 (V_{cc}) 可以包含相同功率。通过在 V_{cc} 与 V_{BIAS} 之间的切换期间限制栅极偏置, 减小了栅极电荷摆动, 并提高了切换期间功率 MOSFET 1101 的效率。

[0268] 图 24B 图示了驱动高压侧, 即源极跟随器配置的 N 沟道功率 MOSFET1121 的、由自举电容器 1128 供电、利用浮置电压源 1126 生成 V_{BIAS} 的浮置三态栅极驱动器 1122。每当 MOSFET 1121 关断并且负载 1123 上的电压 V_x 处于地电压上或小于电源电压 V_{cc} 时, 生成 V_{cc} 的电压源 1125 就通过自举二极管 1127 对自举电容器 1128 充电。自举电容器 1128 在 $V_{GS1} = V_{boot} \approx V_{cc}$ 的间隔内对栅极驱动器 1222 供电并且 MOSFET 1121 以低电阻完全接通。

[0269] 由生成 V_{DD} 的电压源 1124 供应的功率 MOSFET 1121 和负载 1123 中的电流在 MOSFET 1121 处于低电阻状态下, 可以等于 V_{DD}/R ; 在 MOSFET 1121 处于饱和时, 可以等于恒定电流

I_{DBIAS} ;或者在MOSFET 1121没有进行开关时,可以等于零。当使能信号EN是低电平并且功率MOSFET 1121的栅极与它的源极电压 V_x 连接时,禁止MOSFET 1121进行开关。通过电平移位电路1129对使能信号和输入信号进行电平移位来馈入栅极驱动器1122。电压源1124(V_{DD})和1125(V_{CC})可以是单个电压源。通过在 V_{CC} 与 V_{BIAS} 之间切换MOSFET 1121的栅极,减小了栅极电荷摆动,并提高了切换期间MOSFET1121的效率。

[0270] 图24C图示了同步升压变换器1160,其包含低压侧N沟道功率MOSFET1161、同步整流器MOSFET 1166、和按照本发明的低损耗栅极驱动器1162和1167。如图所示的,利用电压源1163生成 V_{BIASL} 的三态栅极驱动器1162由 V_{batt} 供电,并且驱动接地的低压侧配置的N沟道功率MOSFET 1161。功率MOSFET 1161中的电流在MOSFET 1161处于低电阻状态下,可以等于 V_x/R ;在MOSFET 1161饱和时,可以等于恒定电流 I_{DBIAS} ;或者在MOSFET 1161没有开关时,可以等于零。当使能信号EN是低电平并且功率MOSFET 1161的栅极接地时,禁止切换。当使能时,脉宽调制(PWM)控制器1164确定MOSFET 1161的脉冲宽度和接通时间,MOSFET 1161又控制流入电感器1165的电流。通过在 V_{batt} 与 V_{BIASL} 之间的切换期间限制MOSFET 1161的栅极偏置,减小了栅极电荷摆动,并提高了切换期间功率MOSFET 1161的效率。

[0271] 升压变换器1160还图示了每当低压侧MOSFET 1161关断并且 V_x 很快超过(fly above) V_{out} 时导通的PN结整流二极管1169。为了减小功率损耗,浮置N沟道同步整流器MOSFET 1166在低压侧MOSFET 1161关断的时间的某个部分内导通。如图所示的,同步整流器MOSFET 1166由双态栅极驱动器1167驱动,并由自举电容器1172供电。每当 V_x 接近地电压时, V_{batt} 通过自举二极管1171对自举电容器1172充电。电压 V_{boot} 浮置在 V_x 的之上,使得向栅极驱动器1167供应与电压 V_x 的量值无关的 $V_{\text{boot}} \approx (V_{\text{batt}} - V_f)$ 。 V_f 是对自举电容器1172充电时跨接自举二极管1171的正向偏置电压。

[0272] 浮置双态栅极驱动器1167驱动浮置MOSFET 1166的栅极,利用电位 $V_{\text{GSF}} = V_{\text{boot}}$ 使其操作在低接通状态电压降上,利用电位 $V_{\text{GSF}} = V_{\text{BIASF}}$ 使其操作为处于电流 I_{DBIAS} 上的饱和电流源。优选地通过使先断后接缓冲器1173反相来使同步整流器MOSFET 1166与低压侧MOSFET 1161异相地被驱动,使得一次只有一个MOSFET操作在低电阻大电流状态下。按照本发明,在这样的间隔期间,另一个MOSFET可以关断或导通小偏置电流 I_{DBIAS} ,以减小栅极电荷摆动。由于N沟道MOSFET 1161在导通期间呈现比同步整流器MOSFET1166大的漏极电压转变,对于驱动低压侧MOSFET 1161的栅极驱动器1162而言,本发明限制栅极电荷摆动的益处是最大的。不过,驱动同步整流器MOSFET 1166的驱动器1167使栅极驱动损耗有所减小,并且,更重要的是,减小了整流二极管1169中二极管恢复生成的效率损失和噪声。与本申请同时提交并且在此通过引用并入其全文的、名称为“Low-Noise DC/DC Converter With Controlled Diode Conduction)”的申请号[代理案号:第AATI-18-DS-US号]中提出了将同步整流器MOSFET偏置成电流源来控制二极管恢复的主题。表4是描述上述各种组合的真值表。

[0273]

输入		功率 MOSFET 1161			Sync Rect MOSFET 1166		
EN	IN	V_{GSL}	状态	I_D	V_{GSF}	状态	I_D
L	L/H	0V	截止	~0	无关紧要		
H	H	V_{batt}	低 R_{DS}	V_{batt}/R_D $S_{(on)}$	V_{BIASF}	饱和	I_{DBIAS}
	L	V_{BIASL}	饱和	I_{DBIAS}	V_{boot}	低 R_{DS}	$(V_x - V_{out})/R_{DS(on)}$

[0274] 表 4

[0275] 还要注意,在图 24C 的实施例中,只有栅极驱动器 1162 是三态的,这是由于 MOSFET 1161 形成从电池输入到地的串联分路。使 MOSFET 1166 进入其中禁止 MOSFET 1166 开关的休眠模式不会防止 V_{batt} 将输出电容器 1170 充电到近似 V_{batt} ,这是由于每当 $V_{batt} > V_{out}$ 时,二极管 1169 被正向偏置。使同步整流器 MOSFET 1166 进入休眠模式的主要益处是防止电容器 1170 反向对 V_{batt} 逐渐放电。

[0276] 在本发明的另一个实施例中,在图 24D 中图示按照本发明的具有减小的栅极驱动损耗的 N 沟道同步降压变换器 1180。如所示的,降压变换器 1180 包含利用浮置电压源 1183 生成 V_{BIASH} 的浮置三态栅极驱动器 1182。栅极驱动器 1182 由自举电容器 1185 供电并且驱动高压侧,即源极跟随器配置的 N 沟道功率 MOSFET 1181。每当 MOSFET 1181 关断并且电压 V_x 处于地电压上或小于电源电压 V_{batt} 时, V_{batt} 通过自举二极管 1184 对自举电容器 1185 充电。自举电容器 1185 在 $V_{GSH} = V_{boot} \approx V_{batt}$ 的间隔期间内对栅极驱动器 1282 供电并且 MOSFET 1181 以低电阻完全接通。

[0277] MOSFET 1181 具有其受 PWM 控制器 1193 控制的接通时间。调制被供应给 MOSFET 1181 的脉冲宽度以控制流过电感器 1190 以及对电容器 1191 充电的电流。当使用闭环控制时,使用反馈信号 V_{FB} 将输出电压 V_{out} 反馈到 PWM 控制器 1193,以针对输入电压 V_{batt} 和负载电流的变化来调节输出电压。每当 MOSFET 1181 饱和并且导通低电流 I_{DBIAS} 时,电感器 1190 就迫使 V_x 低于地电压,其结果是,二极管 1189 变成正向偏置。每当栅极驱动器 1187 将 MOSFET 1186 的栅极偏置成 V_{batt} 时,包括低压侧 N 沟道 MOSFET 1186,以通过较低电压降路径来分流电流以减小二极管导通损耗。

[0278] 相反,每当高压侧 MOSFET 1181 在 $V_{GSH} = V_{boot}$ 情况下的低电阻状态下导通电流时,通过 $V_{GSL} = V_{BIAS}$ 的栅极缓冲器偏置同步整流器 MOSFET 1186,并且同步整流器 MOSFET 导通低电流 I_{DBIAS} 。BBM 电路 1192 防止高压侧 MOSFET 1181 和低压侧 MOSFET 1182 两者同时导通高电流。

[0279] 由于高压侧 MOSFET 1181 在导通期间呈现比同步整流器 MOSFET 1186 大的漏极电压转变,本发明限制栅极电荷摆动的益处对于驱动高压侧 MOSFET 1181 的栅极驱动器 1182 是最大的。不过,驱动同步整流器 MOSFET 1186 的栅极驱动器 1187 使栅极驱动损耗有所减小,并且,更重要的是,减小了整流二极管 1189 中二极管恢复生成的效率损失和噪声。

[0280] 在上面引用的申请 [代理案号:AATI-18-DS-US] 中提出了通过将同步整流器 MOSFET 偏置成电流源来控制二极管恢复的主题。表 5 是描述上述各种组合的真值表。

[0281]

输入		功率MOSFET 1181			Sync Rect MOSFET 1186		
EN	IN	V_{GSH}	状态	I_D	V_{GSL}	状态	I_D
L	L/H	0V	截止	-0	无关紧要		
H	H	V_{boot}	低 R_{DS}	$(V_{batt} - V_x)/R_{DS(on)}$	V_{BIASL}	饱和	I_{DBIAS}
	L	V_{BIASH}	饱和	I_{DBIAS}	V_{batt}	低 R_{DS}	$V_x/R_{DS(on)}$

[0282] 表 5

[0283] 还要注意,只有栅极驱动器 1182 需要三态,这是由于关断 MOSFET 1181 或 1186 都中断了从 V_{batt} 到地电压的电流路径。

[0284] 在本发明的另一个实施例中,图 25A 中的电路 1200 图示了利用电压源 1203 生成 V_{BIAS} 的三态栅极驱动器 1202。生成 V_{DD} 的电压源 1205 经由连接 V_{cc} 的,即高压侧配置的 P 沟道功率 MOSFET 1201 来驱动负载 1204。由电压源 1205 供应,功率 MOSFET 1201 和负载 1204 中的电流在 MOSFET 1201 的低电阻状态下,可以等于 V_{DD}/R ;在 MOSFET 1201 饱和时,可以等于恒定电流 I_{DBIAS} ;以及在 MOSFET 1201 没有进行开关时,可以等于零。当使能信号 EN 是低电平并且功率 MOSFET 1201 的栅极与 V_{DD} 连接时,禁止 MOSFET 1201 进行开关。

[0285] 如被偏置在 V_{DD} 与地电压之间的反相器 1206 和 1209 所指示的,可以将使能 (EN) 和输入 (IN) 信号传递给在 V_{DD} 与地电压之间切换的逻辑。如果电源电压 V_{DD} 大于 V_{cc} ,必须将 EN 和 IN 信号电平移位到 V_{DD} 。在图 25A 的实施例中,电平移位电路采用 N 沟道 MOSFET 1207 和电阻器 1208 将反相器 1206 的输出变换成在 V_{DD} 与地电压之间切换的输入信号 IN' 。类似地,N 沟道 MOSFET 1210 和电阻器 1211 将反相器 1206 的输出变换成在 V_{DD} 与地电压之间切换的使能信号 EN' 。可替代地,可以通过单个功率供应 V_{cc} 和 V_{DD} ,使得不需要电平移位电路。总而言之,通过在 V_{DD} 与 V_{BIAS} 之间的切换期间限制功率 MOSFET 1201 的栅极偏置,减小了栅极电荷摆动,并提高了切换期间功率 MOSFET 的效率。

[0286] 在图 25B 中图示按照本发明的减小了栅极驱动损耗的互补同步降压变换器 1220。变换器 1220 包含高压侧参考三态栅极驱动器 1222,所述高压侧参考三态栅极驱动器 1222 利用高压侧参考电压源 1223 生成 V_{BIASH} 、由 V_{batt} 直接供电并且驱动高压侧,即共源极配置的 P 沟道功率 MOSFET 1221。

[0287] MOSFET 1221 的接通时间受 PWM 控制器 1231 控制。调制被传递给 MOSFET 1221 栅极的脉冲的宽度以控制流过电感器 1228、对电容器 1229 充电的电流。在使用闭环控制时,使用反馈信号 V_{FB} 使输出电压 V_{out} 反馈到 PWM 控制器 1231,以针对输入电压和负载电流的变化调节输出电压。每当 MOSFET 1221 饱和并且导通低电流 I_{DBIAS} 时,电感器 1228 就迫使 V_x 低于地电压,其结果是,二极管 1227 变成正向偏置。每当栅极驱动器 1225 将 MOSFET 1224 的栅极偏置成 V_{batt} 时,包括了低压侧 N 沟道 MOSFET 1224,以通过较低电压降路径来分流电流以减小二极管导通损耗。

[0288] 相反,每当高压侧 P 沟道 MOSFET 1221 在 $V_{GSH} = -V_{batt}$ 的情况下的低电阻状态下导通电流时,利用 $V_{GSL} = -V_{BIAS}$ 通过栅极缓冲器偏置同步整流器 MOSFET 1224,并且同步整流

器 MOSFET 1224 导通低电流 I_{DBIAS} 。BBM 电路 1230 防止 MOSFET 1221 和 1224 同时导通高电流。

[0289] 由于 P 沟道 MOSFET 1221 在导通期间呈现比同步整流器 MOSFET 1224 大的漏极电压转变, 本发明限制栅极电荷摆动的益处对于驱动高压侧 P 沟道 MOSFET 1221 的栅极驱动器 1222 是最大的。不过, 驱动同步整流器 MOSFET 1224 的栅极驱动器 1225 使栅极驱动损耗有所减小, 并且, 更重要的是, 减小了整流二极管 1227 中二极管恢复生成的效率损失和噪声。

[0290] 在上面引用的申请 [代理案号 :AATI-18-DS-US] 中提出了通过将同步整流器 MOSFET 偏置成电流源来控制二极管恢复的主题。表 6 是描述上述各种组合的真值表。

[0291]

输入		P沟道功率MOSFET 1221			N沟道Sync Rect MOSFET 1224		
EN	IN	V_{GS1}	状态	I_{D}	V_{GS2}	State	I_{D}
L	L/H	0V	截止	-0	无关紧要		
H	H	$-V_{\text{batt}}$	低 R_{DS}	$-(V_{\text{batt}} - V_{\text{x}})/R_{\text{DS(on)}}$	V_{BIASL}	饱和	$-I_{\text{DBIAS}}$
	L	$-V_{\text{BIASH}}$	饱和	$-I_{\text{DBIAS}}$	V_{batt}	低 R_{DS}	$-V_{\text{x}}/R_{\text{DS(on)}}$

[0292] 表 6

[0293] 还要注意, 只有栅极驱动器 1222 需要三态, 这是由于关断 MOSFET 1221 或 1224 都中断了从 V_{batt} 到地电压的电流路径。

[0294] 虽然在此描述了本发明的特定实施例, 但本领域的普通技术人员应该明白, 所述的实施例只是例示性的, 而不是限制性的。本发明的宽泛的原理由随后的权利要求限定。

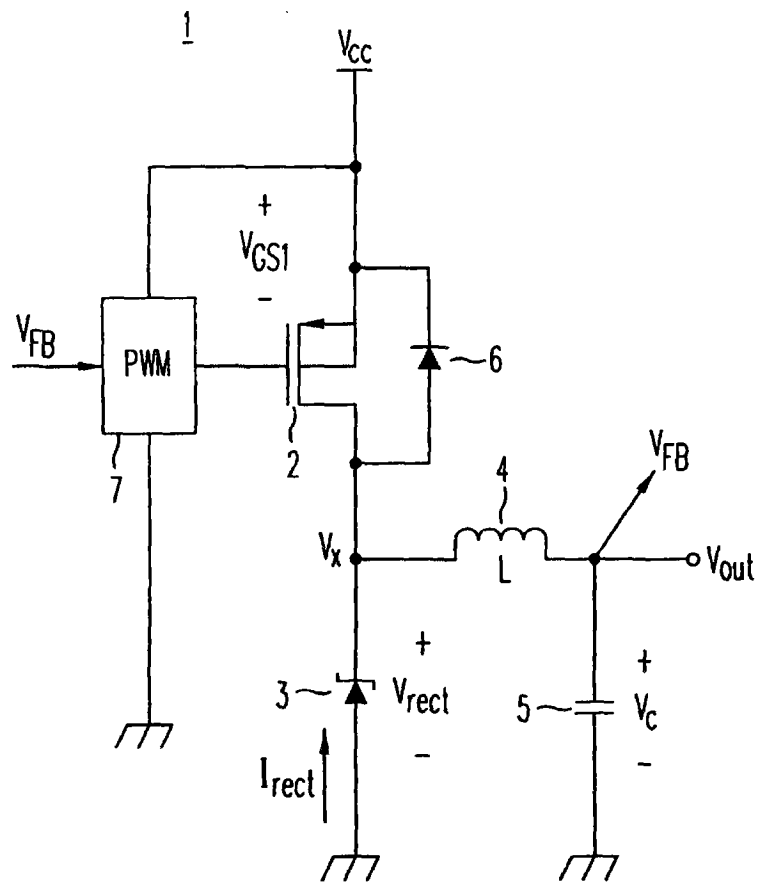


图 1A(现有技术)

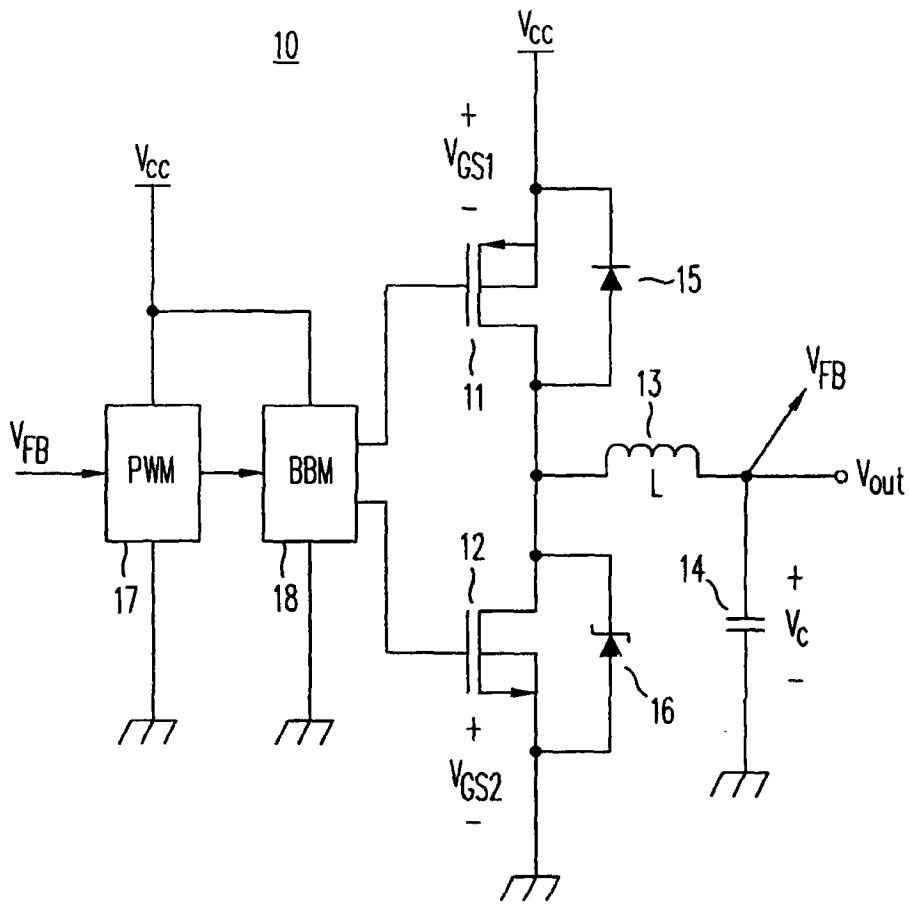


图 1B(现有技术)

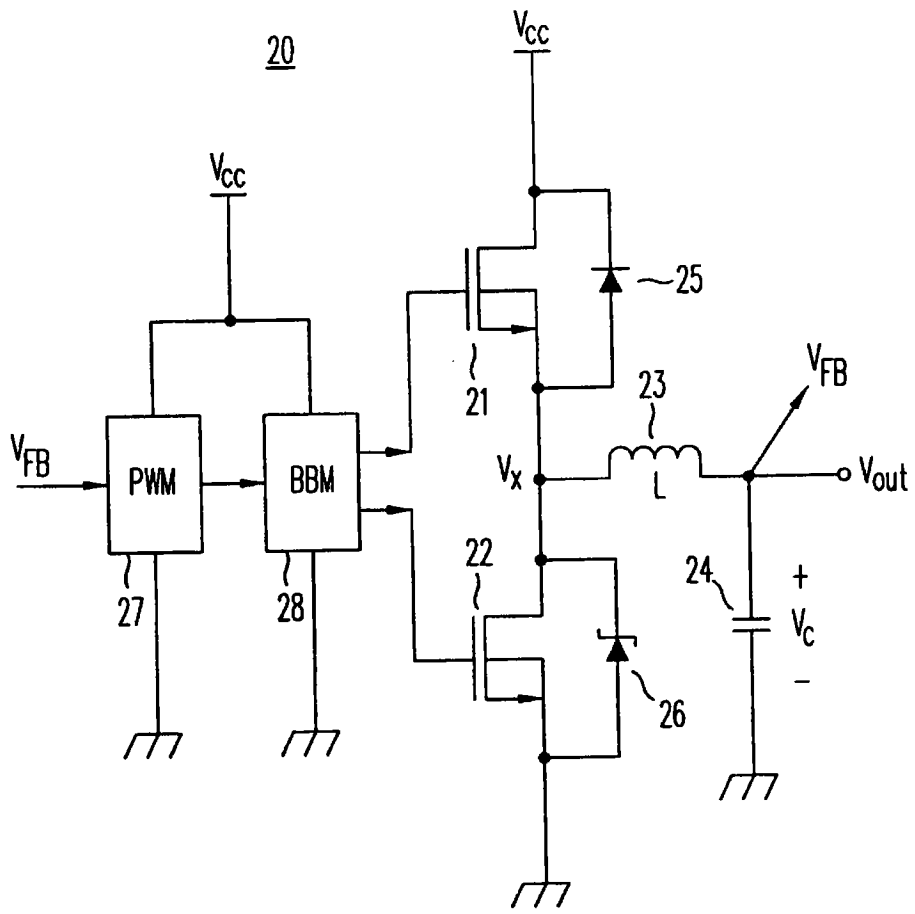


图 1C(现有技术)

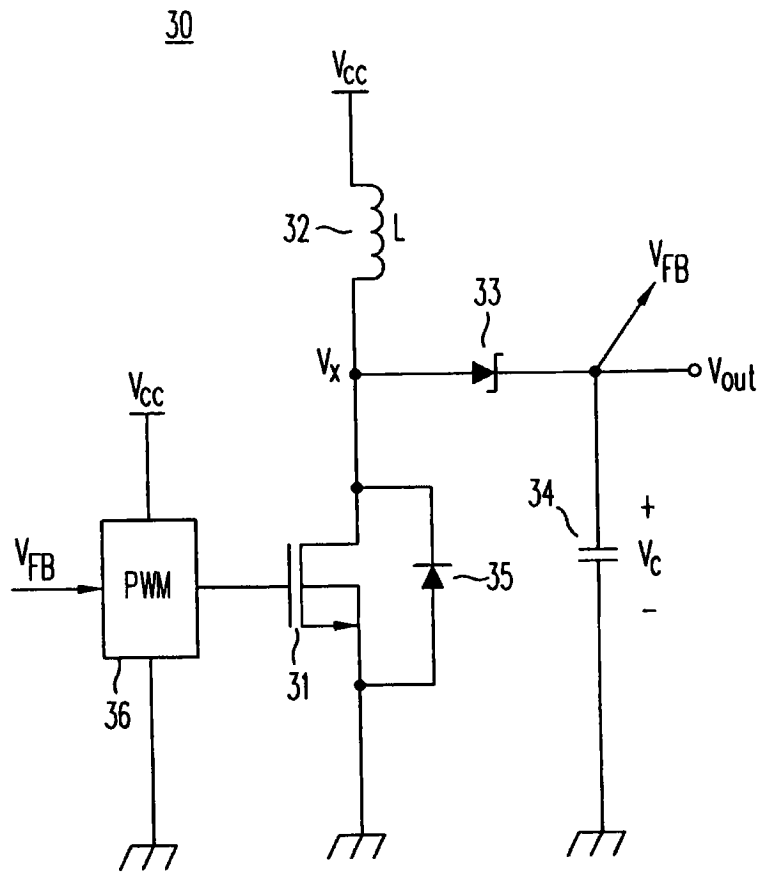


图 1D(现有技术)

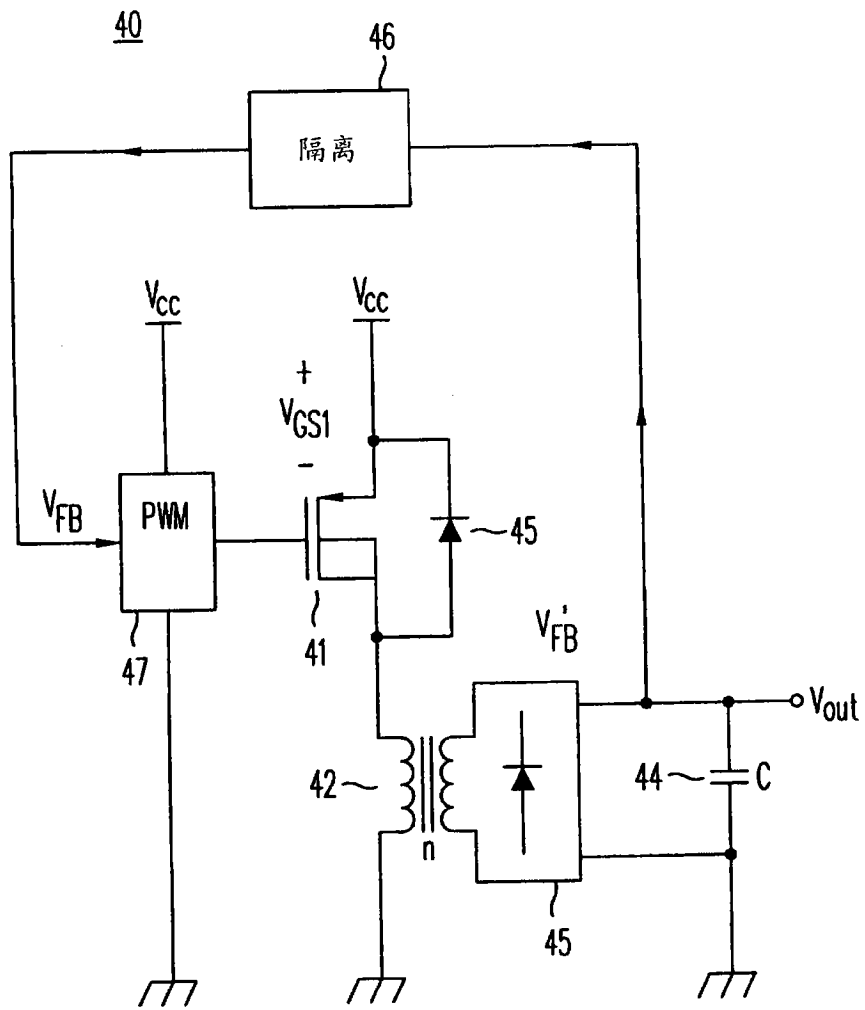


图 1E(现有技术)

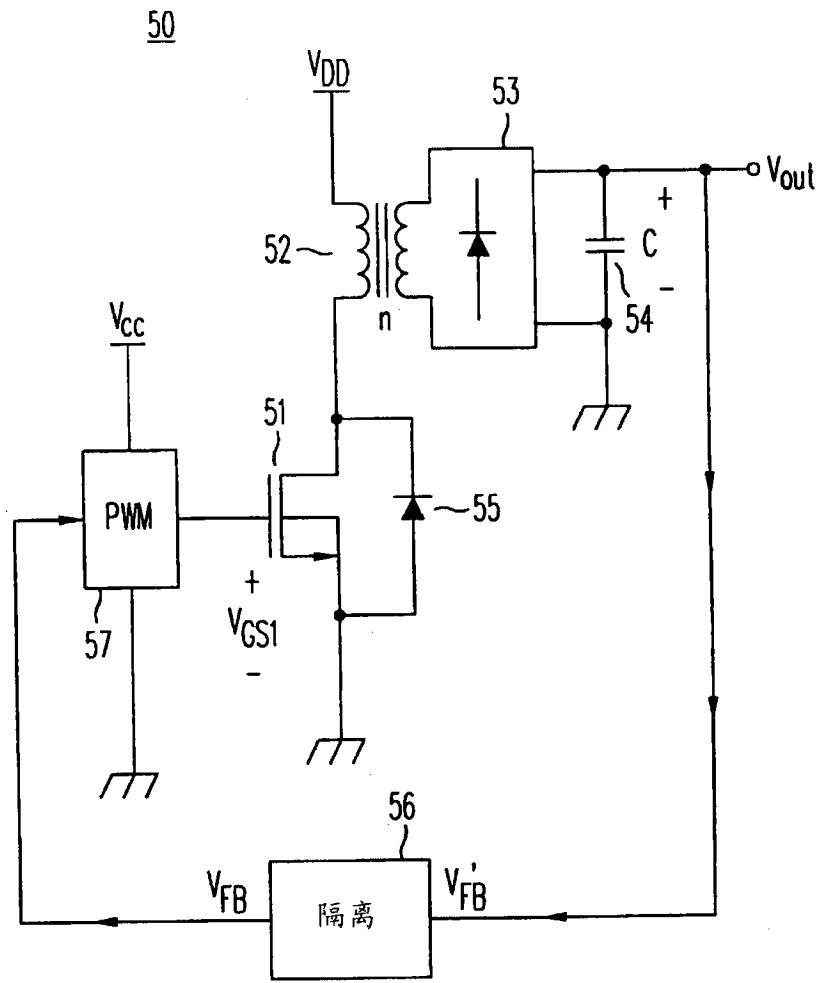


图 1F(现有技术)

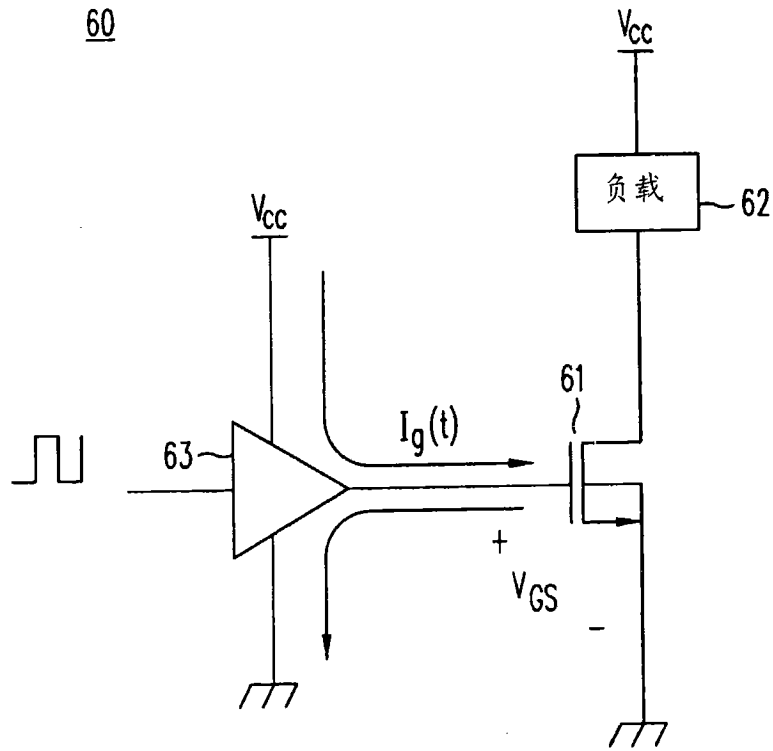


图 2A

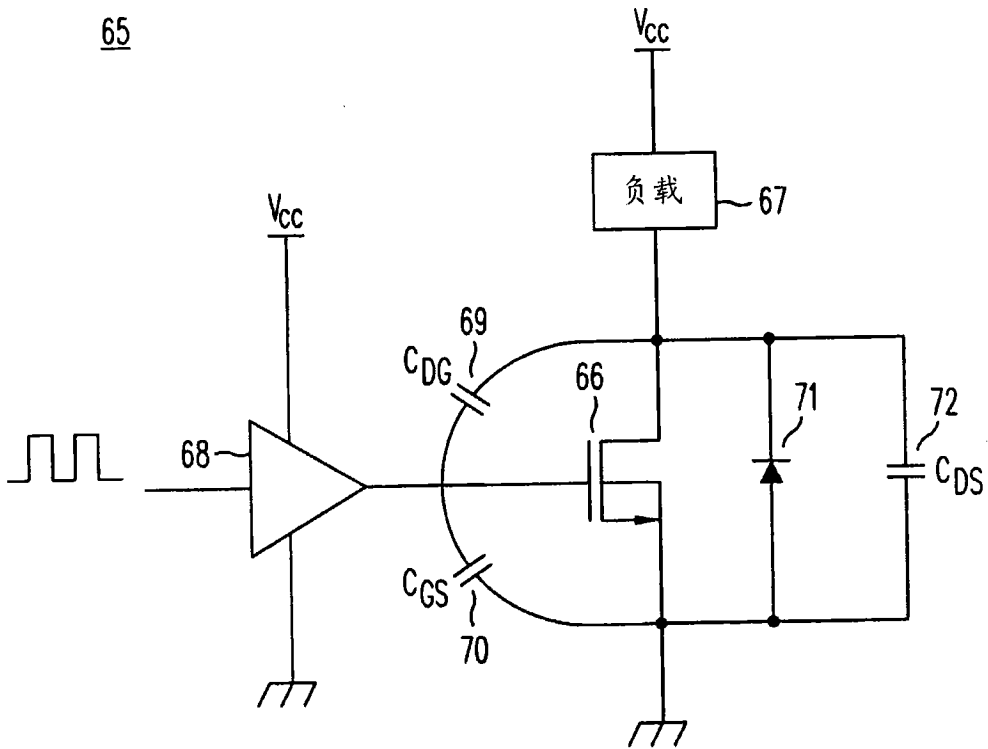


图 2B

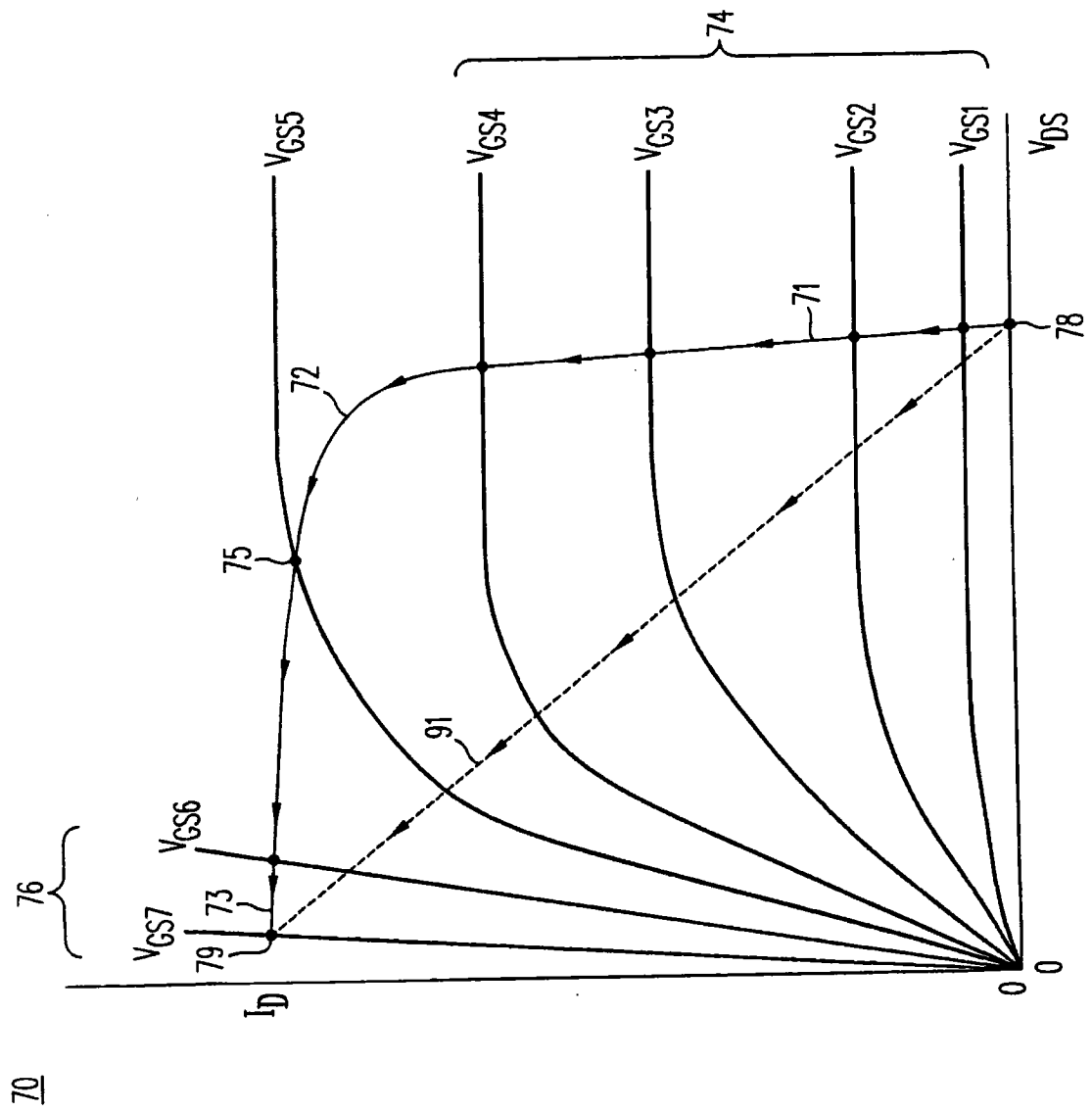


图 2C

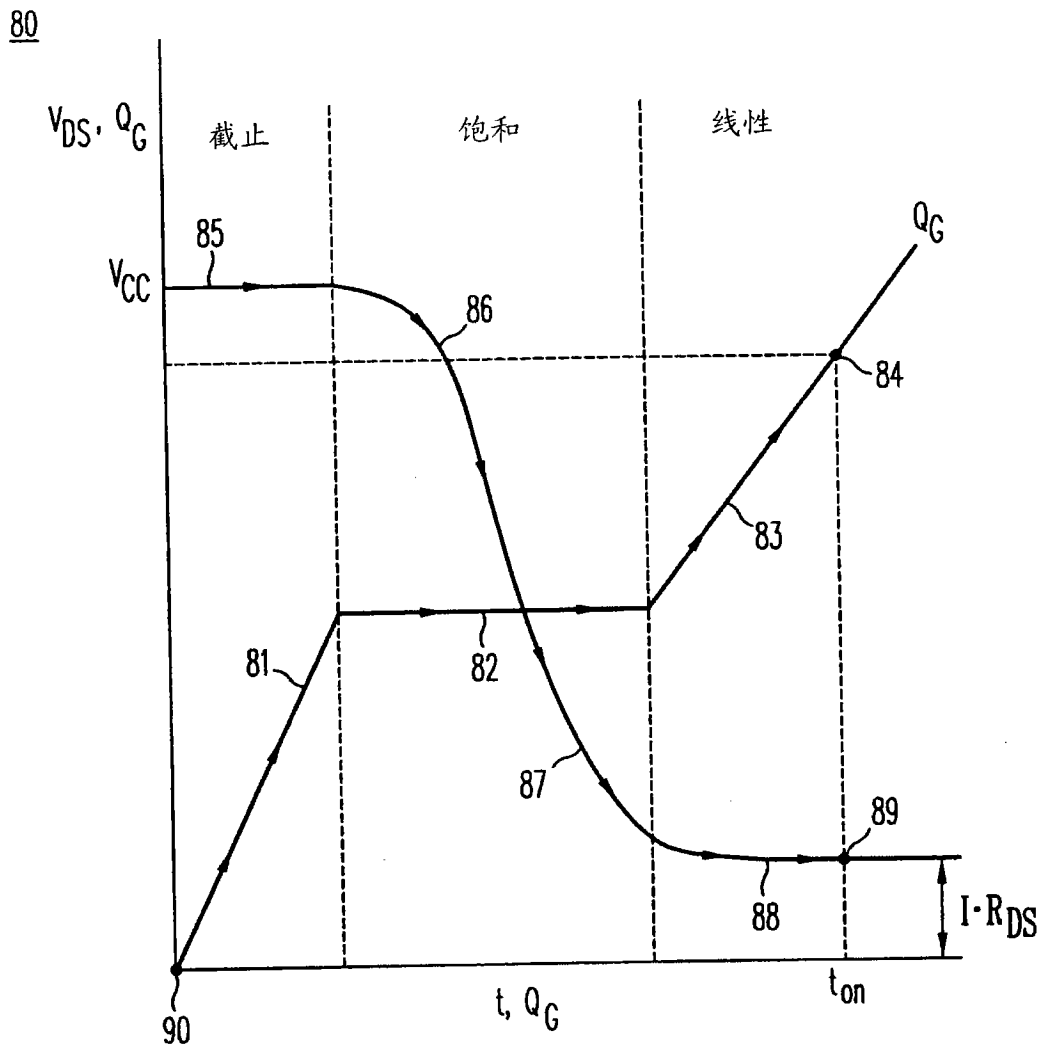


图 2D

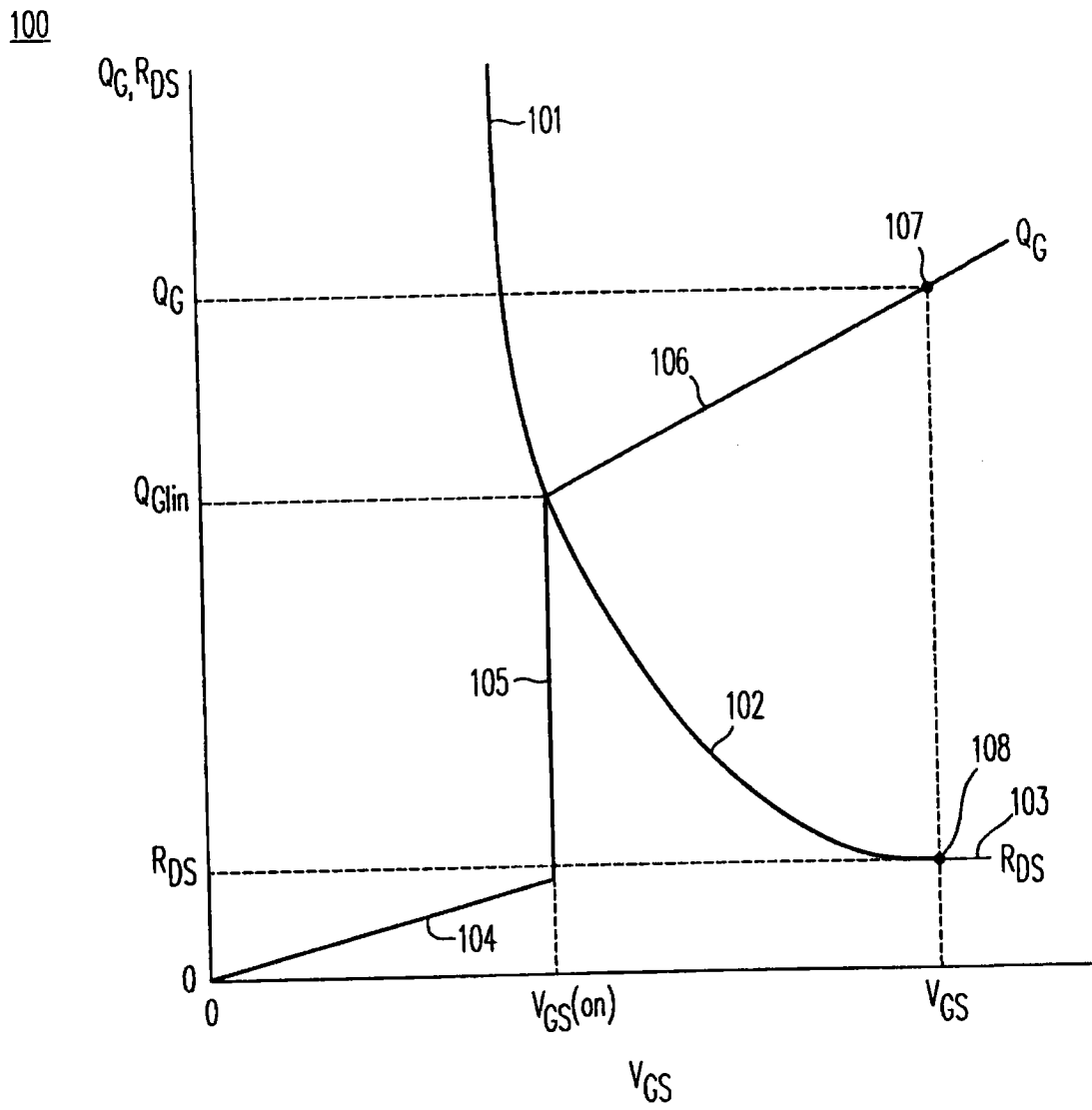


图 3A

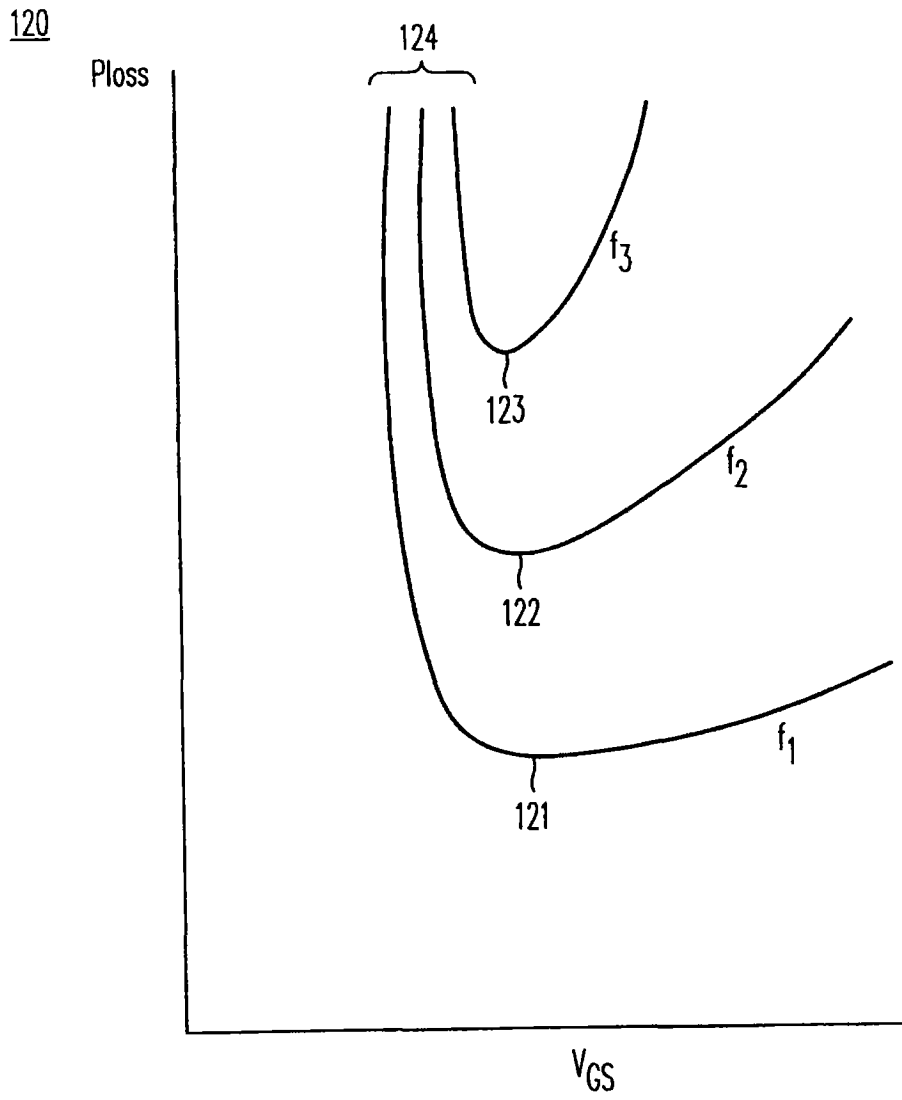


图 3B

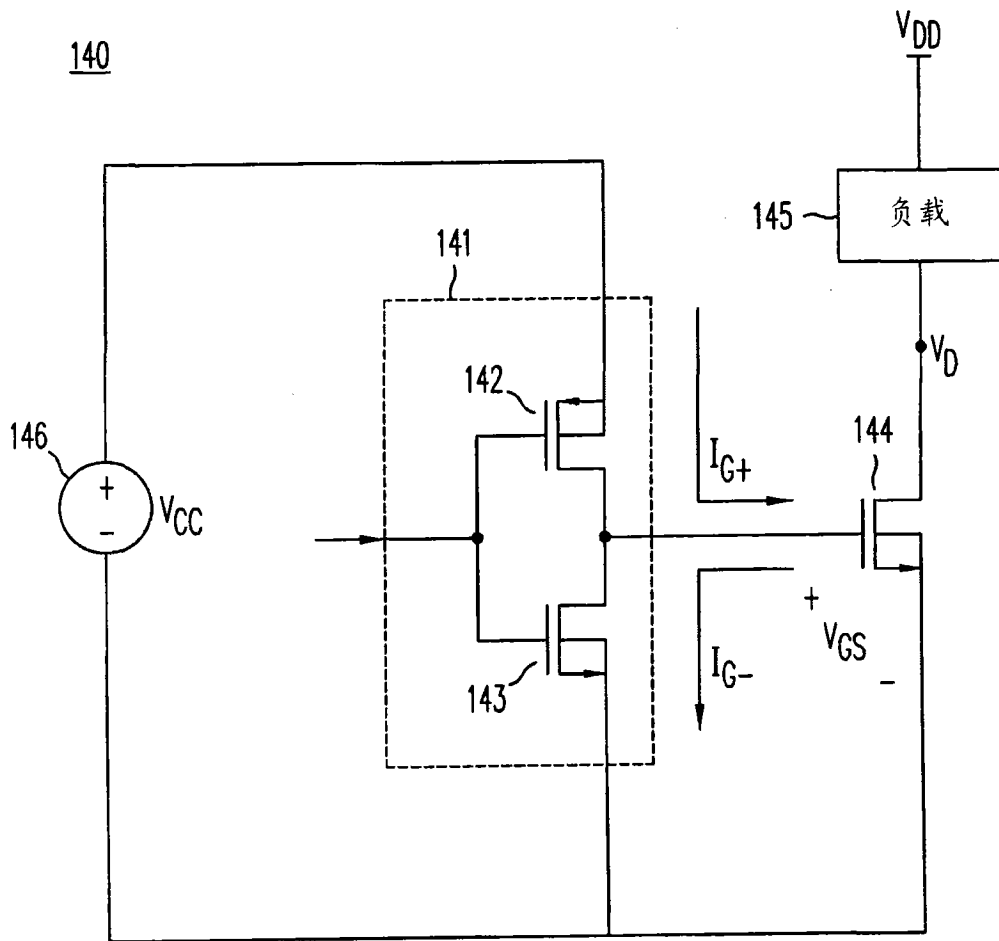


图 4A

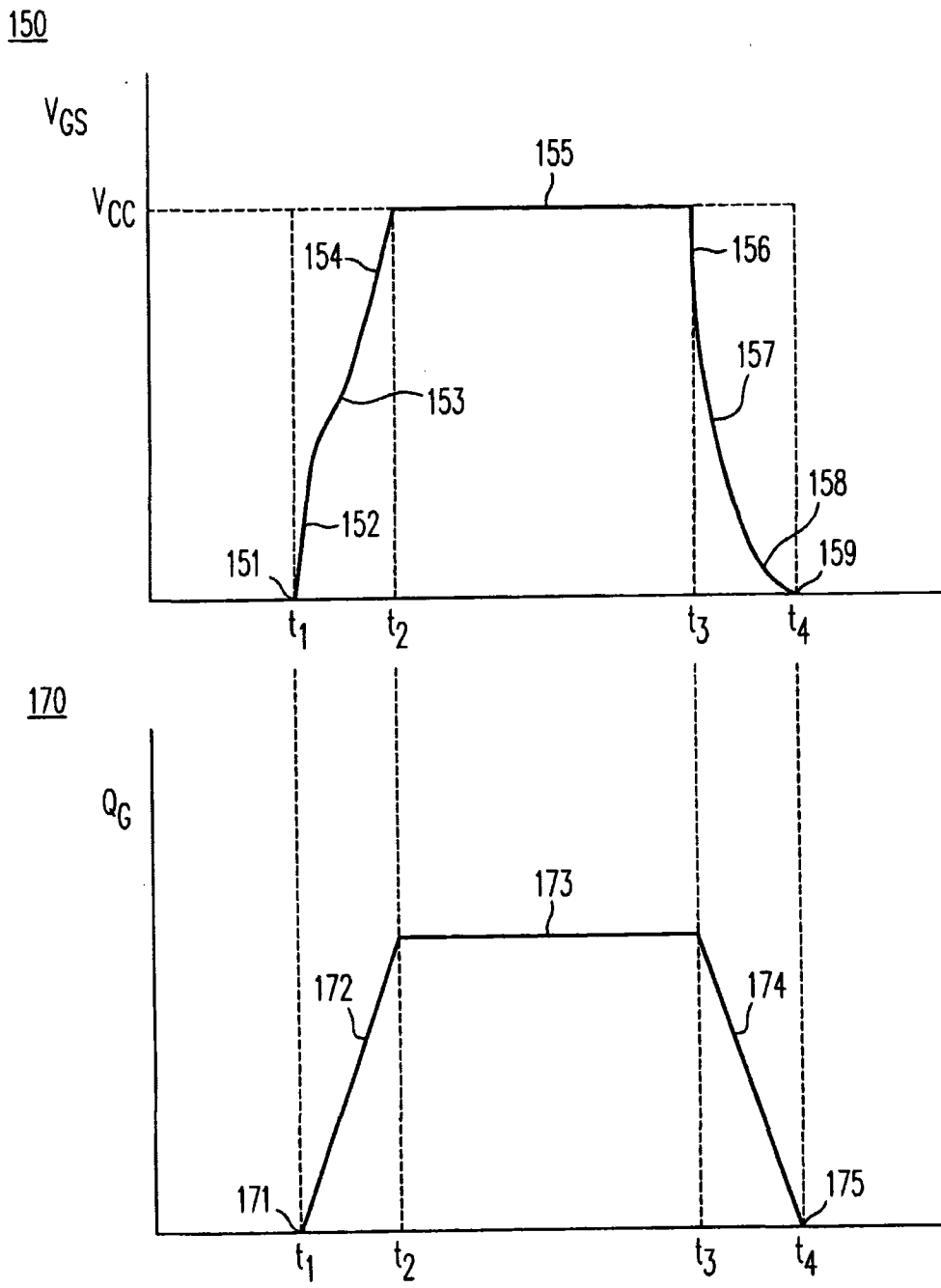


图 4B

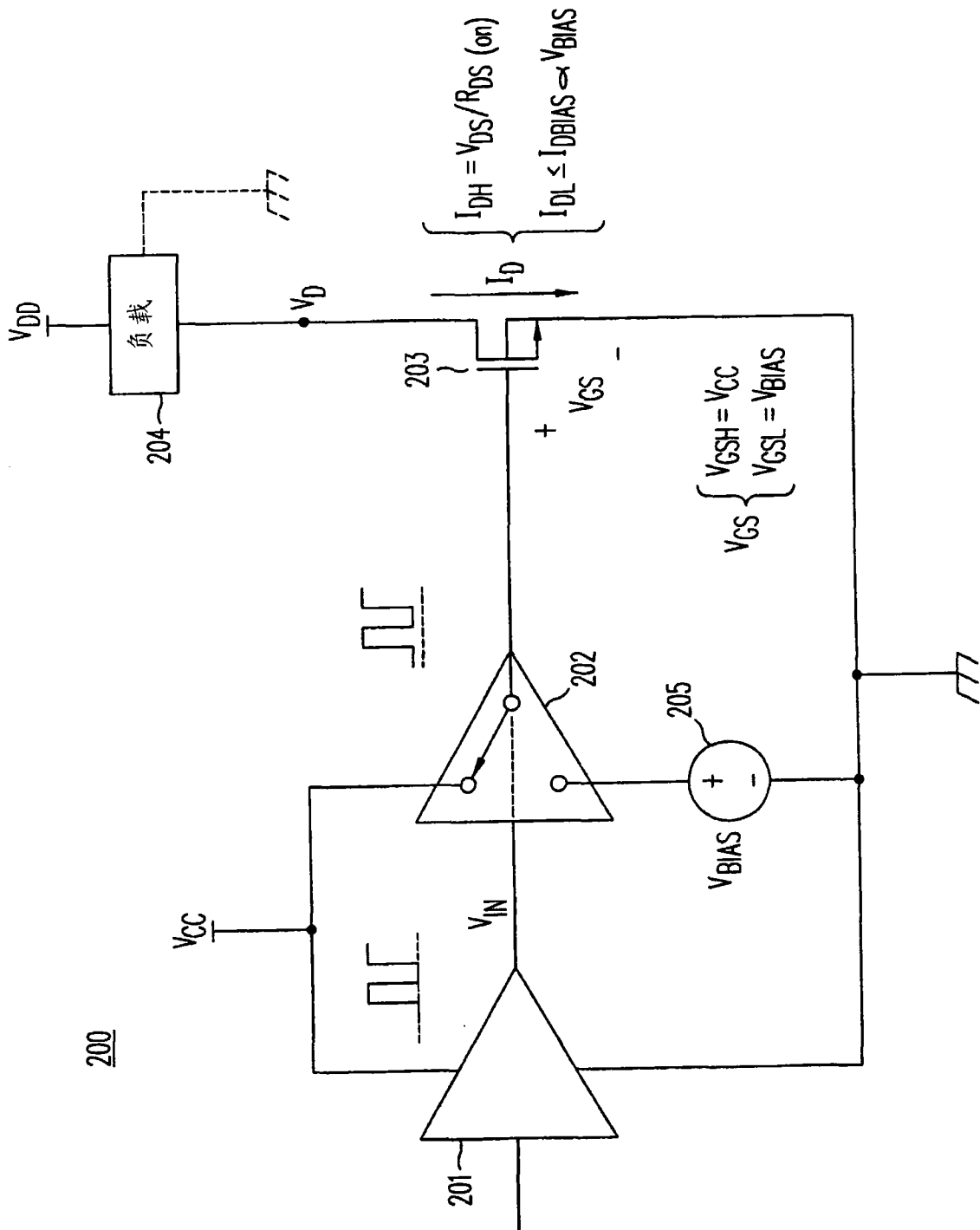


图 5

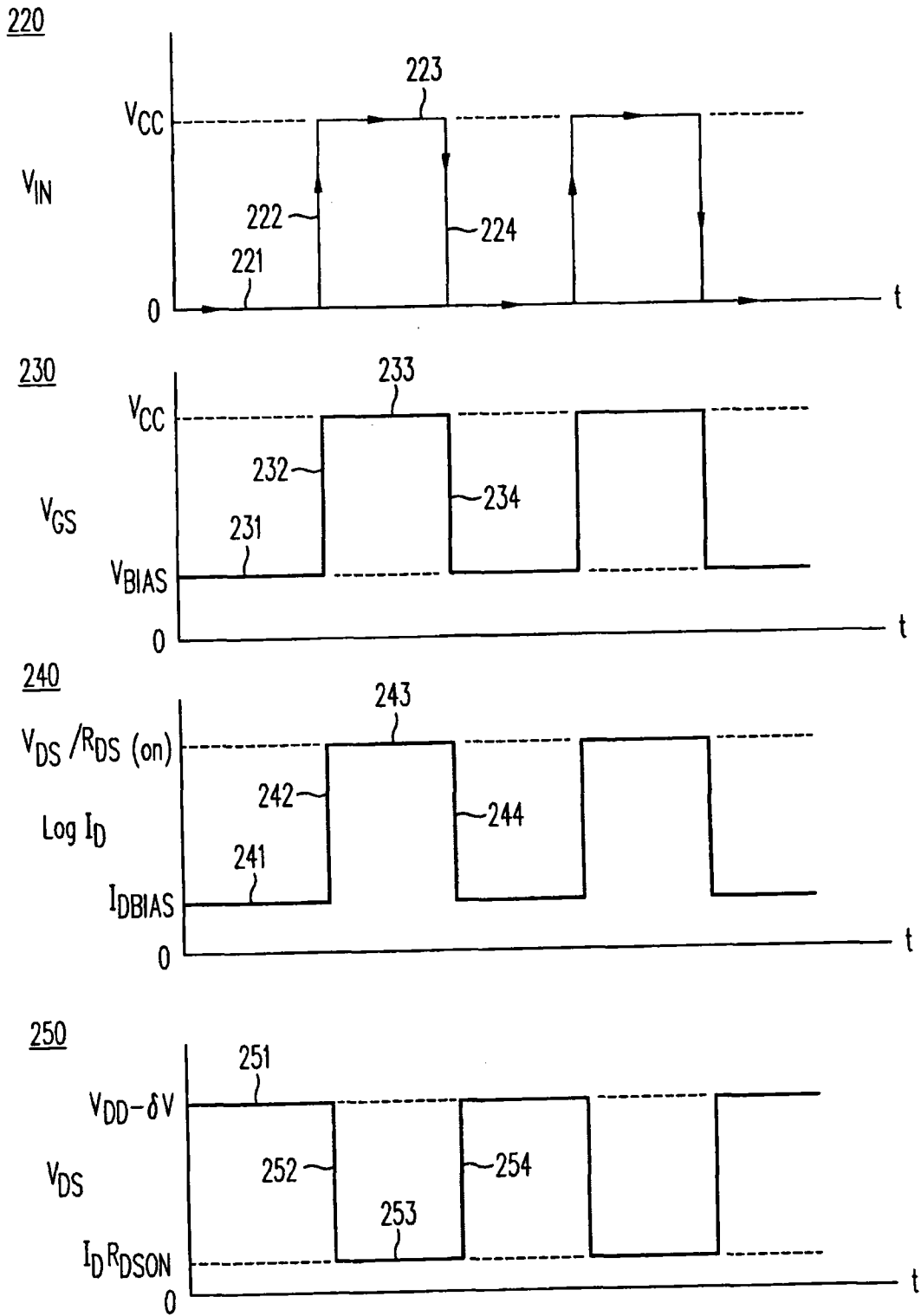


图 6

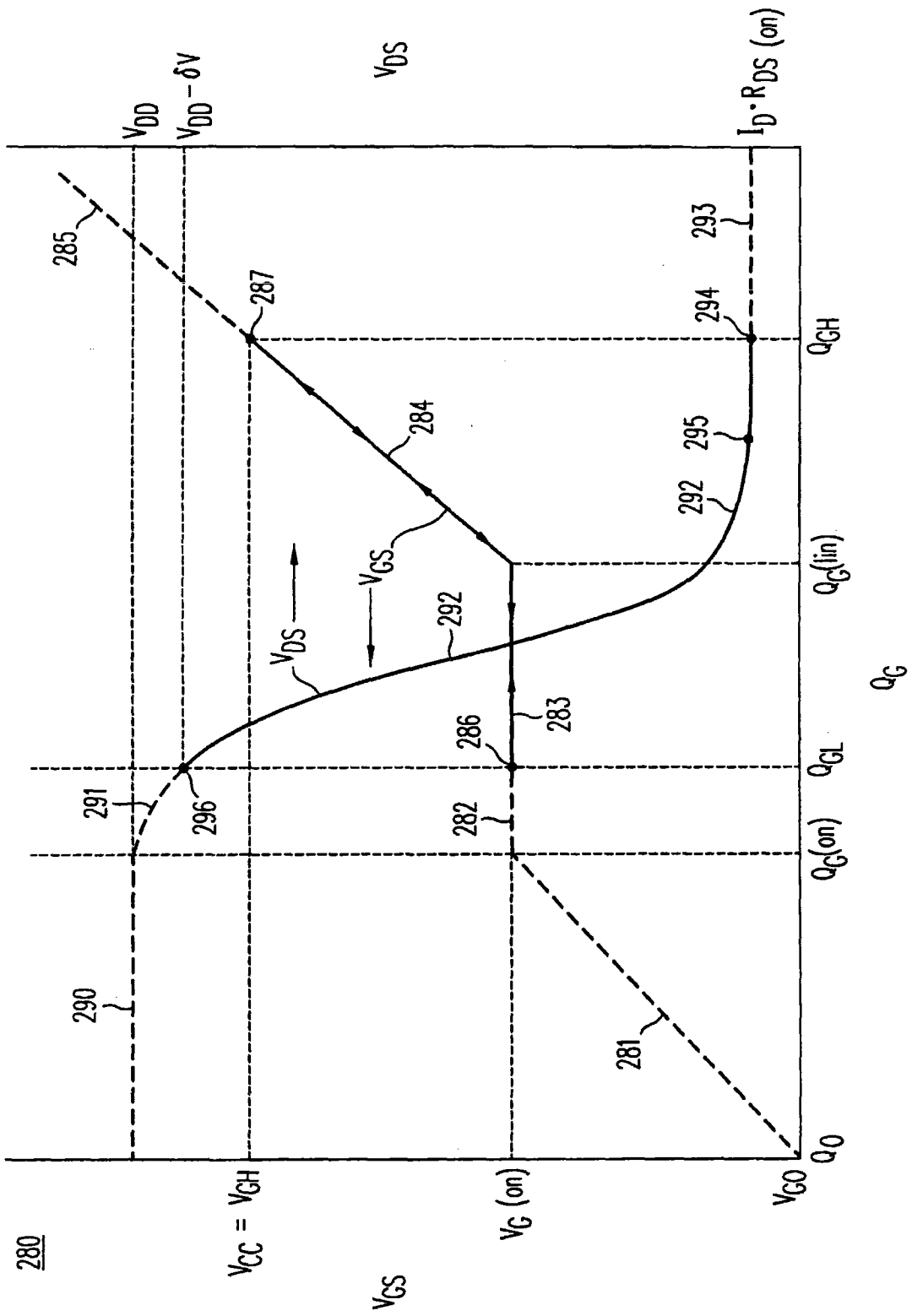


图 7

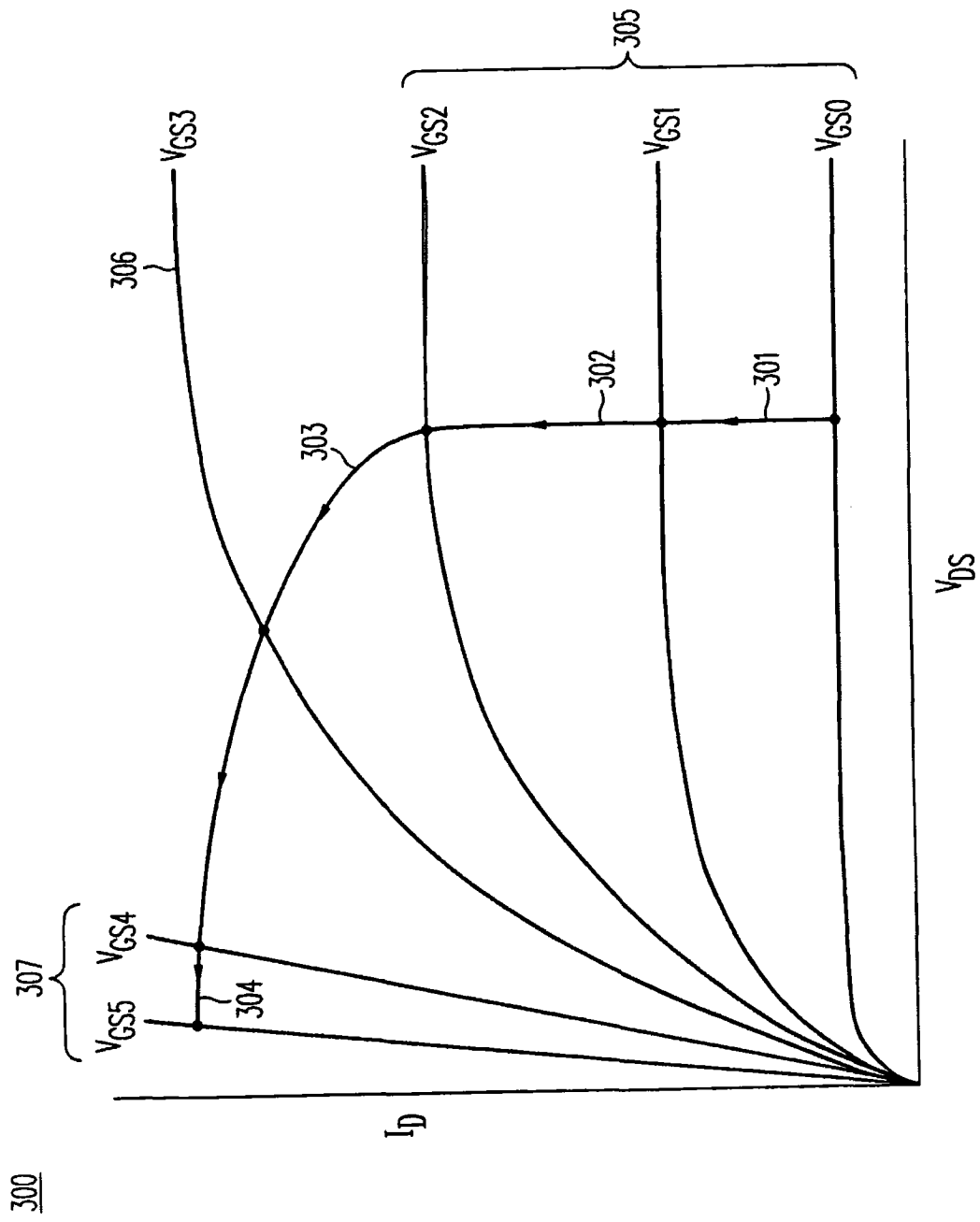


图 8

320

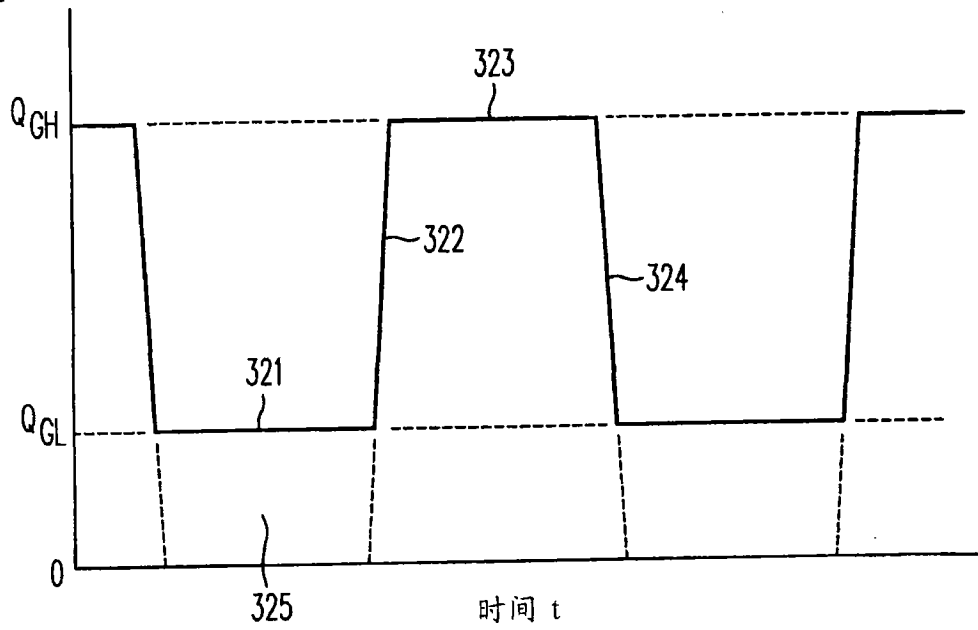


图 9

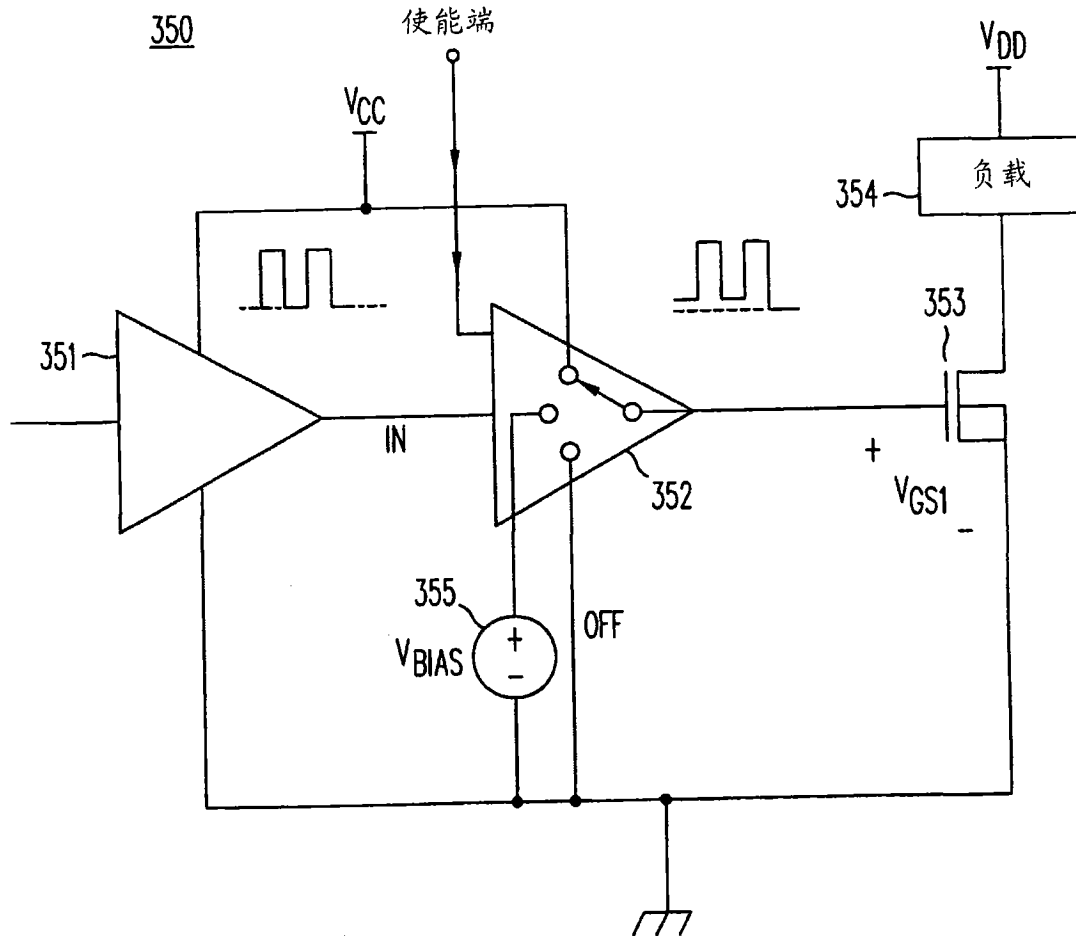


图 10

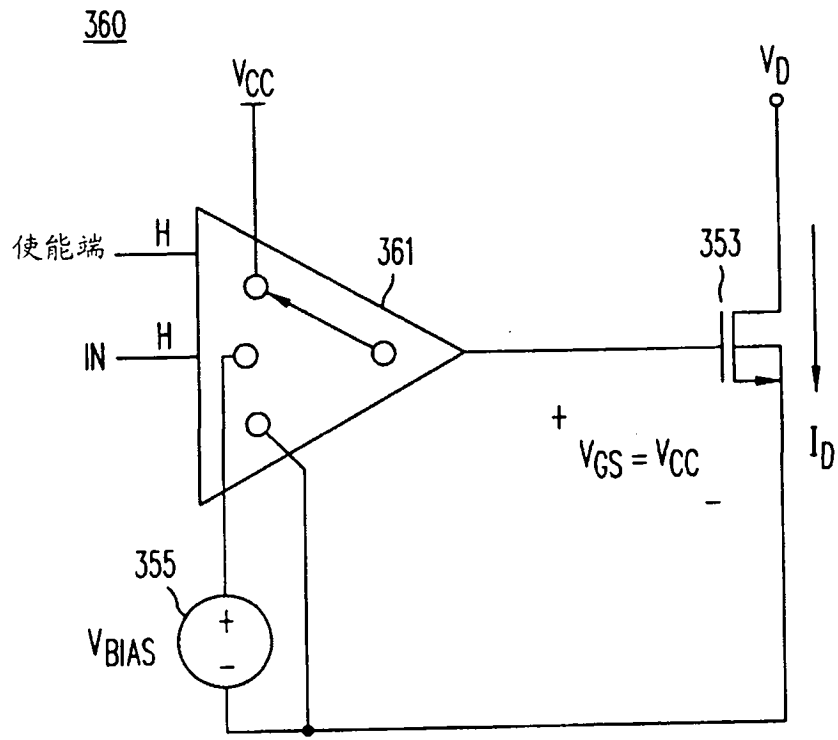


图 11A

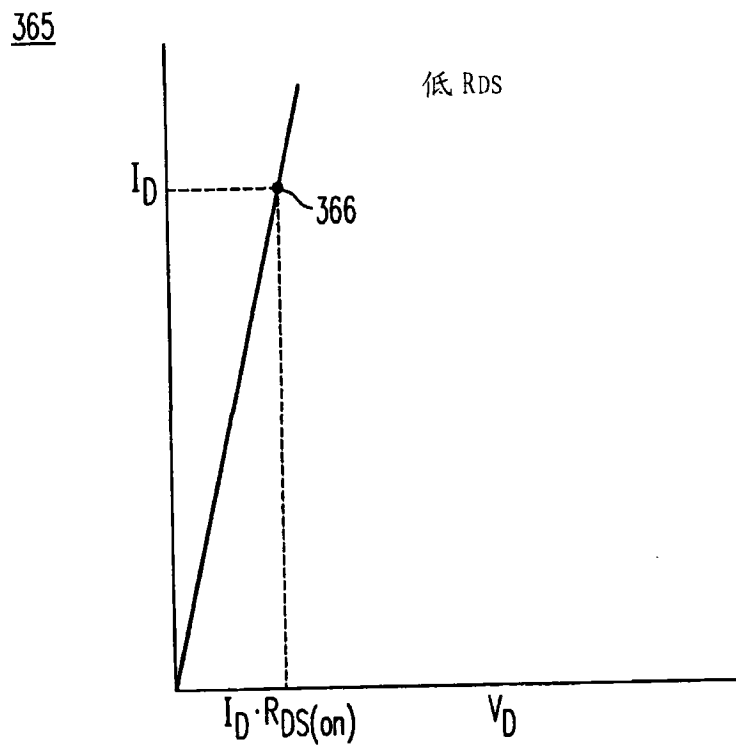


图 11B

380

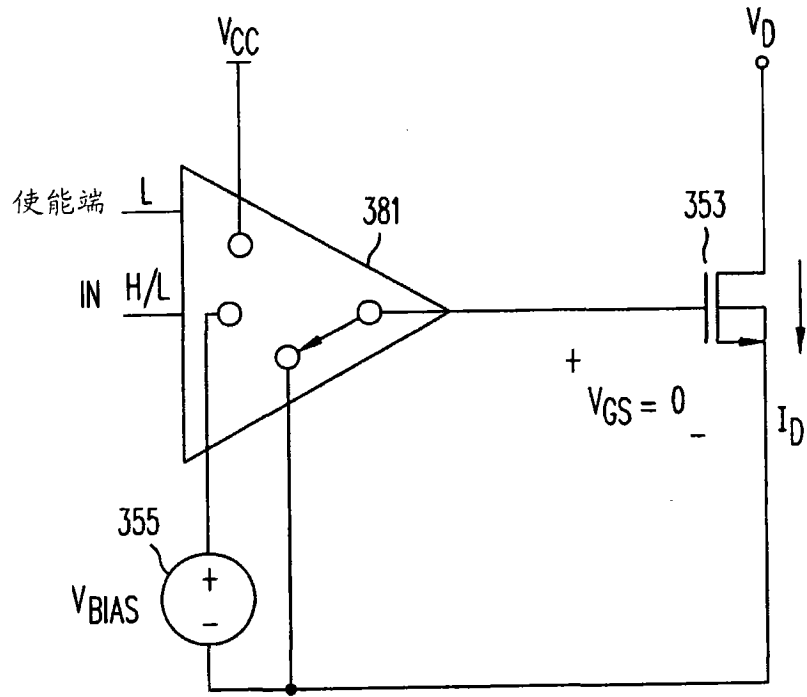


图 11E

385

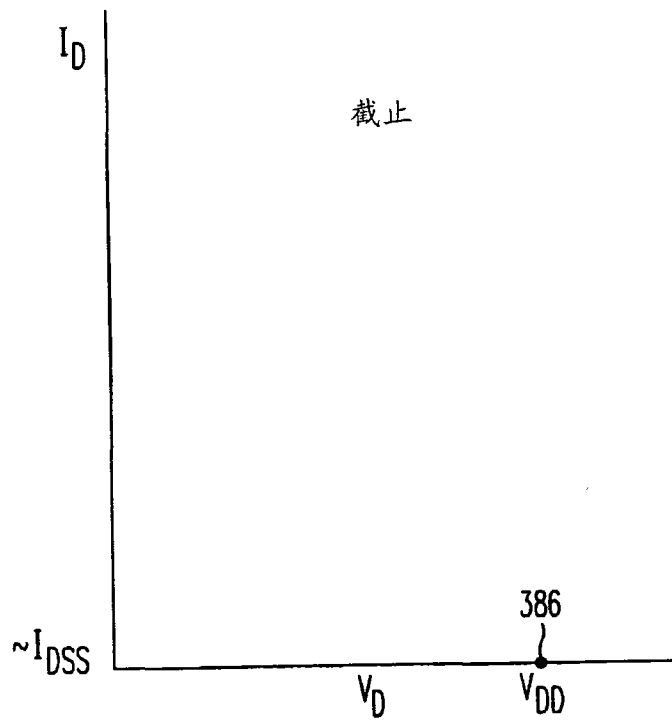


图 11F

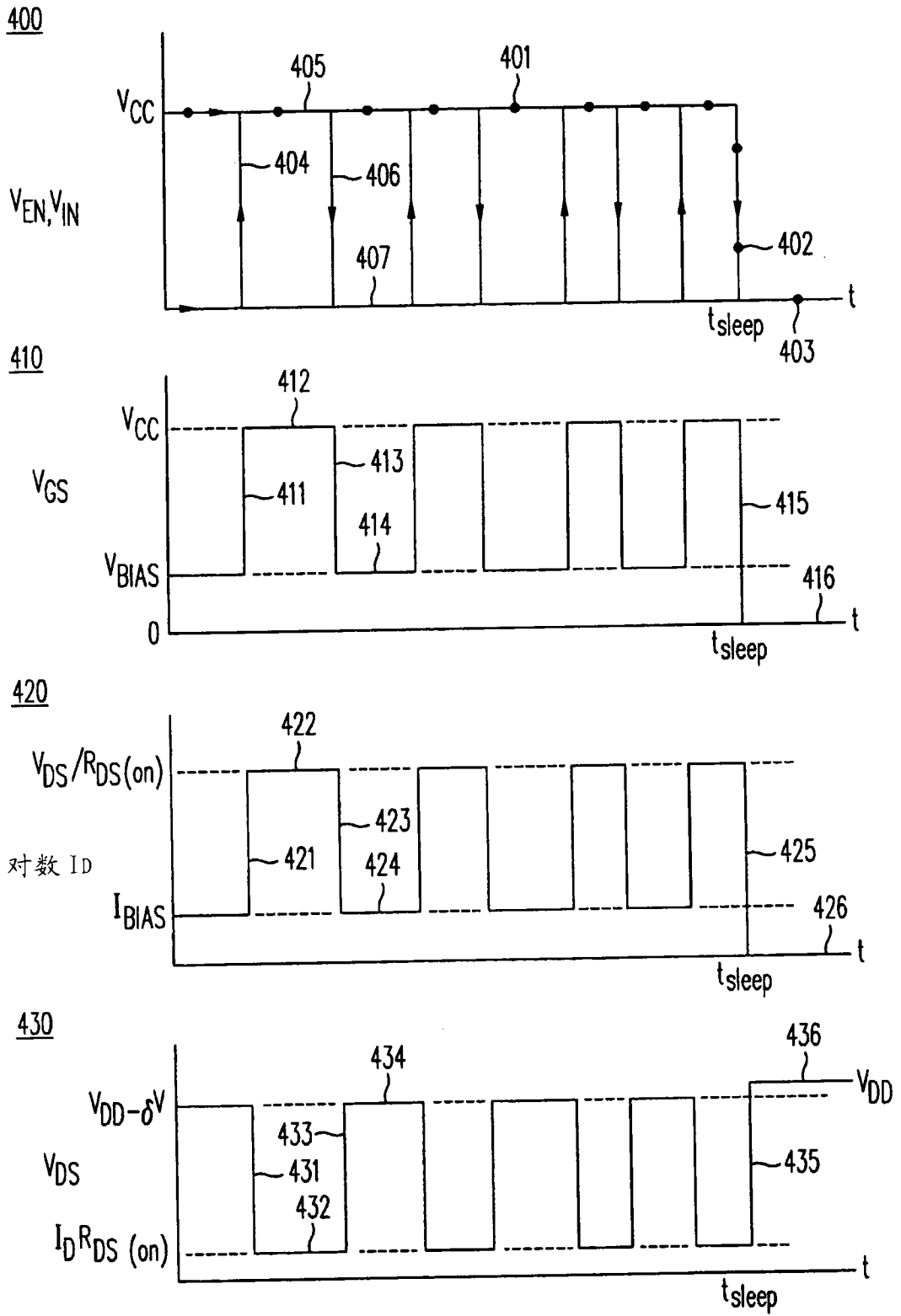


图 12A

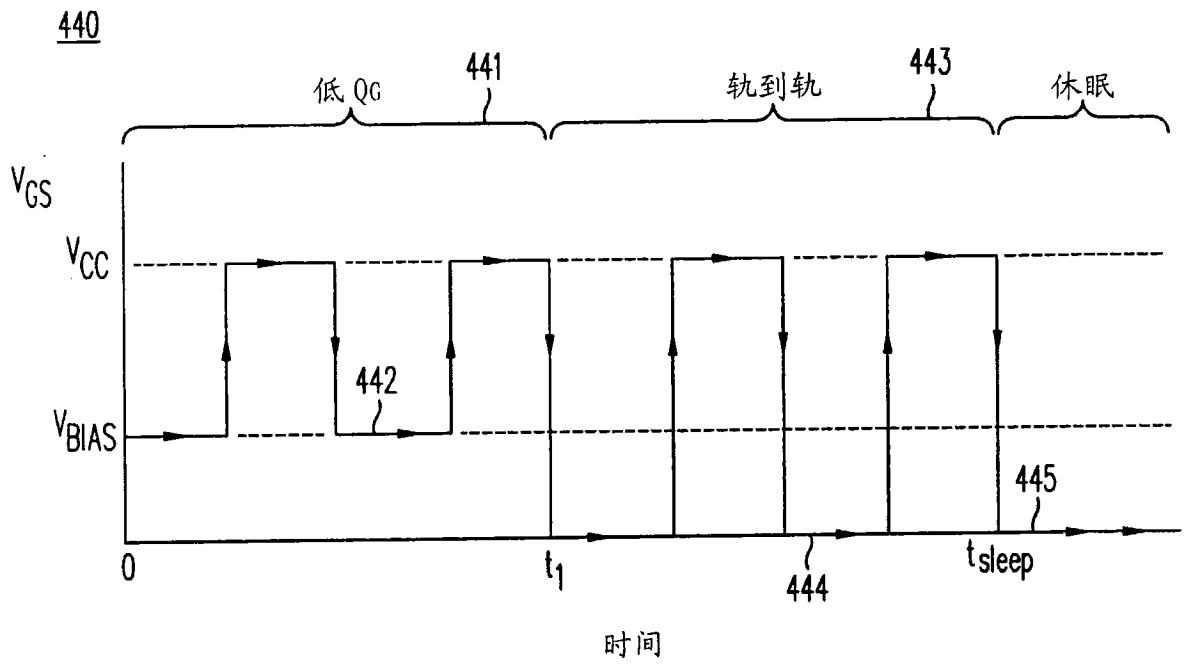


图 12B

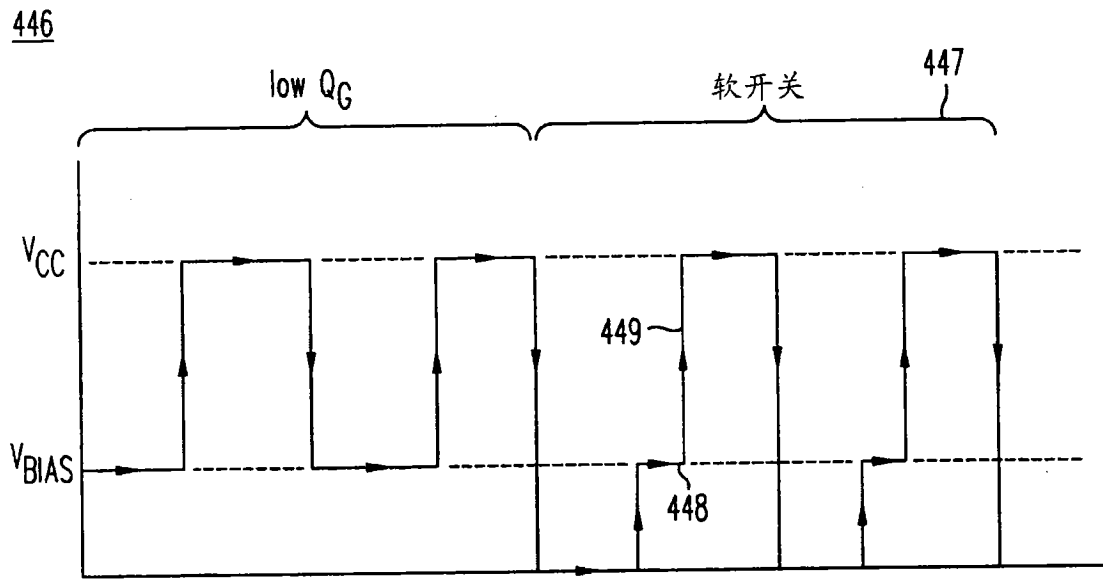


图 12C

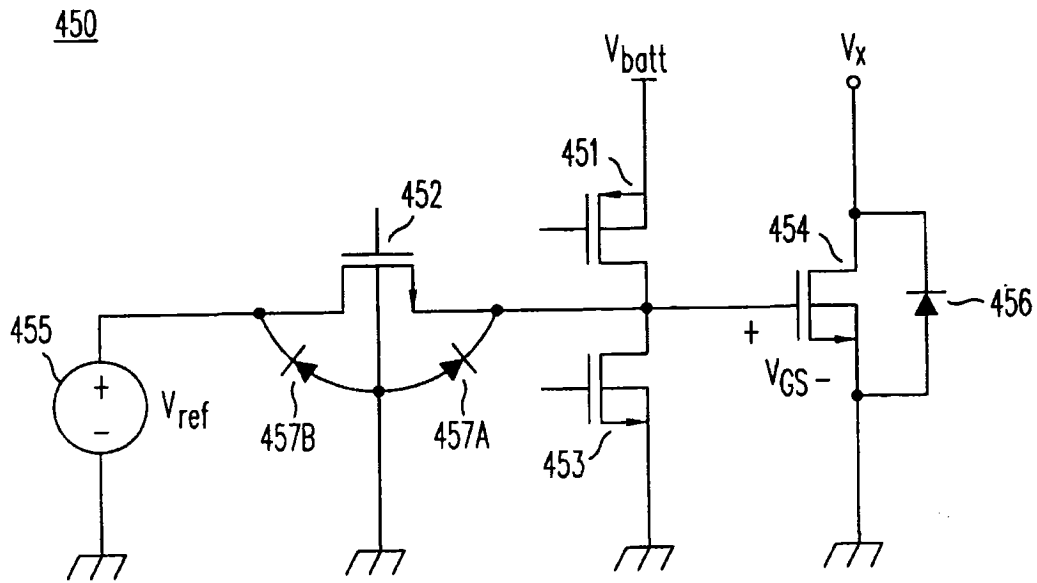


图 13A

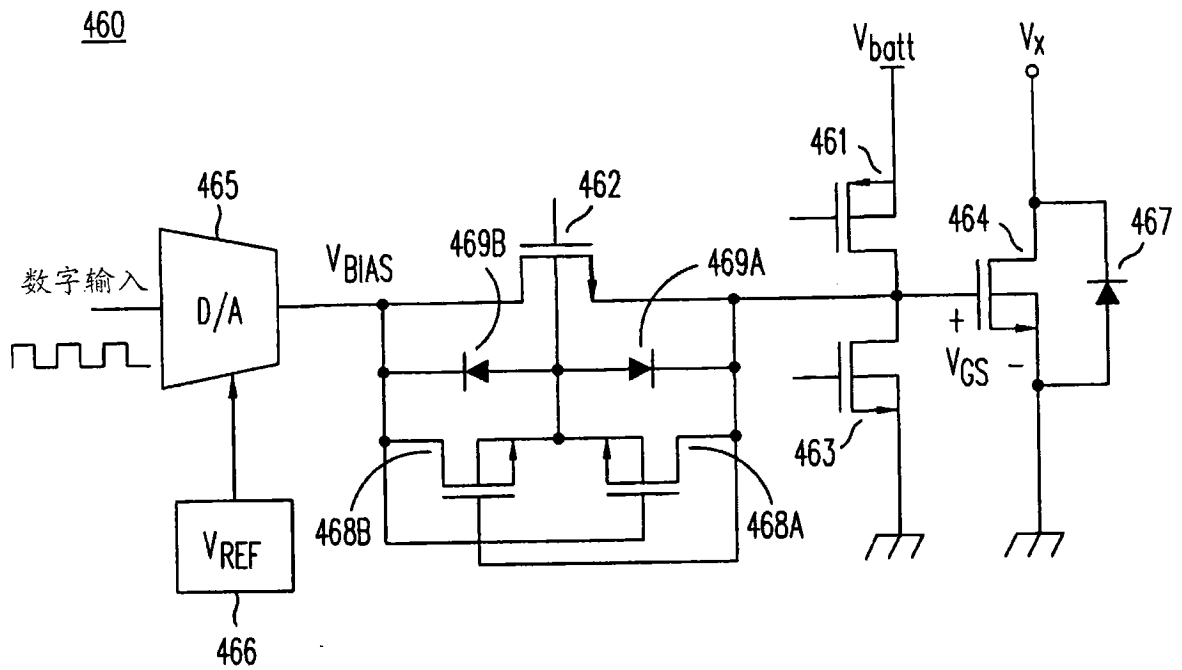


图 13B

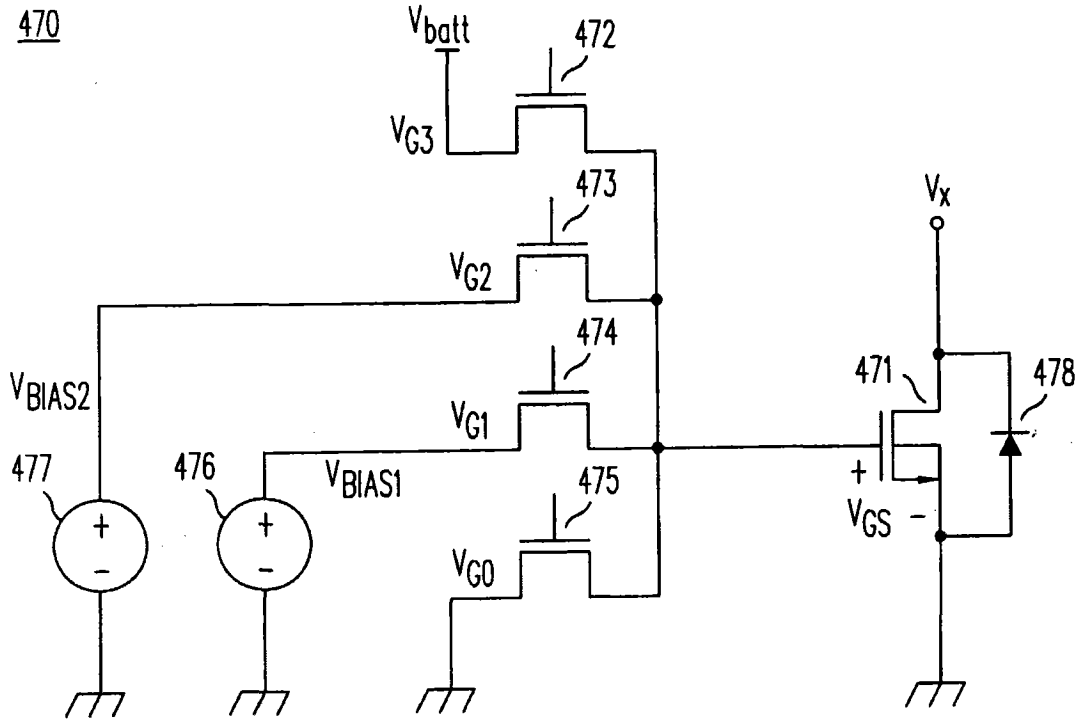


图 13C

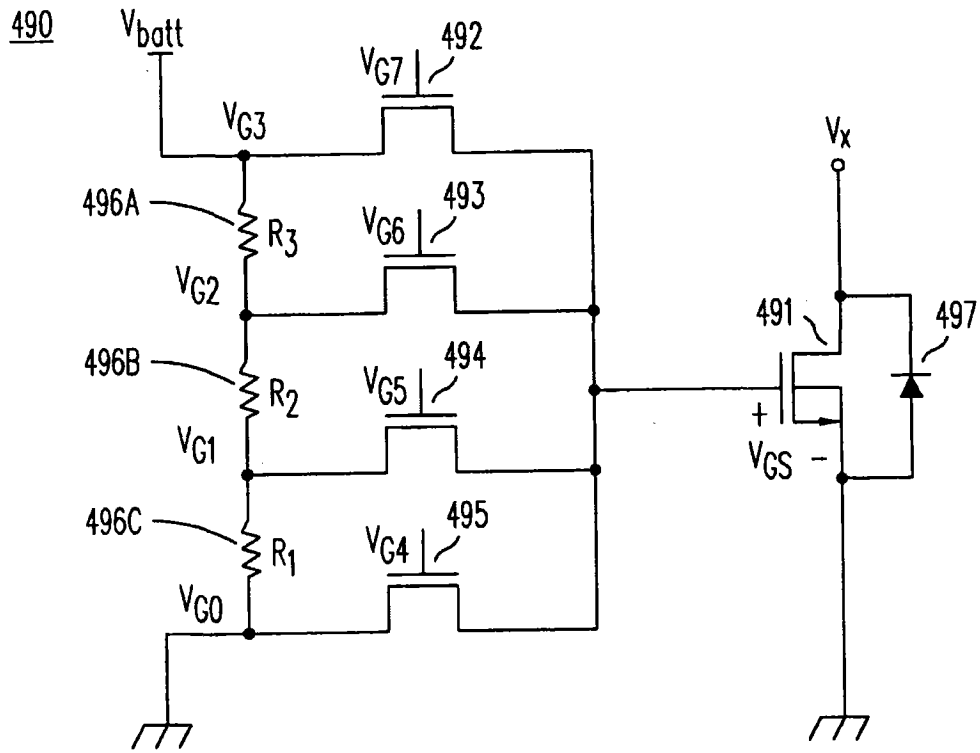


图 13D

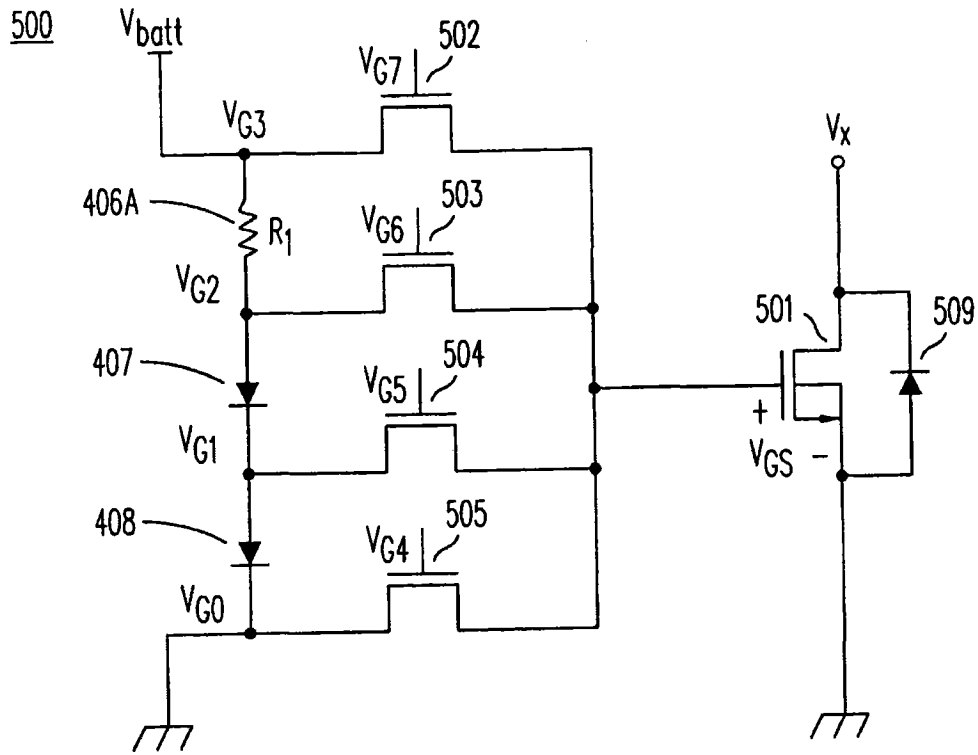


图 13E

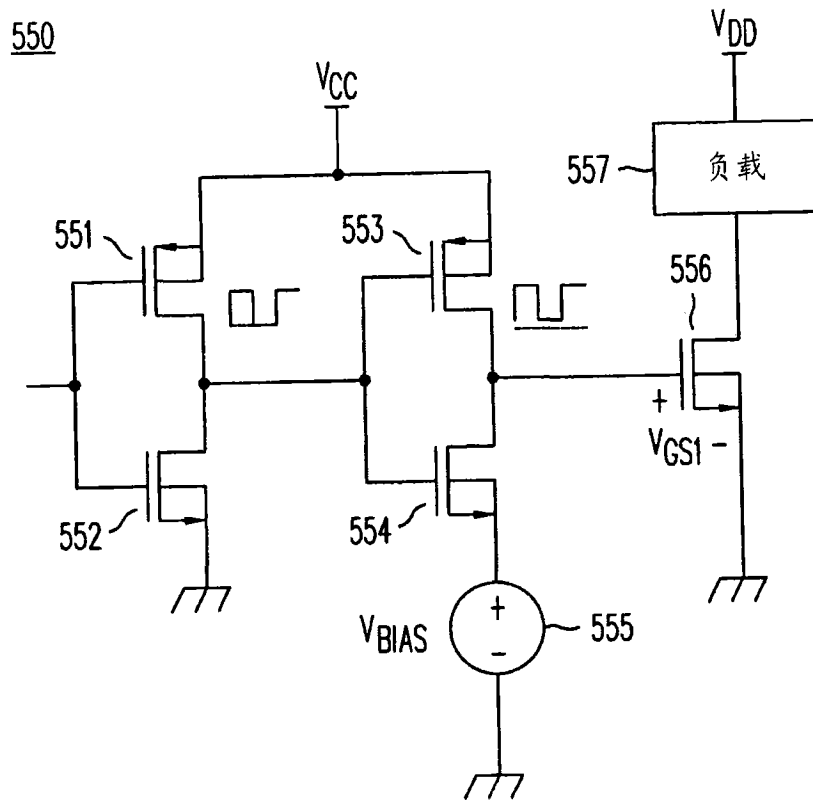


图 14A

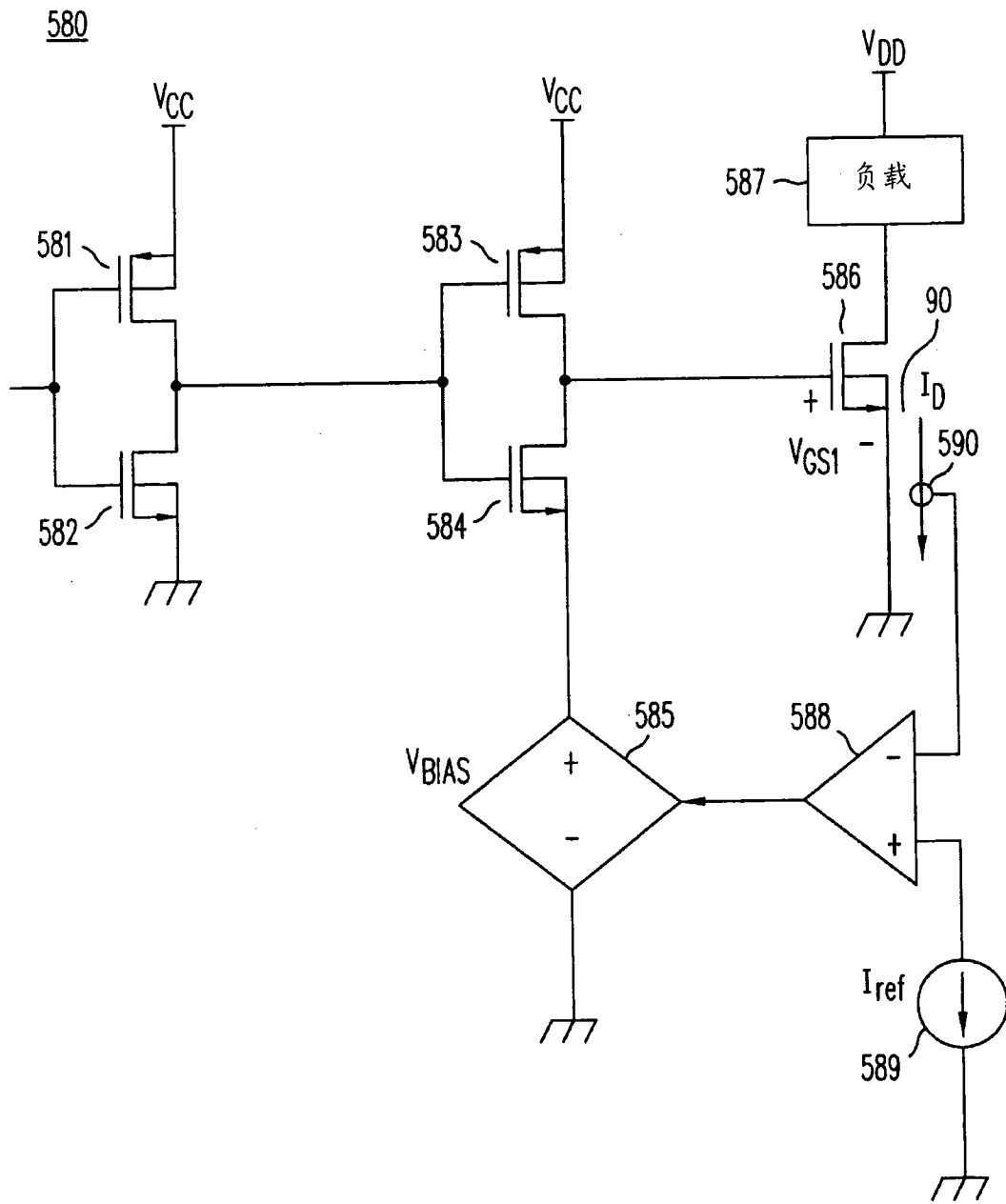


图 14B

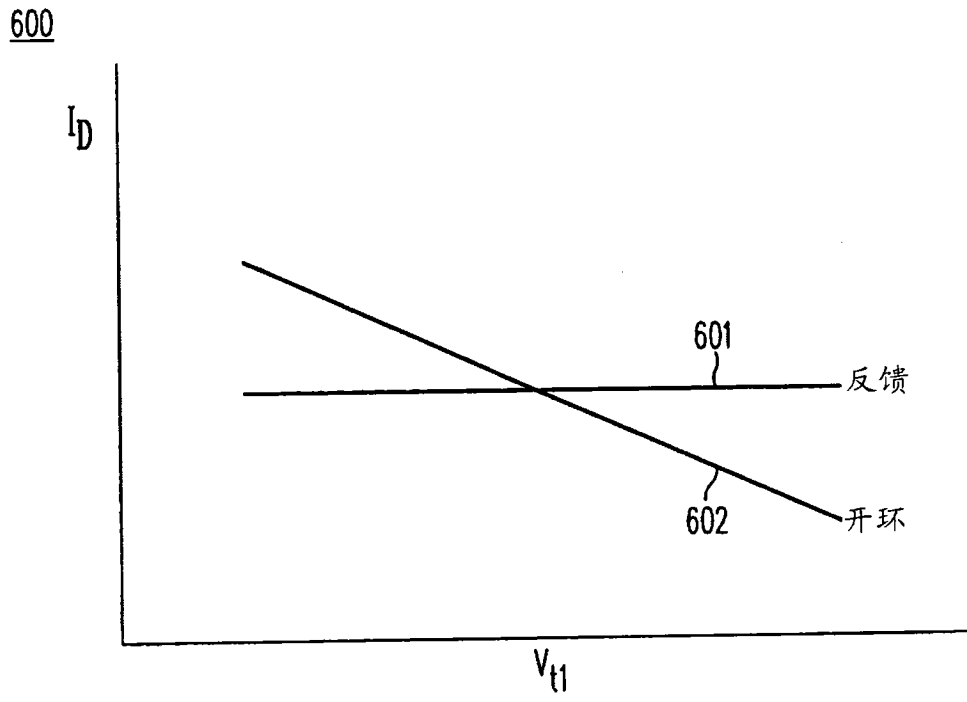


图 14C

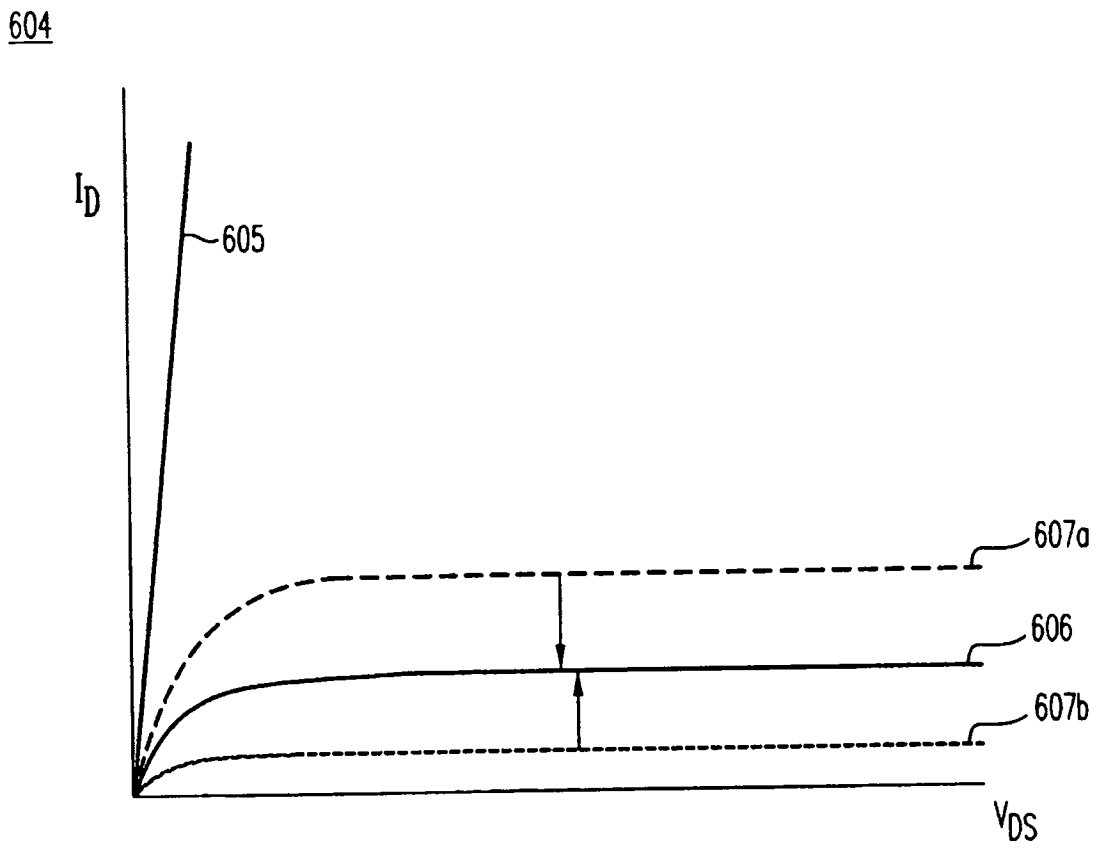


图 14D

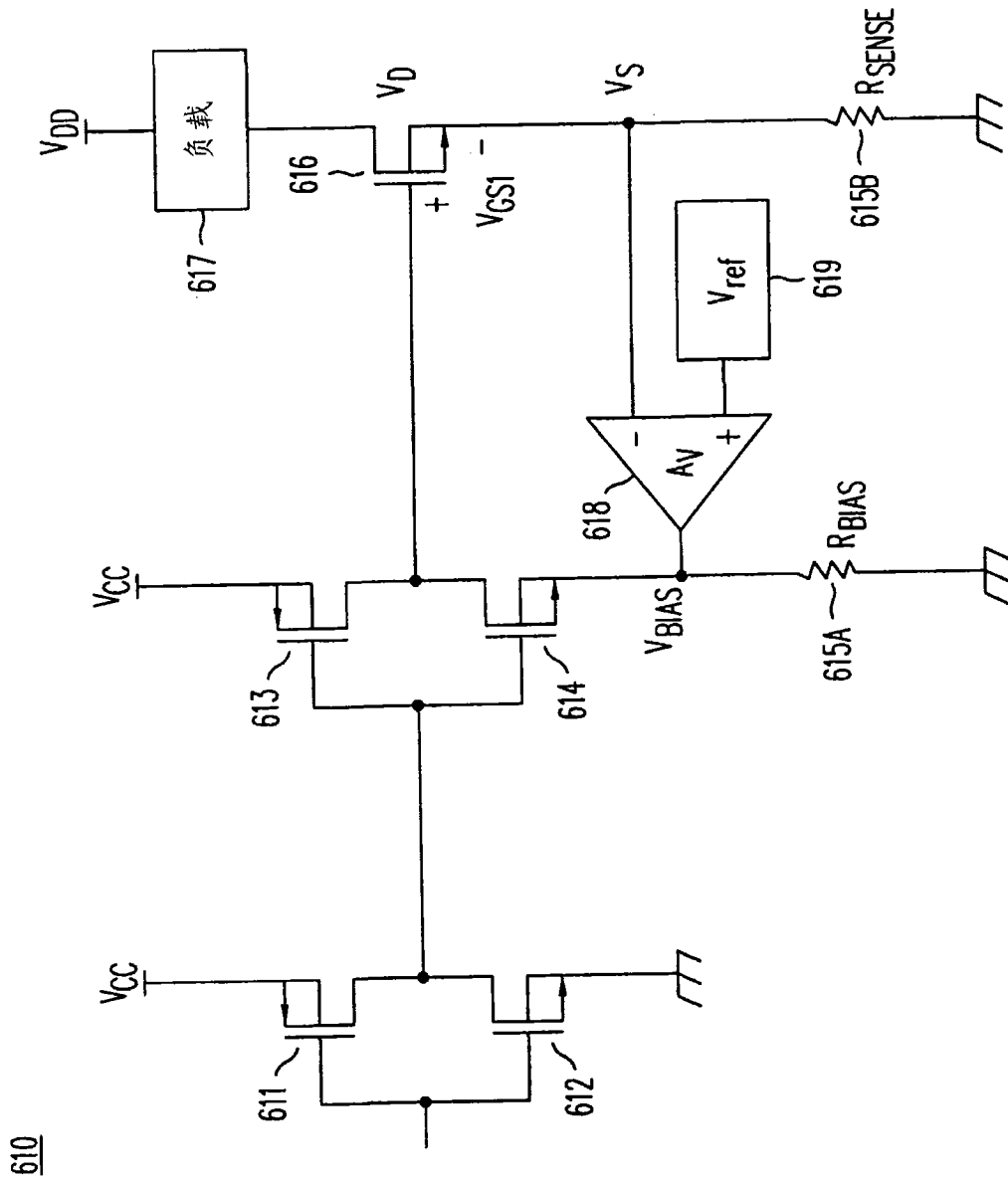


图 15A

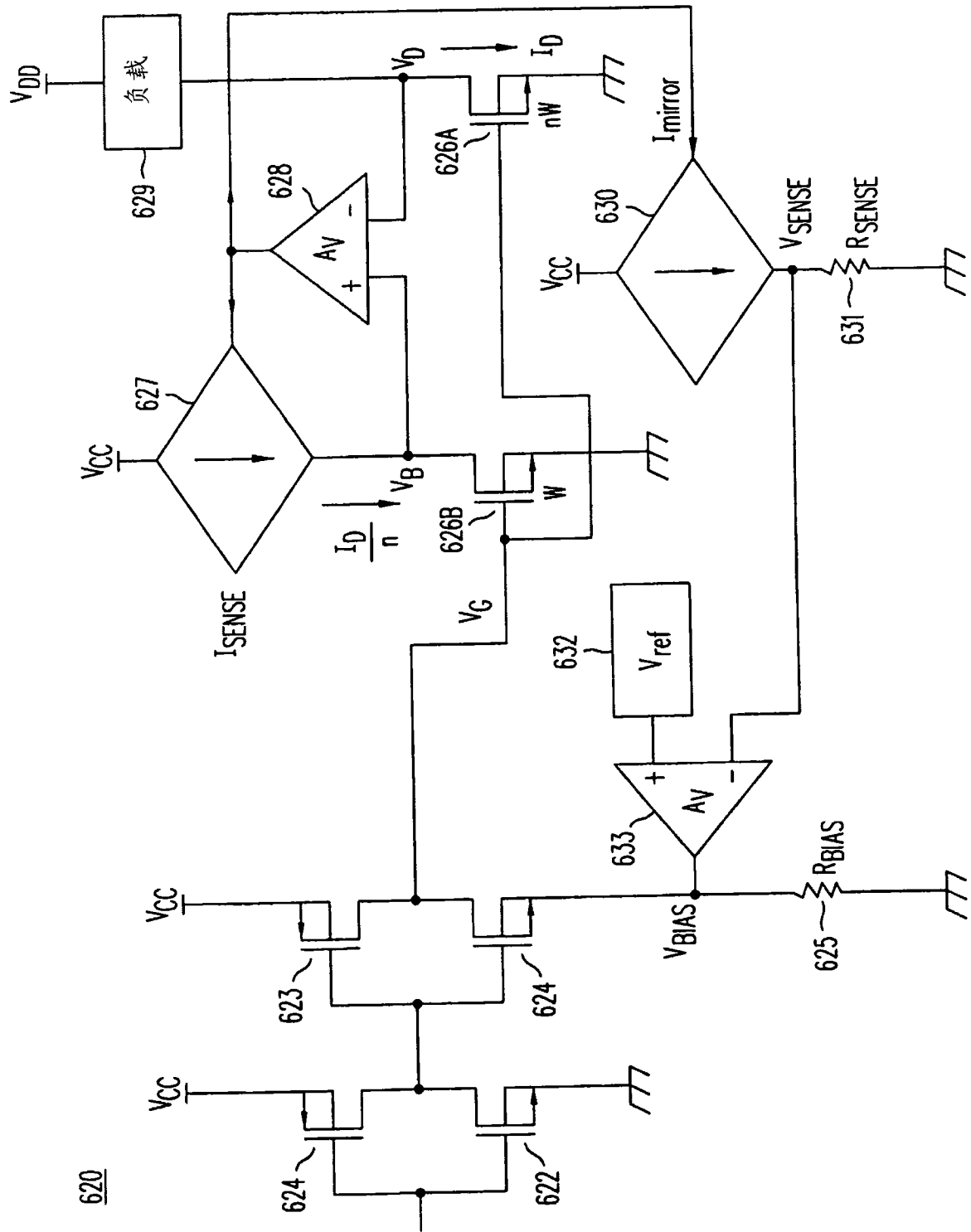


图 15B

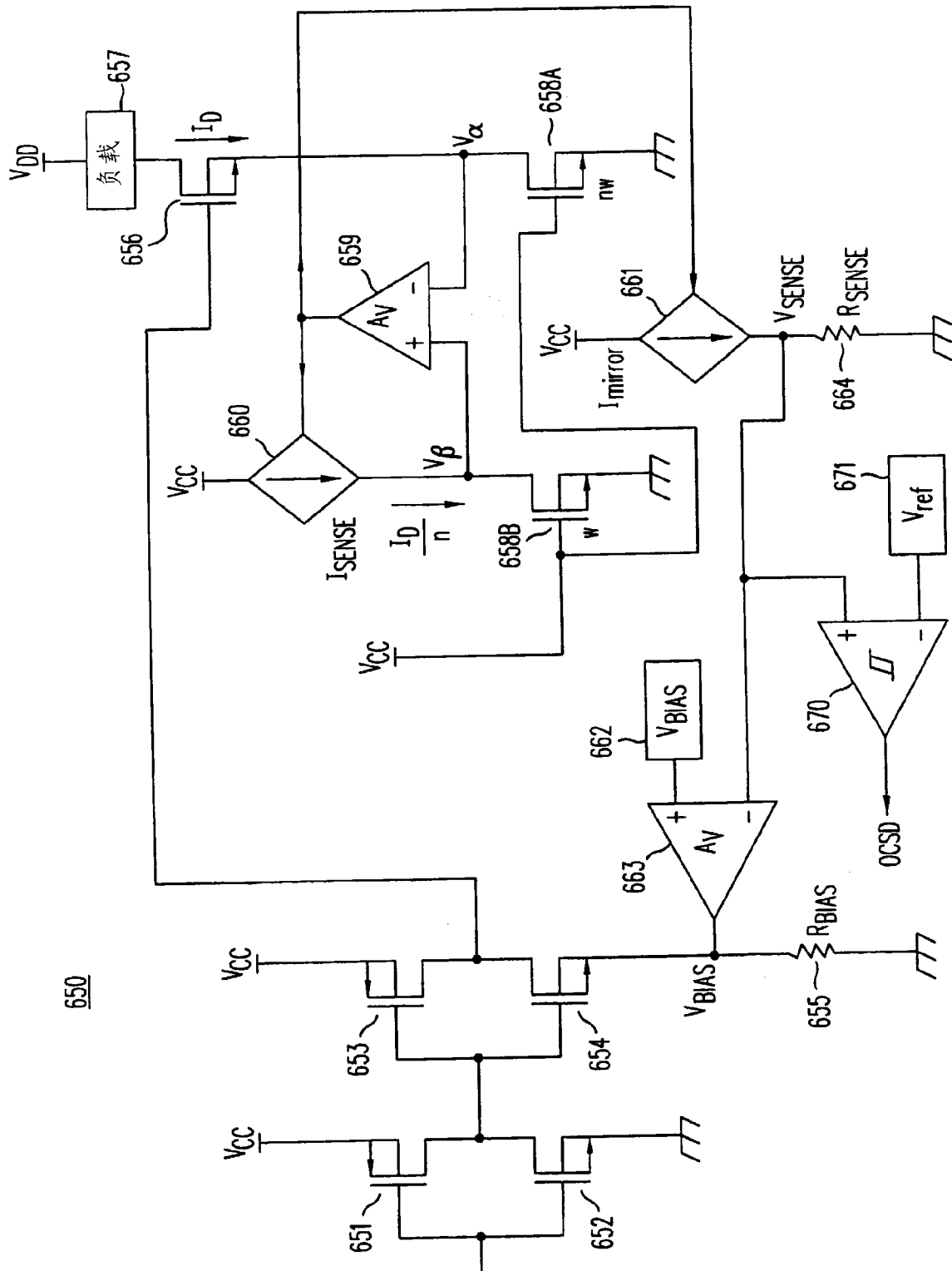


图 15C

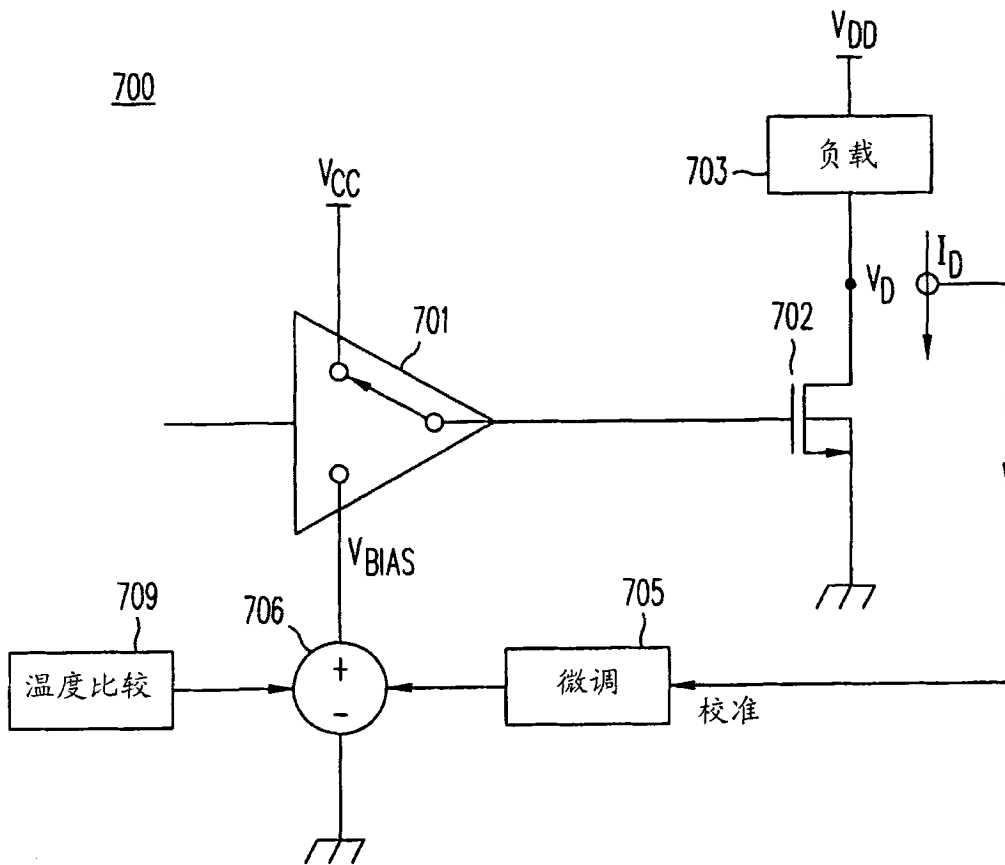


图 16A

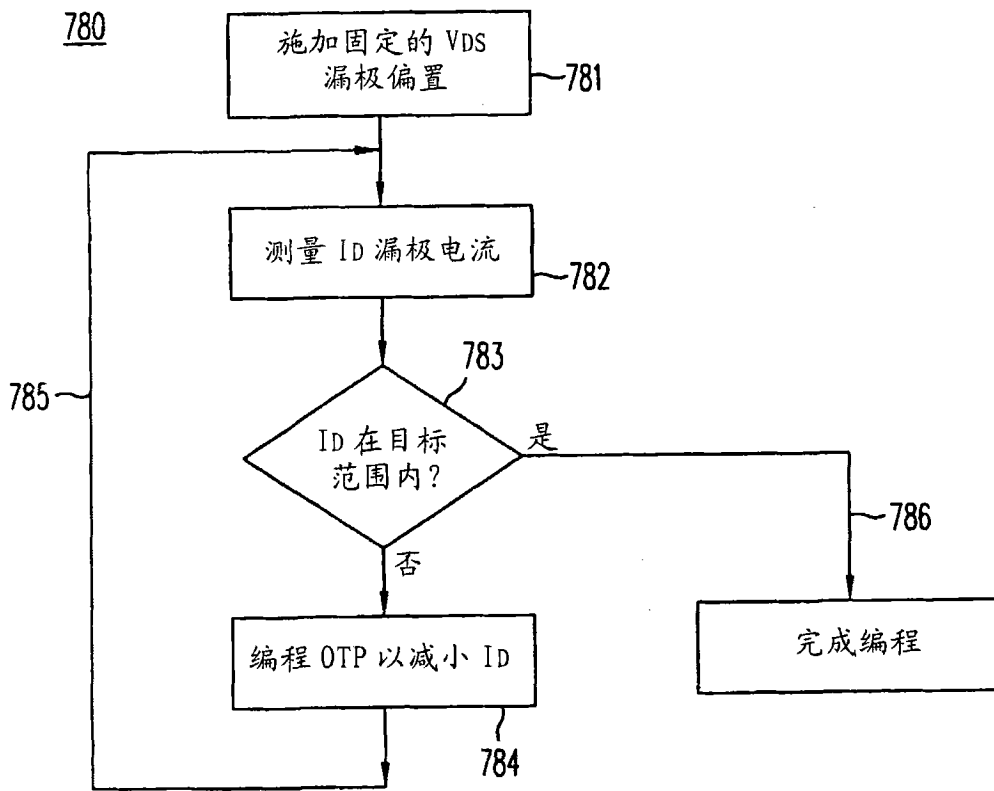


图 16D

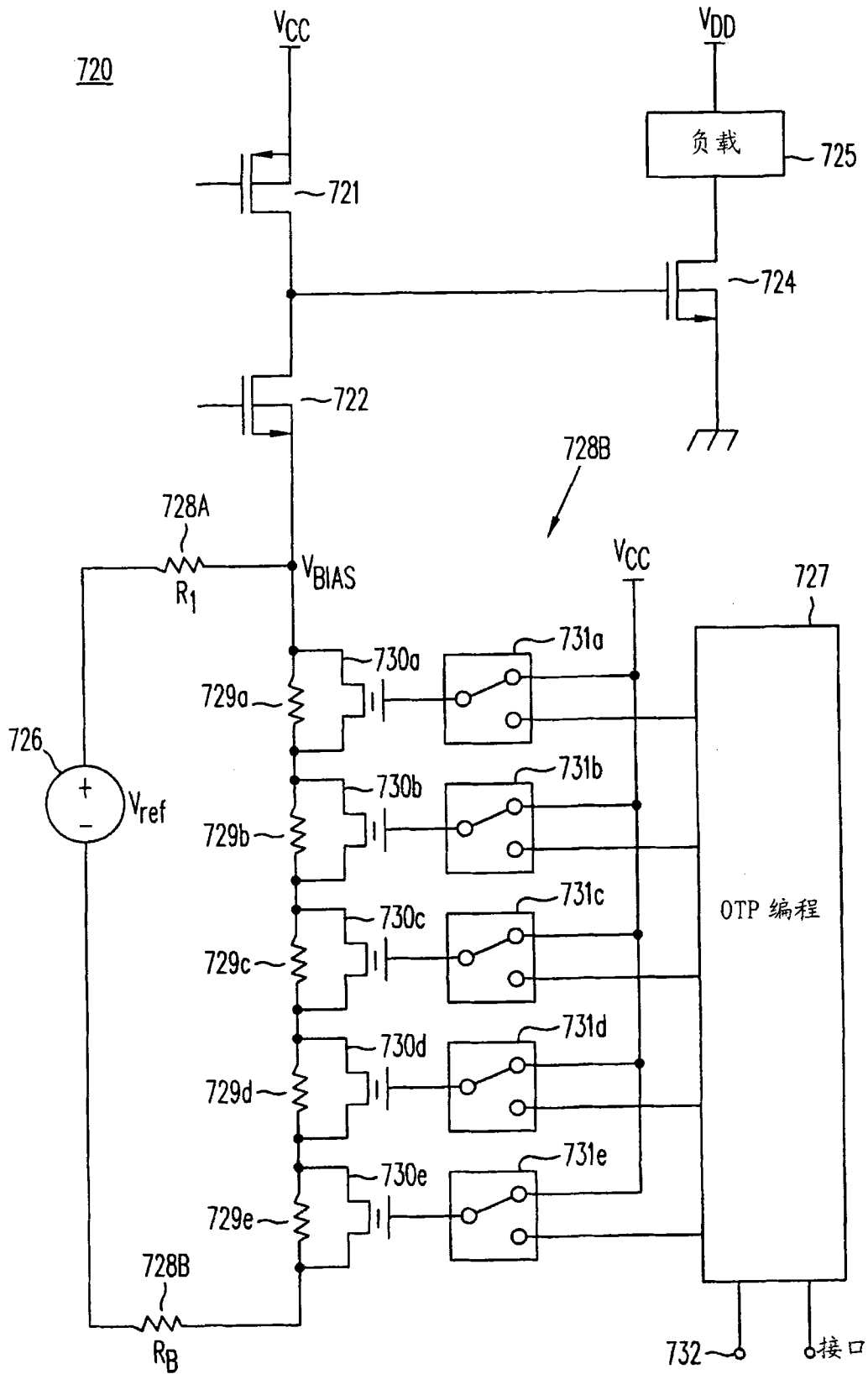


图 16B

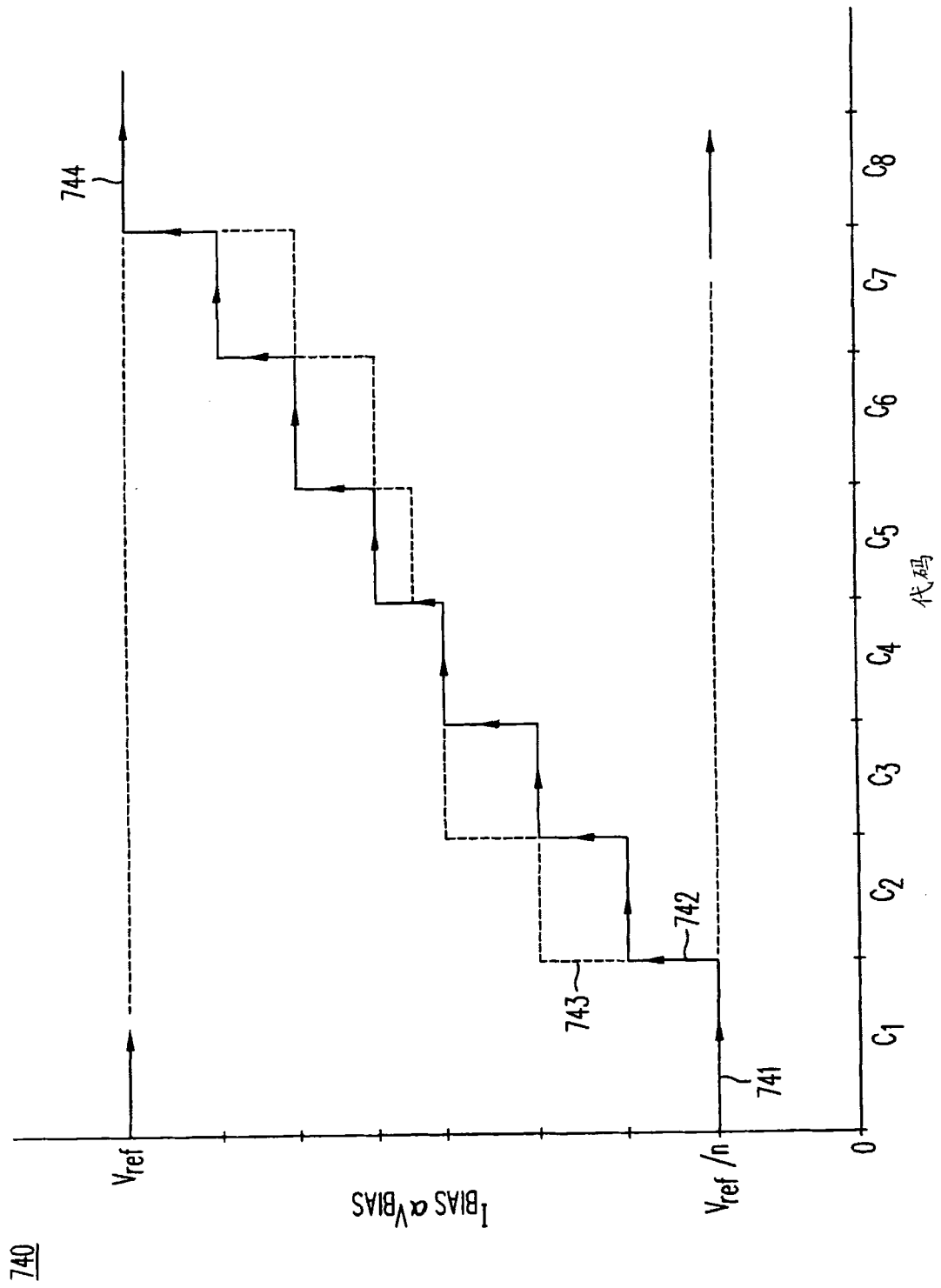


图 16C

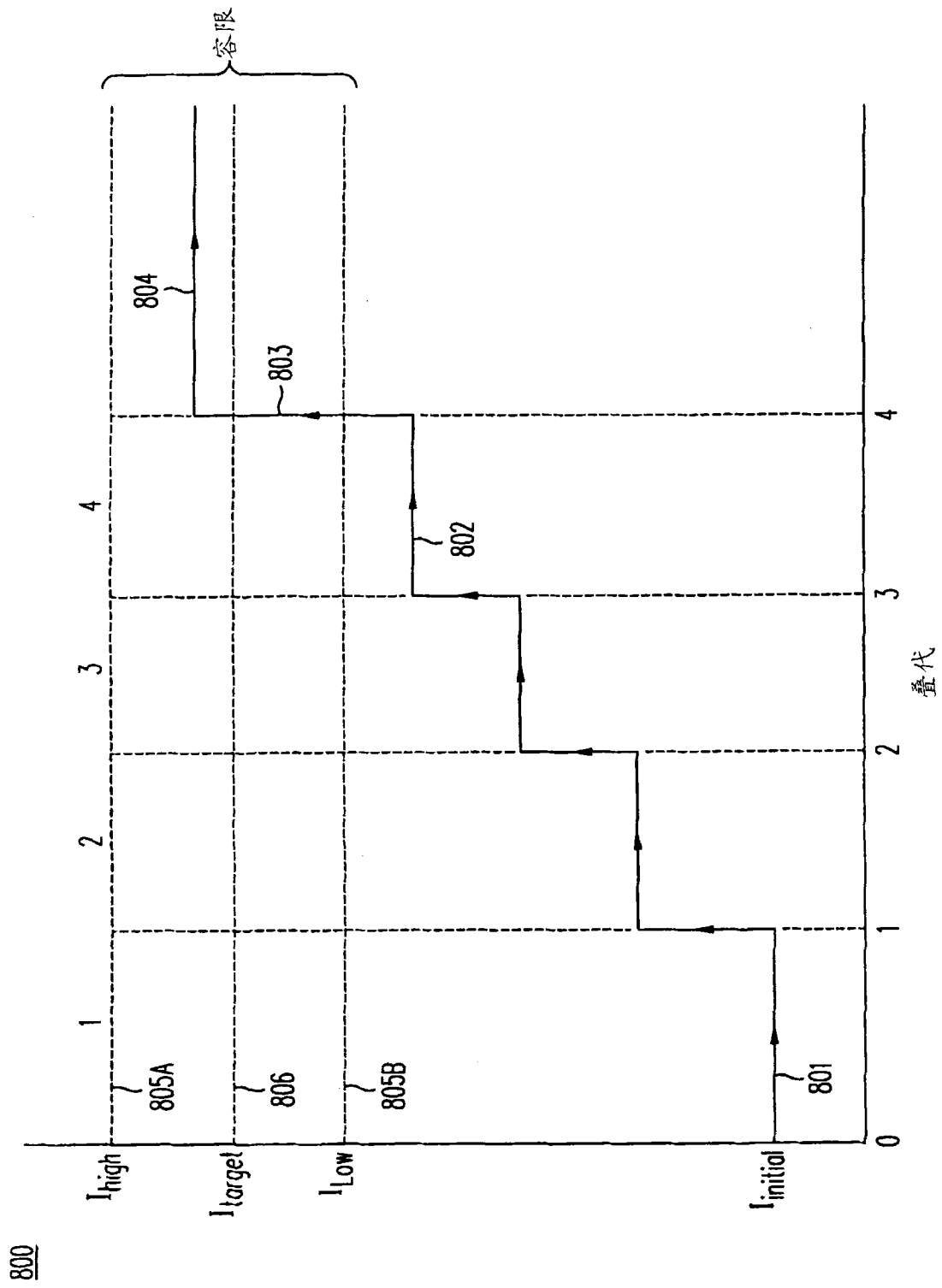


图 16E

840

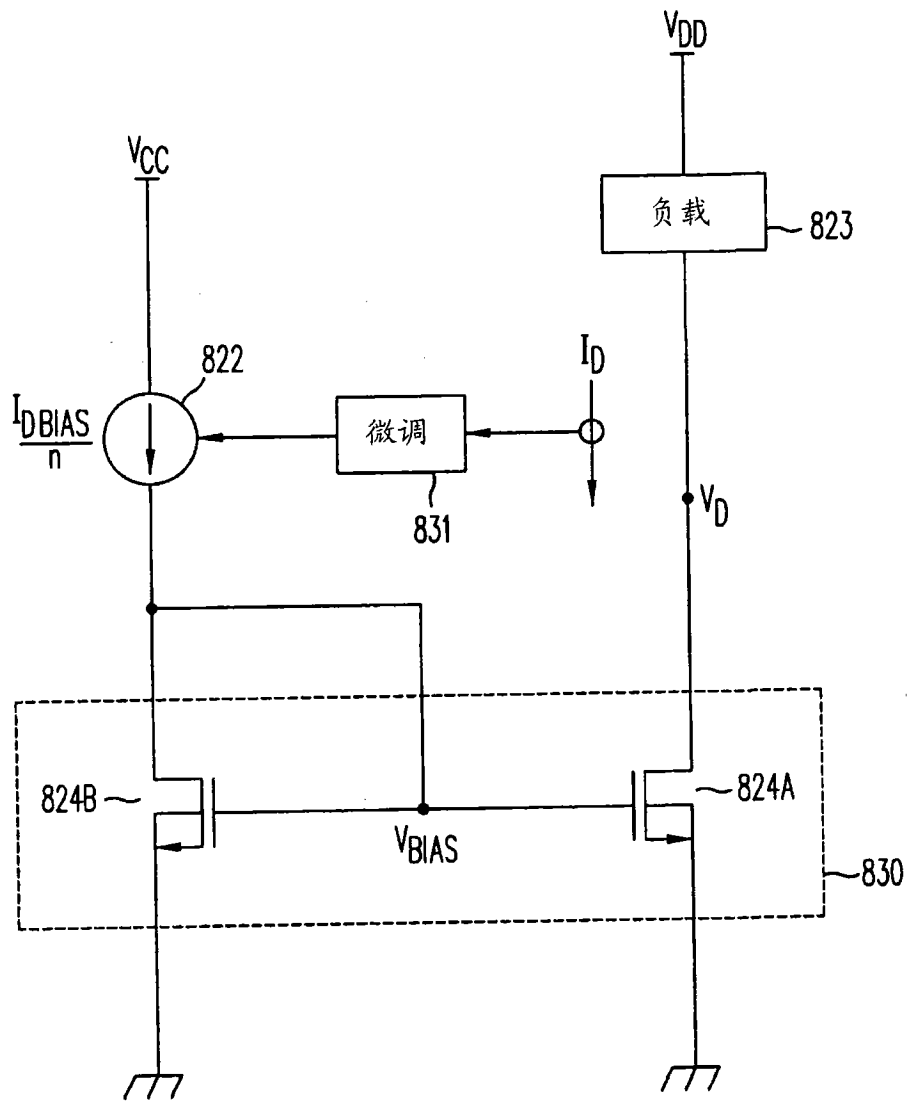
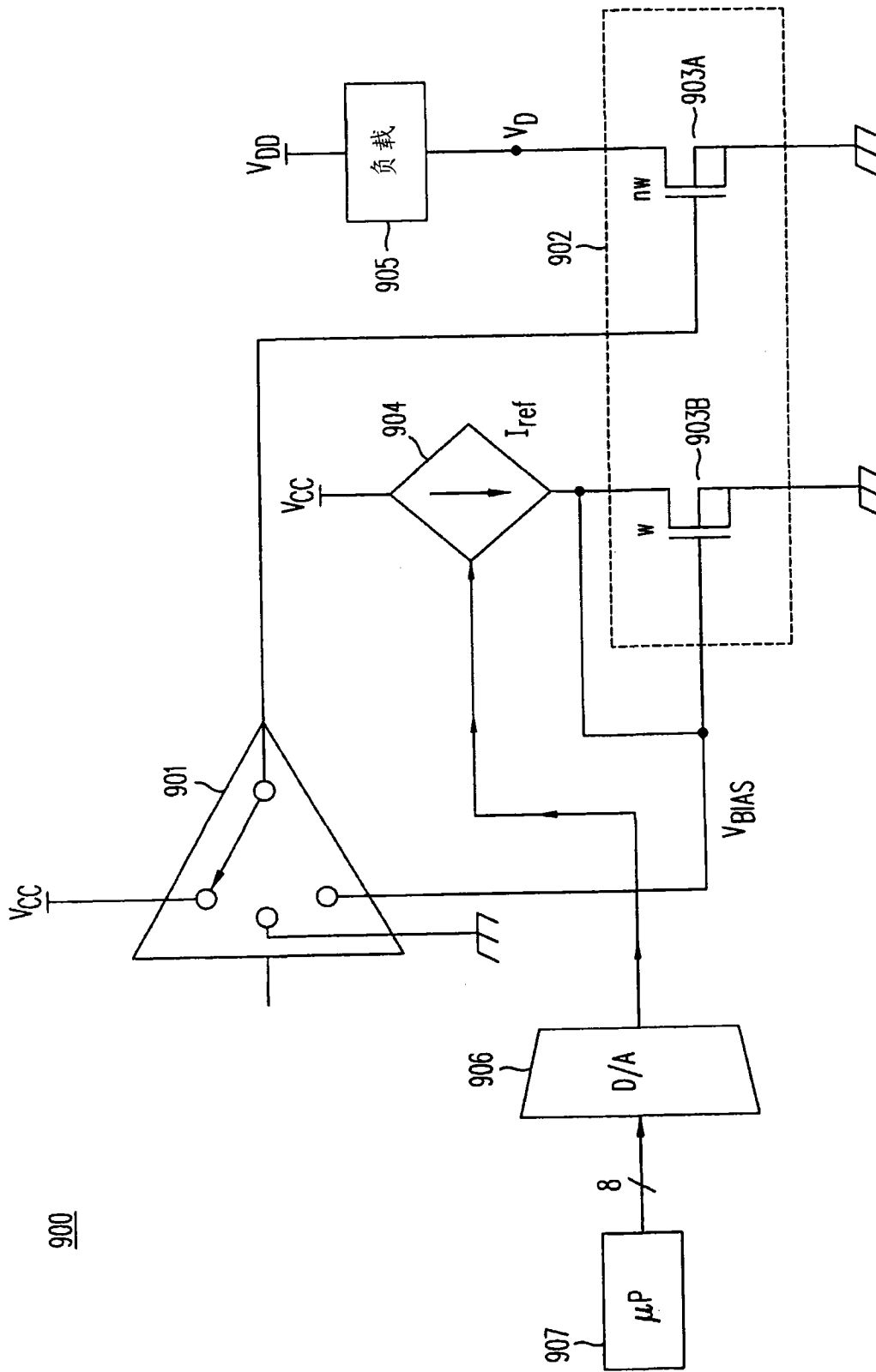
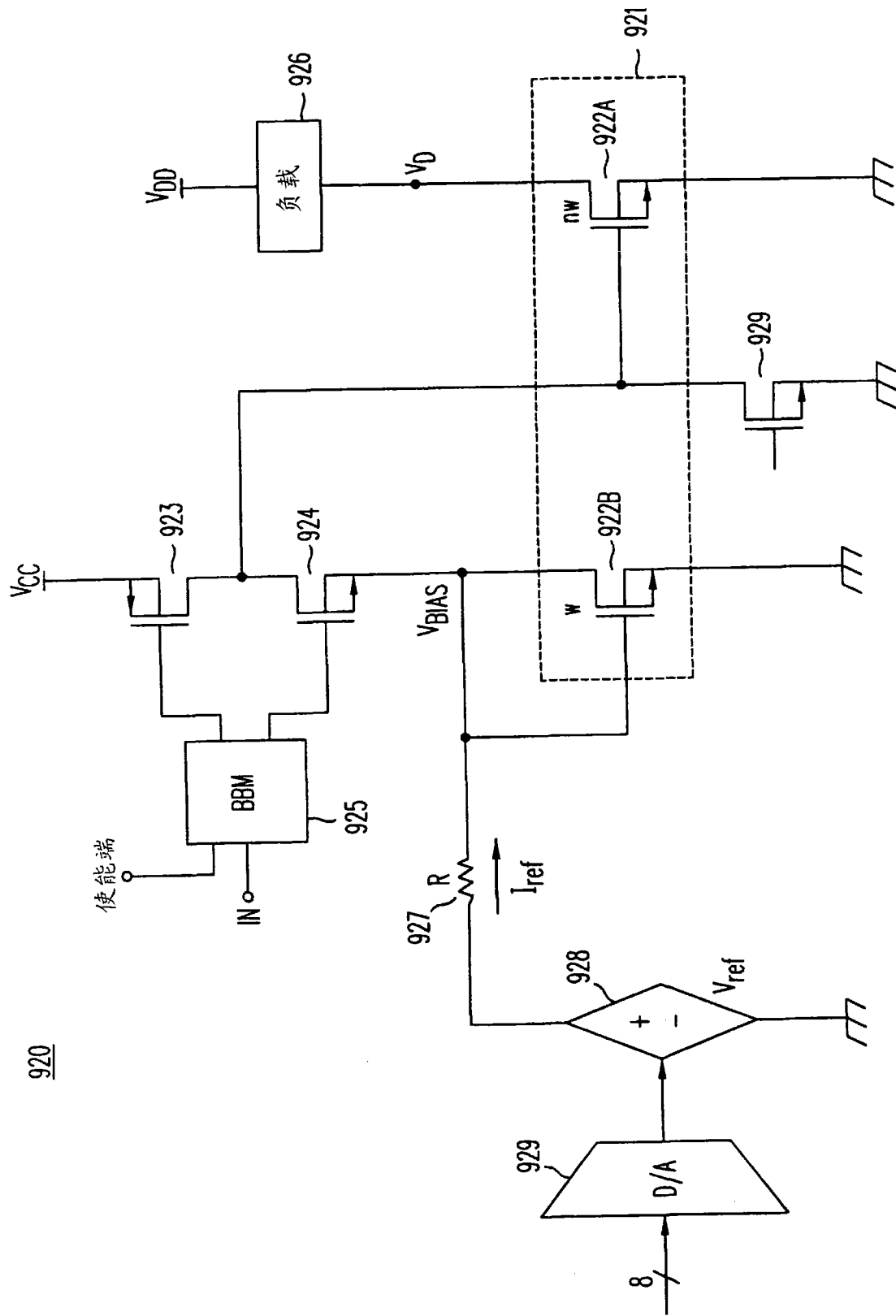


图 17B



900

图 20



920

图 21A

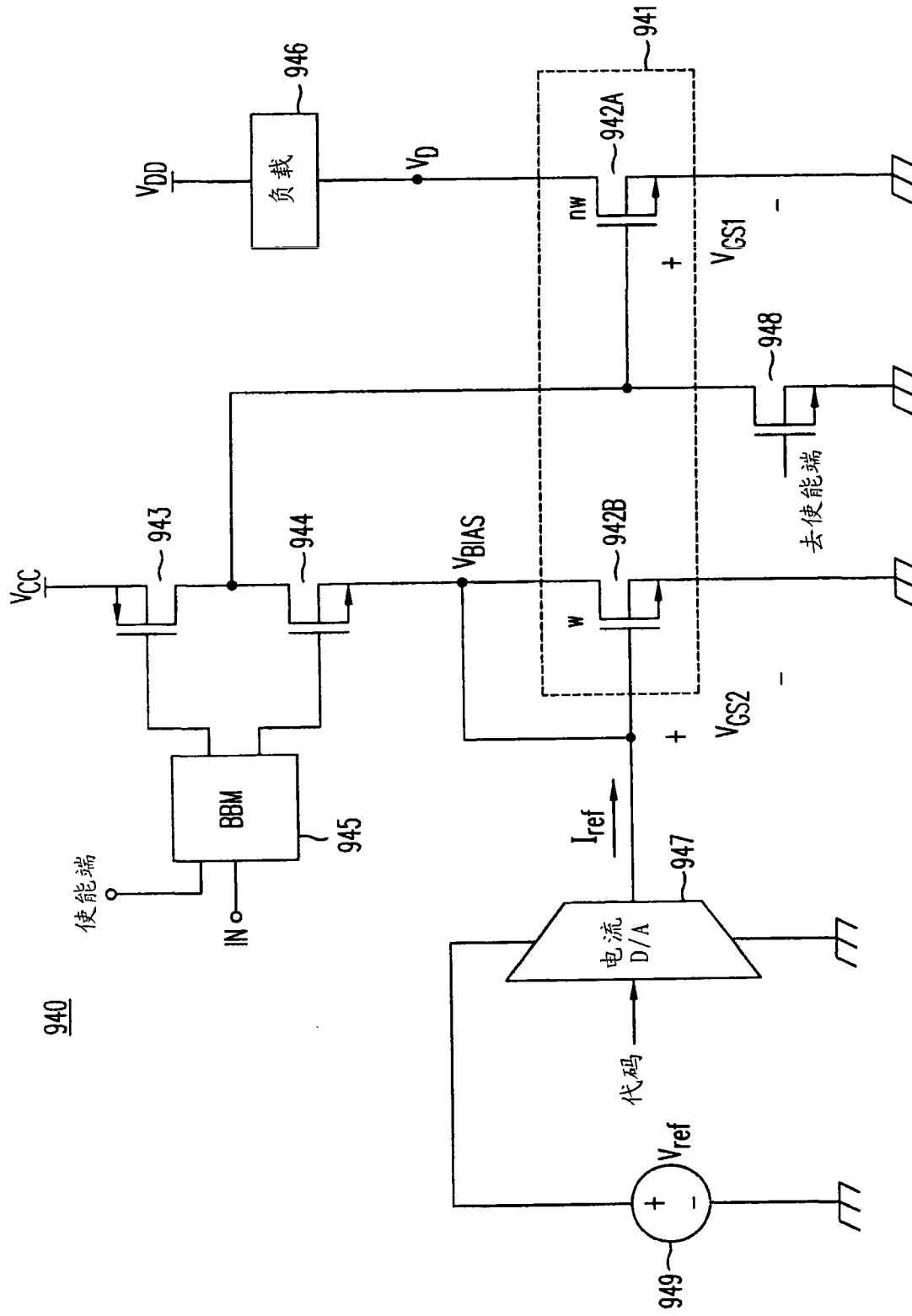


图 21B

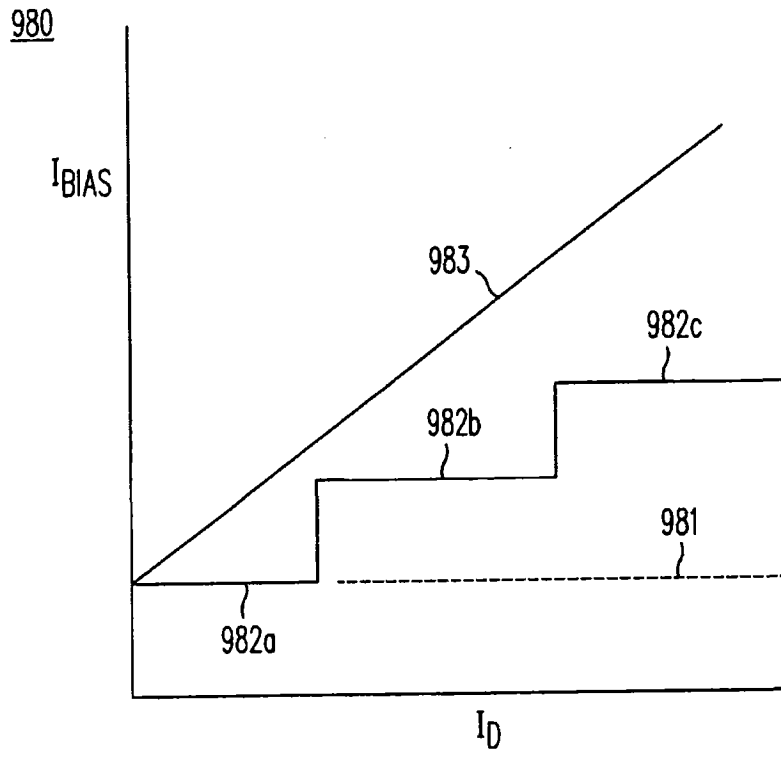


图 22A

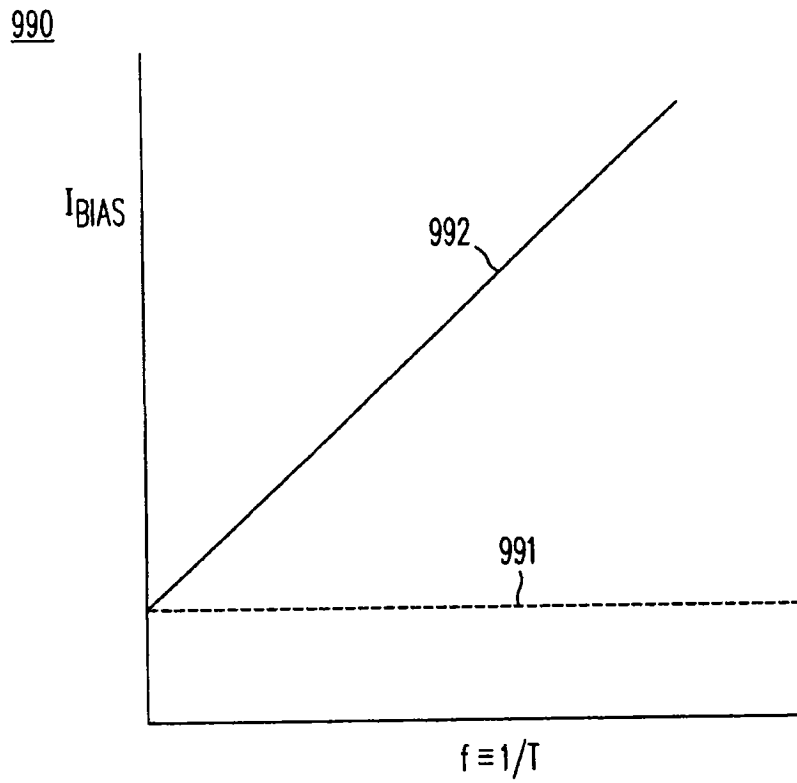


图 22B

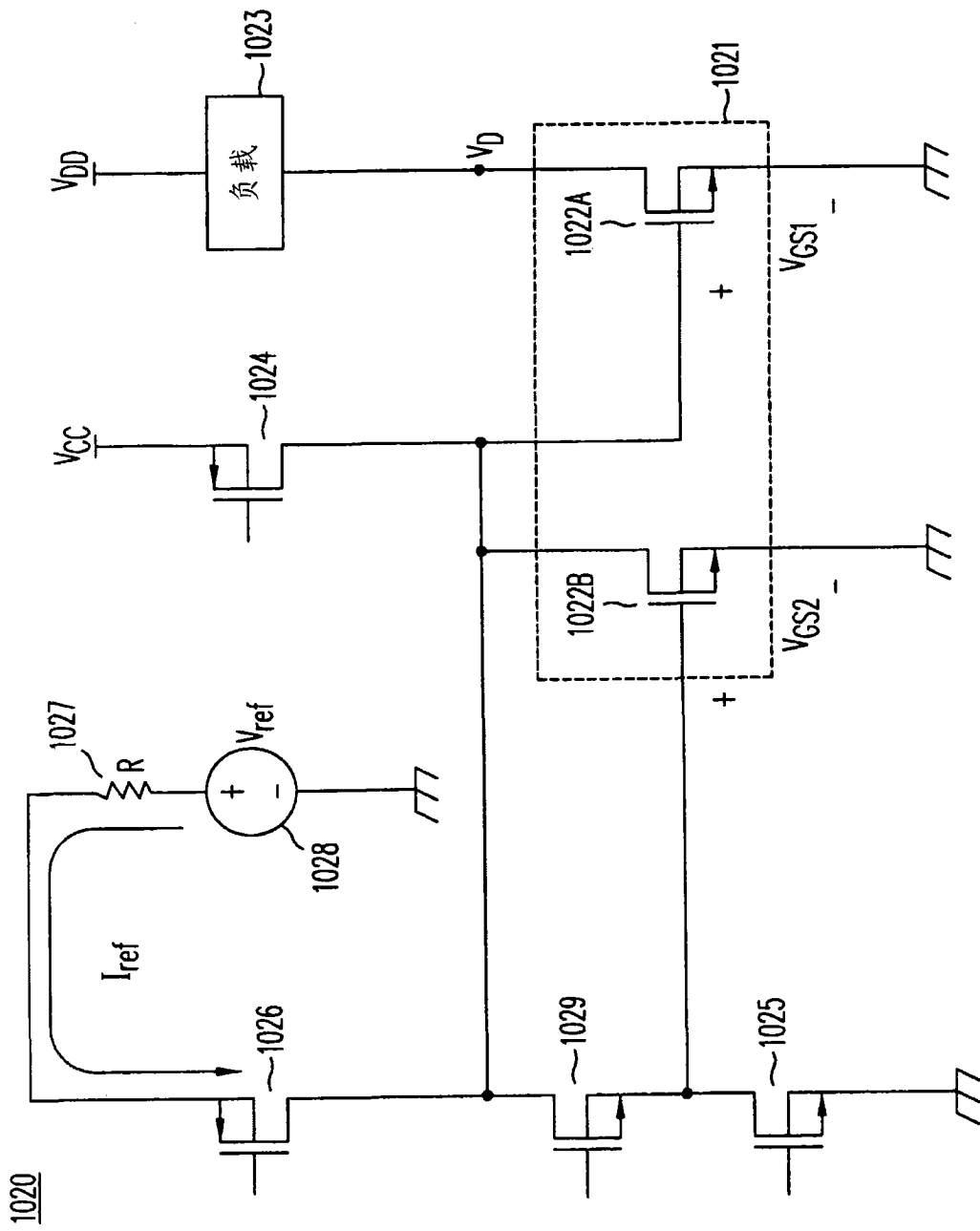


图 23B

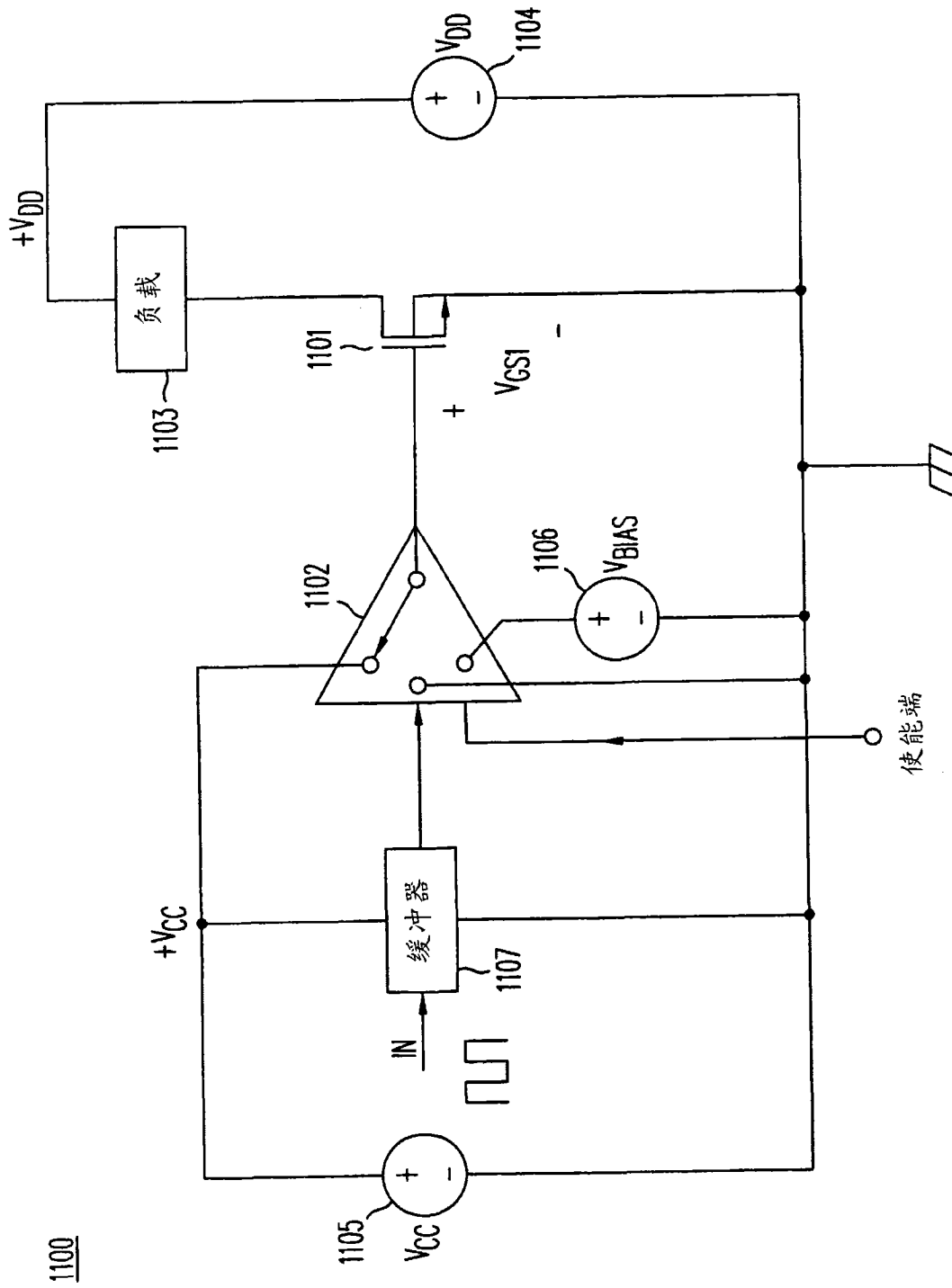
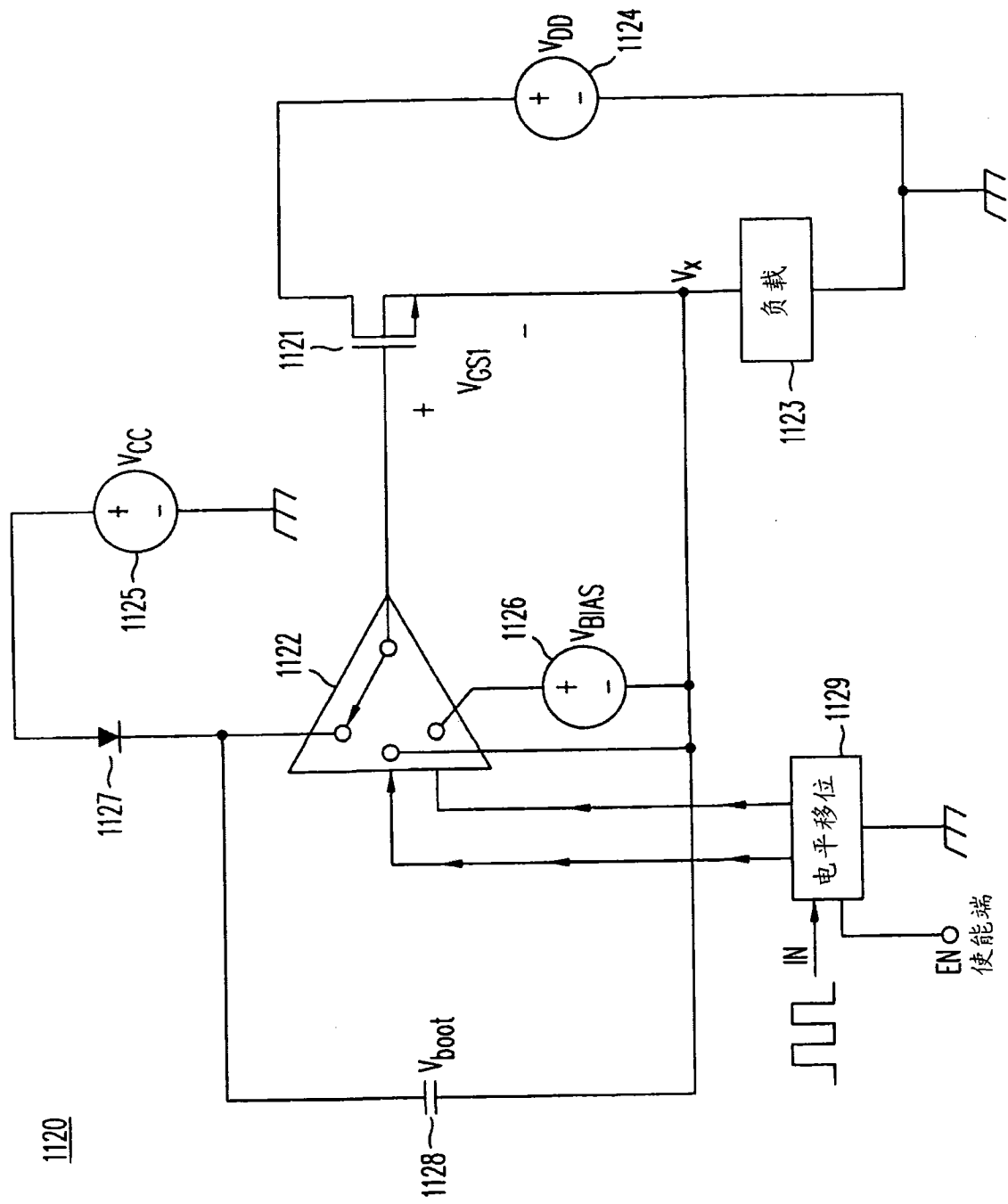


图 24A



1120

图 24B

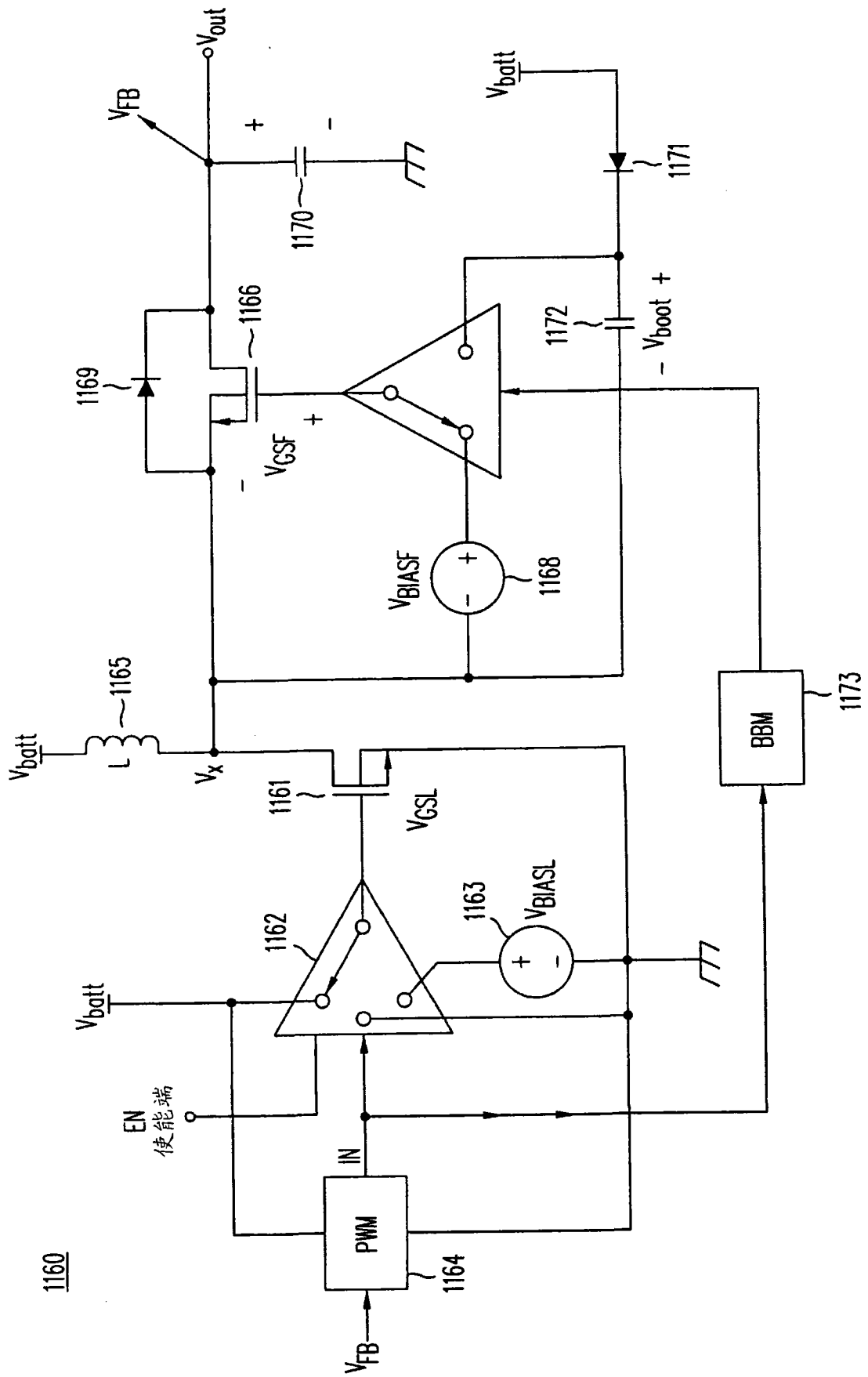


图 24C

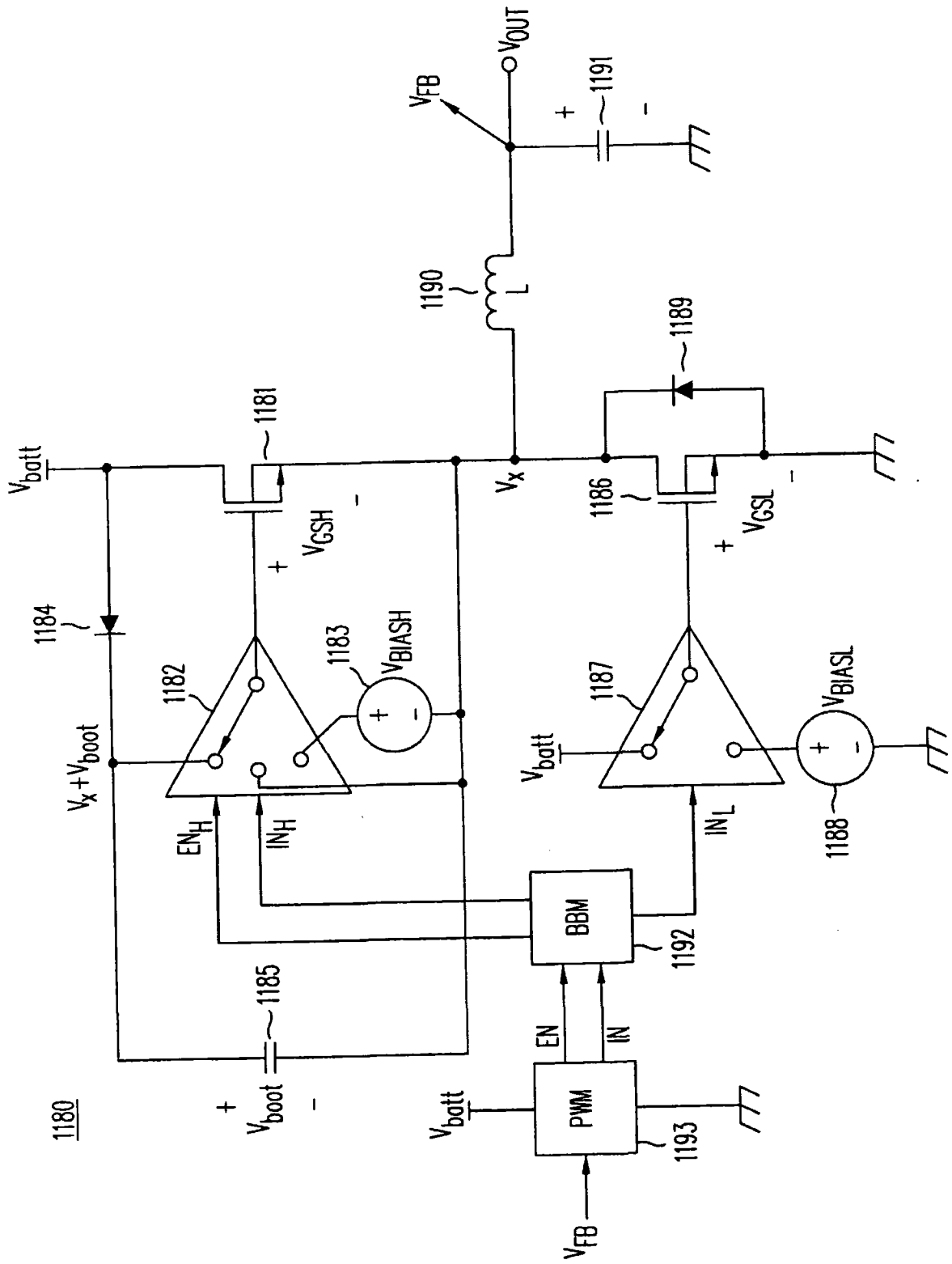


图 24D

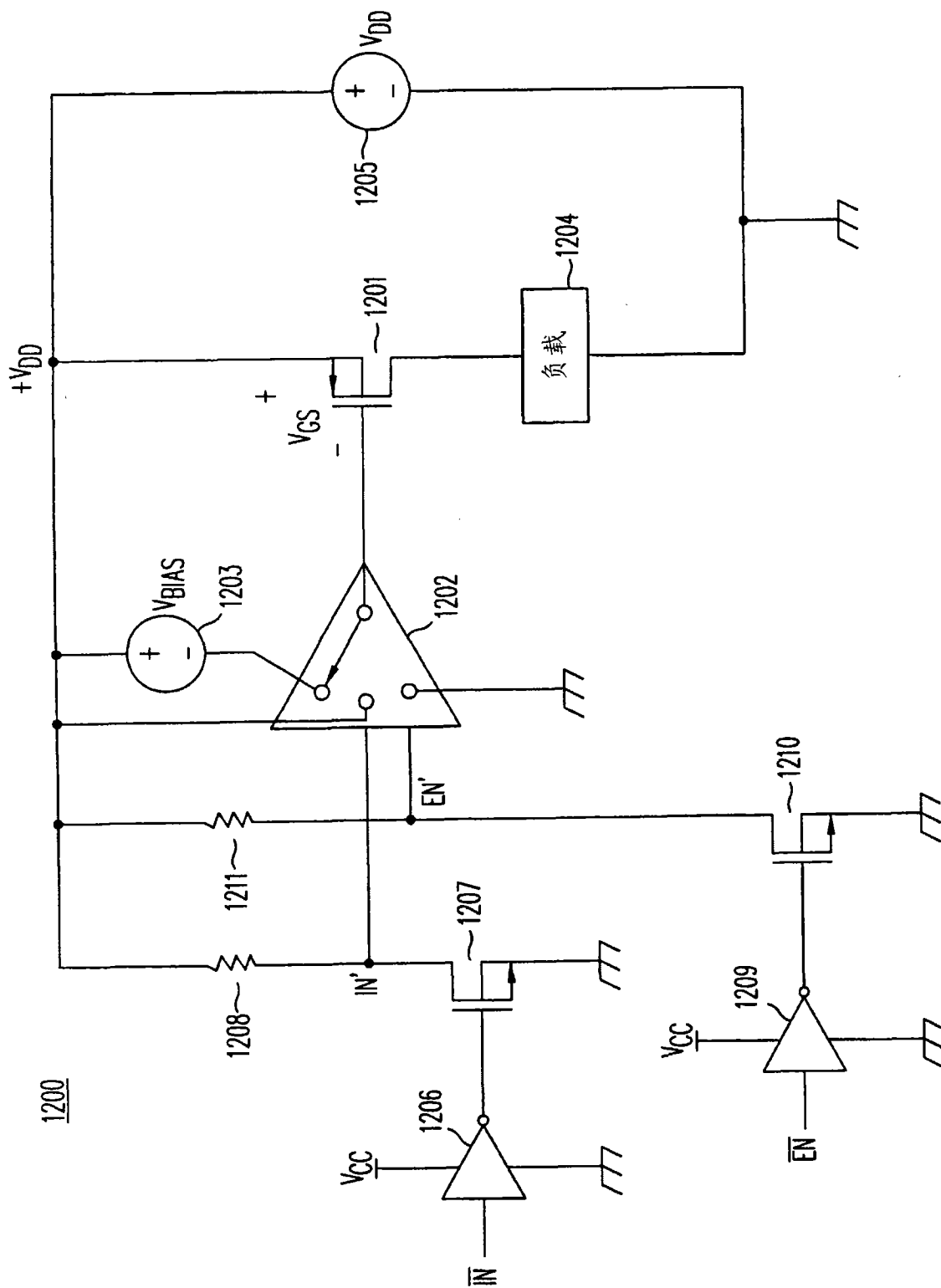


图 25A

