

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 93115011

※ 申請日期： 93-6-27

※IPC 分類：

G11C 7/10

壹、發明名稱：(中文/英文)

具有單向連結之記憶體通道技術

MEMORY CHANNEL WITH UNIDIRECTIONAL LINKS

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

英特爾公司/ INTEL CORPORATION

代表人：(中文/英文)

塞門 大衛/SIMON, DAVID

住居所或營業所地址：(中文/英文)

美國加州聖塔克萊拉市密遜大學道 2200 號

2200 Mission College Blvd. Santa Clara, CA, USA

國 籍：(中文/英文) 美國/U. S. A.

參、發明人：(共 1 人)

姓 名：(中文/英文)

佛特 彼得/VOGT, PETE

住居所地址：(中文/英文)

美國科羅拉多州圓石市·康登奈巷 5395 號

5395 Centennial Trail, Boulder, CO 80303, U. S. A.

國 籍：(中文/英文)

美國/U. S. A.

肆、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2003, 06, 04；10/456, 174

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係有關於單向連結之記憶體通道技術。

【先前技術】

5 發明背景

第1圖顯示非正式地被習知為RamLink之習知技藝的
記憶體系統，其被電氣與電子工程師協會(IEEE)提議作為
標準。該標準被指定為IEEE Std 1596.4-1996且正式地被習
知為High-Bandwidth Memory Interface Based on Scalable
10 Coherent Interface(SCI) Signaling Technology(RamLink)。第
1圖之系統包括一記憶體控制器10與一個以上的記憶體模
組12。記憶體控制器10典型上為處理器內建的或為一處理
器被組配於所附之晶片組上。每一記憶體模組12具有一從
介面14，其具有一連結輸入與一連結輸出。以RamLink發信
15 拓撲被配置之元件，其被習知為具有元件間單向連結16的
RamLink。在每一模組上之控制介面18形成從介面14與記憶
體裝置20之介面。在第1圖顯示之系統中，被習知為Synclink
的另一RamLink發信拓撲在從介面與記憶體裝置間被使用。

RamLink系統之目的為要提供對記憶體裝置之高速存
20 取。資料在記憶體控制器與模組間以封包被轉送，其沿著
RamLink循環。控制器負產生所有要求封包，並將從反應封
包之回送排程。

當控制器發送包括命令、位址、時間與資料之要求封
包至特定模組時一寫入交易被起動。該封包由模組至模組

被傳送至其到達所欲的從機為止，然後其傳送該資料至該等記憶體裝置之一。然後該從機發送一反應封包，其由模組至模組被傳送至其到達該控制器以確認該寫入交易完成為止。

5 當控制器發送包括命令、位址、時間之要求封至一模組時一讀取交易被起動。在此模組之從機由該等記憶體裝置之一擷取該被要求之資料，並在一反應封包中將其送回該控制器，其再次由模組至模組被傳送至其到達該控制器為止。

10 第2圖顯示習知技藝之RamLink從介面電路。在第2圖之電路中，源極同步選通脈衝被用以為到來的資料信號作出時鐘。此即，伴隨該到來的資料信號之一選通脈衝被用以將到來的資料抽樣。第2圖之電路使用鎖相迴路(PLL)以由被分配至其他從介面電路的一基準時鐘信號產生穩定的一區域準時信號。該區域準時信號被使用為外出的資料信號重新做出時鐘而在資料沿著下游被傳送時之累積的抖動。

【發明內容】

本發明係為一種記憶體緩衝器，包含：一第一個再驅
20 動電路以由一第一單向連結接收一第一信號及在一第二單向連結再驅動該第一信號；一第二個再驅動電路以由一第三單向連結接收一第二信號及在一第四單向連結上再驅動該第二信號；以及一記憶體裝置或介面被耦合於該第一個再驅動電路。

圖式簡單說明

第1圖顯示習知技藝之RamLink記憶體系統。

第2圖顯示習知技藝之RamLink介面電路。

5 第3圖顯示依據此專利之發明性原理的記憶體介面系統之一實施例。

第4圖顯示依據此專利之發明性原理的記憶體模組之一實施例。

第5圖顯示依據此專利之發明性原理的記憶體模組之另一實施例與記憶體緩衝器之一實施例。

10 第6圖顯示依據此專利之發明性原理的記憶體系統、記憶體模組與記憶體緩衝器之額外實施例。

第7圖顯示依據此專利之發明性原理的記憶體緩衝器之另一實施例。

15 第8圖顯示依據此專利之發明性原理的再驅動電路之一實施例。

第9圖顯示依據此專利之發明性原理的I/O胞元之一實施例。

第10圖顯示依據此專利之發明性原理的I/O胞元之另一實施例。

20 第11圖顯示依據此專利之發明性原理的I/O胞元之另一實施例。

第12圖顯示依據此專利之發明性原理的I/O胞元之另一實施例。

第13圖顯示依據此專利之發明性原理的失效接管電路

之一實施例。

第14圖顯示依據此專利之發明性原理的在一正常模式操作之一個以上的另一實施例。

5 第15圖顯示依據此專利之發明性原理的在一失效接管模式操作之一個以上的另一實施例。

第16圖顯示依據此專利之發明性原理的具有位元通道失效接管能力之記憶體緩衝器的一實施例。

第17圖顯示依據此專利之發明性原理的具有位元通道失效接管能力之記憶體控制器的一實施例。

10 第18圖顯示依據此專利之發明性原理的用於施作排列狀態型態之方法的實施例。

第19圖顯示依據此專利之發明性原理的排列型態產生器之一實施例。

15 第20至23圖顯示依據此專利之發明性原理的狀態型態之實施例。

第24圖顯示依據此專利之發明性原理的記憶體代理人之一實施例。

第25圖顯示依據此專利之發明性原理的詢訊作業之實施例。

20 **【實施方式】**

較佳實施例之詳細說明

本專利包容具有獨立效用之很多發明。在某些情形中，當一些原理彼此以各種組合被運用時，額外的利益被實現而產生額外的發明。這些原理可在無數的實施例中被

實現。雖然一些特定細節就說明該等發明性的原理被顯示，很多其他配置可依據此專利之發明性原理被想出。因而，該等發明性的原理不受限於此處被揭示之特定細節。

第3圖顯示依據此專利之發明性原理的記憶體介面系統之一實施例。第3圖之系統包括一記憶體控制器50與一個以上的記憶體模組52，其透過由單向連結所組成之通道通訊。該通道具有一向外路徑，其包括一個以上的向外連結54，與一向內路徑，其包括一個以上的向內連結56。每一模組能由連結至連結在向外路徑及由連結至連結在向內路徑地再驅動信號。每一模組例如於若該模組偵測其為最外面的模組，或對來自記憶體控制器之命令反應時，亦能選擇性地使任一再驅動特徵失效。

每一模組包括一個以上的記憶體裝置58被配置以在一個以上的路徑上來回轉送資料。例如，該模組可被配置使得來自該向外路徑之資料被轉送至一記憶體裝置，及來自該記憶體裝置之資料被轉送至該向內路徑。一個以上的緩衝器可被配置於一個以上的記憶體裝置與一個以上的記憶體控制器間。該等模組可被組配於與該系統其餘者分離之基體上、其可在與控制器及連結共同的基體上被組配、或以任何其他的機械配置被實現。該等模組亦不限於如唯讀記憶體(ROM)、動態隨機存取記憶體(DRAM)、快閃記憶體等之任何特定型式之記憶體。

第4圖顯示依據此專利之發明性原理的記憶體模組之一實施例。第4圖之模組包括二個再驅動電路60與62以分別

在單向連結54A與56A上接收信號，及在單向連結54B與56B上接收信號。一個以上的記憶體裝置58被配置以與一個以上的再驅動電路來回轉送資料。

第4圖之模組不限於單向連結之任何特定配置與用於
5 與再驅動電路來回轉送資料之任何特定配置。若第4圖之模組將在如第3圖顯示之記憶體系統被使用，則再驅動電路60可被指定為一向外再驅動電路且被配置以在包括連結54A與54B之連結的向外連結上接收與再驅動信號，及再驅動電路62可被指定為一向內再驅動電路且被配置以在包括連結
10 56A與56B之連結的向內連結上接收與再驅動信號。在此例中，一個以上的58可被配置使得資料由向外再驅動電路60至記憶體裝置及由記憶體裝置至向內再驅動電路62被轉送。

若該模組為一通道上最外面的模組，該模組能偵測且
15 因之選擇性地使任何再驅動特徵失效。例如，若第4圖之模組被使用為第3圖顯示之記憶體系統且該模組偵測其為最外面的模組，該向外再驅動電路在連結54A上接收到來的信號，但不將之再驅動。類似地，該向內再驅動電路僅以對應於由記憶體裝置被接收之資料的信號與/或可被模組內
20 部地產生之信號來驅動連結56B。或者，就算該模組偵測其非最外面的模組，其可被構建，使其能操作成好像為最外面的模組(例如在對來自一記憶體控制器之反應下)，在此情形中，其可忽略來向內連結56A上被接收之信號，且其不將信號再驅動至向外連結54B上。

第5圖顯示依據此專利之發明性原理的記憶體緩衝器之一實施例與記憶體模組之另一實施例。第5圖之模組包括一記憶體緩衝器64，具有二個再驅動電路60與62以分別在單向連結54A與56A上接收信號，及在單向連結54B與56B上再
5 驅動該等信號。記憶體緩衝器64亦包括一記憶體介面66被配置以與一個以上的記憶體裝置58來回轉送資料。該記憶體緩衝器能偵測其是否為一通道上的最後一個代理人並因之選擇性地使任何再驅動特徵失效。該記憶體緩衝器可例如在對來自記憶體控制器之命令反應下能操作成其好像為
10 通道上的最後一個代理人，就算其不是亦然。如此處被使用般地，代理人係指與該通道成介面之任一記憶體控制器(亦被稱為主機)、模組、緩衝器等。

第5圖之模組與記憶體緩衝器不限於用於在記憶體介面與再驅動電路間轉送之任何特定的配置或單向連結之任何特定的配置。若第5圖之模組將在如第3圖顯示之記憶體系統被使用，則再驅動電路60可被指定為一向外再驅動電路且被配置以在包括連結54A與54B之連結的向外連結上
15 接收與再驅動信號，及再驅動電路62可被指定為一向內再驅動電路且被配置以在包括連結56A與56B之連結的向內連結上接收與再驅動信號。在此例中，該記憶體介面可被配置使得資料由向外再驅動電路60至記憶體裝置及由記憶體裝置至向內再驅動電路62被轉送。
20

各種機械配置可被用以施作第4圖與第5圖之記憶體模組與/或憶體緩衝器。例如，記憶體裝置58、再驅動電路60

與62、及憶體緩衝器64全部可被實現為安裝在分離電路板或共同電路板上之分離的積體電路。該等元件之各種組合可在共同的積體電路上一一起被組配，或其可全部在單一積體電路上被組配。該等電路板(若有的話)能被插入一母板之

5 插座上、與該母板整體地配置、或以任何其他方式被配置。若該等元件例如被製作為多晶片模組之一部分，其可能沒有電路板。依據此專利之發明性原理的憶體緩衝器可被用以使非記憶體裝置之介面裝置與通道成介面。例如，依據此專利之發明性原理之記憶體緩衝器可被用以使I/O控制

10 器或橋段與通道成介面。

依據此專利之發明性原理的額外實施例以參照「向內」、「向外」、路徑、連結、再驅動電路等被描述，以促進了解該裝置如何在如第3圖顯示之實施例的記憶體系統中被運用。然而這些裝置不限於內容分配連結之任何特定配

15 置、在連結與其他電路間用於轉送資料所顯示之任何特定配置、所顯示之任何施作細節。

第6圖顯示依據此專利之發明性原理記憶體系統、記憶體模組與憶體緩衝器之額外實施例。參照第6圖，一個以上的記憶體模組52以印刷電路板為基礎，沿著一邊緣之兩側

20 具有接觸指以創立一雙入線路記憶體模組(DIMM)，其可被插入固定系統其他元件之另一電路板的連接器。現存的尺寸外型(form factor)可就該模組被採用，例如DIMM尺寸外型被用於Double Data Rate II(DDR2)動態隨機存取(DRAM)記憶體。

該等模組用記憶體裝置58(例如為DDR2 DRAM之商品型式的DRAM)被繁殖。在每一模組上之記憶體緩衝器64將記憶體裝置由一通道隔絕，其形成與被稱為主機之記憶體控制器50之介面。該通道以包括向外連結54之向外路徑與
5 包括向內連結56之向內路徑的點對點配置被配線。此連結可用平行內容分配位元通道使用低電壓差別信號被施作。

在第6圖之實施例中，無額外的信號線路用於如命令、重置、與預置之類的功能。反而是，這些功能係以在通道上被發送之資料直接編碼。然而，或者任何數目之額外信
10 號線路被用以施作這類功能。

一基準時鐘信號REF CLK被再驅動合成器76可能透過一再驅動緩衝器78被分配至主機與模組。此促進準非同步再驅動計畫，其中局部被產生之再驅動信號被用以將到來的資料抽樣及再驅動。由於一共同的基準時鐘在每一代理
15 人為可用的，資料信號可不需任何頻率追蹤地被計時鐘。或者，一區域時鐘信號可與任何基準時鐘獨立地被產生。另一替選做法為，如來源同步選通脈衝之同步時鐘計畫可被使用。

在一可能的實施例中，主機可能以封包或訊框(此處的用詞可互換)藉由發送資料來啟動資料轉送至向外路徑之
20 最裏面的模組。該最裏面的模組接收並再驅動該資料至向外路徑上之下一個模組。每一模組接收並再驅動該向外資料至其到達最外面之模組為止。雖然該最外面之模組可能企圖再驅動資料至「不存在」的向外連結，每一模組能偵

測(或被指示)其為最外面之模組並使任何再驅動電路失效以降低不必要的電力消耗與雜訊等。在此實施例中，在主機方向(即向內)的資料轉送被該最外面之模組起動。每一模組沿著該向內路徑接收及再驅動向內資料至其到達主機為止。

任何適當的通訊協定可在實體通道上被使用。例如，該主機可被指定以啟動所有的向內與向外資料轉送及將之排程。或者，任一代理人可被允許以起動資料轉送。資料訊框可被組配以承載命令、讀取資料、狀態資訊、錯誤資訊、預置資料、閒置型態等，或其任何組合。通訊協定可被施作，使得當主機沿著向外路徑發送命令訊框至一目標模組時，該目標模組藉由沿著向內路徑發送一反應訊框而反應。在此實施例中，該目標模組不在向外路徑上再驅動命令訊框。

在替選實施例中，該目標模組接收命令訊框，然後在向外路徑上再驅動該命令訊框。當最外面之模組接收該命令訊框時，其啟動一反應訊框(可能只是一閒置訊框)。該目標模組等候至反應訊框到達其接收器為止。然後該目標模組將其反應合併至向內資料流內，藉由的為用該目標模組之真實反應訊框取代被最外面之模組發送的反應訊框。

第7圖顯示依據此專利之發明性原理記憶體緩衝器的另一實施例。第7圖之記憶體緩衝器包括一向外再驅動電路60以在包括連結54A與54B之一向外路徑上接收並再驅動信號，及一向內再驅動電路62以在包括連結56A與56B之一

向內路徑上接收並再驅動信號。一記憶體介面66可能透過一記憶體匯流排68使該緩衝器與一個以上的記憶體裝置成介面。該記憶體介面可包括如FIFO緩衝器之讀取與/或寫入緩衝器。來自向內路徑之資料被耦合於記憶體介面，此可能透過一解除偏斜電路70，其在向內路徑若具有一個以上的位元通道時消除資料之位元的偏斜。一型態產生器72可被使用，以在如緩衝器若發生為在一通道上之最外面的代理人時產生狀態型態以傳輸至向內路徑內。一多工器74選擇性地耦合來自記憶體介面或型態產生器至資料至向內再

5

10 驅動電路。

該記憶體介面不受限於任何特定配置，其可與標準記憶體裝置相容，特別是如DDR2 DRAM之商品記憶體裝置。該整個記憶體緩衝器可在單一積體電路上被整合、其可被整合至一個以上的記憶體裝置內，其構成元件可被整合於

15 分離的元件上、或任何其他機械配置可被運用。第7圖顯示之實施例僅為釋例性的，且其實施例依據此專利之發明性原理為可能的。例如，第7圖之實施例以由向外再驅動電路至記憶體介面及由記憶體介面至向內再驅動電路流動之內容分配資料被顯示。然而，此資料流可為雙向的，且其他

20 的配置被企畫。就算第7圖之實施例將在其中記憶體介面之資料僅須如第7圖顯示地流動的通道系統中被使用，其仍可用具有完全雙向的資料存取之再驅動電路被實現，原因在於例如其可促進內建自我測試功能(BIST)之施作，在此情形中用於由向內路徑解除偏斜資料之第二解除偏斜電路可

為有助益的。

第8圖顯示依據此專利之發明性原理的再驅動電路之一實施例。第8圖之電路包括一個以上的輸入/輸出(I/O)胞元74，其每一個接收可再驅動為一輸出資料信號TX之一輸入資料信號RX。或者，一I/O胞元可取代或併入一讀取資料信號RDX至輸出資料信號內。一寫入資料信號WDX可在其被再驅動為輸出資料信號之前或之後由輸出資料信號被取得。

在任一上面信號名稱中之“X”表示其為數個類似信號中之一，視再驅動電路中之I/O胞元個數而定。例如，具有9個位元通道之再驅動電路將具有9個I/O胞元，以輸出資料信號被定名為R0，R1，...，R8。在僅有單一I/O胞元之再驅動電路中，該輸出資料信號被定名為R0或僅為R。RX之項被用以在屬性上指任一或全部輸出資料信號。

「寫入資料」為了方便被使用，以表示由運行通過I/O胞元之資料流被取得的任一資料。然而，此不意味該寫入資料必須被導向記憶體介面或記憶體裝置。類似地，「讀取資料」係指被輸入I/O胞元之任一資料，但讀取資料可來自任何源頭，而不只是記憶體裝置或記憶體介面。

再次參照第8圖，時鐘產生器80在回應於一基準時鐘信號REF CLK下產生數個相位時鐘信號PCX與一傳輸時鐘信號TC。該時鐘產生器包括一鎖相迴路(PLL)82，其產生時鐘TC作為數個基準時鐘信號REF CLK，及一相位時鐘產生器84。在一可能的實施例中有4個相位時鐘信號PC0，PC1，

PC2與PC3相隔90度且由傳輸時鐘TC被導出。每一I/O胞元可使用一個以上的TC與PCX時鐘信號以抽樣與/或再驅動資料信號、與/或產生額外區域時鐘信號。在此實施例中，相位時鐘與傳輸時鐘信號就其不回應於任一輸入信號RX之相位被調整之意義下為穩定的信號。

第9圖顯示依據此專利之發明性原理的I/O胞元之一實施例。一接收器86被配置以在回應於一抽樣時鐘信號SC下接收一資料信號RX並將之再驅動為資料信號TX。該抽樣時鐘信號藉由對能回應於資料信號RX調整抽樣時鐘信號之時鐘產生器88抽樣。一寫入資料信號WDX可由接收器86之輸入或輸出被取得。若如第9圖顯示地由接收器之輸出被取得，該抽樣時鐘信號SC可被用以作為或再驅動一選通脈衝信號用於該寫入資料。對抽樣時鐘產生器之輸入可由非第9圖顯示之接收器的輸入之點被取得。例如，其也可由該接收器之輸出被取得。

第10圖顯示依據此專利之發明性原理的I/O胞元之另一實施例。在第10圖之實施例中，抽樣時鐘信號88用一內插器90與一接收器追蹤單元(RTU)92被施作。該內插器藉由在回應於來自接收器追蹤單元之追蹤信號下於數個相位時鐘信號PCX(在此情形中為90度相位外之四個信號)內插來產生抽樣時鐘信號。該接收器追蹤單元觀察資料信號RX並調整追蹤信號，使得該抽樣時鐘信號致使該接收器在適當時間將資料信號抽樣及再驅動。因而，該抽樣時鐘信號可動態地追蹤該資料信號。

在一可能實施例中，該接收器追蹤單元藉由過度抽樣該資料信號及調整該時鐘信號觀察資料信號RX中之轉移，以在該資料眼之中心(即在資料信號中轉移間之中間點)將該資料信號抽樣及再驅動。該抽樣時鐘信號可包括一迴圈濾波器，其測量數個位元胞元，且最終可決定其應調整該抽樣時鐘信號之相位以捕取更靠近該資料眼位置之中心的資料。到抽樣時鐘產生器之輸入可由非如第10圖顯示之接收器的輸入被取得。例如，其也可由該接收器之輸出被取得。

10 依據此專利之發明性原理的I/O胞元之一實施例可用訓練I/O胞元以動態追蹤資料信號計畫被使用。例如，若第10圖之I/O胞元被使用做為第3圖顯示的記憶體模組之一，該主機可定期地發送訓練訊框至向外路徑上。這些訓練訊框具有之邊緣密度為適於確保該接收器單元在資料信號觀察足夠的轉移而能調整該時鐘信號。類似地，第3圖中之最

15 外面的模組可定期地發送訓練訊框至向內路徑上。

第11圖顯示依據此專利之發明性原理的I/O胞元之另一實施例。第11圖之實施例類似於第9圖者，但一緩衝器94被添加於資料信號路徑上。緩衝器94可為一抖動避免或漂移補償緩衝器，其補償電壓與溫度所引發之效應。該緩衝器使資料信號TX與一傳輸時鐘信號TC再同步化。該傳輸時鐘信號就其相位不以該時鐘信號SC之方式對該資料信號回應下被調整之意義下為穩定的。

20

在第11圖之實施例中，該緩衝器能在通過模式或在回

應於一模式信號下再驅動模式之一中操作。在通過模式中，該信號以未被抽樣及被再驅動。此促成I/O胞元在不同的再驅動模式操作。在一可能實施例中，若該模式信號被聲明，該緩衝器於通過模式操作。此被稱為再抽樣模式，

5 且因資料信號被用以將資料抽樣之同一時鐘被再驅動可形成較短的延遲。若該模式信號未被聲明，該緩衝器於再驅動模式操作，使得資料被再同步化為該傳輸時鐘。此被稱為再同步化模式且可形成較長的延遲，但可減少抖動。I/O胞元可被設計於具有輸入用於接收模式信號之記憶體緩衝器

10 或模組內。若該記憶體緩衝器或模組在其中有較短的信號路徑至下一個代理人之系統被使用，該輸入可被聲明(或不聲明，依極性而定)以致使I/O胞元於再抽樣模式中操作，原因為在短信號路徑上可容忍的抖動較多。另一方面，若該記憶體緩衝器或模組在其中有較長的信號路徑至下一個代理人之系統被使用，該輸入可被解除聲明以致使I/O胞元於再

15 同步化模式中操作，原因為此減少抖動，縱然其可能的代價為延遲較長。或者，被登記之一旗標可在記憶體緩衝器或模組上、或在再驅動電路內、或在I/O胞元本身內被使用以控制該模式信號。

20 第12圖顯示依據此專利之發明性原理的I/O胞元之另一實施例。在第12圖顯示之實施例中，被接收及被傳輸之資料信號RX及TX為差別信號且被顯示為橫越其上該I/O胞元可被製作之一積體電路模上。接收器86包括一時鐘單元96與一截止單元98。抽樣單元在回應於對來自抽樣時鐘產

生器之相位時鐘信號反應的內插器90所產生之抽樣時鐘信號SC下將到來的資料信號抽樣。該截止單元提供差別的截止並將差別的資料信號變換為單尾的信號。抖動避免或漂移補償緩衝器94在回應於抽樣時鐘信號SC或穩定的傳輸時鐘信號TC之一下為資料做為時鐘。多工器100選擇性地耦合來自緩衝器94或串化器102之一的資料信號至傳輸門104。讀取資料信號RDX[0...n]在串化器102之I/O胞元被接收。另一多工器可被配置於緩衝器94與傳輸門104間，以一輸入被連接至該緩衝器及另一輸入被連接至內插器之輸出。

10 當I/O胞元需要將資料併入資料流時，多工器選擇其被耦合至串化器之輸入使得該傳輸門在回應於該傳輸時鐘信號TC下做為出自I/O胞元之讀取資料的時鐘。否則，多工器選擇來自緩衝器之資料信號，然後其被傳輸門再驅動。該傳輸資料信號在下一個內容分配連結上被驅動前被傳輸器

15 106變回一差別信號。寫入資料由傳輸門之輸出被取得、在一解除串化器108被收集、然後被路由至一解除偏斜電路、位元通道失效接管機構或其他電路。該解除串化器亦可提供一位元線路時鐘信號BLC，其可由該抽樣時鐘信號被導出以表示寫入資料WDX[0...n]何時為有效的。

20 此專利之一些發明性原理係有關由再驅動路徑分離地解除信號偏斜。一再驅動路徑被一個以上的元件定義，被接收及被再驅動之一信號藉此而傳播。例如，在第9與10圖之實施例中，該再驅動路徑包括接收器86。在第11圖之實施例中，再驅動路徑包括接收器86與緩衝器94。在第12圖

之實施例中，再驅動路徑包括抽樣單元96、截止單元98、緩衝器94、多工器100、傳輸門104與傳輸器106。

依據此專利之發明性原理，一解除偏斜電路可被整合於一再驅動電路內，使得該解除偏斜電路之各別位元通道被包括於該等再驅動路徑內。因而，位元通道上之位元通道在其沿著一路徑被再驅動時於每一再驅動電路中被解除偏斜。或者，然而依據此專利之發明性原理之一解除偏斜電路可由該等再驅動路徑被分離。例如，在第7圖之實施例中，一解除偏斜電路不僅被顯示在再驅動電路60中由該等再驅動路徑被分離，但亦由整個再驅動電路被分離。或者，依據此專利之發明性原理的一解除偏斜電路可被整合於再驅動電路內，但仍由該等再驅動路徑被分離。例如，在第12圖之實施例中，一個以上的解除偏斜門可位於串化器102之輸出與/或解除串化器108之輸入。

用於如上述地由再驅動路徑分離地解除偏斜信號之方法與裝置的實施例僅為釋例性地且不限於這些特定的例子。此外，有關依據此專利分離地由再驅動路徑解除偏斜信號之原理與本專利其他發明性原理為獨立的。例如，就如第9-12圖顯示之再驅動電路的實施例不限於在具有分離向外與向內路徑中使用，所以有關依據此專利由再驅動路徑分離地解除偏斜信號之原理也可以運用如使用RamLink之環式配置連結架構的內容分配連結之其他型式的記憶體架構被使用。

此專利之一些發明性原理係有關於處理故障的位元通

道。例如，介於第3，4，5，6或7圖之實施例所顯示的任何代理人間之內容分配連結可具有一個以上的位元通道。依據此專利之發明性原理一個以上的信號可在位元通道上再被導引以避免壞的位元通道。如記憶體控制器(主機)、模

5 組、緩衝器等之任一代理人能在數個位元通道上再導引一個以上的信號。一信號可在一連結之一或二端被再導引。任一代理人能自動地或以另一代理人之助偵測故障的位元通道，且任一代理人可回應於來自另一代理人之命令而再導引信號。

10 第13圖顯示依據此專利之發明性原理的失效接管電路之一實施例。第13圖之失效接管110與再驅動電路112之一實施例僅就說明的目的被顯示，但本發明性的原理不限於使用任何特定的再驅動電路，且失效接管電路也不受限於第13圖之特定細節。再驅動電路112包括數個位元通道被配

15 置以在內容分配連結上接收及再驅動信號。每一位元通道被實施成一I/O胞元114，具有一接收器116與一傳輸器118。

一失效接管電路係指能與數個位元通道來回再導引一個以上的信號之電路。在第13圖之實施例中，該失效接管電路被施作成具有一個以上的多工切換器120之多工器。每

20 一切換器具有一第一輸入被耦合至一位元通道及一第二輸入被耦合至相鄰的位元通道，使得其可由其中之一位元通道再導引信號至其輸出。第13圖顯示之實施例具有6個切換器以服務6個位元通道，但任何數目之切換器與位元通道可被使用，且該等切換器可以非所顯示之鄰近位元通道的組

配之各種組配被配置。

在正常的操作模式之際，每一切換器導引信號如第14圖顯示地由其第一輸入至其輸出，使得寫入資料信號WD0，WD1，WD2，WD3，WD4與WD5分別被導引至輸出OUT0，OUT1，OUT2，OUT3，OUT4與OUT5。在此實施例中，例如對應於WD5之位元通道可被用以對其他位元通道之資料的錯誤檢查。

若壞的位元通道被偵測，多工器可在失效接管模式操作，其中一個以上的切換器被操縱以將壞的位元通道照映出來。例如，若與WD3相關之位元通道未適當地作業，該等多工器切換器可如第15圖顯示地分別再導引寫入資料信號WD4與WD5至輸出OUT3與OUT4。在此模式中，價值為一位元通道之信號容量會損失。若該等位元通道之一已被指定為錯誤檢查，原本欲用於壞位元通道之信號可在該錯誤檢查上被再路由，且該錯誤檢查功能會失效。

失效接管電路之輸出可被耦合至一記憶體介面、一記憶體裝置或其他電路。在第13圖之實施例中，失效接管電路被顯示與再驅動電路分離，但其可被整合於再驅動電路內。依據此專利之發明性原理的失效接管電路可如顯示地用簡單的多工器被實現，但如完整交叉條之切換器亦為可能的。

第13圖顯示之失效接管電路實施例被配置以耦合來自位元通道之寫入資料至其輸出。或者，依據此專利之發明性原理的失效接管電路實施例可被配置以在相反方向轉送

資料，在此情形中輸出OUTX會變成接收讀取資料之輸入、該等多工切換器可被稱為解多工切換器、及每一I/O胞元可在接收器與傳輸器間具有一多工器以將來自失效接管電路之讀取資料併入該位元通道。因而，多工器稱為多工器與

5 解多工器。作為另一替選的是，依據此專利之發明性原理的失效接管電路實施例可就位元通道與記憶體裝置、記憶體介面或其他介面間之雙向資料流被配置。

具有位元通道失效接管能力之記憶體緩衝器、記憶體模組、記憶體控制器(主機)或其他代理人依據此專利之發明

10 性原理亦可具有各種能力用於偵測故障的位元通道、再導引信號與照映出壞位元通道之類。例如，具有第13圖顯示之失效接管電路實施例的代理人可被設計，使其能如藉由觀察另一代理人所發送的測試資料型態及再導引信號以照映出故障的位元通道而偵測故障的位元通道。或者，該代

15 理人可被設計使得其可在回應於如在一記憶體通道上指示一個以上的代理人之記憶體控制器的另一代理人之命令下照映出故障的位元線路。或者，該代理人可具有此二種能力。

第16圖顯示依據此專利之發明性原理的具有位元通道

20 失效接管能力之記憶體緩衝器的一實施例。第16圖之實施例類似於第7圖者，但亦包括一失效接管電路122被耦合於解除偏斜電路70與記憶體介面66。替選的實施例為可能的。例如，失效接管電路可被配置於再驅動電路60與解除偏斜電路間，或其可被整合於再驅動電路內。第16圖之實

施例亦包括另一失效接管電路124，其被顯示耦合於多工器74與再驅動電路62間，但其可被整合於再驅動電路內或以其他方式被配置。第16圖之記憶體緩衝器可替選地被實施為一記憶體模組，在此情形中，該記憶體介面被一記憶體裝置取代。

第17圖顯示依據此專利之發明性原理具有位元通道失效接管能力的記憶體控制器之一實施例。第17圖之控制器包括向外與向內內容分配連結介面126與128，具有數個位元通道，其在此實施例中分別包括數個傳輸器與數個接收器。失效接管電路130與132分別被耦合於介面126與128中之位元通道。在第17圖之實施例中，該等失效接管電路被顯示成與連結介面分離，但其可替選地與該等介面整合。該控制器能偵測故障的位元通道，在此情形中，該等失效接管電路可照映出故障的位元通道。額外或替選地，該控制器能發出一命令以指導一代理人照映出故障的位元通道。

現在依據此專利之發明性原理的額外失效接管方法與裝置將在完整的記憶體通道系統釋例性實施例之文意下被描述，其包括依據此專利之發明性原理的記憶體控制器(主機)、記憶體模組與記憶體緩衝器之額外實施例。然而，該等元件無一受限於此釋例性系統或其中所描述之任何細節。

該釋例性系統包括一主機實施例，具有參照第17圖所描述之失效接管能力與具有參照第16圖所描述之具有失效

接管能力的緩衝器之一個以上的記憶體模組實施例。在此
5 例中，該等主機與模組被配置成一通道組配，具有如第7圖
顯示之向外與向內路徑，雖然該系統可僅包括一模組。

在此例中，該等主機與模組用被習知為“SMBus”之系
5 統管理匯流排加以相互連接，其為被用以在一系統中管理
文件之串列匯流排系統。然而，SMBus之使用對此專利發
明性原理為非必要的，且元件間之其他形式的通訊可被使
用，包括其本身的記憶體通道路徑。

依據此專利之發明性原理用於在該釋例性系統中偵測
10 及照映出故障位元通道的方法實施例如下列般地進行。該
主機在向外路徑之每一位元通道上傳輸一測試型態。該測
試型態被每一模組之緩衝器沿著向外路徑加以接收及再驅
動至其到達最外面的模組為止。然後該最外面的模組在向
內路徑之每一位元通道上傳輸一測試型態。該測試型態被
15 每一模組之緩衝器沿著向內路徑加以接收及再驅動至其到
達該主機為止。該等模組上之主機與緩衝器觀察在向內與/
或向外路徑之每一位元通道上的測試型態以就適當的位元
通道作業加以檢查。在向內與向外路徑中之位元通道可同
時被測試。

20 故障的位元通道藉由透過SMBus發送結果至主機與/
或藉由在該通道上傳輸一結果訊框至主機而被報告。此一
結果訊框可在向內路徑被該最外面的模組加以起動且與其
他模組(若有的話)可將其結果資訊併入向內路徑之資料
內。若來自每一模組之結果在一個以上的位元通道被冗餘

地傳輸，故障的位元通道不可能干擾結果之報告。

一旦該主機接收該等結果，其可透過SMBus在該通道上，或透過其他形式之通訊發出一組配命令。該組配命令指示該等模組有那些位元通道(若有的話)為壞的且應被照
5 映出來。該等模組藉由操縱一個以上的失效接管電路以再導引壞的位元通道(若有的話)周圍之信號並再組配任何內部功能以容納位元通道的損失而回應於該組配命令。例如，若一位元通道被指定用於錯誤檢查資料，該緩衝器或
10 模組可使錯誤檢查功能失效。

10 上面描述的失效接管方法與裝置實施例僅為釋例性的，且此專利的發明性原理不限於這些特定的例子。依據此專利的失效接管方法與裝置之原理已參照如第3圖實施例之具有分離的向內與向外路徑之記憶體系統被描述，但該等原理亦可被應用於運用單向連結之記憶體架構，例如
15 運用RamLink之環式配置連結的架構。

此專利的一些發明性原理係有關於排列狀態型態。在如參照第1與3圖所描述之其中記憶體讀取與寫入資料在記憶體代理人間被轉送的記憶體系統中，發送如閒置型態、警告型態與記憶體代理人間之其他狀態資訊為有用的。此
20 可藉由發送資料型態與狀態型態於相同連結或連接記憶體代理人之連結上而被完成。依據此專利之發明性原理，該等狀態型態可隨著時間被排列。

例如，參照第3圖，記憶體控制器50可發送具有如一讀取命令之資料型態的訊框至一個以上的模組52，其藉由發

送具有如一讀取命令之資料型態的回到控制器而反應。例如，若該模組無法足夠快速地由記憶體裝置58擷取讀取資料，一個以上的模組發送具有閒置型態之訊框回到記憶體控制器為有用的。一預設的資料型態可被指定為閒置型態，使得該記憶體控制器若接收該閒置型態，其知道其非正在接收讀取資料。然而，若該實際讀取資料恰巧符合所指定的通訊資料，此會造成問題。

依據此專利之發明性原理，該記憶體控制器與一個以上的模組均能以可預設的方式排列該通訊資料，使得該通訊資料隨時間改變。例如，該記憶體控制器與該等模組可在每次一閒置訊框被發送與/或接收時依據一預設的順序改變其通訊資料。依據此專利之發明性原理的方法之一實施例在第18圖被顯示。因而，若該控制器發送一讀取命令訊框(158)且接收一反應訊框(160)，具有目前的通訊資料(162)，其可再發送相同的讀取命令(164)。若該第二反應訊框(166)含有與第一個相同的型態(168)，其將該型態解譯為實際的讀取資料(170)。然而，若該第二反應訊框中之型態與被排列的通訊資料相符(168)，該記憶體控制器知道該第一反應訊框為一閒置訊框(172)。

依據此專利之發明性原理，在狀態型態中被發送之狀態資訊可為通訊資料、警告型態與其他狀態資訊如來自一模組之命令錯誤資訊、來自一模組之熱過度負荷資訊、以及表示一模組已偵測到另一模組在記憶體通道之向外路徑上出現的資訊。狀態型態的一些型式可被施作為輔助型

態。例如，一警告型態(其可被用以通知一錯誤狀況給代理人)可被施作為一通訊資料的邏輯上之輔助。此可利用如允許記憶體代理人為閒置與警告型態使用相同的型態產生器而簡化施作。輔助狀態型態之使用可為有益的，就算排列

5 型態未被使用亦然。

依據此專利之發明性原理的記憶體代理人亦能有意地產生如在狀態型態中之循環冗餘檢查(CRC)錯誤。此技術在作為由狀態型態分辨資料型態之替選或補充辦法為有用的。例如，在某些記憶體系統中，每一訊框係與被用以檢

10 查該訊框之資料整體性的CRC碼一起被發送。

依據此專利之發明性原理，一記憶體代理人可有意地發送具有包含一狀態型態之訊框的錯誤CRC碼。然後該接收的代理人可解譯該訊框為狀態訊框而非資料訊框。一些記憶體系統可運用具有額外位元通道之路徑來承載CRC資

15 料。若此系統能在失效接管模式作業，代理人若非在失效接管模式作業便可僅運用一有意的CRC錯誤。如此處所使用者，CRC乙詞不僅指循環冗餘檢查，亦指被用以驗證訊框或型態之整體性的其他型式之錯誤檢查方式。

雖然依據此專利之發明性原理的狀態型態排列與處理

20 原理可應用至任何型式之記憶體代理人且與此專利的其他發明性原理獨立的，一些額外的層面將針對如第7圖顯示之實施例的記憶體緩衝器及在如第6圖顯示之實施例的系統之文意下被描述。參照第6圖，若記憶體緩衝器64為記憶體通道之最外面的代理人，其不論何時其在未發送該主機由

附加於記憶體介面68之任一記憶體裝置被要求的資料時均能在向內連結56B上傳輸排列通訊資料。

第19圖顯示依據此專利之發明性原理的排列型態產生器之一實施例。第19圖之實施例為一12位元之具有 $x^{12} + x^7 + x^4 + x^3 + 1$ 多項式的線性回饋進位暫存器(LFSR)。其起始狀態可被設定為000000000001且在該型態被重複前有經由 $2^{12} - 1$ 個狀態(4095個訊框)之LFSR週期。LFSR之每一位元可被映象至在一資料路徑上之一連結的一位元通道，且每一位元可就整個訊框之際在對應的位元通道發生之所有轉送被使用。例如，在具有每一連結中12位元通道之資料路徑的系統中，由LFSR每一階段之輸出可被映象至該等位元通道之一。例如為第13位元通道之額外通道可利用來自以一訊框被延遲之LFSR的最小有效位元之值被容納。

第20圖顯示被第19圖之排列型態產生器之第一狀態型態。在此例中，一訊框為12次轉送之長度。第21-22圖分別顯示第二、第三與第四狀態型態。藉由在整個訊框之際使用每一位元通道上的同一值，電磁干擾(EMI或雜訊)可被降低。

此處所顯示之13位元通道乘12位元轉送的訊框僅為舉例，且依據此專利之發明性原理不限於這些細節，也不限於上面描述之排列型態產生器的特定實施例。例如，依據此專利之發明性原理的排列型態產生器不須以如上述LFSR之專用邏輯電路被施作。替選地，其可用可程式邏輯被施作，或作為一處理器或其他可程式狀態機器的法則，

其可被用以監督與/或施作在記憶體介面之邏輯或一緩衝器或運用排列狀態型態的其他記憶體代理人之其他功能。

某些依據此專利之發明性原理係有關於運用一個以上的位元通道來偵測一記憶體代理人在記憶體連結之出現。

5 例如，在第7圖顯示之記憶體緩衝器實施例中，該緩衝器能偵測是否有另一記憶體代理人被耦合於向外連結54B。此可藉由運用該連結之單一位元通道測試另一記憶體代理人之出現而被完成。然而，在該連結若有一個以上的位元通道，一個以上的位元通道可被用以依據此專利之發明性原理來
10 偵測另一記憶體代理人之出現。此可防止壞位元通道之存在而免於干擾出現偵測之作業。

為了方便起見，依據此專利之發明性原理之有關運用一個以上的位元通道以偵測一記憶體代理人之出現將各別地及集體地被稱為冗餘出現偵測。冗餘出現偵測可被施用
15 至具有數個位元通道之連結介面的任何型式之記憶體代理人。例如，第13圖顯示之實施例的任何二個以上的傳輸器118可被視為一連結介面，在此情形為一傳輸連結介面。類似地，第13圖顯示之實施例的任何二個以上的接收器116可被視為一連結介面，在此情形為一接收連結介面。冗餘出
20 現偵測可被施用至這些連結介面以及第17圖顯示之實施例的連結介面126與128之一。

回到第7圖之實施例再次作為例子，記憶體緩衝器可在其向內傳輸連結56B上驅動三個位元通道至一預設的出現偵測邏輯位準(例如為1)，以在如重置發生之出現偵測事件

中對另一緩衝器發信號表示其出現。同樣在一出現偵測事件之際，在一通道上來自第一緩衝器位於向內之此第二記憶體緩衝器可在其向內接收連結56A上組配對應的三個位元通道以偵測第一緩衝器之出現。在此例中，該第一記憶體緩衝器將被稱為外層代理人，而該第二記憶體緩衝器將被稱為內層代理人。

用於組配一位元通道以偵測另一代理人出現之一技術例子為使此位元通道之接收器嘗試在該位元通道置以一偏壓電流而迫使該位元通道為該出現偵測邏輯位準之反相。另一記憶體代理人在一出現偵測事件之際被耦合至該位元通道，此位元通道上之其傳輸器將迫使該位元通道為該出現偵測邏輯位準。

若該內層代理人在三個位元通道的二個偵測到該出現偵測邏輯位準，其知道該外層代理人已出現，且使其全部或部分外層埠留為有源的(在此例中，該外層埠包括向外連結54B用之連結介面與向內連結56A用之連結介面)。若該內層代理人在三個位元通道的至少二個偵測失敗，其可決定該外層代理人未出現，且使其全部或部分外層埠留為失效的。該內層代理人能向例如為一記憶體控制器之另一代理人報告一外層代理人之出現或未出現而對一狀態檢查命令反應。

依據此專利之發明性原理的冗餘出現偵測不限於上面討論的特定實施例。例如，僅有二個位元通道可取代上面例子之三個位元通道地被用以出現偵測，在此情形中，內

層代理人僅須偵測單一位元通道上之出現偵測邏輯位準以得到外層代理人出現之結論。類似地，冗餘出現偵測可被應用於運用其他型式之記憶體架構的系統與元件，例如運用RamLink之結環式配置的架構。

5 一些額外的依據此專利之發明性原理係有關於主機插入與/或由一記憶體通道移除元件，此即在記憶體通道正在作業之時添加與/或移除元件。第24圖顯示依據此專利之發明性原理的記憶體代理人134之一實施例。第24圖之實施例可為一記憶體模組、記憶體緩衝器與記憶體控制器等。該

10 代理人包括一第一埠136與一第二埠138。若僅為說明之目的該代理人被假設為如第6圖之實施例中的模組52之一的記憶體模組，該第一埠可被指定作為一內層埠，原因在於其被配置以與位於較靠近記憶體控制器之記憶體通道的其他代理人通訊。類似地，該第二埠可被指定作為一外層埠，

15 原因在於其被配置以與位於較遠離記憶體控制器之記憶體通道的其他代理人通訊。這些指定僅為說明之目的，且該等說明性之原理不限於該記憶體代理人的這些細節，也不限於第6圖顯示之特定記憶體通道。這些原理亦可應用如第1圖顯示之RamLink架構的其他記憶體通道架構。

20 依據此專利之發明性原理之記憶體代理人的每一埠具有一個以上的連結介面。在第24圖之實施例中，每一埠均具有一接收連結介面與一傳輸連結介面。該內層埠136具有一接收連結介面140，其可為再驅動電路60之一部分的一個以上的接收器。該外層埠分別具有接收與傳輸連結介面144

與146，其分別亦為再驅動電路62與60之一部分。連結介面140與146可分別被耦合於向外連結54A與54B。及連結介面142與144可分別被耦合於向內連結56A與56B。每一連結介面可具有一個以上的位元通道，且該等位元通道與介面可
5 被稱為使用此名詞的任何組合。例如，介面142中之位元通道可被稱為向內傳輸或向內Tx位元通道。介面144中之位元通道可被稱為向內接收或向內Rx位元通道。

第24圖之實施例僅為釋例性的，且記憶體代理人與埠可以不同的方式被實施。此在第17圖顯示之記憶體控制器
10 實施例中被說明，其中一埠可包括不為再驅動電路之部分的連結介面126與128。該等連結介面可包括只有一個或任何數目之位元通道，且一埠可僅具有一接收連結介面或一傳輸介面。

依據此專利之發明性原理之一記憶體代理人能偵測在
15 其埠之一的另一記憶體代理人之出現，且其能依另一記憶體代理人之出現或未出現而定地採取各種行動。例如，第24圖之記憶體代理人在另外的記憶體代理人若未於該埠出現時使所有或部分的埠失效。其可向另一代理人報告一外層代理人之出現或未出現，例如透過其內層埠向一記憶體
20 控制器報告。第24圖之記憶體代理人能實施一出現偵測作業，其可包括在該外層埠向一潛在的外層代理人發信號表示出現偵測事件。其亦能實施快速的重置作業。

依據此專利之發明性原理之促進熱添加/移除將在記憶體系統實施例之文意被描述。該實施例將參照第24圖之

記憶體代理人以第6圖之記憶體系統的文意被描述。在此實施例中，其將被假設第24圖之記憶體代理人被用以實施第6圖之一個以上的緩衝器，其再為具有記憶體裝置之模組的一部分。然而所有這些細節僅用於解釋之目的，且該等發明性的原理不限於這些細節。

在該系統例中，記憶體代理人能執行快速重置作業、全重置作業、與/或各種詢訊或出現偵測作業。在該系統例中可能須最小數目之時鐘轉移以維持在每一位元通道上所導出之時鐘被鎖定至該資料流。因而，記憶體控制器(或主機)可藉由在預設的期間發送在向外模組之一個以上的位元通道的0與1之連續流來啟動重置作業。由於資料在路徑上被每一緩衝器再驅動，所有的緩衝器接收該重置命令或事件。在該系統例中，三個最小有效位元(LSB)通道可被用以針對重置作業發信號。接收之代理人可藉由感應該等3個LSB之任二個的0或1資料流而偵測該重置事件。此可確保一故障位元通道之位元通道不會干擾重置作業，但甚至不需超過一個位元通道之發明性原理不限於此種施作。

在該系統例中，該主機可無限地發送在一第一重置狀態的保持通道上所有代理人(在此例中為具有緩衝器之模組)之0的連續流，例如在該主機被外部狀況保持於重置之時。然後該主機可就一第一時間量(如二訊框期間)發送1之資料流，然後回到為0以對其他代理人發信號以執行快速重置作業。或者，然後該主機可就一第二時間量(如超過訊框期間)發送1之資料流，然後回到為0以對其他代理人發信號

以執行全重置作業。全重置可包括各種內部校估作業，如連結上之阻抗媒配、在任一接收器或再驅動電路之電流源校估與接收器偏置消除之類。在校估作業實施後，該主機便可對緩衝器發信號以轉移為快速重置作業。

- 5 快速重置作業可在如校估作業的全重置之際繞過被實施之某些作業。快速重置作業可由出現偵測作業開始。在出現偵測作業之際，通道上之每一緩衝器可在三個LSB產生器Rx位元通道若非被連接於外層代理人時於其上置以電流以迫使其位元為0。同樣在出現偵測作業之際，每一緩衝器可驅動三個LSB產生器Rx位元通道為1。然後每一緩衝器可檢查其三個LSB向內Rx，且若其在三個通道的二個偵測到1，其可使其外層埠留為有源的並因之更新一狀態暫存器。若緩衝器未偵測到二個1，其可假設沒有外層代理人、使其全部或部分外層埠失效、將其本身組配以在通道上之
- 10
- 15 最外面的代理人實施功能、與/或因之更新一狀態暫存器。一主機可遵從類似的出現偵測作業以決定任一代理人是否在通道上。該等緩衝器可在回應於來自主機之狀態要求下轉播該狀態資訊至狀態訊框中之主機。

- 20 在出現偵測作業後，在系統例中之緩衝器可在快速重置之際透過各種其他作業轉移，如時鐘訓練狀態以訓練緩衝器上之區域時鐘而鎖定於資料流上、訊框訓練狀態以在通道上被發送之訊框對齊、位元通道測試以檢查所有位元通道之作業且在其若有此能力時將緩衝器置於失效接管模式等。同樣地，一旦該主機知道有多少其他代理人被連

接至通道時，其可調整訊框之大小、時機等以容納所有的代理人。

在該系統例中，記憶體代理人亦(或替選地)能實施各種詢訊作業以偵測在通道上新近被添加之代理人的出現。例如，每一緩衝器能對其外層埠實施詢訊作業是否為其為最外面的緩衝器以決定新的代理人是否已被添加至該通道。第25圖顯示依據此專利之發明性原理詢訊作業之一實施例。

在148，該代理人可使全部或部分外層埠失效。若該代理人為一緩衝器或模組，其可等候來自主機之命令以轉移至在150之熱重置。若該代理人為一主機，其可使其全部或部分外層埠失效並等候來自系統環境之喚醒命令。在接收該喚醒命令之際，其可使其全部或部分外層埠失效變為有可能的並轉移為重置狀態。

在150，該代理人可使其外層埠為有源的並驅動0至三個LSB向外Tx位元通道上而發送一重置至其外層埠之潛在的新代理人。然後該代理人轉移至在152之熱校估作業。

在152，該代理人可驅動1至三個LSB向外Tx位元通道以迫使潛在的新代理人通過全重置(包括校估作業)，原因為新近被偵測之代理人預先被假設需要校估。然後該代理人可轉移至在154之熱偵測作業。

在154，該代理人可驅動0至三個LSB向外Tx位元通道並對三個LSB向內Rx置以偏壓電流而迫使未被連接至外層代理人者之位元為0。然後該代理人可檢查該等三個LSB向

內Rx位元通道，且若其偵測到至少二個1，其可在155決定外層代理人出現並轉移至在156之熱代理人出現作業。否則該代理人可在155決定外層代理人未出現並轉移回到在148之睡眠作業。

- 5 在156，該代理人可更新一狀態暫存器以表示其已偵測到一外層代理人，然後例如在回應於一狀態要求下轉播此資訊至該主機，或採取一些其他行動以轉播此資訊至該主機或其他代理人。該代理人亦可等候接收一通道重置。

- 該主機可透過周期性狀態要求或其他技術而變得注意
- 10 新近被偵測之代理人及啟動快速重置以用在通道上且在通道時機被容納的新代理人來再預置整個通道。

- 下列為依據此專利之發明性原理的熱添加/移除順序的一些額外實施例。這些額外實施例亦參照第6圖顯示之記憶體系統實施例以較大系統之文意被描述，如具有運用第6
- 15 圖之記憶體系統的使用者介面與系統韌體之伺服器。然而，這些額外實施例所顯示的發明性原理不限於此處所描述之特定細節。

- 依據此專利之發明性原理的熱添加順序可在使用者附掛新代理人至記憶體通道上(例如在最外面的代理人之外
- 20 層埠上)時開始。使用者可通知該系統韌體說一代理人已被附掛。然後該韌體可致使電力被施用至被附掛之代理人，並透過一喚醒命令通知主機說一代理人已被附掛。然後該主機可發送一詢訊命令至先前之最外面的代理人，其便可透過參照第25圖所描述之詢訊作業而循環。在詢訊作業

後，該先前之最外面的代理人可報告新代理人之出現。然後該主機可偵測新代理人之出現並發出一快速重置命令以導致新代理人進入作業及使整個通道重新計時。在新代理人為作業性的後，該主機可岔斷系統韌體以報告該新代理人為作業性的。或者該主機可等候系統韌體以查詢該主機以決定是否該新代理人為作業性的。然後該系統韌體可組配該主機以容納新代理人所呈現之硬體，如若該代理人為記憶體模組或緩衝器所能呈現之新記憶體裝置。

依據此專利之發明性原理的熱移除順序在使用者通知系統說記憶體通道上特定的代理人將被移除時開始。該系統可由一系統地圖移除對應的主機位址範圍。若該系統使用成鏡技術，該系統可再映象該主機位址範圍至代理人鏡。若該主機位址範圍尚未被照鏡，該系統便由此複製或移動資料至其他位置。然後該系統可詢訊至所有顯著的交易完成為止。該系統便可致使該主機發送一命令至恰在要被移除之代理人內側的代理人，此致使該代理人假設其為通道上最外面的代理人，而致使其在後續的快速重置之際使其外層埠失效並採取該最外面的代理人之功能(全重置會廢棄此命令)。然後該系統起動一快速重置而為附加於該被選擇的代理人之元件關閉該被選擇的代理人與任何通道介面。該系統便可鬆開與該被選擇的代理人之連接電力並通知使用者該代理人可被移除。

依據此專利之發明性原理的熱取代順序可在上述的熱移除順序完成後開始。使用可添加新代理人取代被移除

者，然後通知系統韌體新代理人已被添加。運轉中之系統便可為新近被取代的元件準備主機並供應電力至新元件。然後系統韌體可致使該主機發送命令至先前最外面的代理人以讓其知道其應不再假設其為最外面的代理人。此可致

5 使該先前最外面的代理人在回應於下一次重置下使其外層埠賦能並等候一詢訊命令。韌體便可指示該主機發送一詢訊命令至該先前最外面的代理人，其再實施如先前參照第25圖被描述之詢訊作業。該先前最外面的代理人便可報告新外層埠之出現。然後該主機可偵測新代理人之出現並發

10 出一新的重置命令以導致新代理人進入作業及使整個通道重新計時。在新代理人為作業性的後，該主機可岔斷系統韌體以報告該新代理人為作業性的。或者該主機可等候系統韌體以查詢該主機以決定是否該新代理人為作業性的。

此處所描述之實施例可在配置與細節被修改而不致偏

15 離該等發明性的原理。因之，此類變化與修改被視為落在下列申請專利範圍之領域內。

【圖式簡單說明】

第1圖顯示習知技藝之RamLink記憶體系統。

第2圖顯示習知技藝之RamLink介面電路。

20 第3圖顯示依據此專利之發明性原理的記憶體介面系統之一實施例。

第4圖顯示依據此專利之發明性原理的記憶體模組之一實施例。

第5圖顯示依據此專利之發明性原理的記憶體模組之

另一實施例與記憶體緩衝器之一實施例。

第6圖顯示依據此專利之發明性原理的記憶體系統、記憶體模組與記憶體緩衝器之額外實施例。

5 第7圖顯示依據此專利之發明性原理的記憶體緩衝器之另一實施例。

第8圖顯示依據此專利之發明性原理的再驅動電路之一實施例。

第9圖顯示依據此專利之發明性原理的I/O胞元之一實施例。

10 第10圖顯示依據此專利之發明性原理的I/O胞元之另一實施例。

第11圖顯示依據此專利之發明性原理的I/O胞元之另一實施例。

15 第12圖顯示依據此專利之發明性原理的I/O胞元之另一實施例。

第13圖顯示依據此專利之發明性原理的失效接管電路之一實施例。

第14圖顯示依據此專利之發明性原理的在一正常模式操作之一個以上的另一實施例。

20 第15圖顯示依據此專利之發明性原理的在一失效接管模式操作之一個以上的另一實施例。

第16圖顯示依據此專利之發明性原理的具有位元通道失效接管能力之記憶體緩衝器之一實施例。

第17圖顯示依據此專利之發明性原理的具有位元通道

失效接管能力之記憶體控制器的一實施例。

第18圖顯示依據此專利之發明性原理的用於施作排列狀態型態之方法的實施例。

第19圖顯示依據此專利之發明性原理的排列型態產生器之一實施例。

第20至23圖顯示依據此專利之發明性原理的狀態型態之實施例。

第24圖顯示依據此專利之發明性原理的記憶體代理人之一實施例。

第25圖顯示依據此專利之發明性原理的詢訊作業之實施例。

【圖式之主要元件代表符號表】

10…記憶體控制器	56A…單方向連結
12…記憶體模組	56B…單方向連結
14…從介面	58…記憶體裝置
16…單向連結	60…向外再驅動電路
18…控制介面	62…向內再驅動電路
20…記憶體裝置	64…記憶體緩衝器
50…記憶體控制器	66…記憶體介面
52…記憶體模組	68…記憶體匯流排
54…向外連結	70…解除偏斜電路
54A…單方向連結	72…型態產生器
54B…單方向連結	74…多工器
56…向內連結	76…時鐘合成器

78	時鐘緩衝器	114	I/O胞元
80	時鐘產生器	116	接收器
82	鎖相迴路(PLL)	118	傳輸器
84	相位時鐘	120	多工切換器
86	接收器	122	失效接管電路
88	抽樣時鐘產生器	124	失效接管電路
90	內插器	126	單向連結介面
92	接收器追蹤單元(RTU)	128	單向連結介面
94	緩衝器	130	失效接管電路
96	抽樣單元	132	失效接管電路
98	截止單元	134	記憶體代理人
100	多工器	136	第一埠
102	串化器	138	第二埠
104	傳輸門	140	接收連結介面
106	傳輸器	142	傳輸連結介面
108	解除串化器	144	傳輸連結介面
110	失效接管電路	146	傳輸連結介面
112	再驅動電路		

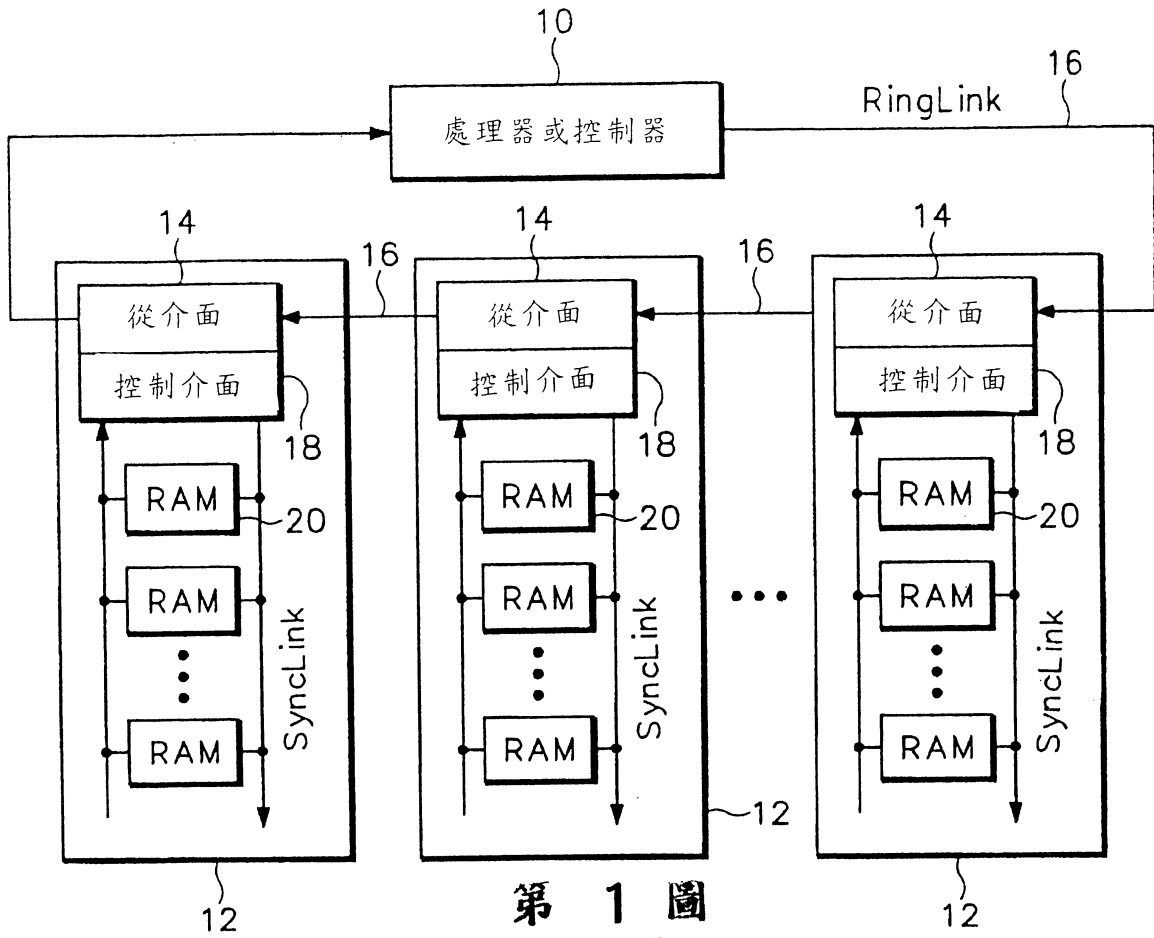
伍、中文發明摘要：

記憶體介面裝置與方法運用單向連結。記憶體裝置之一實施例可包括一第一個再驅動電路以由一第一單向連結接收一第一信號及在一第二單向連結再驅動該第一信號；一第二個再驅動電路以由一第三單向連結接收一第二信號及在一第四單向連結上再驅動該第二信號；以及一記憶體裝置或介面被耦合於該第一個再驅動電路。一方法之一實施例可包括在一第一單向連結上由一記憶體控制器傳輸一第一信號至一記憶體模組；選擇性地在一第二單向連結上再驅動由該第一記憶體模組至一第二記憶體模組之該第一信號；以及在一第三單向連結上傳輸由該第一記憶體模組至該記憶體控制器之一第二信號。

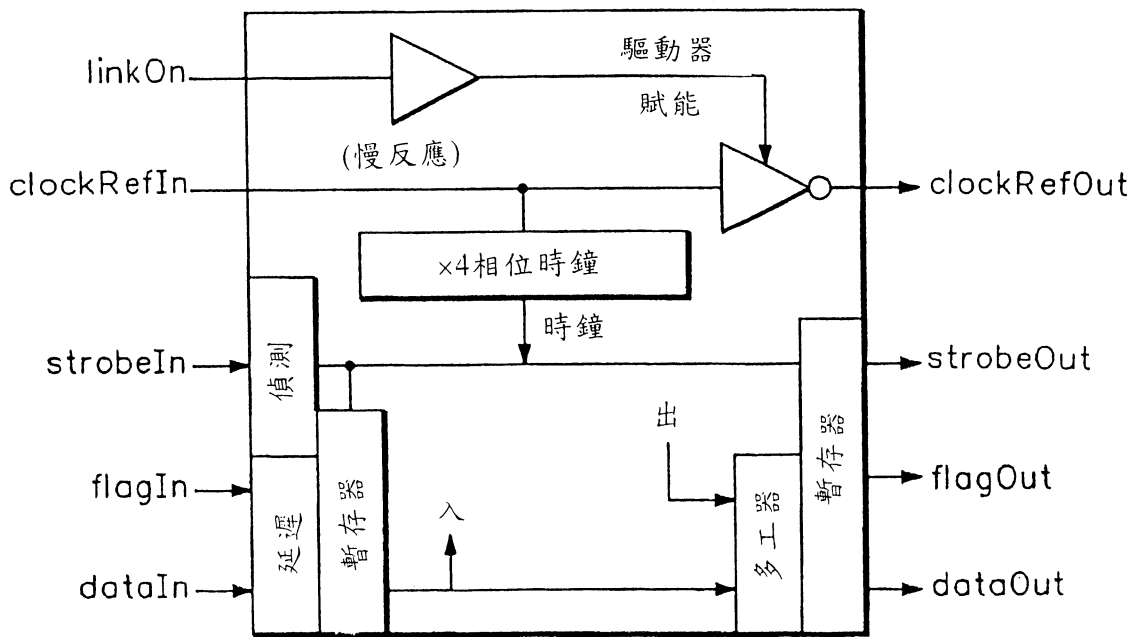
陸、英文發明摘要：

Memory interface apparatus and methods utilize unidirectional links. An embodiment of a memory apparatus may include a first redrive circuit to receive a first signal from a first unidirectional link and redrive the first signal on a second unidirectional link, a second redrive circuit to receive a second signal from a third unidirectional link and redrive the second signal on a fourth unidirectional link, and a memory device or interface coupled to the first redrive circuit. An embodiment of a method may include transmitting a first signal from a memory controller to a memory module over a first unidirectional link, selectively redriving the first signal from the first memory module to a second memory module over a second unidirectional link, and transmitting a second signal from the first memory module to the memory controller over a third unidirectional link.

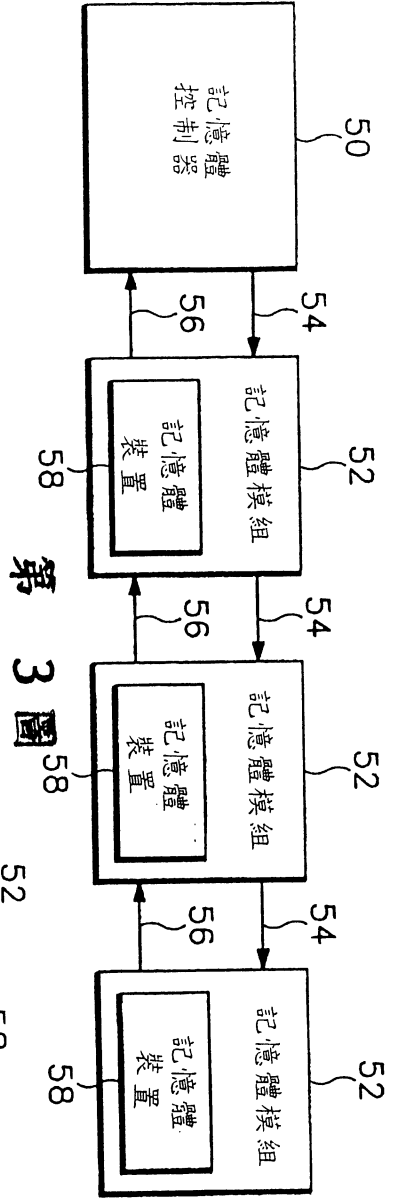
p. 11. 50. 19



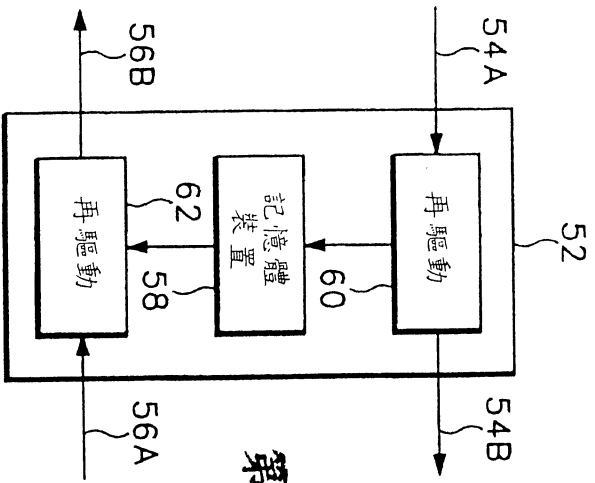
第 1 圖
(習知技藝)



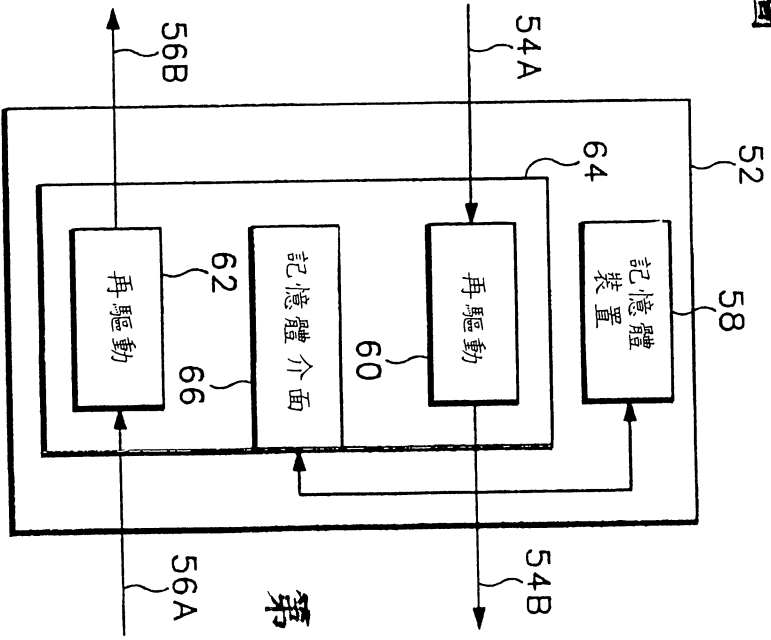
第 2 圖
(習知技藝)



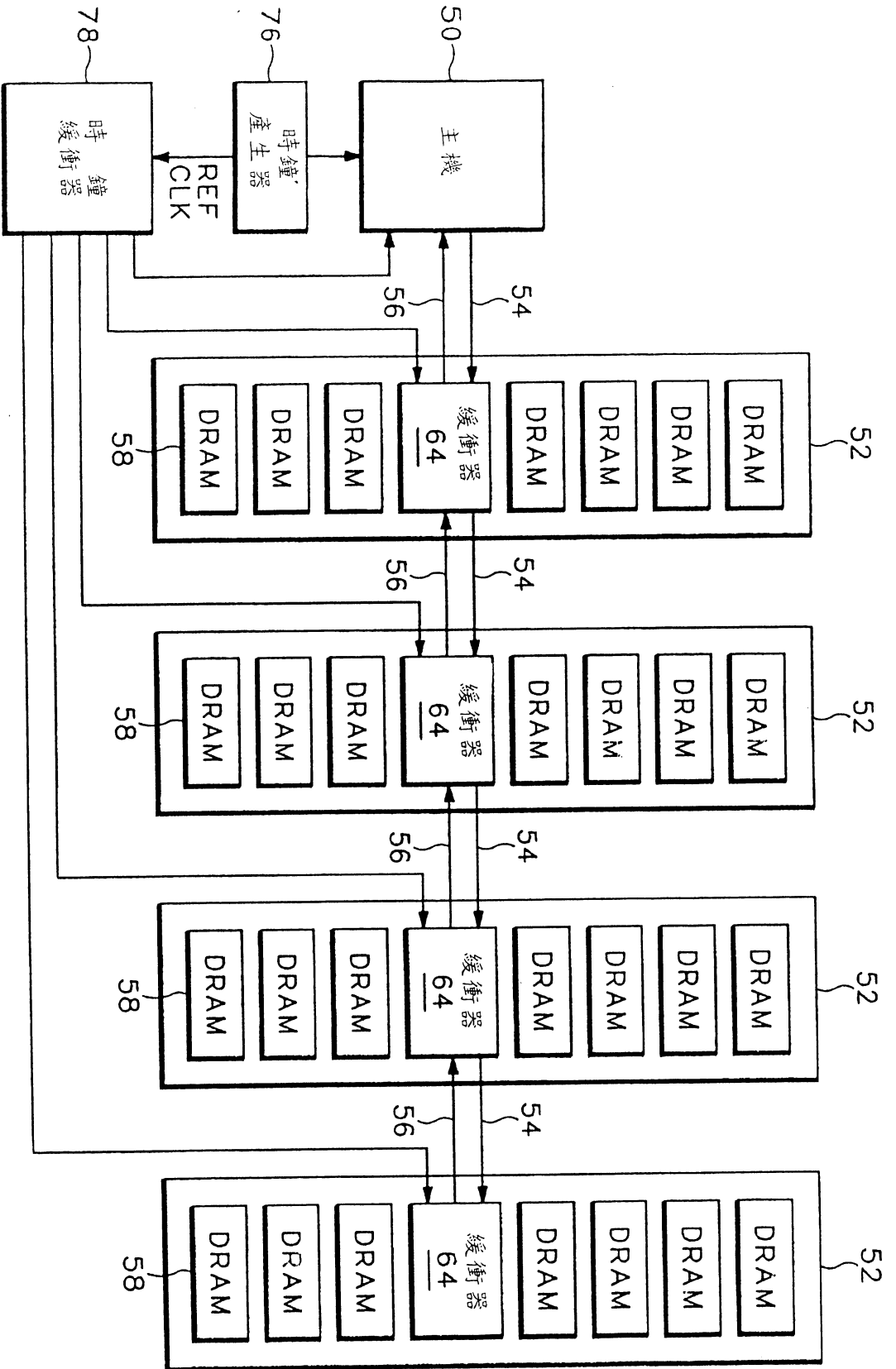
第 3 圖



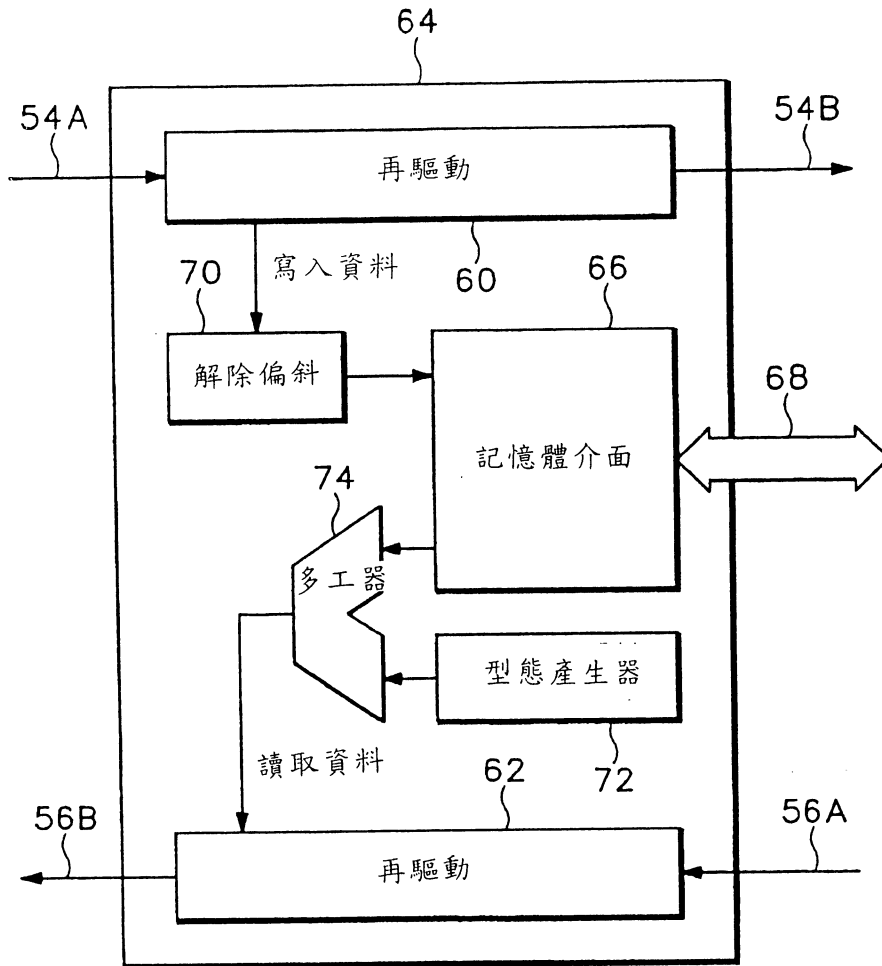
第 4 圖



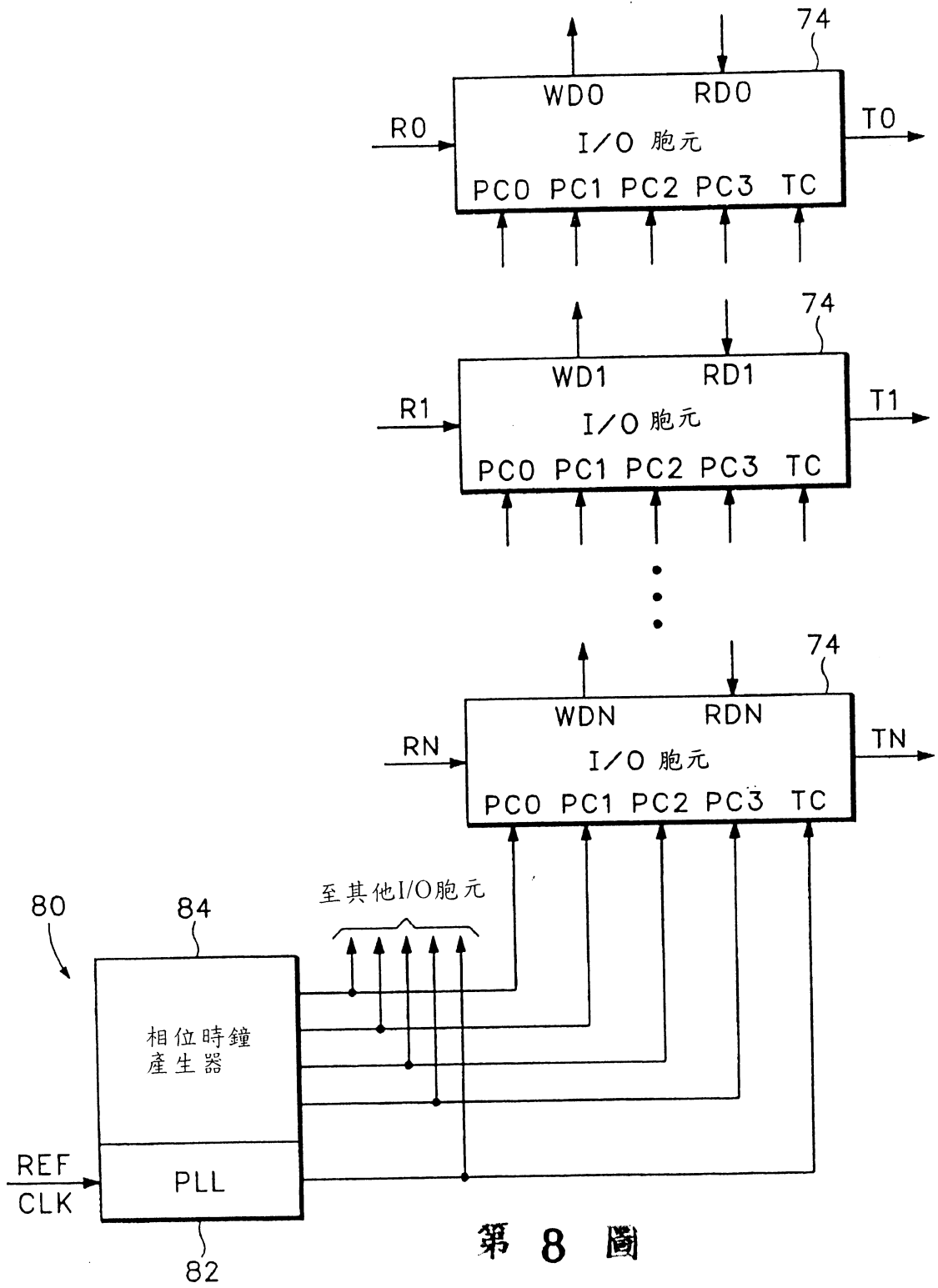
第 5 圖



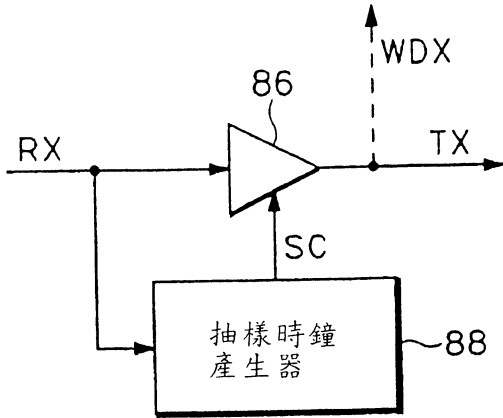
第 6 圖



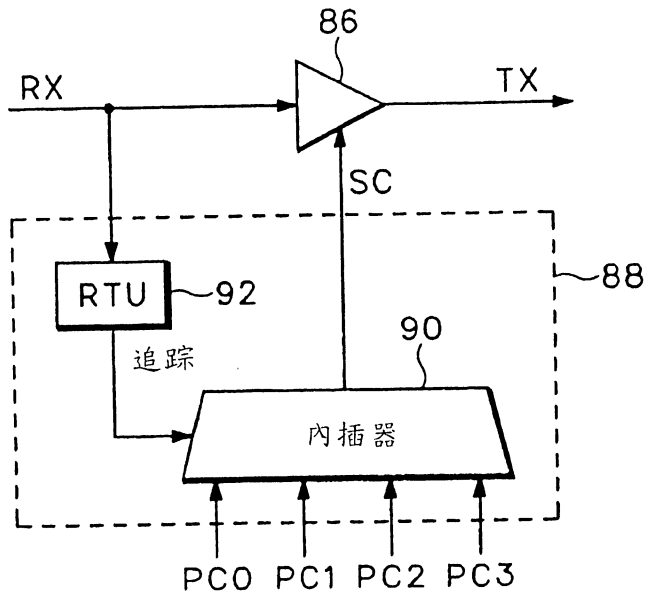
第 7 圖



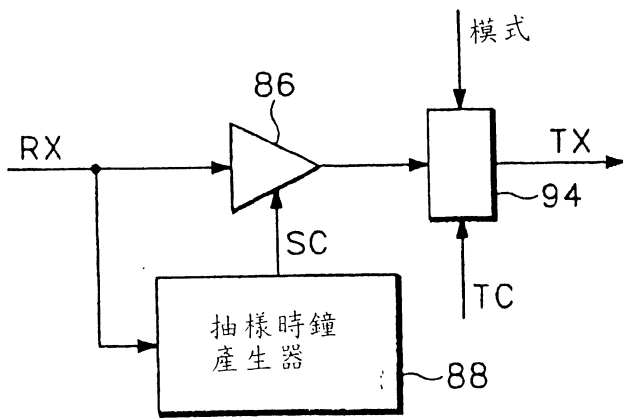
第 8 圖



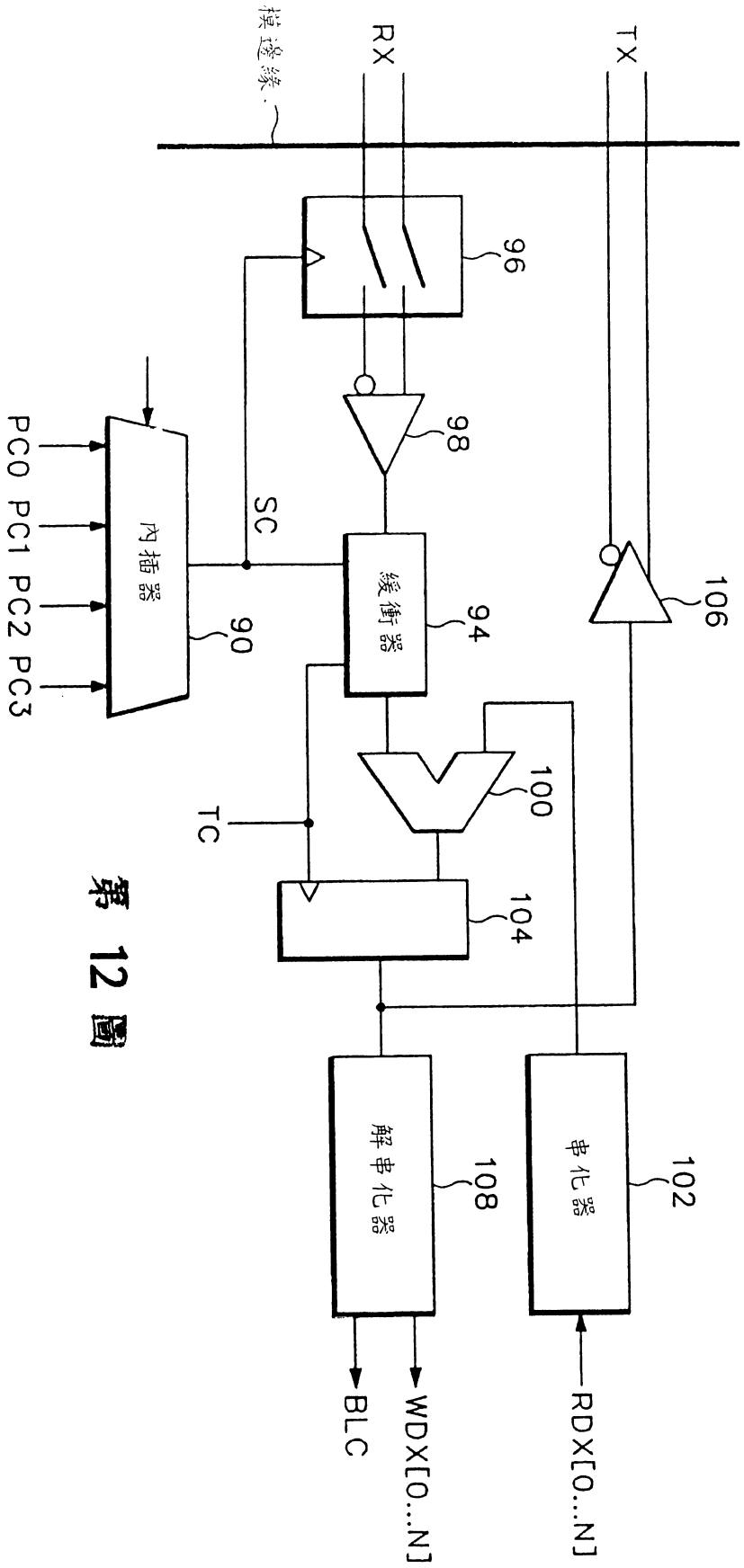
第 9 圖



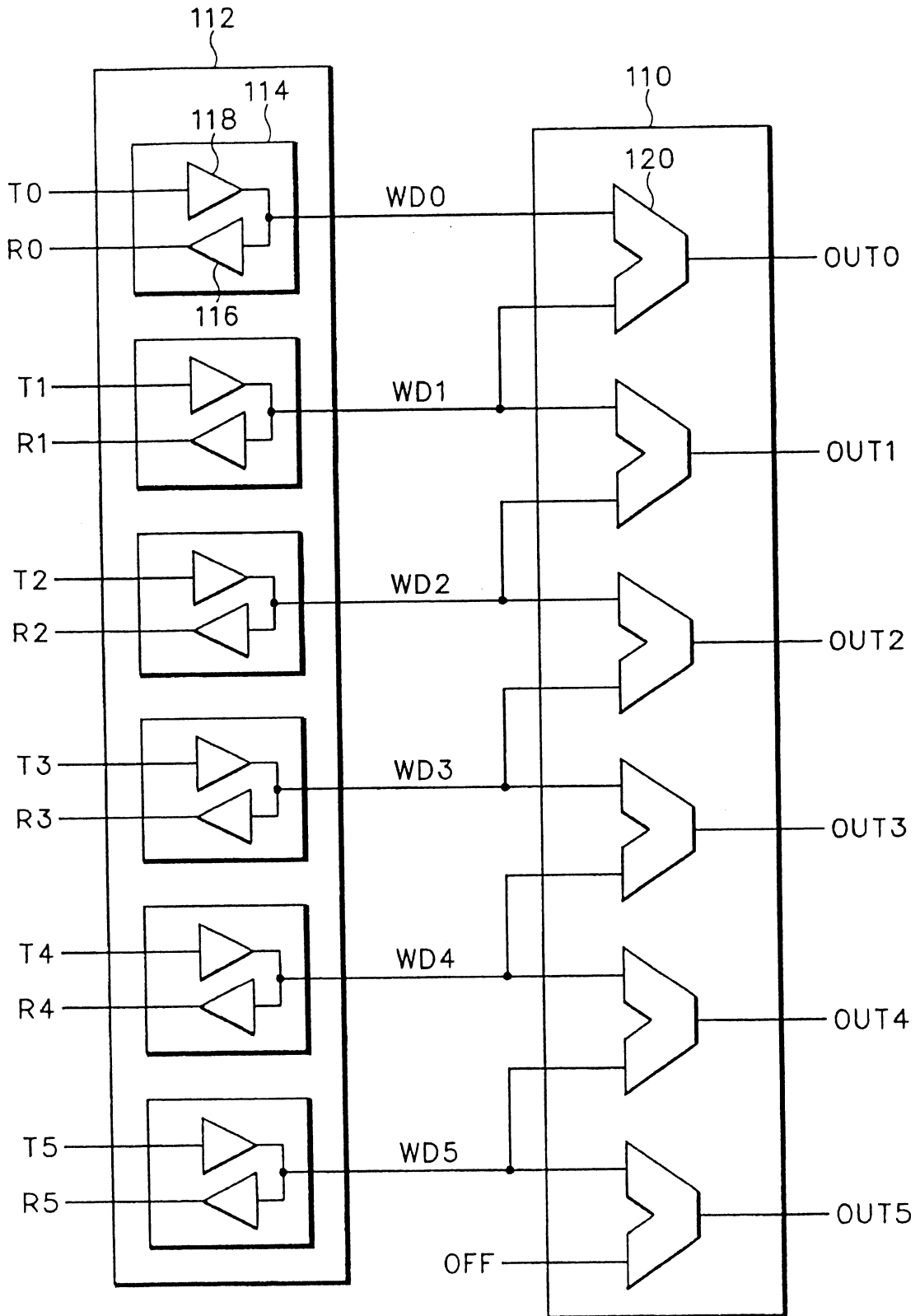
第 10 圖



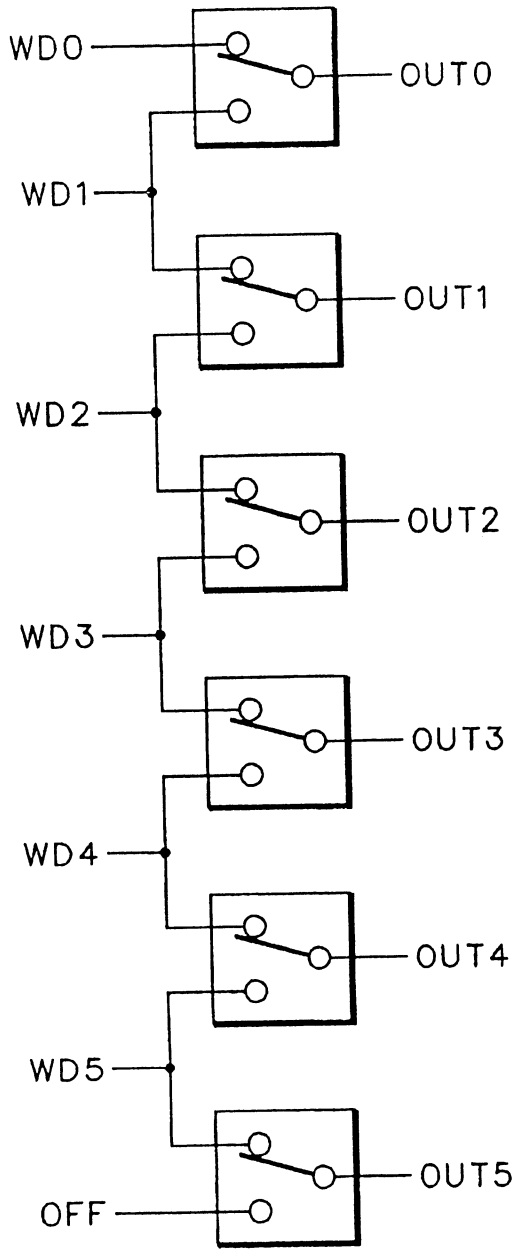
第 11 圖



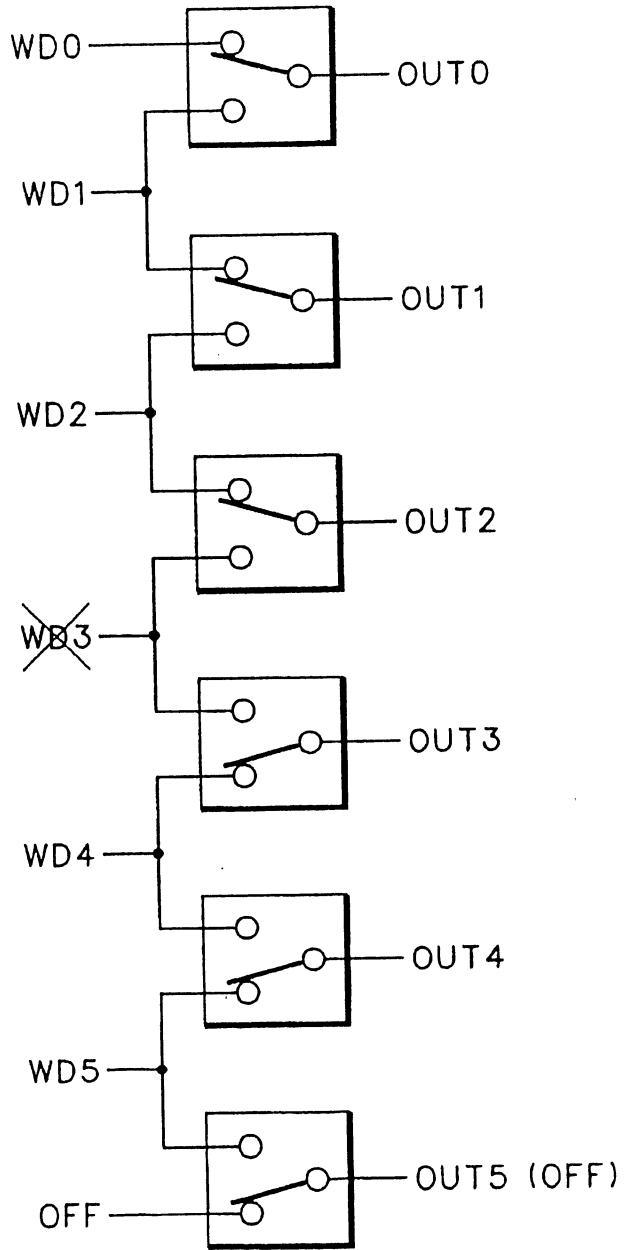
第 12 圖



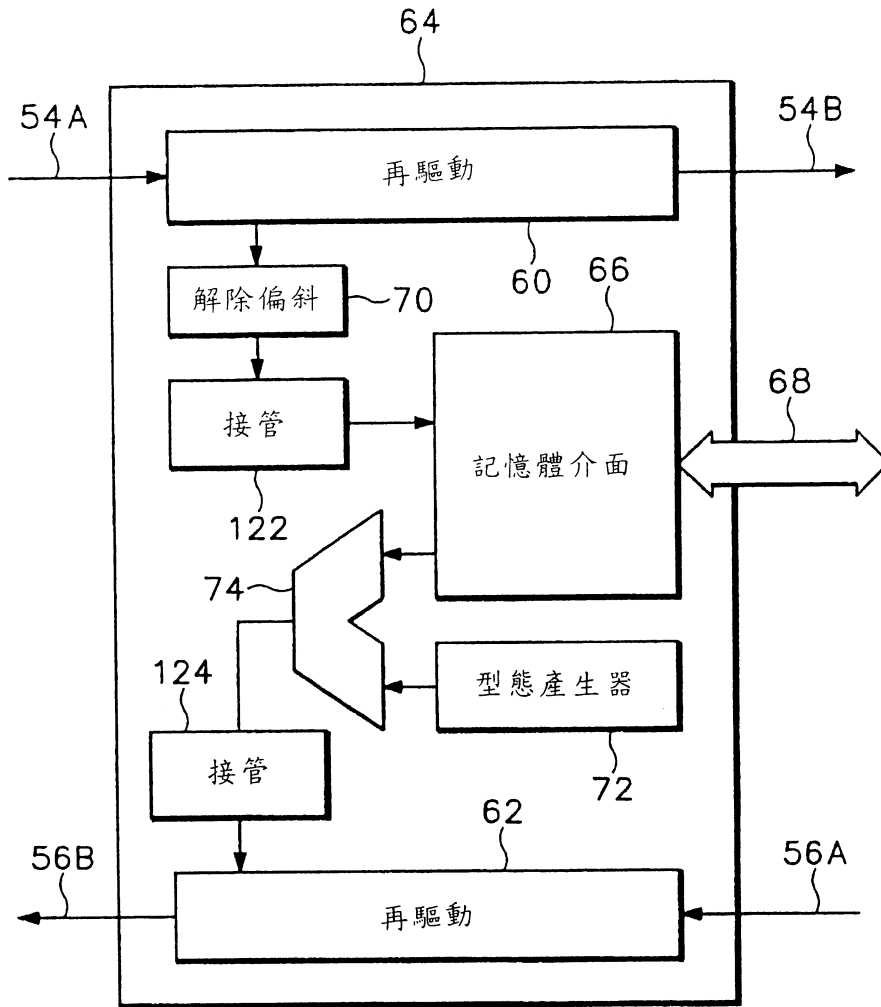
第 13 圖



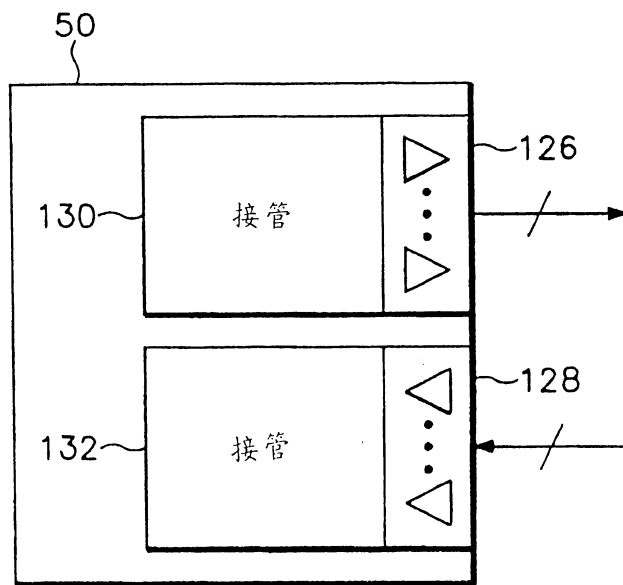
第 14 圖



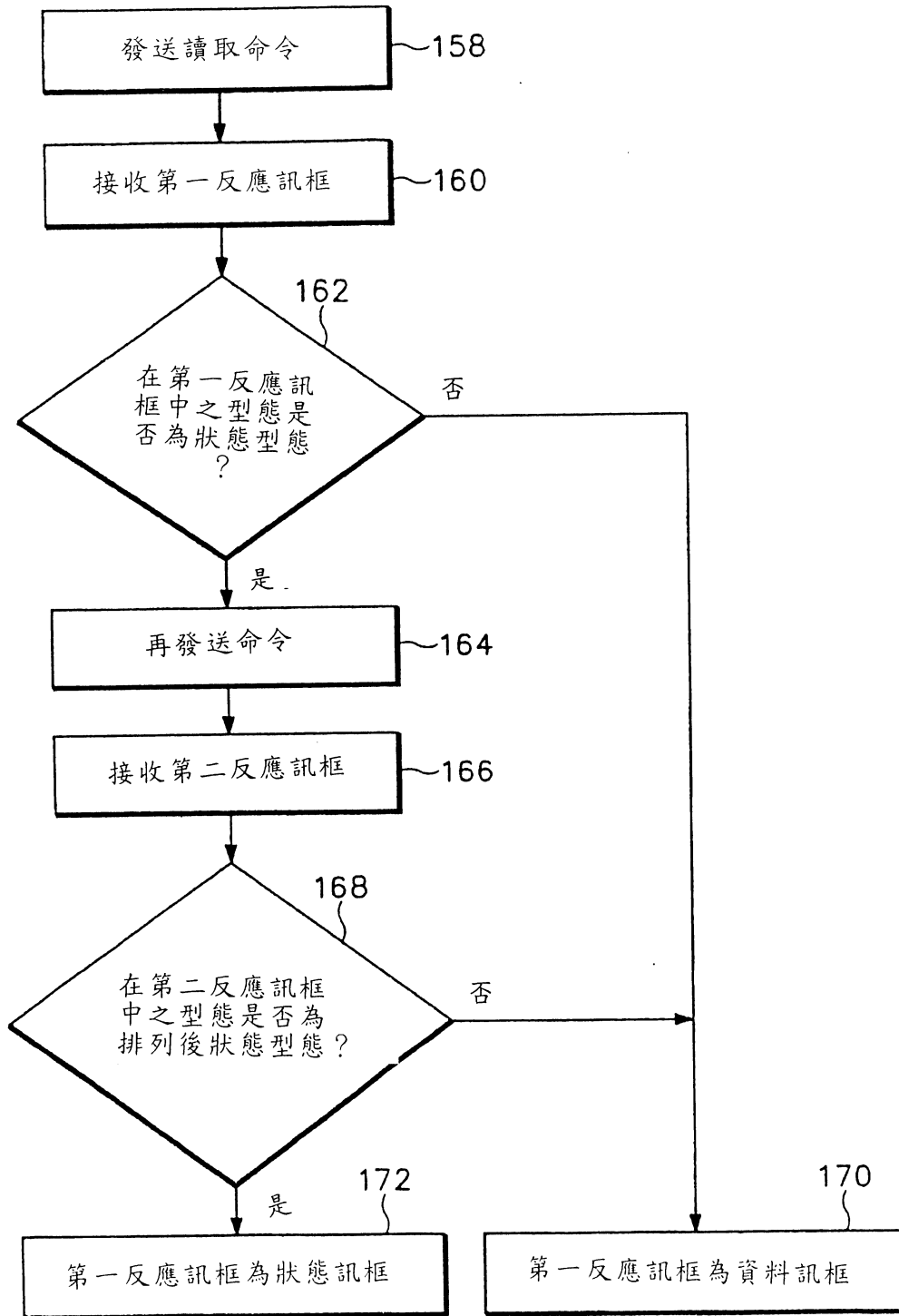
第 15 圖



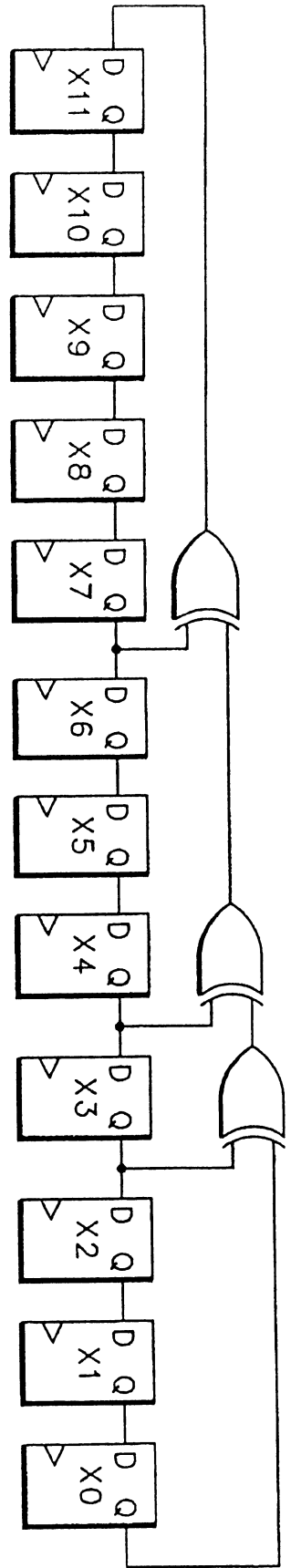
第 16 圖



第 17 圖



第 18 圖



第 19 圖

轉送	位元	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	0	0	0	0	0	0	0	0	0	0	1
2	0	0	0	0	0	0	0	0	0	0	0	0	0	1
3	0	0	0	0	0	0	0	0	0	0	0	0	0	1
4	0	0	0	0	0	0	0	0	0	0	0	0	0	1
5	0	0	0	0	0	0	0	0	0	0	0	0	0	1
6	0	0	0	0	0	0	0	0	0	0	0	0	0	1
7	0	0	0	0	0	0	0	0	0	0	0	0	0	1
8	0	0	0	0	0	0	0	0	0	0	0	0	0	1
9	0	0	0	0	0	0	0	0	0	0	0	0	0	1
10	0	0	0	0	0	0	0	0	0	0	0	0	0	1
11	0	0	0	0	0	0	0	0	0	0	0	0	0	1

第 20 圖

轉送 \ 位元	12	11	10	9	8	7	6	5	4	3	2	1	0
0	1	1	0	0	0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0
2	1	1	0	0	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0	0	0
4	1	1	0	0	0	0	0	0	0	0	0	0	0
5	1	1	0	0	0	0	0	0	0	0	0	0	0
6	1	1	0	0	0	0	0	0	0	0	0	0	0
7	1	1	0	0	0	0	0	0	0	0	0	0	0
8	1	1	0	0	0	0	0	0	0	0	0	0	0
9	1	1	0	0	0	0	0	0	0	0	0	0	0
10	1	1	0	0	0	0	0	0	0	0	0	0	0
11	1	1	0	0	0	0	0	0	0	0	0	0	0

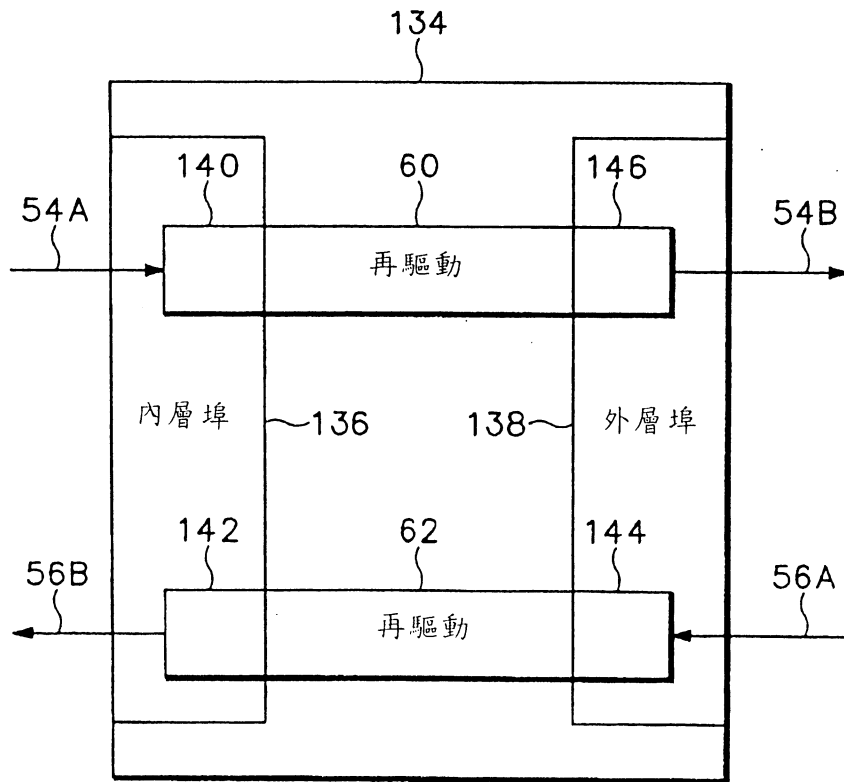
第 21 圖

轉送 \ 位元	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	1	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0	0	0	0	0
2	0	0	1	0	0	0	0	0	0	0	0	0	0
3	0	0	1	0	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0	0	0
5	0	0	1	0	0	0	0	0	0	0	0	0	0
6	0	0	1	0	0	0	0	0	0	0	0	0	0
7	0	0	1	0	0	0	0	0	0	0	0	0	0
8	0	0	1	0	0	0	0	0	0	0	0	0	0
9	0	0	1	0	0	0	0	0	0	0	0	0	0
10	0	0	1	0	0	0	0	0	0	0	0	0	0
11	0	0	1	0	0	0	0	0	0	0	0	0	0

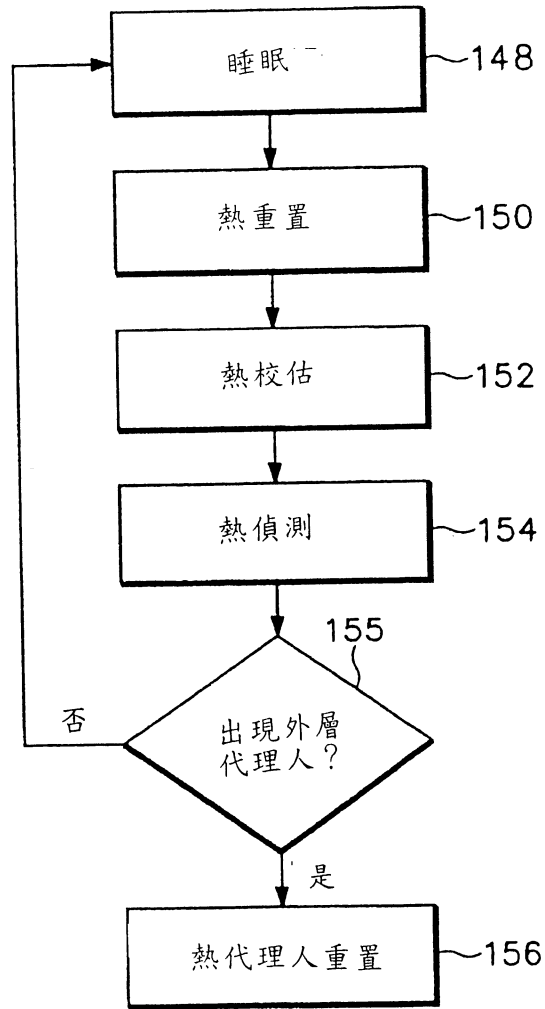
第 22 圖

轉送 \ 位元	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	1	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0	0	0	0
2	0	0	0	1	0	0	0	0	0	0	0	0	0
3	0	0	0	1	0	0	0	0	0	0	0	0	0
4	0	0	0	1	0	0	0	0	0	0	0	0	0
5	0	0	0	1	0	0	0	0	0	0	0	0	0
6	0	0	0	1	0	0	0	0	0	0	0	0	0
7	0	0	0	1	0	0	0	0	0	0	0	0	0
8	0	0	0	1	0	0	0	0	0	0	0	0	0
9	0	0	0	1	0	0	0	0	0	0	0	0	0
10	0	0	0	1	0	0	0	0	0	0	0	0	0
11	0	0	0	1	0	0	0	0	0	0	0	0	0

第 23 圖



第 24 圖



第 25 圖

柒、指定代表圖：

(一)本案指定代表圖為：第(6)圖。

(二)本代表圖之元件代表符號簡單說明：

50…記憶體控制器	66…記憶體介面
52…記憶體模組	68…記憶體匯流排
54…向外連結	70…解除偏斜電路
56…向內連結	72…型態產生器
58…記憶體裝置	74…多工器
60…向外再驅動電路	76…時鐘合成器
62…向內再驅動電路	78…時鐘緩衝器
64…記憶體緩衝器	

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍：

第93115099號申請案申請專利範圍修正本

94.09.21.

1. 一種記憶體緩衝器，包含：

一第一個再驅動電路，用以由一第一單向連結接收
5 一第一信號及在一第二單向連結再驅動該第一信號；

一第二個再驅動電路，用以由一第三單向連結接收
一第二信號及在一第四單向連結上再驅動該第二信號；以
及

一記憶體介面，其被耦合於該第一個再驅動電路。

10 2. 如申請專利範圍第1項所述之記憶體緩衝器，其中該記憶體介面被耦合於該第二個再驅動電路。

3. 如申請專利範圍第2項所述之記憶體緩衝器，進一步包含耦合於該第一個再驅動電路與該記憶體介面間之一解除偏斜電路。

15 4. 如申請專利範圍第2項所述之記憶體緩衝器，進一步包含耦合於該第二個再驅動電路之一型態產生器。

5. 如申請專利範圍第4項所述之記憶體緩衝器，進一步包含一多工器，其具有耦合於該記憶體介面之一第一輸入、耦合於該型態產生器之一第二輸入、及耦合於該第二個再驅動電路之一輸出。
20

6. 如申請專利範圍第2項所述之記憶體緩衝器，其中該緩衝器能選擇性地使該第一個再驅動電路之記憶體作業失效。

7. 一種記憶體模組，包含：

- 一第一個再驅動電路，用以由一第一單向連結接收一第一信號及在一第二單向連結再驅動該第一信號；
- 一第二個再驅動電路，用以由一第三單向連結接收一第二信號及在一第四單向連結上再驅動該第二信號；以及
- 5 一記憶體裝置，其被耦合於該第一個再驅動電路。
8. 如申請專利範圍第7項所述之模組，其中該記憶體裝置被耦合於該第二個再驅動電路。
9. 如申請專利範圍第8項所述之模組，其中該模組能選擇性
- 10 性地使該第一個再驅動電路之記憶體作業失效。
10. 如申請專利範圍第8項所述之模組，進一步包含一電路
- 板，其中該等再驅動電路與該記憶體裝置被安裝於該電
- 路板。
11. 如申請專利範圍第10項所述之模組，其中該電路板包含
- 15 一連接器。
12. 如申請專利範圍第8項所述之模組，進一步包含耦合於該第一個再驅動電路與該記憶體介面間之一解除偏斜電路。
13. 如申請專利範圍第8項所述之模組，進一步包含耦合於
- 20 該第二個再驅動電路之一型態產生器。
14. 一種記憶體系統，包含：
- 一記憶體控制器；
- 一記憶體模組；
- 配置來由該控制器傳輸一信號至該模組之一第一

單向連結；以及

配置來由該模組傳輸一信號至該控制器之一第二單向連結；

其中該模組能由該第一單向連結再驅動一信號至一第三單向連結，以及由一第四單向連結再驅動一信號至該第二單向連結。

5

15. 如申請專利範圍第14項所述之系統，其中該模組為一第一模組，且進一步包含一第二模組用該等第三與第四單向連結被耦合於該第一模組。

10

16. 如申請專利範圍第15項所述之系統，其中該第二模組能由該第三單向連結再驅動該信號至一第五單向連結，及由該第六單向連結再驅動一信號至該第四單向連結。

15

17. 如申請專利範圍第14項所述之系統，其中該模組能選擇性地使由該第一單向連結至該第三單向連結之再驅動作業失效。

18. 如申請專利範圍第14項所述之系統，其中該模組能產生一資料型態以在該第二單向連結上傳輸。

19. 一種記憶體系統，包含：

一記憶體控制器；

20

一記憶體緩衝器；

配置來由該控制器傳輸一信號至該模組之一第一單向連結；以及

配置來由該模組傳輸一信號至該控制器之一第二單向連結；

其中該緩衝器能由該第一單向連結再驅動一信號至一第三單向連結，以及由一第四單向連結再驅動一信號至該第二單向連結。

20. 如申請專利範圍第19項所述之系統，其中該緩衝器為一
5 第一模組，且進一步包含一第二緩衝器用該等第三與第四單向連結被耦合於該第一緩衝器。
21. 如申請專利範圍第20項所述之系統，其中該第二緩衝器能由該第三單向連結再驅動該信號至一第五單向連結，及由該第六單向連結再驅動一信號至該第四單向連結。
10 結。
22. 如申請專利範圍第19項所述之系統，其中該緩衝器能選擇性地使由該第一單向連結至該第三單向連結之再驅動作業失效。
23. 如申請專利範圍第19項所述之系統，其中該緩衝器能產生一資料型態以在該第二單向連結上傳輸。
15
24. 如申請專利範圍第19項所述之系統，其中該緩衝器進一步包含一記憶體介面。
25. 一種用於操作記憶體緩衝器之方法，包含下列步驟：
在一第一單向連結上接收一第一信號；
20 在一第二單向連結上再驅動一第一信號；
在一第三單向連結上接收一第二信號；
在一第四單向連結上再驅動一第二信號；
耦合來自該第一信號之資料至一記憶體介面。
26. 如申請專利範圍第25項所述之方法，進一步包含耦合來

驅動該第一信號失效包含在該記憶體模組若為一通道之最外面的代理人時不將該第一信號再驅動。

36. 如申請專利範圍第32項所述之方法，進一步包含將來自該第一單向連結之信號解除偏斜。

5 37. 如申請專利範圍第32項所述之方法，進一步包含：

產生一資料型態；以及

在回應於該資料型態下產生該第二信號。

38. 如申請專利範圍第32項所述之方法，進一步包含用該第二信號上之資料併入來自該記憶體裝置之資料。

10 39. 一種用於與記憶體控制器通訊之方法，包含下列步驟：

在一第一單向連結上由一記憶體控制器傳輸一第一信號至一記憶體模組；

選擇性地在一第二單向連結上再驅動由該第一記憶體模組至一第二記憶體模組之該第一信號；以及

15 在一第三單向連結上傳輸由該第一記憶體模組至該記憶體控制器之一第二信號。

40. 如申請專利範圍第39項所述之方法，其中傳輸該第二信號包含在該第三單向連結上再驅動來自一第四單向連結之一信號。

20 41. 如申請專利範圍第39項所述之方法，其中傳輸該第二信號包含用來自一記憶體裝置之資料併入來自一第四單向連結之一信號。

42. 如申請專利範圍第39項所述之方法，進一步包含產生一資料型態。

43. 如申請專利範圍第42項所述之方法，其中傳輸該第二信號包含在一第二記憶體模組若未被耦合於該第一記憶體模組時產生回應於該資料型態之該第二信號。

5 44. 如申請專利範圍第39項所述之方法，其中選擇性地再驅動該第一信號包含在一第二記憶體模組若未被耦合於該第一記憶體模組時不將該第一信號再驅動。