

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(10) 국제공개번호

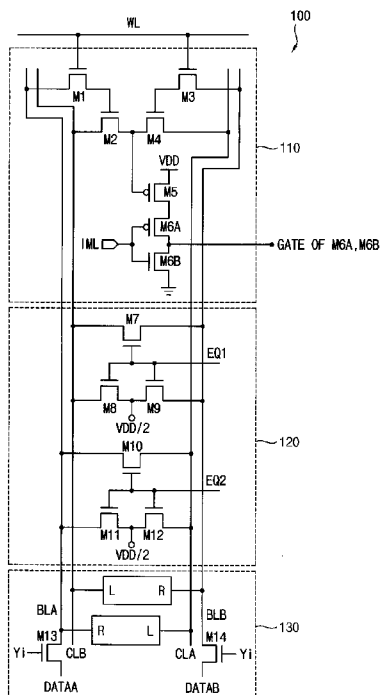
(43) 국제공개일
2018년 1월 18일 (18.01.2018) WIPO | PCT

WO 2018/012740 A1

- (51) 국제특허분류: *G11C 15/00* (2006.01) *G11C 15/04* (2006.01)
G11C 11/56 (2006.01)
- (21) 국제출원번호: PCT/KR2017/005874
- (22) 국제출원일: 2017년 6월 7일 (07.06.2017)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2016-0089751 2016년 7월 15일 (15.07.2016) KR
- (71) 출원인: 경희대학교 산학협력단 (UNIVERSITY-INDUSTRY COOPERATION GROUP OF KYUNG HEE UNIVERSITY) [KR/KR]; 17104 경기도 용인시 기흥구 덕영대로 1732, Gyeonggi-do (KR).
- (72) 발명자: 홍상훈 (HONG, Sang Hoon); 13555 경기도 성남시 분당구 성남대로 393, A-1301호(정자동), Gyeonggi-do (KR). 김성원 (KIM, Sung Won); 48577 부산시 남구 이기대공원로26번길 21-4, 1동 203호 (용호동, 화신골든맨션), Busan (KR). 도현진 (DO, Hyun Jin); 23031 인천시 강화군 강화읍 동문안길 20번길 13, 202호 (동문맨션), Incheon (KR). 박종휘 (PARK, Jong Hwi); 28162 충청북도 청주시 흥덕구 오송읍 오송생명1로 152, 806동 1501호 (오송힐테스하임), Chungcheongbuk-do (KR).
- (74) 대리인: 김동용 등 (KIM, Deung Yong et al.); 08390 서울시 구로구 디지털로26길 111, 414호 동진국제특허법률사무소 (구로동, 제이엔케이디지털타워), Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

(54) Title: STORAGE CELL OF TERNARY CONTENT ADDRESSABLE MEMORY, AND TERNARY CONTENT ADDRESSABLE MEMORY COMPRISING SAME

(54) 발명의 명칭: 터너리 내용 주소화 메모리의 저장 셀 및 이를 포함하는 터너리 내용 주소화 메모리



(57) Abstract: A storage cell of a ternary content addressable memory comprises a first storage unit, a second storage unit, and a comparison unit. The first storage unit stores first data. The second storage unit stores second data. The comparison unit is connected to output terminals of the first storage unit and the second storage unit, receives an input matching signal, and outputs or blocks the received input matching signal. The comparison unit comprises a first comparison switching element and a comparison inverter connected to the first comparison switching element in series.

(57) 요약서: 터너리 내용 주소화 메모리의 저장 셀은 제1 저장부, 제2 저장부 및 비교부를 포함한다. 상기 제1 저장부는 제1 데이터를 저장한다. 상기 제2 저장부는 제2 데이터를 저장한다. 상기 비교부는 상기 제1 저장부 및 상기 제2 저장부의 출력 단자에 연결되며, 입력 매칭 신호를 수신하고, 수신한 상기 입력 매칭 신호를 출력하거나 차단한다. 상기 비교부는 제1 비교 스위칭 소자 및 상기 제1 비교 스위칭 소자와 직렬로 연결되는 비교 인버터를 포함한다.

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 터너리 내용 주소화 메모리의 저장 셀 및 이를 포함하는 터너리 내용 주소화 메모리

기술분야

- [1] 본 발명은 터너리(ternary) 내용 주소화 메모리(content addressable memory, CAM)의 저장 셀 및 이를 포함하는 터너리 내용 주소화 메모리에 관한 것으로, 보다 구체적으로 소비 전력을 감소시킬 수 있는 터너리 내용 주소화 메모리의 저장 셀 및 이를 포함하는 터너리 내용 주소화 메모리에 관한 것이다.

배경기술

- [2] 통상적인 메모리는 데이터가 저장되어 있는 주소를 정확히 알아야만 저장되어 있는 데이터에 접근할 수 있다. 그러나 내용 주소화 메모리 장치(Content Addressable Memory, CAM)는 데이터가 저장되어 있는 정확한 주소를 모르더라도 데이터의 내용을 입력하면 해당 내용의 데이터들이 저장되어 있는 위치의 주소를 찾아주는 기능을 갖는 메모리이다. 따라서 많은 데이터에서 특정 내용을 탐색할 경우 주어진 내용과 일치하는 데이터와 관련된 데이터를 단번에 찾을 수 있는 특유의 빠른 검색 특성 때문에 내용 주소화 메모리를 이용한 IP 주소 룩업 방법들이 널리 사용되고 있으며 데이터 검색 엔진에도 많이 이용되고 있다.
- [3] 이러한 내용 주소화 메모리는 크게 바이너리 내용 주소화 메모리(binary CAM)와 터너리 내용 주소화 메모리(ternary CAM)로 구분할 수 있다. 바이너리 내용 주소화 메모리는 저장 셀에 0, 1 데이터가 저장되며, 입력되는 데이터와 저장되어 있는 데이터(0, 1)를 비교하여 해당 내용의 데이터가 저장된 위치의 주소를 검색한다. 이에 반해 터너리 내용 주소화 메모리는 저장 셀에 0, 1 이외에 무정값(don't care)을 저장할 수 있으며, 저장되어 있는 데이터를 검색하는 경우에도 0, 1, 무정값의 조합을 입력하고 입력한 데이터와 저장되어 있는 값(0, 1, don't care)을 비교하여 해당 내용의 데이터가 저장된 위치의 주소를 검색한다.
- [4] 도 1a 및 도 1b는 종래 터너리 내용 주소화 메모리에 저장되어 있는 데이터를 검색하는 일 예를 설명하기 위한 개념도이다. 도 1a는 검색하고자 하는 데이터를 도시하고 있으며, 도 1b는 터너리 내용 주소화 메모리에 저장되어 있는 데이터를 도시하고 있다. 도 1a에 도시되어 있는 것과 같이 검색하고자 하는 데이터는 1, 0, 1, 1, x, x, x이다. 여기서 x는 무정값을 의미한다. 터너리 내용 주소화 메모리는 입력된 데이터와 저장되어 있는 데이터를 동시에 병렬로 비교하며, 입력된 데이터 중 무정값을 제외한 나머지 데이터만 일치하는, 5번째 행에 저장되어 있는 데이터를 일치 데이터로 검색한다. 이와 같이, 터너리 내용 주소화 메모리는 전체 데이터 중 부분적으로 일치하는 내용의 데이터도 검색할 수 있기 때문에, 데이터 저장시 사용 방식에 따라 다양하게 데이터를 저장할 수 있으며

데이터의 검색도 무정값을 이용하여 다양하게 그리고 편리하게 검색할 수 있다는 장점을 가진다.

- [5] 도 2는 종래 터너리 내용 주소화 메모리를 설명하기 위한 개략적인 회로도이다.
- [6] 도 2를 참조하면, 종래 터너리 내용 주소화 메모리의 저장 셀은 0, 1, 무정값(x)의 데이터를 저장하기 위한 제1 저장부(10)와 제2 저장부(20), 제1 저장부(10)에 저장할 데이터를 입력하기 위한 제1 비트 라인쌍(BL1, BL1/), 제2 저장부(20)에 저장할 데이터를 입력하기 위한 제2 비트 라인쌍(BL2, BL2/), 제1 저장부(10) 또는 제2 저장부(20)의 활성화를 제어하는 워드 라인(WL), 비교 데이터를 입력하기 위한 비교 라인쌍(CL, CL/) 및 비교 라인쌍(CL, CL/)을 통해 입력되는 데이터와 제1 저장부(10) 및 제2 저장부(20)에 저장된 데이터를 비교하여 터너리 내용 주소화 메모리에 저장된 데이터와 입력된 데이터가 일치하는지 판단하는 비교부(30)를 구비하고 있다.
- [7] 제1 저장부(10)는 제1 비트 라인쌍(BL1, BL1/)에 소스가 연결된 제1 NMOS 트랜지스터(M1)와 제2 NMOS 트랜지스터(M2), 순환 고리 형태로 연결되어 제1 비트 라인쌍(BL1, BL1/)을 통해 입력된 데이터를 저장하고 있는 한 쌍의 인버터(I1, I2)를 구비하고 있다. 또한 제2 저장부(20)는 제2 비트 라인쌍(BL2, BL2/)에 소스가 연결된 제3 NMOS 트랜지스터(M3)와 제4 NMOS 트랜지스터(M4), 순환 고리 형태로 연결되어 제2 비트 라인쌍(BL2, BL2/)을 통해 입력된 데이터를 저장하고 있는 한 쌍의 인버터(I3, I4)를 구비하고 있다.
- [8] 한편, 비교부(30)는 한 쌍의 인버터(I1, I2)에 저장된 데이터에 의해 활성화/비활성화되는 제5 NMOS 트랜지스터(M5), 한 쌍의 인버터(I3, I4)에 저장된 데이터에 의해 활성화/비활성화되는 제6 NMOS 트랜지스터(M6), 비교 라인쌍(CL, CL/)에 게이트가 각각 연결되어 있으며, 매칭 라인(ML)에 드레인이 연결된 제7 NMOS 트랜지스터(M7)와 제8 NMOS 트랜지스터(M8)를 구비하고 있다. 제7 NMOS 트랜지스터(M7)와 제8 NMOS 트랜지스터(M8)의 소스는 각각 제5 NMOS 트랜지스터(M5)와 제6 NMOS 트랜지스터(M6)의 드레인에 연결되어 있다. 여기서 제5 NMOS 트랜지스터(M5)와 제6 NMOS 트랜지스터(M6)의 소스는 각각 접지되어 있다. 비교 라인쌍(CL, CL/)을 통해 입력된 비교 데이터와 제1 저장부(10)와 제2 저장부(20)에 저장된 데이터가 일치하는 경우 매칭 라인(ML)은 프리차지된 상태로 유지된다. 반면, 비교 라인쌍(CL, CL/)을 통해 입력된 비교 데이터와 제1 저장부(10)와 제2 저장부(20)에 저장된 데이터가 상이한 경우 매칭 라인(ML)은 디스차지된다.
- [9] 도 3a 및 도 3b는 종래 터너리 내용 주소화 메모리에서 0, 1, 무정값을 저장하기 위해 제1 비트 라인쌍(BL1, BL1/)과 제2 비트 라인쌍(BL2, BL2/)에 입력되는 데이터와 터너리 메모리의 저장 셀에 저장된 데이터를 비교 검색하기 위하여 비교 라인쌍(CL, CL/)으로 입력되는 데이터를 나타내는 테이블이다.
- [10] 도 3a에 도시되어 있는 것과 같이, 0을 터너리 내용 주소화 메모리에 저장하기 위하여 제1 비트 라인쌍(BL1, BL1/)에 0, 1을 입력하고 제2 비트 라인쌍(BL2,

BL2/)에 1, 0을 입력한다. 1을 터너리 내용 주소화 메모리에 저장하기 위하여 제1 비트 라인쌍(BL1, BL1/)에 1, 0을 입력하고 제2 비트 라인쌍(BL2, BL2/)에 0, 1을 입력한다. 무정값(x)을 터너리 내용 주소화 메모리에 저장하기 위하여 제1 비트 라인쌍(BL1, BL1/)에 0, 1을 입력하고 제2 비트 라인쌍(BL2, BL2/)에 0, 1을 입력한다. 한편, 터너리 내용 주소화 메모리에 저장된 데이터가 0인지를 판단하기 위하여 비교 라인쌍(CL, CL/)에 입력되는 데이터는 0, 1이고, 터너리 내용 주소화 메모리에 저장된 데이터가 1인지를 판단하기 위하여 비교 라인쌍(CL, CL/)에 입력되는 데이터는 1, 0이고, 터너리 내용 주소화 메모리에 저장된 데이터가 무정값인지를 판단하기 위하여 비교 라인쌍(CL, CL/)에 입력되는 데이터는 0, 0이다.

발명의 상세한 설명

기술적 과제

- [11] 위에서 살펴본 종래 터너리 내용 주소화 저장 셀은 제1 저장부(10)와 제2 저장부(20)에 개별적으로 각각 데이터를 입력하기 위한 2개의 데이터 라인쌍을 구비하고 있다. 더욱이 제1 저장부(10)와 제2 저장부(20)에는 다수의 트랜지스터들, 즉 제1 저장부(10)에는 제1 비트 라인쌍에 연결된 2개의 NMOS 트랜지스터들(M1, M2) 및 한 쌍의 인버터(I1, I2)를 구성하는 4개의 트랜지스터들(미도시), 총 6개의 트랜지스터를 구비하고 있으며, 제2 저장부(20)에는 제2 비트 라인쌍에 연결된 2개의 NMOS 트랜지스터들(M3, M4) 및 한 쌍의 인버터(I3, I4)를 구성하는 4개의 트랜지스터들(미도시), 총 6개의 트랜지스터를 구비하고 있다. 따라서 종래 터너리 내용 주소화 저장 셀에는 총 16개의 트랜지스터와 2개의 데이터 라인쌍을 구비하고 있다.
- [12] 메모리 설계에 있어 가장 중요하게 고려하여야 할 요인으로 메모리의 크기를 작게 하여 집적도를 늘리는 것이며, 또한 고성능 설계로 소비 전력을 줄이는 것이다. 그러나 종래 터너리 내용 주소화 메모리의 저장 셀은 비교부(30)를 포함하여 총 16개의 트랜지스터를 기본적으로 사용하고 있으며, 제1 저장부(10)와 제2 저장부(20)에 각각 데이터를 입력하기 위하여 2개의 비트 라인쌍을 구비하여야 한다.
- [13] 따라서 종래 터너리 내용 주소화 메모리는 집적화에 한계를 가지며, 많은 트랜지스터와 2개의 비트 라인쌍을 이용함으로써 소비 전력이 많고 프로세스가 복잡하여 높은 성능을 발휘하지 못한다는 문제점을 가진다.
- [14] 따라서 본 발명은 종래 터너리 내용 주소화 메모리가 가지는 문제점들을 해결하기 위한 것으로, 본 발명이 이루고자 하는 목적은 터너리 내용 주소화 메모리의 저장 셀에 사용되는 소자의 수를 줄여 작은 면적을 차지하는 터너리 내용 주소화 메모리를 제공하는 것이다.
- [15] 본 발명이 이루고자 하는 다른 목적은 터너리 내용 주소화 메모리의 크기를 줄여 집적도를 향상시킬 수 있는 터너리 내용 주소화 메모리를 제공하는 것이다.

- [16] 본 발명이 이루고자 하는 또 다른 목적은 터너리 내용 주소화 메모리를 구성하는 트랜지스터의 수를 줄이고, 검색 시에 프리차지 횟수를 감소시켜 소비 전력을 줄일 수 있는 터너리 내용 주소화 메모리를 제공하는 것이다.
- [17] 본 발명이 이루고자 하는 또 다른 목적은 트랜지스터의 수를 줄이고 비트 라인쌍을 단일화하여 적은 프로세스로 데이터 저장 또는 비교를 가능하게 하여 높은 성능을 발휘할 수 있는 터너리 내용 주소화 메모리를 제공하는 것이다.
- [18] 본 발명이 이루고자 하는 또 다른 목적은 터너리 내용 주소화 메모리의 저장셀에 데이터를 저장하기 위하여 요구되는 리프레쉬 동작 시 저장 셀에 저장되어 있는 저장 데이터를 비교 검색 시 저장 셀에 저장되어 있는 데이터의 손실을 최소화 할 수 있는 터너리 내용 주소화 메모리를 제공하는 것이다.

과제 해결 수단

- [19] 상기한 본 발명의 목적을 실현하기 위한 일 실시예에 따른 터너리 내용 주소화 메모리의 저장 셀은 제1 저장부, 제2 저장부 및 비교부를 포함한다. 상기 제1 저장부는 제1 데이터를 저장한다. 상기 제2 저장부는 제2 데이터를 저장한다. 상기 비교부는 상기 제1 저장부 및 상기 제2 저장부의 출력 단자에 연결되며, 입력 매칭신호를 수신하고, 수신한 상기 입력 매칭 신호를 출력하거나 차단한다. 상기 비교부는 제1 비교 스위칭 소자 및 상기 제1 비교 스위칭 소자와 직렬로 연결되는 비교인버터를 포함한다.
- [20] 본 발명의 일 실시예에 있어서, 상기 비교 인버터는 제2 비교 스위칭 소자 및 상기 제2 비교 스위칭 소자와 직렬로 연결되는 제3 비교 스위칭 소자를 포함할 수 있다.
- [21] 본 발명의 일 실시예에 있어서, 상기 제1 비교 스위칭 소자는 P형 트랜지스터일 수 있다. 상기 제2 비교 스위칭 소자는 P형 트랜지스터일 수 있다. 상기 제3 비교 스위칭 소자는 N형 트랜지스터일 수 있다.
- [22] 본 발명의 일 실시예에 있어서, 상기 제1 비교 스위칭 소자는 상기 제1 저장부 및 상기 제2 저장부의 상기 출력 단자에 연결되는 제어 전극, 전원 전압이 인가되는 입력 전극 및 상기 제2 비교 스위칭 소자의 입력 전극과 연결되는 출력 전극을 포함할 수 있다. 상기 제2 비교 스위칭 소자는 상기 입력 매칭 신호가 인가되는 제어 전극, 상기 제1 비교 스위칭 소자의 상기 출력 전극에 연결되는 입력 전극 및 상기 제3 비교 스위칭 소자의 입력 전극에 연결되는 출력 전극을 포함할 수 있다. 상기 제3 비교 스위칭 소자는 상기 입력 매칭 신호가 인가되는 제어 전극, 상기 제2 비교 스위칭 소자의 상기 출력 전극에 연결되는 입력 전극 및 접지에 연결되는 출력 전극을 포함할 수 있다.
- [23] 본 발명의 일 실시예에 있어서, 상기 제1 비교 스위칭 소자는 N형 트랜지스터일 수 있다. 상기 제2 비교 스위칭 소자는 P형 트랜지스터일 수 있다. 상기 제3 비교 스위칭 소자는 N형 트랜지스터일 수 있다.
- [24] 본 발명의 일 실시예에 있어서, 상기 제1 비교 스위칭 소자는 상기 제1 저장부

및 상기 제2 저장부의 상기 출력 단자에 연결되는 제어 전극, 상기 제3 비교 스위칭 소자의 출력 전극에 연결되는 입력 전극 및 접지에 연결되는 출력 전극을 포함할 수 있다. 상기 제2 비교 스위칭 소자는 상기 입력 매칭 신호가 인가되는 제어 전극, 전원 전압이 인가되는 입력 전극 및 상기 제3 비교 스위칭 소자의 입력 전극에 연결되는 출력 전극을 포함할 수 있다. 상기 제3 비교 스위칭 소자는 상기 입력 매칭 신호가 인가되는 제어 전극, 상기 제2 비교 스위칭 소자의 상기 출력 전극에 연결되는 입력 전극 및 상기 제1 비교 스위칭 소자의 입력 전극에 상기 연결되는 출력 전극을 포함할 수 있다.

- [25] 상기한 본 발명의 다른 목적을 실현하기 위한 일 실시예에 따른 터너리 내용 주소화 메모리는 복수의 저장 셀들을 포함한다. 상기 저장 셀은 제1 데이터를 저장하는 제1 저장부, 제2 데이터를 저장하는 제2 저장부 및 상기 제1 저장부 및 상기 제2 저장부의 출력 단자에 연결되며, 입력 매칭 신호를 수신하고, 수신한 상기 입력 매칭 신호를 다음 저장 셀의 비교부로 전달하거나 차단하는 비교부를 포함할 수 있다. 상기 비교부는 제1 비교 스위칭 소자 및 상기 제1 비교 스위칭 소자와 직렬로 연결되는 비교 인버터를 포함할 수 있다.
- [26] 본 발명의 일 실시예에 있어서, 상기 비교 인버터는 제2 비교 스위칭 소자 및 상기 제2 비교 스위칭 소자와 직렬로 연결되는 제3 비교 스위칭 소자를 포함할 수 있다.
- [27] 본 발명의 일 실시예에 있어서, 상기 제1 비교 스위칭 소자는 P형 트랜지스터일 수 있다. 상기 제2 비교 스위칭 소자는 P형 트랜지스터일 수 있다. 상기 제3 비교 스위칭 소자는 N형 트랜지스터일 수 있다.
- [28] 본 발명의 일 실시예에 있어서, 상기 제1 비교 스위칭 소자는 상기 제1 저장부 및 상기 제2 저장부의 상기 출력 단자에 연결되는 제어 전극, 전원 전압이 인가되는 입력 전극 및 상기 제2 비교 스위칭 소자의 입력 전극과 연결되는 출력 전극을 포함할 수 있다. 상기 제2 비교 스위칭 소자는 상기 입력 매칭 신호가 인가되는 제어 전극, 상기 제1 비교 스위칭 소자의 상기 출력 전극에 연결되는 입력 전극 및 상기 제3 비교 스위칭 소자의 입력 전극에 연결되는 출력 전극을 포함할 수 있다. 상기 제3 비교 스위칭 소자는 상기 입력 매칭 신호가 인가되는 제어 전극, 상기 제2 비교 스위칭 소자의 상기 출력 전극에 연결되는 입력 전극 및 접지에 연결되는 출력 전극을 포함할 수 있다.
- [29] 본 발명의 일 실시예에 있어서, 상기 터너리 내용 주소화 메모리는 제1 저장 셀 및 제2 저장 셀을 포함할 수 있다. 상기 제1 저장 셀의 제2 비교 스위칭 소자의 출력 전극은 상기 제2 저장 셀의 제2 비교 스위칭 소자의 제어 전극 및 제3 비교 스위칭 소자의 제어 전극에 연결될 수 있다.
- [30] 본 발명의 일 실시예에 있어서, 상기 제1 비교 스위칭 소자는 N형 트랜지스터일 수 있다. 상기 제2 비교 스위칭 소자는 P형 트랜지스터일 수 있다. 상기 제3 비교 스위칭 소자는 N형 트랜지스터일 수 있다.
- [31] 본 발명의 일 실시예에 있어서, 상기 제1 비교 스위칭 소자는 상기 제1 저장부

및 상기 제2 저장부의 상기 출력 단자에 연결되는 제어 전극, 상기 제3 비교 스위칭 소자의 출력 전극에 연결되는 입력 전극 및 접지에 연결되는 출력 전극을 포함할 수 있다. 상기 제2 비교 스위칭 소자는 상기 입력 매칭 신호가 인가되는 제어 전극, 전원 전압이 인가되는 입력 전극 및 상기 제3 비교 스위칭 소자의 입력 전극에 연결되는 출력 전극을 포함할 수 있다. 상기 제3 비교 스위칭 소자는 상기 입력 매칭 신호가 인가되는 제어 전극, 상기 제2 비교 스위칭 소자의 상기 출력 전극에 연결되는 입력 전극 및 상기 제1 비교 스위칭 소자의 입력 전극에 상기 연결되는 출력 전극을 포함할 수 있다.

[32] 본 발명의 일 실시예에 있어서, 상기 터너리 내용 주소화 메모리는 제1 저장 셀 및 제2 저장 셀을 포함할 수 있다. 상기 제1 저장 셀의 제2 비교 스위칭 소자의 출력 전극은 상기 제2 저장 셀의 제2 비교 스위칭 소자의 제어 전극 및 제3 비교 스위칭 소자의 제어 전극에 연결될 수 있다.

[33] 본 발명의 일 실시예에 있어서, 상기 제1 저장부는 제1 스위칭 소자 및 제2 스위칭 소자를 포함할 수 있다. 상기 제1 스위칭 소자는 워드 라인에 연결되는 제어 전극, 제1 비트 라인에 연결되는 입력 전극 및 상기 제2 스위칭 소자의 제어 전극에 연결되는 출력 전극을 포함한다. 상기 제2 스위칭 소자는 상기 제1 스위칭 소자의 상기 출력 전극에 연결되는 제어 전극, 제1 비교 라인 및 제2 비교 라인 중 어느 하나에 연결되는 입력 전극 및 상기 제1 저장부의 출력 단자에 연결되는 출력 전극을 포함할 수 있다.

[34] 본 발명의 일 실시예에 있어서, 상기 제2 저장부는 제3 스위칭 소자 및 제4 스위칭 소자를 포함할 수 있다. 상기 제3 스위칭 소자는 상기 워드 라인에 연결되는 제어 전극, 제2 비트 라인에 연결되는 입력 전극 및 상기 제4 스위칭 소자의 제어 전극에 연결되는 출력 전극을 포함할 수 있다. 상기 제4 스위칭 소자는 상기 제3 스위칭 소자의 상기 출력 전극에 연결되는 제어 전극, 상기 제1 비교 라인 및 상기 제2 비교 라인 중 어느 하나에 연결되는 입력 전극 및 상기 제2 저장부의 출력 단자에 연결되는 출력 전극을 포함할 수 있다.

[35] 본 발명의 일 실시예에 있어서, 상기 제2 스위칭 소자의 상기 출력 전극은 상기 제4 스위칭 소자의 상기 출력 전극에 연결될 수 있다.

발명의 효과

[36] 본 발명에 따른 터너리 내용 주소화 메모리는 종래 터너리 내용 주소화 메모리와 비교하여 다음과 같은 다양한 효과들을 가진다.

[37] 첫째, 본 발명에 따른 터너리 내용 주소화 메모리는 종래 터너리 내용 주소화 메모리와 비교하여 구성 트랜지스터의 수가 적어 작은 크기로 메모리를 제작할 수 있어서, 메모리 설계에 있어서 가장 중요한 요인 중 하나인 집적도를 향상시킬 수 있다.

[38] 둘째, 본 발명에 따른 터너리 내용 주소화 메모리는 집적도를 향상시킴으로써 소형화되고 경량화된 제품을 설계하는데 도움을 준다.

- [39] 셋째, 본 발명에 따른 터너리 내용 주소화 메모리는 검색 시에 프리차지 횟수를 감소시켜 소비 전력을 줄일 수 있다.
- [40] 넷째, 본 발명에 따른 터너리 내용 주소화 메모리는 트랜지스터의 수를 줄이고 단일 데이터를 저장하여 적은 프로세스로 데이터 저장 또는 비교가 가능함으로써, 높은 성능을 발휘할 수 있다.
- [41] 다섯째, 본 발명에 따른 터너리 내용 주소화 메모리는 메모리에 데이터를 저장하기 위하여 요구되는 리프레쉬 동작시 또는 메모리에 저장되어 있는 저장 데이터를 비교 검색 시 저장부로 인가되는 하이값의 신호 주기를 제어함으로써, 메모리에 저장되어 있는 데이터의 손실을 최소화할 수 있다.

도면의 간단한 설명

- [42] 도 1a 및 도 1b는 종래 터너리 내용 주소화 메모리에 저장되어 있는 데이터를 검색하는 일 예를 설명하기 위한 개념도이다.
- [43] 도 2는 종래 터너리 내용 주소화 메모리를 설명하기 위한 개략적인 회로도이다.
- [44] 도 3a 및 도 3b는 종래 터너리 내용 주소화 메모리에 0, 1, 무정값을 저장하기 위해 제1 비트 라인쌍(BL1, BL1/)과 제2 비트 라인쌍(BL2, BL2/)에 입력되는 데이터와 터너리 메모리의 저장 셀에 저장된 데이터를 비교 검색하기 위하여 비교 라인쌍(CL, CL/)으로 입력되는 데이터를 나타내는 테이블이다.
- [45] 도 4는 본 발명의 일 실시예에 따른 터너리 내용 주소화 메모리(100)를 나타내는 회로도이다.
- [46] 도 5는 본 발명의 다른 실시예에 따른 터너리 내용 주소화 메모리(200)를 나타내는 회로도이다.
- [47] 도 6은 도 4 또는 도 5에 따른 터너리 내용 주소화 메모리의 저장 셀(110, 210)을 나타내는 회로도이다.
- [48] 도 7은 도 4 또는 도 5에 따른 터너리 내용 주소화 메모리에 0, 1, 무정값을 저장하기 위해 비트 라인쌍(BLA, BLB)에 입력되는 데이터와 터너리 메모리의 저장셀에 저장된 데이터를 비교 검색하기 위하여 비교 라인쌍(CLA, CLB)으로 입력되는 데이터를 나타내는 테이블이다.
- [49] 도 8은 도 5의 제2 비교 데이터 입력부(241)를 나타내는 블록도이다.
- [50] 도 9는 도 5의 센싱부의 일 예를 나타내는 회로도이다.
- [51] 도 10은 도 4 또는 도 5의 복수의 저장 셀의 연결 관계를 나타내는 회로도이다.
- [52] 도 11a는 종래의 터너리 내용 주소화 메모리의 복수의 저장 셀의 비교부의 연결 관계를 나타내는 회로도이다.
- [53] 도 11b는 도 4 또는 도 5의 터너리 내용 주소화 메모리의 복수의 저장 셀의 비교부의 연결 관계를 나타내는 회로도이다.
- [54] 도 12는 본 발명의 다른 실시예에 따른 터너리 내용 주소화 메모리(100A)를 나타내는 회로도이다.
- [55] 도 13은 본 발명의 다른 실시예에 따른 터너리 내용 주소화 메모리(200A)를

나타내는 회로도이다.

[56] 도 14는 도 12 또는 도 13에 따른 터너리 내용 주소화 메모리의 저장셀(110A, 210A)을 나타내는 회로도이다.

[57] 도 15는 도 12 또는 도 13에 따른 터너리 내용 주소화 메모리에 0, 1을 저장하기 위해 비트 라인쌍(BLA, BLB)에 입력되는 데이터와 터너리 메모리의 저장 셀에 저장된 데이터를 비교 검색하기 위하여 비교 라인쌍(CLA, CLB)으로 입력되는 데이터를 나타내는 테이블이다.

[58] 도 16은 도 12 또는 도 13의 복수의 저장 셀의 연결 관계를 나타내는 회로도이다.

[59] 도 17은 도 12 또는 도 13의 터너리 내용 주소화 메모리의 복수의 저장 셀의 비교부의 연결 관계를 나타내는 회로도이다.

발명의 실시를 위한 형태

[60] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.

[61] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[62] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[63] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[64] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는

"가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

- [65] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [66] 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.
- [67] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [68] 도 4는 본 발명의 일 실시예에 따른 터너리 내용 주소화 메모리(100)를 나타내는 회로도이다. 도 5는 본 발명의 다른 실시예에 따른 터너리 내용 주소화 메모리(200)를 나타내는 회로도이다.
- [69] 먼저, 도 4를 참고로 본 발명의 일 실시예에 따른 터너리 내용 주소화 메모리(100)에 대해 보다 구체적으로 살펴보면, 본 발명의 일 실시예에 따른 터너리 내용 주소화 메모리는 데이터를 저장하거나 저장한 데이터를 비교 데이터와 비교하여 비교값을 출력하는 저장 셀(110), 저장 셀(110)에 데이터를 저장 동작 시 또는 리프레쉬 동작 시 비트 라인(BLA, BLB)과 비교 라인(CLA, CLB)을 프리차지(precharge)시키는 프리차지부(120) 및 저장 셀(110)에 저장되어 있는 데이터를 생성하고 센싱한 데이터를 증폭하여 저장 셀(110)에 저장되어 있는 데이터를 리프레쉬하는 센싱부(130)를 구비하고 있다.
- [70] 저장 셀(110)에 저장하고자 하는 데이터는 한 쌍의 비트 라인(BLA, BLB)을 통해 입력되며 저장 셀(110)에 저장되어 있는 데이터를 검색하기 위한 비교 데이터는 한 쌍의 비교 라인(CLA, CLB)을 통해 입력된다.
- [71] 본 발명의 일 실시예에 따른 터너리 내용 주소화 메모리(100)에서 리프레쉬 동작 시 또는 데이터 검색 시 제1 비교 라인(CLA)과 제2 비교 라인(CLB)을 통해 각각 저장 셀(110)의 스위칭 소자(M2, M4)로 인가되는 리프레쉬 신호 또는 비교 데이터 신호가 오랜 시간 동안 제1 비교 라인(CLA)과 제2 비교 라인(CLB)을 통해 저장셀(110)의 스위칭 소자(M2, M4)로 인가되는 경우 저장 셀(110)의 저장부(M2, M4)에 저장된 데이터가 빨리 손실되는 경우가 발생하게 된다.
- [72] 도 5에 도시되어 있는 본 발명의 다른 실시예에 따른 터너리 내용 주소화

메모리(200)는 도 4를 참고로 설명한 본 발명의 일 실시예에 따른 터너리 내용 주소화 메모리가 가지는 문제점을 극복하기 위한 것으로, 도 5를 참고로 본 발명의 다른 실시예에 따른 터너리 내용 주소화 메모리(200)에 대해 보다 구체적으로 살펴본다. 본 발명의 다른 실시예에 따른 터너리 내용 주소화 메모리는 데이터를 저장하거나 저장한 데이터를 비교 데이터와 비교하여 비교값을 출력하는 저장 셀(210), 저장 셀(210)에 데이터를 저장 동작시 또는 리프레쉬 동작시 비트 라인(BLA, BLB)과 비교 라인(CLA, CLB)을 프리차지(precharge)시키는 프리차지부(220) 및 저장셀(210)에 저장되어 있는 데이터를 센싱하고 센싱한 데이터를 증폭하여 저장셀(210)에 저장되어 있는 데이터를 리프레쉬하는 센싱부(230)를 구비하고 있다.

[73] 저장 셀(210)과 프리차지부(220)를 연결하는 제1 비교 라인(CLA)과 제2 비교라인(CLB)에는 각각 저장 셀(210)로 입력되는 리프레쉬 신호를 차단 제어하는 스위칭 소자(M15, M16)가 접속되어 있다. 제1 비교 라인(CLA)에는 제1 비교 데이터 또는 제1 유지 신호를 입력하기 위한 제1 비교 데이터 입력부(243)가 접속되어 있으며, 제2 비교 라인(CLB)에는 제2 비교 데이터 또는 제2 유지 신호를 입력하기 위한 제2 비교 데이터 입력부(241)가 접속되어 있다. 제1 비교 데이터 입력부(243)는 저장 셀(210)에 데이터를 저장 동작시 또는 리프레쉬 동작시 스위칭 소자(M16)와 함께 저장 셀(210)의 스위칭 소자(M4) 입력 전극으로 입력되는 신호를 로우값으로 유지시켜 주거나, 저장 셀(210)에 저장되어 있는 데이터를 검색 시 제1 비교 라인(CLA)을 통해 저장 셀(210)로 입력되는 제1 비교 데이터의 하이값 주기를 최소로 제어하여 저장 셀(210)에 저장되어 있는 데이터의 손실을 줄인다. 상기 제1 비교 데이터 입력부(243)는 제1 비교 데이터 입력 스위칭 소자(M18)를 포함한다. 상기 제1 비교 데이터 입력 스위칭 소자(M18)는 KEEP LOW 신호가 인가되는 제어 전극, 제1 외부 신호(CD2)가 인가되는 입력 전극 및 상기 리프레쉬 신호를 차단 제어하는 스위칭 소자(M16)의 출력 전극에 연결되는 출력 전극을 포함한다.

[74] 한편, 제2 비교 데이터 입력부(241)는 저장 셀(210)에 데이터를 저장 동작시 또는 리프레쉬 동작시 스위칭 소자(M15)와 함께 저장 셀(210)의 스위칭 소자(M2) 입력 전극으로 입력되는 신호를 로우값으로 유지시켜 주거나, 저장 셀(210)에 저장되어 있는 데이터를 검색 시 제2 비교 라인(CLB)을 통해 저장 셀(210)로 입력되는 제2 비교 데이터의 하이값 주기를 최소로 제어하여 저장 셀(210)에 저장되어 있는 데이터의 손실을 줄인다. 상기 제2 비교 데이터 입력부(241)는 제2 비교 데이터 입력 스위칭 소자(M17)를 포함한다. 상기 제2 비교 데이터 입력 스위칭 소자(M17)는 KEEP LOW 신호가 인가되는 제어 전극, 제2 외부 신호(CD1)가 인가되는 입력 전극 및 상기 리프레쉬 신호를 차단 제어하는 스위칭 소자(M15)의 출력 전극에 연결되는 출력 전극을 포함한다.

[75] 도 6은 도 4 또는 도 5에 따른 터너리 내용 주소화 메모리의 저장 셀(110, 210)을 나타내는 회로도이다.

- [76] 도 6을 참고로 보다 구체적으로 살펴보면, 본 발명에 따른 터너리 내용 주소화의 저장 셀은 0, 1, 무정값(x)의 데이터를 저장하기 위한 저장부(310), 저장할 데이터를 저장부(310)로 제공하기 위한 한 쌍의 비트 라인(BLA, BLB), 저장부(310)에 저장되어 있는 데이터를 검색하기 위한 비교 데이터를 제공하는 한 쌍의 비교라인(CLA, CLB), 상기 비교 라인(CLA, CLB)으로 제공된 비교 데이터와 저장부(310)에 저장되어 있는 저장 데이터를 비교하여 터너리 내용 주소화 메모리에 저장된 데이터를 판단하는 비교부(320)를 구비하고 있다.
- [77] 저장부(310)는 제1 저장부(311)와 제2 저장부(313)로 구성되어 있는데, 제1 저장부(311)에 저장할 데이터는 제1 비트 라인(BLA)을 통해 제1 저장부(311)로 제공되며, 제2 저장부(313)에 저장할 데이터는 제2 비트 라인(BLB)을 통해 제2 저장부(313)로 제공된다. 제1 저장부(311) 또는 제2 저장부(313)의 활성화는 워드 라인(WL)을 통해 입력되는 활성화 신호에 의해 제어된다.
- [78] 제1 저장부(311)는 제1 스위칭 소자(M1)와 제2 스위칭 소자(M2)를 구비하고 있으며 제2 저장부(313)는 제3 스위칭 소자(M3)와 제4 스위칭 소자(M4)를 구비하고 있다.
- [79] 상기 제1 스위칭 소자(M1)는 상기 워드 라인(WL)에 연결되는 제어 전극, 상기 제1 비트 라인(BLA)에 연결되는 입력 전극 및 상기 제2 스위칭 소자(M2)의 제어 전극에 연결되는 출력 전극을 포함한다.
- [80] 상기 제2 스위칭 소자(M2)는 상기 제1 스위칭 소자(M1)의 상기 출력 전극에 연결되는 제어 전극, 제2 비교 라인(CLB)에 연결되는 입력 전극 및 상기 제1 저장부(311)의 출력 단자에 연결되는 출력 전극을 포함한다.
- [81] 한편, 제2 저장부(313)에 구비되어 있는 상기 제3 스위칭 소자(M3)는 상기 워드 라인(WL)에 연결되는 제어 전극, 상기 제2 비트 라인(BLB)에 연결되는 입력 전극 및 상기 제4 스위칭 소자(M4)의 제어 전극에 연결되는 출력 전극을 포함한다.
- [82] 상기 제4 스위칭 소자(M4)는 상기 제3 스위칭 소자(M3)의 출력 전극에 연결되는 제어 전극, 제1 비교 라인(CLA)에 연결되는 입력 전극 및 제2 저장부(313)의 출력 단자에 연결되는 출력 전극을 포함한다.
- [83] 상기 제2 스위칭 소자(M2)의 출력 전극은 상기 제4 스위칭 소자(M4)의 출력 전극에 연결될 수 있다.
- [84] 상기 비교부(320)는 상기 제1 저장부(311) 및 상기 제2 저장부(313)의 출력 단자에 연결된다. 상기 비교부(320)는 비교 신호에 응답하여 입력 매칭 신호(IML)를 다음 저장 셀의 비교부(320)로 전달하거나 차단한다.
- [85] 상기 비교부(320)는 직렬로 연결되는 비교 스위치(SW) 및 비교 인버터(INV)를 포함한다. 상기 비교 스위치(SW)는 제1 비교 스위칭 소자(M5)를 포함할 수 있다. 상기 비교 인버터(INV)는 직렬로 연결되는 제2 비교 스위칭 소자(M6A) 및 제3 비교 스위칭 소자(M6B)를 포함할 수 있다.
- [86] 본 실시예에서, 상기 제1 비교 스위칭 소자(M5)는 P형 트랜지스터일 수 있다.

상기 제2 비교 스위칭 소자(M6A)는 P형 트랜지스터일 수 있다. 상기 제3 비교 스위칭 소자(M6B)는 N형 트랜지스터일 수 있다.

[87] 상기 제1 비교 스위칭 소자(M5)는 상기 제1 저장부(311) 및 상기 제2 저장부(313)의 상기 출력 단자에 연결되는 제어 전극, 전원 전압(VDD)이 인가되는 입력 전극 및 상기 제2 비교 스위칭 소자(M6A)의 입력 전극에 연결되는 출력 전극을 포함한다.

[88] 상기 제2 비교 스위칭 소자(M6A)는 입력 매칭 신호(IML)가 인가되는 제어 전극, 상기 제1 비교 스위칭 소자(M5)의 출력 전극에 연결되는 입력 전극 및 상기 제3 비교 스위칭 소자(M6B)의 입력 전극에 연결되는 출력 전극을 포함한다.

[89] 상기 제3 비교 스위칭 소자(M6B)는 입력 매칭 신호(IML)가 인가되는 제어 전극, 상기 제2 비교 스위칭 소자(M6A)의 출력 전극에 연결되는 입력 전극 및 상기 접지에 연결되는 출력 전극을 포함한다.

[90] 상기 제2 비교 스위칭 소자(M6A)의 출력 전극에는 매칭 라인(ML)이 연결된다. 상기 매칭 라인(ML)은 현재 저장 셀의 상기 제2 비교 스위칭 소자(M6A)의 출력 전극을 다음 저장 셀의 상기 제2 비교 스위칭 소자(M6A) 및 상기 제3 비교 스위칭 소자(M6B)의 제어 전극에 연결한다.

[91] 예를 들어, 제1 스위칭 소자(M1) 내지 제4 스위칭 소자(M4)는 NMOS 트랜지스터일 수 있다. 예를 들어, 제1 비교 스위칭 소자(M5)는 PMOS 트랜지스터일 수 있다. 예를 들어, 제2 비교 스위칭 소자(M6A)는 PMOS 트랜지스터일 수 있다. 예를 들어, 제3 비교 스위칭 소자(M6B)는 NMOS 트랜지스터일 수 있다.

[92] 도 7은 도 4 또는 도 5에 따른 터너리 내용 주소화 메모리에 0, 1, 무정값을 저장하기 위해 비트 라인쌍(BLA, BLB)에 입력되는 데이터와 터너리 메모리의 저장셀에 저장된 데이터를 비교 검색하기 위하여 비교 라인쌍(CLA, CLB)으로 입력되는 데이터를 나타내는 테이블이다.

[93] 도 7에 도시되어 있는 것과 같이, 0을 터너리 내용 주소화 메모리에 저장하기 위하여 제1 비트 라인(BLA)에 0을 입력하고 제2 비트 라인(BLB)에 1을 입력한다. 1을 터너리 내용 주소화 저장 셀에 저장하기 위하여 제1 비트 라인(BLA)에 1을 입력하고 제2 비트 라인(BLB)에 0을 입력한다. 무정값(x)을 터너리 내용 주소화 저장 셀에 저장하기 위하여 제1 비트 라인(BLA)에 0을 입력하고 제2 비트 라인(BLB)에 0을 입력한다.

[94] 도 7에 도시되어 있는 것과 같이, 터너리 내용 주소화 저장 셀에 저장된 데이터가 0인지 판단하기 위하여 제1 비교 라인(CLA)에 0을 입력하고 제2 비교 라인(CLB)에 1을 입력하며, 터너리 내용 주소화 저장 셀에 저장된 데이터가 1인지 판단하기 위하여 제1 비교 라인(CLA)에 1을 입력하고 제2 비교 라인(CLB)에 0을 입력하며, 터너리 내용 주소화 저장 셀에 저장된 데이터를 don't care하기 위해서는 제1 비교 라인(CLA)에 0을 입력하고 제2 비교 라인(CLB)에 0을 입력한다.

- [95] 본 실시예에서, 상기 비교 라인(CLA, CLB)에 입력한 로직이 상기 저장 셀에 저장된 데이터와 일치하는 경우, 상기 저장부의 출력 단자의 출력 로직은 0(match)일 수 있다. 상기 비교 라인(CLA, CLB)에 입력한 로직이 상기 저장 셀에 저장된 데이터와 불일치하는 경우, 상기 저장부의 출력 단자의 출력 로직은 1(no match)일 수 있다.
- [96] 상기 저장부의 출력 단자의 출력 로직이 0(match)인 경우, 상기 비교부(320)의 제1 비교 스위칭 소자(M5)는 턴 온 되어, 상기 인버터(INV)에 입력되는 입력 매칭 신호(IML)가 상기 인버터(INV)에 의해 반전되어 다음 셀로 전달된다.
- [97] 상기 저장부의 출력 단자의 출력 로직이 1(no match)인 경우, 상기 비교부(320)의 제1 비교 스위칭 소자(M5)는 턴 오프 되어, 상기 인버터(INV)에 입력되는 입력 매칭 신호(IML)가 다음 셀로 전달되지 않는다.
- [98] 도 8은 도 5의 제2 비교 데이터 입력부(241)를 나타내는 블록도이다.
- [99] 도 8을 참고로 살펴보면, 제2 비교 데이터 입력부(241)는 활성화 여부에 따라 스위칭 소자(M2)의 입력 전극으로 입력되는 제2 유지 신호 또는 제2 비교 데이터 신호를 차단 제어하는 스위칭 소자(M17)와, 제2 유지 신호 또는 제2 비교 데이터 신호의 로우값 또는 하이값의 주기를 제어하여 제2 유지 신호 또는 제2 비교 데이터를 생성하는 주기 제어부(410)를 포함한다. 주기 제어부(410)는 스위칭 소자(M17)를 활성화/비활성화시키기 위한 차단 제어 신호를 생성하는 차단 제어부(411), 입력되는 하이값과 로우값 중 하나의 신호를 출력하는 멀티플렉서(413) 및 멀티플렉서(413)를 통해 출력되는 하이값 또는 로우값의 신호의 주기를 결정하는 주기 결정부(415)를 구비하고 있다. 스위칭 소자(M17)의 제어 전극으로 제2 비교 데이터 신호 또는 제2 유지 신호를 차단 제어하기 위한 차단제어신호가 입력되며, 스위칭 소자(M17)의 입력 전극으로 제2 비교 데이터 신호 또는 제2 유지 신호가 입력된다. 저장 셀(110, 210)의 리프레쉬 동작시, 주기 결정부(415)는 멀티플렉서(413)를 통해 입력되는 하이값 또는 로우값의 신호 중 로우값을 선택하여 로우값을 가지는 제2 유지 신호를 생성한다. 차단 제어부(411)는 스위칭 소자(M17)를 활성화시켜 로우값의 제2 유지 신호가 스위칭 소자(M2)의 입력 전극으로 입력 되도록 제어한다.
- [100] 한편 저장 셀(110, 210)에 저장된 데이터의 검색 동작시 제2 비교 라인(CLB)를 통해 스위칭 소자(M2)로 입력되는 제2 비교 데이터가 하이값을 가지는 경우, 주기 결정부(415)는 멀티플렉서(413)를 통해 입력되는 하이값 또는 로우값의 신호 중 하이값 신호를 선택하며 동시에 하이값 주기가 최소로 되도록 리턴 투제로 펄스(return to zero pulse) 형태로 제2 비교 데이터 신호를 생성한다. 차단 제어부(411)는 스위칭 소자(M17)를 활성화시켜 생성한 제1 비교 데이터 신호가 스위칭소자(M2)의 입력 전극으로 입력되도록 제어한다.
- [101] 도 5, 도 6 및 도 8을 참고로 본 발명에 따른 터너리 내용 주소화 메모리의 리프레쉬 동작, 데이터 저장 동작 및 저장된 데이터의 검색 동작을 보다 구체적으로 살펴본다.

[102] <리프레쉬 동작>

[103] 터너리 내용 주소화 메모리(200)의 저장 셀(210)을 리프레쉬하기 위하여 스위칭 소자(M15, M16)를 활성화시키고 스위칭 소자(M13, M14, M17, M18)를 비활성화시킨 상태에서 프리차지부(220)를 동작시켜 즉, EQ1라인을 통해 스위칭 소자(M8, M9)를 순간적으로 활성화시키고, EQ2라인을 통해 스위칭 소자(M11, M12)를 순간적으로 활성화시켜 각각 제2 저장부(313)에 저장된 데이터를 리프레쉬하는 비트 라인 및 비교 라인을 VDD/2로 프리차지시키거나 제1 저장부(311)에 저장된 데이터를 리프레쉬하는 비트 라인 및 비교 라인을 VDD/2로 프리차지시킨다. 워드 라인(WL)을 통해 스위칭 소자(M1, M3)를 활성화시킴으로써, 제1 저장부(311)의 스위칭 소자(M2)에 저장되어 있는 데이터는 비트 라인 및 비교 라인을 통해 제1 센싱부(231)에 입력되어 제1 저장부(311)의 스위칭 소자(M2)에 저장되어 있는 데이터를 센싱한다. 한편 제2 저장부(313)의 스위칭 소자(M4)에 저장되어 있는 데이터는 비트 라인 및 비교 라인을 통해 제2 센싱부(233)에 입력되어 제2 저장부(313)의 스위칭 소자(M4)에 저장되어 있는 데이터를 센싱한다.

[104] 제1 센싱부(231)와 제2 센싱부(233)에서 제1 저장부(311)와 제2 저장부(313)에 저장되어 있는 데이터가 센싱되어 증폭되는 순간, 스위칭 소자(M15, M16)를 비활성화시켜 제1 센싱부(231)와 제2 센싱부(233)의 리프레쉬 신호가 각각 스위칭 소자(M4)와 스위칭 소자(M2)의 입력 전극으로 입력되는 것을 차단하며 제2 비교 데이터 입력부(241)와 제1 비교 데이터 입력부(243)에서 로우값의 유지 신호를 생성하여 비교 라인(CLA, CLB)을 통해 스위칭 소자(M2, M4)의 입력 전극으로 유지 신호를 입력함으로써, 저장부(311, 313)에 복원하고자 하는 데이터의 손실을 최소화시킨다.

[105] 무정값(x)이 터너리 내용 주소화 메모리에 저장되는 경우, 제1 저장부(311)와 제2 저장부(313)에는 각각 0, 0의 값이 저장되며 제2 스위칭 소자(M2)와 제4 스위칭 소자(M4)는 모두 비활성화되어 제1 비교 스위칭 소자(M5)의 제어 전극이 연결된 노드는 플로팅(floating) 상태로 된다. 따라서 제2 스위칭 소자(M2)와 제4 스위칭 소자(M4)의 출력 전극을 0으로 초기화시켜주어야 한다. 제2 스위칭 소자(M2)와 제4 스위칭 소자(M4)의 출력 전극을 0으로 초기화시키기 위해, 제1 센싱부(231)와 제2 센싱부(233)에서 센싱한 데이터를 각각 제1 센싱부(231)와 제2 센싱부(233)에 임시 저장한다. 그리고 스위칭 소자(M1, M3)를 활성화시킨 상태에서 스위칭 소자(M13, M14)를 활성화시켜 하이값의 신호를 비트 라인(BLA, BLB)으로 입력하며, 제2 비교 데이터 입력부(241)와 제1 비교 데이터 입력부(243)에서 로우값의 비교라인(CLA, CLB)으로 입력한다.

[106] 제2 스위칭 소자(M2)와 제4 스위칭 소자(M4)의 출력 전극을 0으로 초기화한 후, 제1 센싱부(231)와 제2 센싱부(233)에 임시 저장되어 있는 데이터를 비트 라인(BLA, BLB)을 통해 제1 저장부(311)의 스위칭 소자(M2)와 제2 저장부(313)의 스위칭 소자(M4)에 리프레쉬시킨다.

- [107] 도 9는 도 5의 센싱부의 일 예를 나타내는 회로도이다.
- [108] 도 9에 도시되어 있는 것과 같이 제1 센싱부(231)와 제2 센싱부(233)에서 센싱한 데이터를 각각 제1 센싱부(231)와 제2 센싱부(233)에 임시 저장하기 위하여 스위칭 소자(M19)의 제어 전극으로 인가되는 초기화 신호(INI)를 로우값으로 입력하며, 제1 센싱부(231)와 제2 센싱부(233)에 임시 저장되어 있는 데이터를 제1 저장부와 제2 저장부에 리프레쉬시키기 위하여 스위칭 소자(M19)의 제어 전극으로 인가되는 초기화 신호(INI)를 하이값으로 입력한다.
- [109] <저장 동작>
- [110] 터너리 내용 주소화 메모리(200)의 저장 셀(210)에 데이터를 저장(write)하기 위하여, 스위칭 소자(M15, M16)를 활성화시키고 스위칭 소자(M13, M14, M17, M18)를 비활성화시킨 상태에서 프리차지부(220)를 동작시켜 비트 라인과 비교 라인을 VDD/2로 프리차지시킨다. 워드 라인(WL)을 통해 스위칭 소자(M1, M3)를 활성화 시킴으로써, 제1 저장부(311)의 스위칭 소자(M2)에 저장되어 있는 데이터는 비트 라인 및 비교 라인을 통해 제1 센싱부(231)에 입력되어 제1 저장부(311)의 스위칭소자(M2)에 저장되어 있는 데이터를 센싱한다. 제2 저장부(313)의 스위칭 소자(M4)에 저장되어 있는 데이터는 비트 라인 및 비교 라인을 통해 제2 센싱부(233)에 입력되어 제2 저장부(313)의 스위칭 소자(M4)에 저장되어 있는 데이터를 센싱한다.
- [111] 제1 센싱부(231)와 제2 센싱부(233)에서 제1 저장부(311)와 제2 저장부(313)에 저장되어 있는 데이터가 센싱되어 증폭되는 순간, 스위칭 소자(M15, M16)를 비활성화시켜 제1 센싱부(231)와 제2 센싱부(233)의 리프레쉬 신호가 각각 스위칭 소자(M4)와 스위칭 소자(M2)의 입력 전극으로 입력되는 것을 차단하며, 제2 비교 데이터 입력부(241)와 제1 비교 데이터 입력부(243)에서 로우값의 유지 신호를 생성하여 비교 라인(CLA, CLB)을 통해 스위칭 소자(M2, M4)의 입력 전극으로 유지 신호를 입력함으로써, 저장부(311, 313)에 복원하고자 하는 데이터의 손실을 최소화한다.
- [112] 제1 센싱부(231)와 제2 센싱부(233)에서 센싱한 데이터를 각각 제1 센싱부(231)와 제2 센싱부(233)에 임시 저장하고, 스위칭 소자(M13, M14)를 활성화시켜 하이값의 신호를 비트 라인(BLA, BLB)으로 입력하며, 제1 비교 데이터 입력부(243)와 제2 비교 데이터 입력부(241)에서 로우값의 신호를 비교 라인(CLA, CLB)으로 입력하여 제2 스위칭 소자(M2)와 제4 스위칭 소자(M4)의 출력 전극을 0으로 초기화한다.
- [113] 제2 스위칭 소자(M2)와 제4 스위칭 소자(M4)의 출력 전극을 0으로 초기화한 후, 제1 센싱부(231)와 제2 센싱부(233)에 임시 저장되어 있는 데이터를 비트 라인(BLA, BLB)을 통해 제1 저장부(311)의 스위칭 소자(M2)와 제2 저장부(313)의 스위칭 소자(M4)에 리프레쉬시킨다. 스위칭 소자(M13, M14)를 활성화시켜 저장부에 저장시키고자 하는 저장 데이터를 비트 라인(BLA, BLB)을 통해 저장부의 스위칭 소자(M2, M4)에 입력하여 리프레쉬 신호에 의해 저장부의

스위칭 소자(M1, M3)에 저장된 데이터를 유지하거나 리프레쉬 신호에 의해 저장부의 스위칭 소자(M2, M4)에 저장된 데이터를 입력된 저장 데이터로 변경한다.

[114] <검색 동작>

[115] 터너리 내용 주소화 메모리(200)의 저장 셀(210)에 저장된 데이터를 검색하기 위하여, 첫 번째 셀의 인버터(INV)에 입력 매칭 신호(IML)를 인가하며, 제1 비교 라인(CLA)과 제2 비교 라인(CLB)을 통해 제1 저장부(311)의 스위칭 소자(M2)와 제2 저장부(313)의 스위칭 소자(M4)로 비교 데이터를 입력한다. 이때 제1 비교 데이터 입력부(243)를 통해 스위칭 소자(M4)의 입력 전극으로 입력되는 제1 비교 데이터가 하이값을 가지는 경우, 주기 제어부(410)는 리턴 투 제로 펄스 타입으로 제1 비교 데이터를 생성하여 제1 비교 라인(CLA)을 통해 스위칭 소자(M4)에 인가되는 제1 비교 데이터가 하이값 주기를 갖도록 제어한다. 제2 비교 데이터 입력부(241)를 통해 스위칭 소자(M2)의 입력 전극으로 입력되는 제2 비교 데이터가 하이값을 가지는 경우, 주기 제어부(410)는 리턴 투 제로 펄스 타입으로 제2 비교 데이터를 생성하여 제2 비교 라인(CLB)을 통해 스위칭 소자(M2)에 인가되는 제2 비교 데이터가 하이값 주기를 갖도록 제어한다.

[116] 저장부(M2, M4)에 저장된 저장 데이터와 비교 데이터에 따라 상기 입력 매칭 신호(IML)를 다음 저장 셀의 회로부로 전달하거나 차단하기 위한 비교 결과값을 출력하며, 비교 결과값에 기초하여 저장 셀(210)에 저장된 데이터를 검색한다. 상기 비교 결과값이 match인 경우, 상기 비교부(320)의 인버터(M6A, M6B)는 상기 입력 매칭 신호(IML)를 반전시켜 다음 저장 셀로 전달한다. 상기 비교 결과값이 no match인 경우, 상기 비교부(320)의 인버터(M6A, M6B)는 상기 입력 매칭 신호(IML)를 다음 저장 셀로 전달하지 않는다.

[117] 도 10은 도 4 또는 도 5의 복수의 저장 셀의 연결 관계를 나타내는 회로도이다.

[118] 도 10을 참조하면, 상기 터너리 내용 주소화 메모리는 복수의 저장셀(CELL0, CELL1, ..., CELLN-1, CELLN)을 포함한다. 상기 저장 셀은 제1 데이터를 저장하는 제1 저장부(311), 제2 데이터를 저장하는 제2 저장부(313) 및 상기 제1 저장부(311) 및 상기 제2 저장부(313)의 출력 단자에 연결되며, 비교 신호에 응답하여 입력 매칭 신호(IML)를 다음 저장 셀의 비교부(320)로 전달하거나 차단하는 비교부(320)를 포함한다.

[119] 상기 복수의 저장 셀들(CELL0, CELL1, ..., CELLN-1, CELLN)은 서로 연결된다. 예를 들어, 상기 복수의 저장 셀들(CELL0, CELL1, ..., CELLN-1, CELLN)의 비교부(320)는 서로 연결된다.

[120] 제1 저장 셀(CELL0)의 비교부(320)의 제2 비교 스위칭 소자(M6A) 및 제3 비교 스위칭 소자(M6B)의 제어 전극에는 입력 매칭 신호(IML)가 인가된다. 상기 제1 저장 셀(CELL0)의 검색 결과가 match인 경우, 상기 제1 저장 셀(CELL0)의 비교부(320)는 상기 입력 매칭 신호(IML)를 제2 저장 셀(CELL1)의 비교부(320)의 제2 비교 스위칭 소자(M6A) 및 제3 비교 스위칭 소자(M6B)의

제어 전극에 전달한다. 이때, 상기 입력 매칭 신호(IML)는 인버팅 동작을 하는 제2 비교 스위칭 소자(M6A) 및 제3 비교 스위칭 소자(M6B)에 의해 반전되어 전달될 수 있다.

- [121] 상기 제1 저장 셀(CELL0)의 비교부(320)의 제2 비교 스위칭 소자(M6A)의 출력 전극 및 상기 제2 저장 셀(CELL1)의 비교부(320)의 제2 비교 스위칭 소자(M6A) 및 제3 비교 스위칭 소자(M6B)의 제어 전극은 매칭 라인(ML)에 의해 서로 연결될 수 있다.
- [122] 도 11a는 종래의 터너리 내용 주소화 메모리의 복수의 저장 셀의 비교부의 연결 관계를 나타내기 위한 회로도이다. 도 11b는 도 4 또는 도 5의 터너리 내용 주소화 메모리의 복수의 저장 셀의 비교부의 연결 관계를 나타내는 회로도이다.
- [123] 도 11a는 프리차지 방식을 취하는 종래의 비교부의 연결 관계를 나타낸다. 종래의 저장 셀들의 비교부들은 병렬로 연결될 수 있다. 반면, 도 11b는 프리차지 방식이 아닌 본 발명에 따른 비교부의 연결 관계를 나타낸다.
- [124] 도 11a에서 보듯이, 종래의 터너리 내용 주소화 메모리에서는 검색을 하기 전에 프리차지 신호(PREML)가 인가되면 프리차지 스위칭 소자(MP)가 턴 온되어, 상기 비교 스위칭 소자(MC)의 입력 전극에는 전원 전압(VDDML)이 프리차지 된다. 예를 들어, 종래의 터너리 내용 주소화 메모리에서 모든 저장 셀에서 match(0)로 판정된 경우, 상기 모든 저장 셀의 비교 스위칭 소자들(MC)은 모두 턴 오프되고, 상기 프리차지된 전원 전압(VDDML)은 상기 마지막 저장 셀의 비교부를 통해 출력된다. 따라서, 상기 출력 결과(OML)는 상기 전원 전압(VDDML)의 레벨인 1이 된다.
- [125] 종래의 터너리 내용 주소화 메모리에서는 검색을 하기 전에 프리차지 신호(PREML)가 인가되면 프리차지 스위칭 소자(MP)가 턴 온되어, 상기 비교 스위칭 소자(MC)의 입력 전극에는 전원 전압(VDDML)이 프리차지 된다. 예를 들어, 종래의 터너리 내용 주소화 메모리에서 특정 저장 셀에서 no match(1)로 판정된 경우, 상기 no match인 저장 셀의 비교 스위칭 소자(MC)는 턴 온되고, 상기 프리차지된 전원 전압(VDDML)은 no match인 저장 셀의 비교부를 통해 디스차지된다. 따라서, 상기 출력 결과(OML)는 접지 레벨인 0이 된다.
- [126] 종래의 방식에서는 매 검색마다 상기 매칭 라인(ML)을 프리차지하여야 한다. 그러나 실제로는 match가 성공하는 경우보다는 실패하는 경우가 훨씬 많으므로 매 검색마다 충전 및 방전을 반복하게 되어 검색 시에 전력 소비가 증가하는 문제가 있다.
- [127] 본 발명의 터너리 내용 주소화 메모리에서는, 별도의 프리차지를 수행하지 않는다. 첫 번째 저장 셀의 비교부의 제2 비교 스위칭 소자(M6A) 및 제3 비교 스위칭 소자(M6B)의 제어 전극에 상기 입력 매칭 신호(IML)가 인가된다. 예를 들어, 본 실시예의 터너리 내용 주소화 메모리에서 모든 저장 셀에서 match(0)로 판정된 경우, 상기 제1 비교 스위칭 소자(M5)는 턴 온되어, 상기 제2 비교 스위칭 소자(M6A) 및 제3 비교 스위칭 소자(M6B)의 제어 전극에 인가되는 입력 매칭

신호(IML)가 상기 제2 비교 스위칭 소자(M6A) 및 제3 비교 스위칭 소자(M6B)에 의해 반전되어 다음 셀로 전달된다. 따라서, 상기 저장 셀의 개수가 짝수인 경우, 상기 출력 결과(OML)는 상기 입력 매칭 신호(IML)와 동일한 파형을 갖는다. 반면, 상기 저장 셀의 개수가 홀수인 경우, 상기 출력 결과(OML)는 상기 입력 매칭 신호(IML)와 반전된 파형을 갖는다. 예를 들어, 상기 입력 매칭 신호(IML)로 로우-하이-로우값을 갖는 구형파 펄스가 입력되고, 상기 모든 저장 셀에서 match(0)로 판정되며, 상기 저장 셀의 개수가 짝수인 경우, 상기 출력 결과(OML)는 로우-하이-로우값을 갖는 구형파 펄스일 수 있다. 예를 들어, 상기 입력 매칭 신호(IML)로 로우-하이-로우값을 갖는 구형파 펄스가 입력되고, 상기 모든 저장 셀에서 match(0)로 판정되며, 상기 저장 셀의 개수가 홀수인 경우, 상기 출력 결과(OML)는 하이-로우-하이값을 갖는 구형파 펄스일 수 있다.

- [128] 본 발명의 터너리 내용 주소화 메모리에서는, 별도의 프리차지를 수행하지 않는다. 첫 번째 저장 셀의 비교부의 제2 비교 스위칭 소자(M6A) 및 제3 비교 스위칭 소자(M6B)의 제어 전극에 상기 입력 매칭 신호(IML)가 인가된다. 예를 들어, 본 실시예의 터너리 내용 주소화 메모리에서 특정 저장 셀에서 no match(1)로 판정된 경우, 상기 no match인 특정 저장 셀의 제1 비교 스위칭 소자(M5)는 턴 오프되어, 상기 제2 비교 스위칭 소자(M6A) 및 제3 비교 스위칭 소자(M6B)의 제어 전극에 인가되는 입력 매칭 신호(IML)가 다음 셀로 전달되지 않는다. 따라서, 상기 마지막 저장 셀의 비교부에는 입력 매칭 신호(IML)가 출력되지 않는다. 예를 들어, 특정 저장 셀이 no match인 경우, 상기 출력 결과(OML)는 접지 전압 레벨일 수 있다.
- [129] 본 발명의 터너리 내용 주소화 메모리는 매 검색시마다 프리차지를 수행할 필요가 없으므로, 소비 전력을 감소시킬 수 있다.
- [130] 종래의 방식은 매칭 라인(ML)을 상기 전원 전압(VDDML)으로 선충전하고, match의 경우 상기 매칭 라인(ML)을 상기 전원 전압(VDDML)으로 유지하고, 하나의 저장 셀에서라도 no match가 있는 경우 상기 매칭 라인(ML)을 방전한다. 반면, 본 발명의 방식은 검색 시에 상기 입력 매칭 신호(IML)를 인가하며, match의 경우, 상기 입력 매칭 신호(IML) 또는 그 반전 신호를 출력하고, 하나의 저장 셀에서라도 no match가 있는 경우, 충전되지 않은 출력 매칭 라인(OML)을 접지 레벨로 유지하게 된다. 따라서, 종래의 방식에 비해 충전의 횟수가 크게 줄어들어 소비 전력을 크게 절감할 수 있다.
- [131] 본 실시예에 따르면, 상기 터너리 내용 주소화 메모리는 서로 연결되는 복수의 저장 셀들을 포함하고, 상기 저장 셀의 비교부는 비교 신호에 응답하여 입력 매칭 신호를 다음 저장 셀의 비교부로 전달하거나 차단하므로, 종래의 방식에 비해 매칭 라인의 충전 횟수가 크게 줄어들어 소비 전력을 크게 절감할 수 있다.
- [132] 도 12는 본 발명의 다른 실시예에 따른 터너리 내용 주소화 메모리(100A)를 나타내는 회로도이다. 도 13은 본 발명의 다른 실시예에 따른 터너리 내용 주소화 메모리(200A)를 나타내는 회로도이다.

- [133] 본 실시예에 따른 터너리 내용 주소화 메모리(100A, 200A)는 저장 셀의 회로 구성, 상기 비교 라인(CLA, CLB)의 연결 관계, 비교 데이터가 저장 데이터와 매치 되었을 때의 논리값 및 부정값(x)을 저장할 수 있는 지 여부 등을 제외하면, 도 1 내지 도 11b를 참조하여 설명한 터너리 내용 주소화 메모리(100, 200)와 실질적으로 동일하다. 따라서, 동일하거나 대응되는 구성 요소에 대해서는 동일한 도면 부호를 사용하고, 반복되는 설명은 생략한다.
- [134] 도 12를 참조하면, 본 발명의 일 실시예에 따른 터너리 내용 주소화 메모리(100A)는 데이터를 저장하거나 저장한 데이터를 비교 데이터와 비교하여 비교값을 출력하는 저장 셀(110A), 저장 셀(110A)에 데이터를 저장 동작 시 또는 리프레쉬 동작 시 비트 라인(BLA, BLB)과 비교 라인(CLA, CLB)을 프리차지(precharge)시키는 프리차지부(120) 및 저장 셀(110)에 저장되어 있는 데이터를 생성하고 센싱한 데이터를 증폭하여 저장 셀(110)에 저장되어 있는 데이터를 리프레쉬하는 센싱부(130)를 구비하고 있다.
- [135] 도 13을 참조하면, 본 발명의 다른 실시예에 따른 터너리 내용 주소화 메모리(200A)는 데이터를 저장하거나 저장한 데이터를 비교 데이터와 비교하여 비교값을 출력하는 저장 셀(210A), 저장 셀(210A)에 데이터를 저장 동작 시 또는 리프레쉬 동작 시 비트 라인(BLA, BLB)과 비교 라인(CLA, CLB)을 프리차지(precharge)시키는 프리차지부(220) 및 저장 셀(210A)에 저장되어 있는 데이터를 센싱하고 센싱한 데이터를 증폭하여 저장 셀(210A)에 저장되어 있는 데이터를 리프레쉬하는 센싱부(230)를 구비하고 있다.
- [136] 도 14는 도 12 또는 도 13에 따른 터너리 내용 주소화 메모리의 저장셀(110A, 210A)을 나타내는 회로도이다.
- [137] 도 14를 참조하면, 본 발명에 따른 터너리 내용 주소화의 저장 셀은 0, 1, 부정값(x)의 데이터를 저장하기 위한 저장부(310), 저장할 데이터를 저장부(310)로 제공하기 위한 한 쌍의 비트 라인(BLA, BLB), 저장부(310)에 저장되어 있는 데이터를 검색하기 위한 비교 데이터를 제공하는 한 쌍의 비교 라인(CLA, CLB), 상기 비교 라인(CLA, CLB)으로 제공된 비교 데이터와 저장부(310)에 저장되어 있는 저장 데이터를 비교하여 터너리 내용 주소화 메모리에 저장된 데이터를 판단하는 비교부(320A)를 구비하고 있다.
- [138] 저장부(310)는 제1 저장부(311)와 제2 저장부(313)로 구성되어 있는데, 제1 저장부(311)에 저장할 데이터는 제1 비트 라인(BLA)을 통해 제1 저장부(311)로 제공되며, 제2 저장부(313)에 저장할 데이터는 제2 비트 라인(BLB)을 통해 제2 저장부(313)로 제공된다. 제1 저장부(311) 또는 제2 저장부(313)의 활성화는 워드 라인(WL)을 통해 입력되는 활성화 신호에 의해 제어된다.
- [139] 상기 비교부(320A)는 상기 제1 저장부(311) 및 상기 제2 저장부(313)의 출력 단자에 연결된다. 상기 비교부(320A)는 비교 신호에 응답하여 입력 매칭 신호(IML)를 다음 저장 셀의 비교부(320A)로 전달하거나 차단한다.
- [140] 상기 비교부(320A)는 직렬로 연결되는 비교 스위치(SW) 및 비교

인버터(INV)를 포함한다. 상기 비교 스위치(SW)는 제1 비교 스위칭 소자(M6)를 포함할 수 있다. 상기 비교 인버터(INV)는 직렬로 연결되는 제2 비교 스위칭 소자(M5A) 및 제3 비교 스위칭 소자(M5B)를 포함할 수 있다.

- [141] 본 실시예에서, 상기 제1 비교 스위칭 소자(M6)는 N형 트랜지스터일 수 있다. 상기 제2 비교 스위칭 소자(M5A)는 P형 트랜지스터일 수 있다. 상기 제3 비교 스위칭 소자(M5B)는 N형 트랜지스터일 수 있다.
- [142] 상기 제2 비교 스위칭 소자(M5A)는 입력 매칭 신호(IML)가 인가되는 제어 전극, 전원 전압(VDD)이 인가되는 입력 전극 및 상기 제3 비교 스위칭 소자(M5B)의 입력 전극에 연결되는 출력 전극을 포함한다.
- [143] 상기 제3 비교 스위칭 소자(M5B)는 입력 매칭 신호(IML)가 인가되는 제어 전극, 상기 제2 비교 스위칭 소자(M5A)의 출력 전극에 연결되는 입력 전극 및 상기 제1 비교 스위칭 소자(M6)의 입력 전극에 연결되는 출력 전극을 포함한다.
- [144] 상기 제1 비교 스위칭 소자(M6)는 상기 제1 저장부(311) 및 상기 제2 저장부(313)의 상기 출력 단자에 연결되는 제어 전극, 상기 제3 비교 스위칭 소자(M6B)의 출력 전극에 연결되는 입력 전극 및 접지에 연결되는 출력 전극을 포함한다.
- [145] 상기 제2 비교 스위칭 소자(M5A)의 출력 전극에는 매칭 라인(ML)이 연결된다. 상기 매칭 라인(ML)은 현재 저장 셀의 상기 제2 비교 스위칭 소자(M5A)의 출력 전극을 다음 저장 셀의 상기 제2 비교 스위칭 소자(M5A) 및 상기 제3 비교 스위칭 소자(M5B)의 제어 전극에 연결한다.
- [146] 예를 들어, 제1 스위칭 소자(M1) 내지 제4 스위칭 소자(M4)는 NMOS 트랜지스터일 수 있다. 예를 들어, 제1 비교 스위칭 소자(M6)는 NMOS 트랜지스터일 수 있다. 예를 들어, 제2 비교 스위칭 소자(M5A)는 PMOS 트랜지스터일 수 있다. 예를 들어, 제3 비교 스위칭 소자(M5B)는 NMOS 트랜지스터일 수 있다.
- [147] 도 15는 도 12 또는 도 13에 따른 터너리 내용 주소화 메모리에 0, 1을 저장하기 위해 비트 라인쌍(BLA, BLB)에 입력되는 데이터와 터너리 메모리의 저장 셀에 저장된 데이터를 비교 검색하기 위하여 비교 라인쌍(CLA, CLB)으로 입력되는 데이터를 나타내는 테이블이다.
- [148] 도 15에 도시되어 있는 것과 같이, 0을 터너리 내용 주소화 메모리에 저장하기 위하여 제1 비트 라인(BLA)에 0을 입력하고 제2 비트 라인(BLB)에 1을 입력한다. 1을 터너리 내용 주소화 저장 셀에 저장하기 위하여 제1 비트 라인(BLA)에 1을 입력하고 제2 비트 라인(BLB)에 0을 입력한다. 본 실시예에서는 부정값(x)을 터너리 내용 주소화 저장 셀에 저장하지 못한다.
- [149] 도 15에 도시되어 있는 것과 같이, 터너리 내용 주소화 저장 셀에 저장된 데이터가 0인지 판단하기 위하여 제1 비교 라인(CLA)에 0을 입력하고 제2 비교 라인(CLB)에 1을 입력하며, 터너리 내용 주소화 저장 셀에 저장된 데이터가 1인지 판단하기 위하여 제1 비교 라인(CLA)에 1을 입력하고 제2 비교

라인(CLB)에 0을 입력하며, 터너리 내용 주소화 저장 셀에 저장된 데이터를 don't care하기 위해서는 제1 비교 라인(CLA)에 1을 입력하고 제2 비교 라인(CLB)에 1을 입력한다.

- [150] 본 실시예에서, 상기 비교 라인(CLA, CLB)에 입력한 로직이 상기 저장 셀에 저장된 데이터와 일치하는 경우, 상기 저장부의 출력 단자의 출력 로직은 1(match)일 수 있다. 상기 비교 라인(CLA, CLB)에 입력한 로직이 상기 저장 셀에 저장된 데이터와 불일치하는 경우, 상기 저장부의 출력 단자의 출력 로직은 0(no match)일 수 있다.
- [151] 상기 저장부의 출력 단자의 출력 로직이 1(match)인 경우, 상기 비교부(320A)의 제1 비교 스위칭 소자(M6)는 턴 온 되어, 상기 인버터(INV)에 입력되는 입력 매칭 신호(IML)가 상기 인버터(INV)에 의해 반전되어 다음 셀로 전달된다.
- [152] 상기 저장부의 출력 단자의 출력 로직이 0(no match)인 경우, 상기 비교부(320A)의 제1 비교 스위칭 소자(M6)는 턴 오프 되어, 상기 인버터(INV)에 입력되는 입력 매칭 신호(IML)가 다음 셀로 전달되지 않는다.
- [153] 도 16은 도 12 또는 도 13의 복수의 저장 셀의 연결 관계를 나타내는 회로도이다.
- [154] 도 16을 참조하면, 상기 터너리 내용 주소화 메모리는 복수의 저장셀(CELL0, CELL1, ..., CELLN-1, CELLN)을 포함한다. 상기 저장 셀은 제1 데이터를 저장하는 제1 저장부(311), 제2 데이터를 저장하는 제2 저장부(313) 및 상기 제1 저장부(311) 및 상기 제2 저장부(313)의 출력 단자에 연결되며, 비교 신호에 응답하여 입력 매칭 신호(IML)를 다음 저장 셀의 비교부(320A)로 전달하거나 차단하는 비교부(320A)를 포함한다.
- [155] 상기 복수의 저장 셀들(CELL0, CELL1, ..., CELLN-1, CELLN)은 서로 연결된다. 예를 들어, 상기 복수의 저장 셀들(CELL0, CELL1, ..., CELLN-1, CELLN)의 비교부(320A)는 서로 연결된다.
- [156] 제1 저장 셀(CELL0)의 비교부(320)의 제2 비교 스위칭 소자(M5A) 및 제3 비교 스위칭 소자(M5B)의 제어 전극에는 입력 매칭 신호(IML)가 인가된다. 상기 제1 저장 셀(CELL0)의 검색 결과가 match인 경우, 상기 제1 저장 셀(CELL0)의 비교부(320A)는 상기 입력 매칭 신호(IML)를 제2 저장 셀(CELL1)의 비교부(320)의 제2 비교 스위칭 소자(M5A) 및 제3 비교 스위칭 소자(M5B)의 제어 전극에 전달한다. 이때, 상기 입력 매칭 신호(IML)는 인버팅 동작을 하는 제2 비교 스위칭 소자(M5A) 및 제3 비교 스위칭 소자(M5B)에 의해 반전되어 전달될 수 있다.
- [157] 상기 제1 저장 셀(CELL0)의 비교부(320A)의 제2 비교 스위칭 소자(M5A)의 출력 전극 및 상기 제2 저장 셀(CELL1)의 비교부(320A)의 제2 비교 스위칭 소자(M5A) 및 제3 비교 스위칭 소자(M5B)의 제어 전극은 매칭 라인(ML)에 의해 서로 연결될 수 있다.
- [158] 도 17은 도 12 또는 도 13의 터너리 내용 주소화 메모리의 복수의 저장 셀의

비교부의 연결 관계를 나타내는 회로도이다.

- [159] 도 17을 참조하면, 본 발명의 터너리 내용 주소화 메모리에서는, 별도의 프리차지를 수행하지 않는다. 첫 번째 저장 셀의 비교부의 제2 비교 스위칭 소자(M5A) 및 제3 비교 스위칭 소자(M5B)의 제어 전극에 상기 입력 매칭 신호(IML)가 인가된다. 예를 들어, 본 실시예의 터너리 내용 주소화 메모리에서 모든 저장 셀에서 match(1)로 판정된 경우, 상기 제1 비교 스위칭 소자(M6)는 턴 온되어, 상기 제2 비교 스위칭 소자(M5A) 및 제3 비교 스위칭 소자(M5B)의 제어 전극에 인가되는 입력 매칭 신호(IML)가 상기 제2 비교 스위칭 소자(M5A) 및 제3 비교 스위칭 소자(M5B)에 의해 반전되어 다음 셀로 전달된다. 따라서, 상기 저장 셀의 개수가 짝수인 경우, 상기 출력 결과(OML)는 상기 입력 매칭 신호(IML)와 동일한 파형을 갖는다. 반면, 상기 저장 셀의 개수가 홀수인 경우, 상기 출력 결과(OML)는 상기 입력 매칭 신호(IML)와 반전된 파형을 갖는다.
- [160] 본 발명의 터너리 내용 주소화 메모리에서는, 별도의 프리차지를 수행하지 않는다. 첫 번째 저장 셀의 비교부의 제2 비교 스위칭 소자(M5A) 및 제3 비교 스위칭 소자(M5B)의 제어 전극에 상기 입력 매칭 신호(IML)가 인가된다. 예를 들어, 본 실시예의 터너리 내용 주소화 메모리에서 특정 저장 셀에서 no match(0)로 판정된 경우, 상기 no match인 특정 저장 셀의 제1 비교 스위칭 소자(M6)는 턴 오프되어, 상기 제2 비교 스위칭 소자(M5A) 및 제3 비교 스위칭 소자(M5B)의 제어 전극에 인가되는 입력 매칭 신호(IML)가 다음 셀로 전달되지 않는다. 따라서, 상기 마지막 저장 셀의 비교부에는 입력 매칭 신호(IML)가 출력되지 않는다. 예를 들어, 특정 저장 셀이 no match인 경우, 상기 출력 결과(OML)는 접지 전압 레벨일 수 있다.
- [161] 본 발명의 터너리 내용 주소화 메모리는 매 검색시마다 프리차지를 수행할 필요가 없으므로, 소비 전력을 감소시킬 수 있다.
- [162] 종래의 방식은 매칭 라인(ML)을 상기 전원 전압(VDDML)으로 선충전하고, match의 경우 상기 매칭 라인(ML)을 상기 전원 전압(VDDML)으로 유지하고, 하나의 저장 셀에서라도 no match가 있는 경우 상기 매칭 라인(ML)을 방전한다. 반면, 본 발명의 방식은 검색 시에 상기 입력 매칭 신호(IML)를 인가하며, match의 경우, 상기 입력 매칭 신호(IML) 또는 그 반전 신호를 출력하고, 하나의 저장 셀에서라도 no match가 있는 경우, 충전되지 않은 출력 매칭 라인(OML)을 접지 레벨로 유지하게 된다. 따라서, 종래의 방식에 비해 충전의 횟수가 크게 줄어들어 소비 전력을 크게 절감할 수 있다.

청구범위

- [청구항 1] 제1 데이터를 저장하는 제1 저장부;
제2 데이터를 저장하는 제2 저장부; 및
상기 제1 저장부 및 상기 제2 저장부의 출력 단자에 연결되며, 입력 매칭 신호를 수신하고, 수신한 상기 입력 매칭 신호를 출력하거나 차단하는 비교부를 포함하며,
상기 비교부는 제1 비교 스위칭 소자 및 상기 제1 비교 스위칭 소자와 직렬로 연결되는 비교 인버터를 포함하는 것을 특징으로 하는 터너리 내용 주소화 메모리의 저장 셀.
- [청구항 2] 제1항에 있어서, 상기 비교 인버터는
제2 비교 스위칭 소자; 및
상기 제2 비교 스위칭 소자와 직렬로 연결되는 제3 비교 스위칭 소자를 포함하는 것을 특징으로 하는 터너리 내용 주소화 메모리의 저장 셀.
- [청구항 3] 제2항에 있어서, 상기 제1 비교 스위칭 소자는 P형 트랜지스터이고,
상기 제2 비교 스위칭 소자는 P형 트랜지스터이며,
상기 제3 비교 스위칭 소자는 N형 트랜지스터인 것을 특징으로 하는 터너리 내용 주소화 메모리의 저장 셀.
- [청구항 4] 제3항에 있어서, 상기 제1 비교 스위칭 소자는 상기 제1 저장부 및 상기 제2 저장부의 상기 출력 단자에 연결되는 제어 전극, 전원 전압이 인가되는 입력 전극 및 상기 제2 비교 스위칭 소자의 입력 전극과 연결되는 출력 전극을 포함하고,
상기 제2 비교 스위칭 소자는 상기 입력 매칭 신호가 인가되는 제어 전극, 상기 제1 비교 스위칭 소자의 상기 출력 전극에 연결되는 입력 전극 및 상기 제3 비교 스위칭 소자의 입력 전극에 연결되는 출력 전극을 포함하며,
상기 제3 비교 스위칭 소자는 상기 입력 매칭 신호가 인가되는 제어 전극, 상기 제2 비교 스위칭 소자의 상기 출력 전극에 연결되는 입력 전극 및 접지에 연결되는 출력 전극을 포함하는 것을 특징으로 하는 터너리 내용 주소화 메모리의 저장 셀.
- [청구항 5] 제2항에 있어서, 상기 제1 비교 스위칭 소자는 N형 트랜지스터이고,
상기 제2 비교 스위칭 소자는 P형 트랜지스터이며,
상기 제3 비교 스위칭 소자는 N형 트랜지스터인 것을 특징으로 하는 터너리 내용 주소화 메모리의 저장 셀.
- [청구항 6] 제5항에 있어서, 상기 제1 비교 스위칭 소자는 상기 제1 저장부 및 상기 제2 저장부의 상기 출력 단자에 연결되는 제어 전극, 상기 제3 비교 스위칭 소자의 출력 전극에 연결되는 입력 전극 및 접지에 연결되는 출력 전극을 포함하고,

- 상기 제2 비교 스위칭 소자는 상기 입력 매칭 신호가 인가되는 제어 전극, 전원 전압이 인가되는 입력 전극 및 상기 제3 비교 스위칭 소자의 입력 전극에 연결되는 출력 전극을 포함하며,
 상기 제3 비교 스위칭 소자는 상기 입력 매칭 신호가 인가되는 제어 전극, 상기 제2 비교 스위칭 소자의 상기 출력 전극에 연결되는 입력 전극 및 상기 제1 비교 스위칭 소자의 입력 전극에 상기 연결되는 출력 전극을 포함하는 것을 특징으로 하는 터너리 내용 주소화 메모리의 저장 셀.
- [청구항 7] 서로 연결되는 복수의 저장 셀들을 포함하고,
 상기 저장 셀은
 제1 데이터를 저장하는 제1 저장부;
 제2 데이터를 저장하는 제2 저장부; 및
 상기 제1 저장부 및 상기 제2 저장부의 출력 단자에 연결되며, 입력 매칭 신호를 수신하고, 수신한 상기 입력 매칭 신호를 다음 저장 셀의 비교부로 전달하거나 차단하는 비교부를 포함하며,
 상기 비교부는 제1 비교 스위칭 소자 및 상기 제1 비교 스위칭 소자와 직렬로 연결되는 비교 인버터를 포함하는 것을 특징으로 하는 터너리 내용 주소화 메모리.
- [청구항 8] 제7항에 있어서, 상기 비교 인버터는
 제2 비교 스위칭 소자; 및
 상기 제2 비교 스위칭 소자와 직렬로 연결되는 제3 비교 스위칭 소자를 포함하는 것을 특징으로 하는 터너리 내용 주소화 메모리.
- [청구항 9] 제8항에 있어서, 상기 제1 비교 스위칭 소자는 P형 트랜지스터이고,
 상기 제2 비교 스위칭 소자는 P형 트랜지스터이며,
 상기 제3 비교 스위칭 소자는 N형 트랜지스터인 것을 특징으로 하는 터너리내용 주소화 메모리.
- [청구항 10] 제9항에 있어서, 상기 제1 비교 스위칭 소자는 상기 제1 저장부 및 상기 제2 저장부의 상기 출력 단자에 연결되는 제어 전극, 전원 전압이 인가되는 입력 전극 및 상기 제2 비교 스위칭 소자의 입력 전극과 연결되는 출력 전극을 포함하고,
 상기 제2 비교 스위칭 소자는 상기 입력 매칭 신호가 인가되는 제어 전극, 상기 제1 비교 스위칭 소자의 상기 출력 전극에 연결되는 입력 전극 및 상기 제3 비교 스위칭 소자의 입력 전극에 연결되는 출력 전극을 포함하며,
 상기 제3 비교 스위칭 소자는 상기 입력 매칭 신호가 인가되는 제어 전극, 상기 제2 비교 스위칭 소자의 상기 출력 전극에 연결되는 입력 전극 및 접지에 연결되는 출력 전극을 포함하는 것을 특징으로 하는 터너리 내용 주소화 메모리.
- [청구항 11] 제9항에 있어서, 상기 터너리 내용 주소화 메모리는 제1 저장 셀 및 제2

- 저장 셀을 포함하고,
 상기 제1 저장 셀의 제2 비교 스위칭 소자의 출력 전극은 상기 제2 저장 셀의 제2 비교 스위칭 소자의 제어 전극 및 제3 비교 스위칭 소자의 제어 전극에 연결되는 것을 특징으로 하는 터너리 내용 주소화 메모리.
- [청구항 12] 제8항에 있어서, 상기 제1 비교 스위칭 소자는 N형 트랜지스터이고, 상기 제2 비교 스위칭 소자는 P형 트랜지스터이며, 상기 제3 비교 스위칭 소자는 N형 트랜지스터인 것을 특징으로 하는 터너리 내용 주소화 메모리.
- [청구항 13] 제12항에 있어서, 상기 제1 비교 스위칭 소자는 상기 제1 저장부 및 상기 제2 저장부의 상기 출력 단자에 연결되는 제어 전극, 상기 제3 비교 스위칭 소자의 출력 전극에 연결되는 입력 전극 및 접지에 연결되는 출력 전극을 포함하고,
 상기 제2 비교 스위칭 소자는 상기 입력 매칭 신호가 인가되는 제어 전극, 전원 전압이 인가되는 입력 전극 및 상기 제3 비교 스위칭 소자의 입력 전극에 연결되는 출력 전극을 포함하며,
 상기 제3 비교 스위칭 소자는 상기 입력 매칭 신호가 인가되는 제어 전극, 상기 제2 비교 스위칭 소자의 상기 출력 전극에 연결되는 입력 전극 및 상기 제1 비교 스위칭 소자의 입력 전극에 상기 연결되는 출력 전극을 포함하는 것을 특징으로 하는 터너리 내용 주소화 메모리.
- [청구항 14] 제12항에 있어서, 상기 터너리 내용 주소화 메모리는 제1 저장 셀 및 제2 저장 셀을 포함하고,
 상기 제1 저장 셀의 제2 비교 스위칭 소자의 출력 전극은 상기 제2 저장 셀의 제2 비교 스위칭 소자의 제어 전극 및 제3 비교 스위칭 소자의 제어 전극에 연결되는 것을 특징으로 하는 터너리 내용 주소화 메모리.
- [청구항 15] 제7항에 있어서, 상기 제1 저장부는 제1 스위칭 소자 및 제2 스위칭 소자를 포함하고,
 상기 제1 스위칭 소자는
 워드 라인에 연결되는 제어 전극;
 제1 비트 라인에 연결되는 입력 전극; 및
 상기 제2 스위칭 소자의 제어 전극에 연결되는 출력 전극을 포함하며,
 상기 제2 스위칭 소자는
 상기 제1 스위칭 소자의 상기 출력 전극에 연결되는 제어 전극;
 제1 비교 라인 및 제2 비교 라인 중 어느 하나에 연결되는 입력 전극; 및
 상기 제1 저장부의 출력 단자에 연결되는 출력 전극을 포함하는 것을 특징으로 하는 터너리 내용 주소화 메모리.
- [청구항 16] 제15항에 있어서, 상기 제2 저장부는 제3 스위칭 소자 및 제4 스위칭 소자를 포함하고,
 상기 제3 스위칭 소자는

상기 워드 라인에 연결되는 제어 전극;
제2 비트 라인에 연결되는 입력 전극; 및
상기 제4 스위칭 소자의 제어 전극에 연결되는 출력 전극을 포함하며,
상기 제4 스위칭 소자는
상기 제3 스위칭 소장의 상기 출력 전극에 연결되는 제어 전극;
상기 제1 비교 라인 및 상기 제2 비교 라인 중 어느 하나에 연결되는 입력 전극; 및
상기 제2 저장부의 출력 단자에 연결되는 출력 전극을 포함하는 것을 특징으로 하는 터너리 내용 주소화 메모리.

[청구항 17] 제16항에 있어서, 상기 제2 스위칭 소자의 상기 출력 전극은 상기 제4 스위칭 소자의 상기 출력 전극에 연결되는 것을 특징으로 하는 터너리 내용 주소화 메모리.

[도1a]

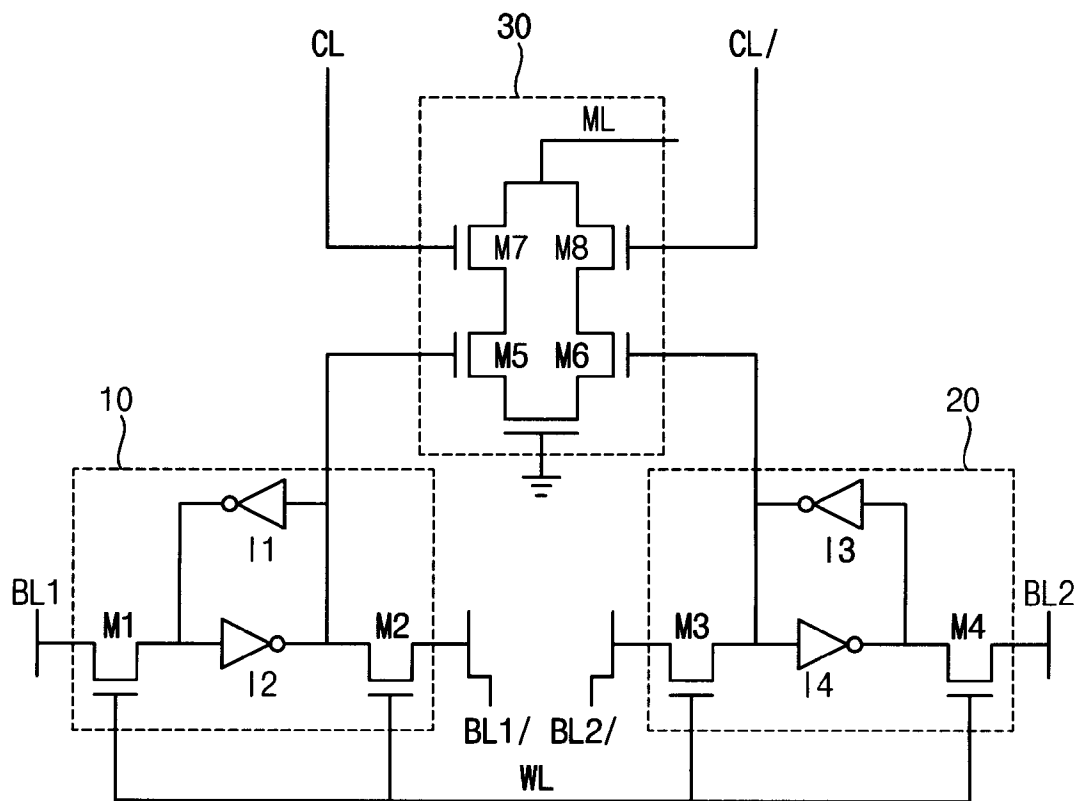
1	0	1	1	X	X	X
---	---	---	---	---	---	---

[도1b]

1	0	1	0	X	0	1
1	0	1	0	0	1	0
1	X	0	1	0	0	1
1	1	1	1	1	0	0
1	0	1	1	0	0	1
1	0	0	1	1	X	0

일치

[도2]



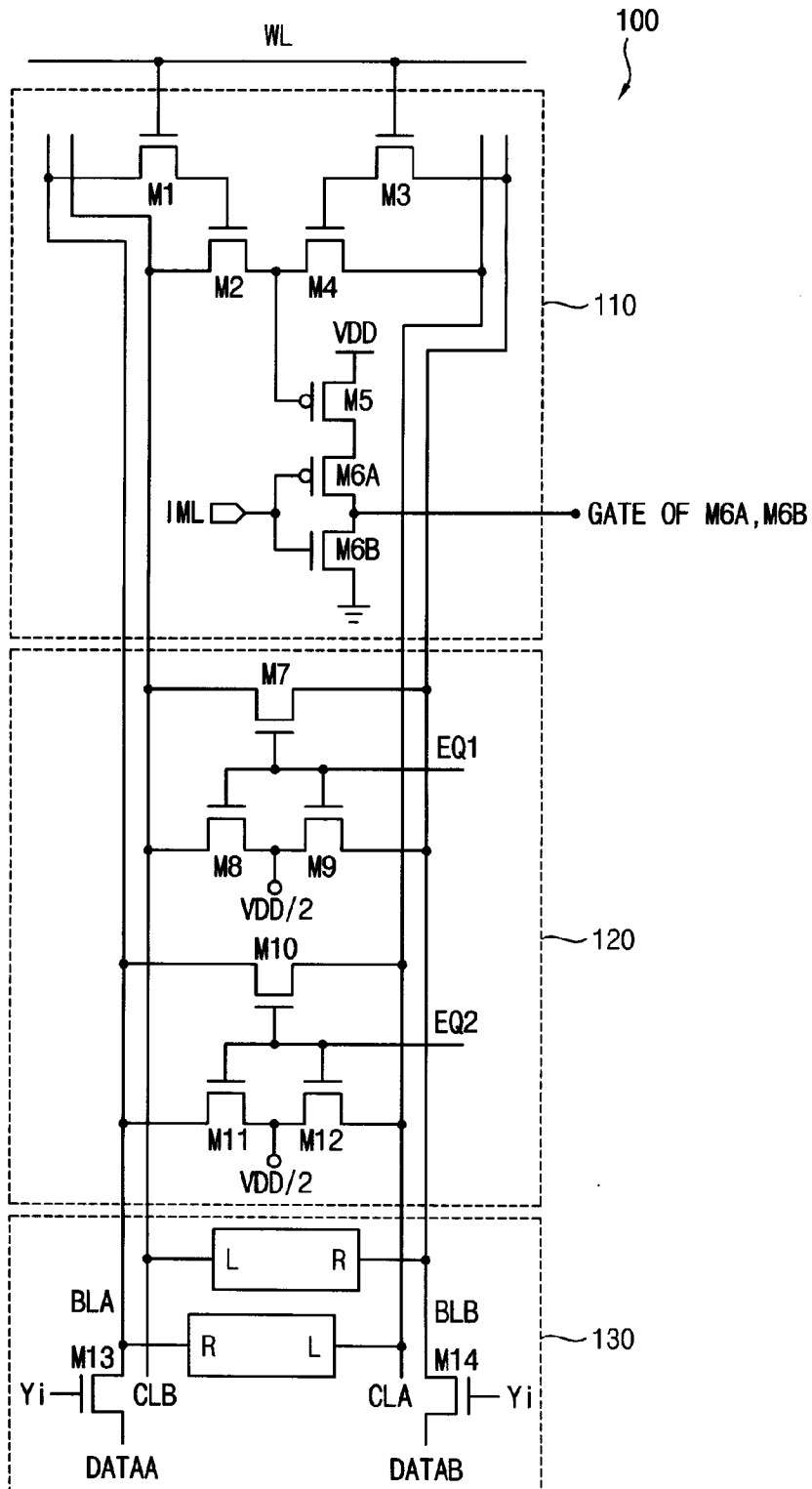
[도3a]

BL1	BL1/	BL2	BL2/	LOGIC
0	1	1	0	0
1	0	0	1	1
0	1	0	1	X

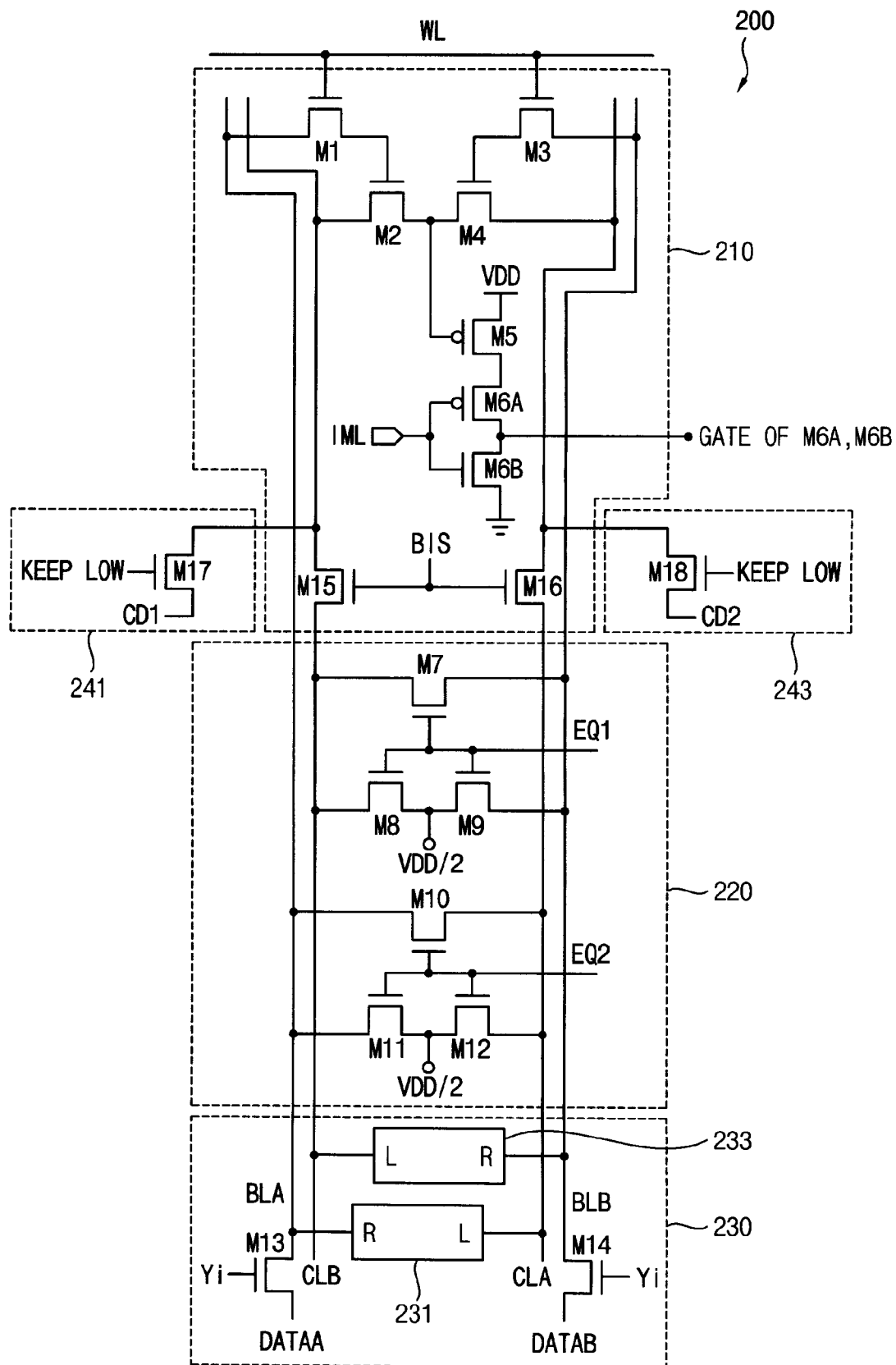
[도3b]

CL	CL/	LOGIC
0	1	0
1	0	1
0	0	X

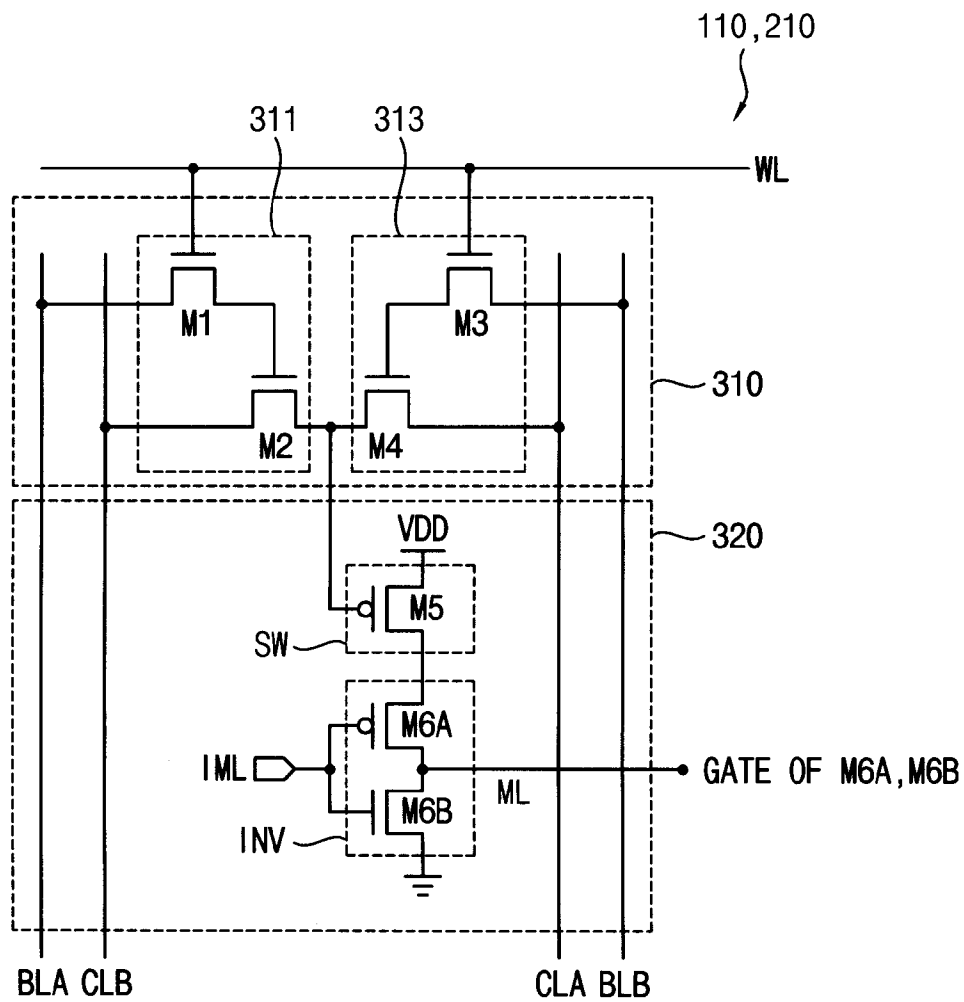
[도4]



[도5]



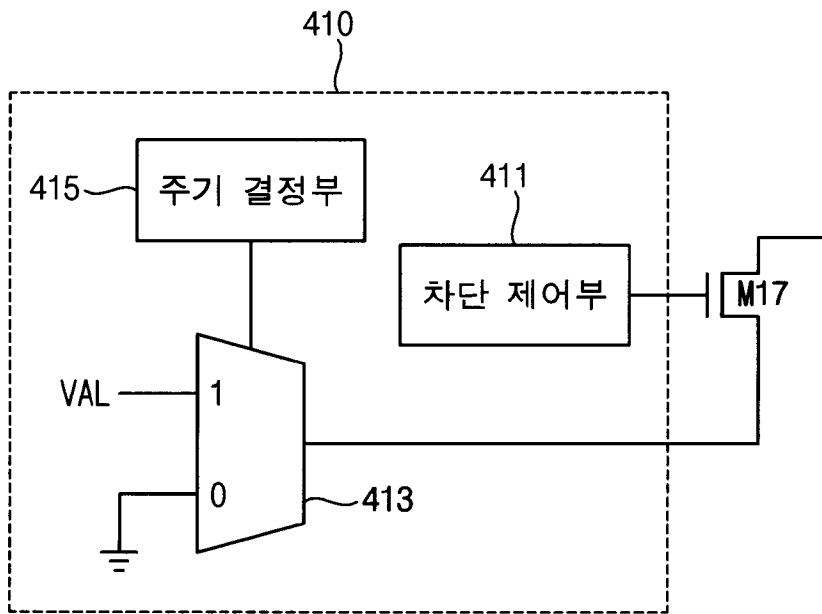
[도6]



[도7]

Store Data	Store bit		Search bit		State	g
	BLA	BLB	CLA	CLB		
0	0	1	0	1	Match	0
	0	1	1	0	NO Match	1
	0	1	0	0	Match	0
1	1	0	1	0	Match	0
	1	0	0	1	NO Match	1
	1	0	0	0	Match	0
X	0	0	0	1	Match	0
	0	0	1	0	Match	0
	0	0	0	0	Match	0

[도8]



[도9]

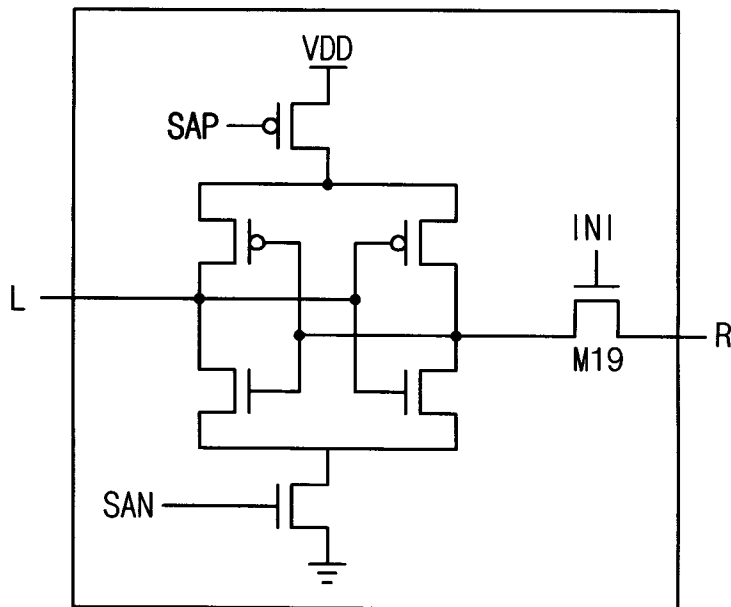
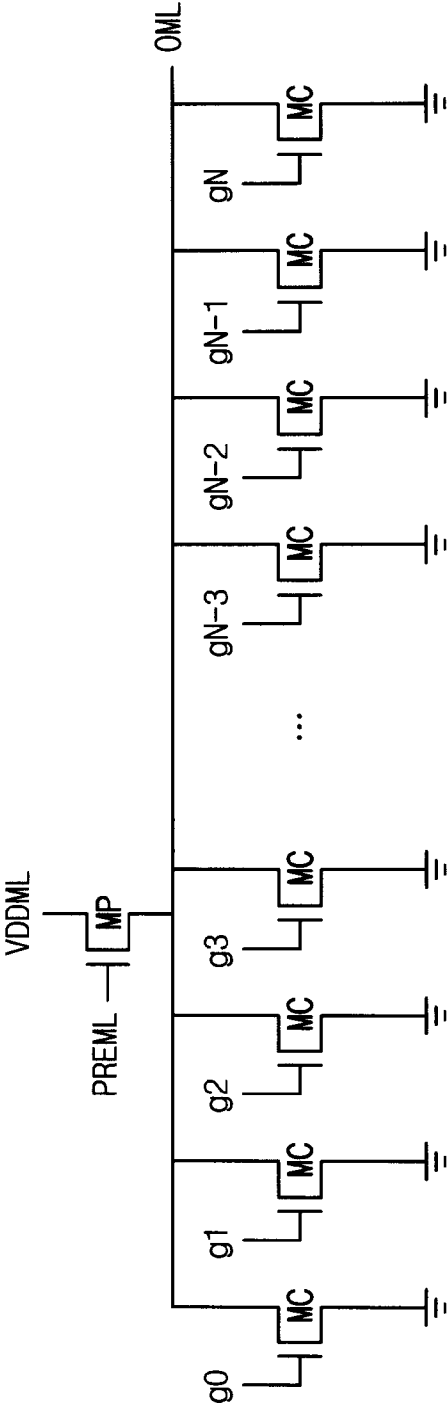
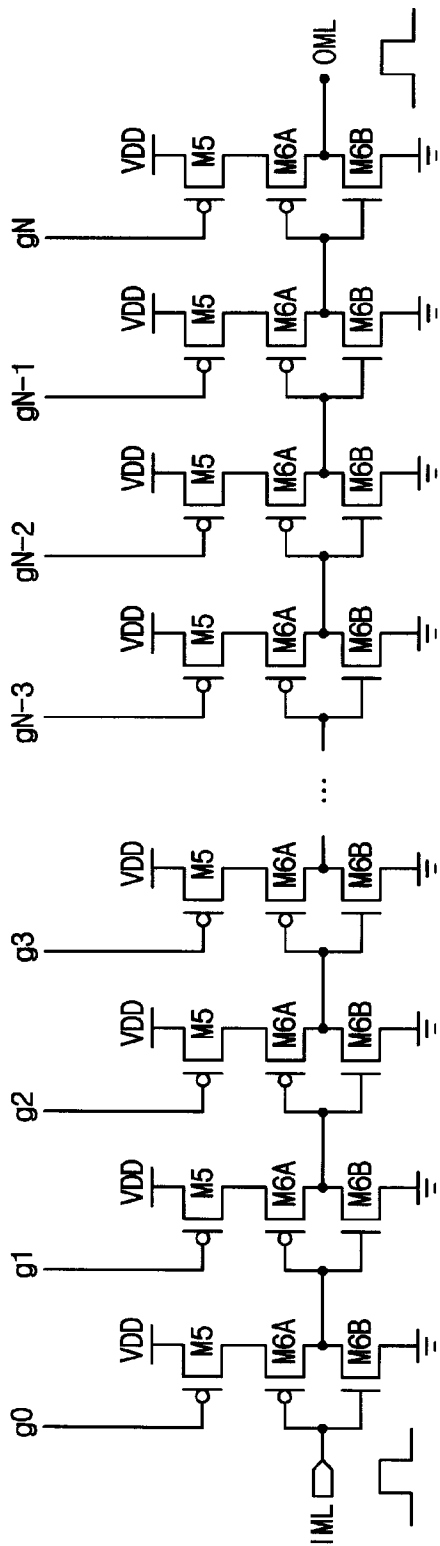


Figure 1 illustrates a schematic diagram of a programmable logic device (PLD) architecture. The device consists of a grid of logic cells, labeled CELL0, CELL1, ..., CELLN-1, and CELLN. Each cell contains a network of transistors (M1, M2, M3, M4, M5, M6A, M6B) and is controlled by input signals (CLA, BLA, CLB, BLB) and output signals (OML). The cells are connected to a common output line (OML) through a network of transistors (M5, M6A, M6B). The diagram shows the internal structure of the cells, including the connections between the input signals and the output line, and the role of the transistors in controlling the output.

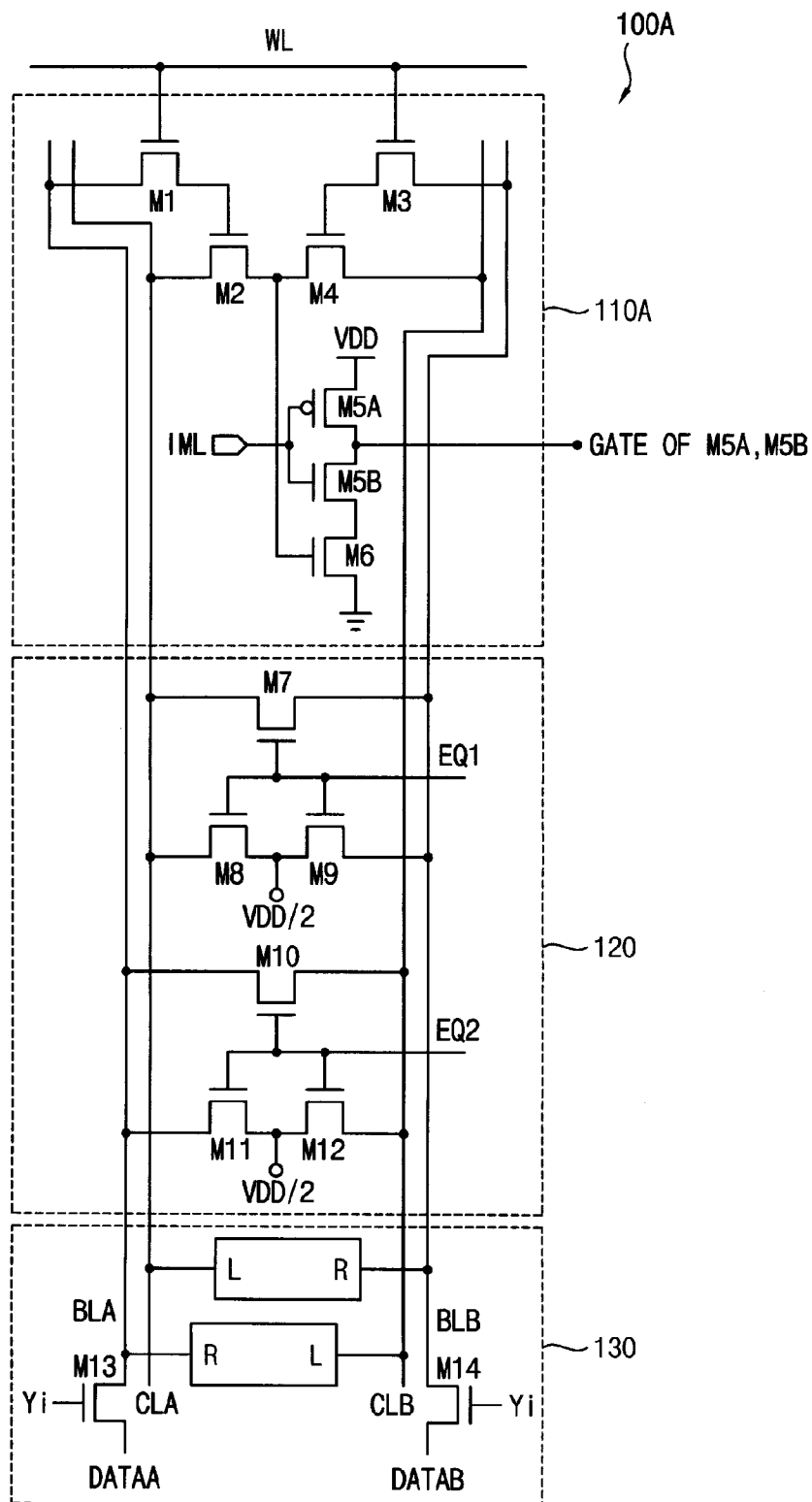
[도11a]



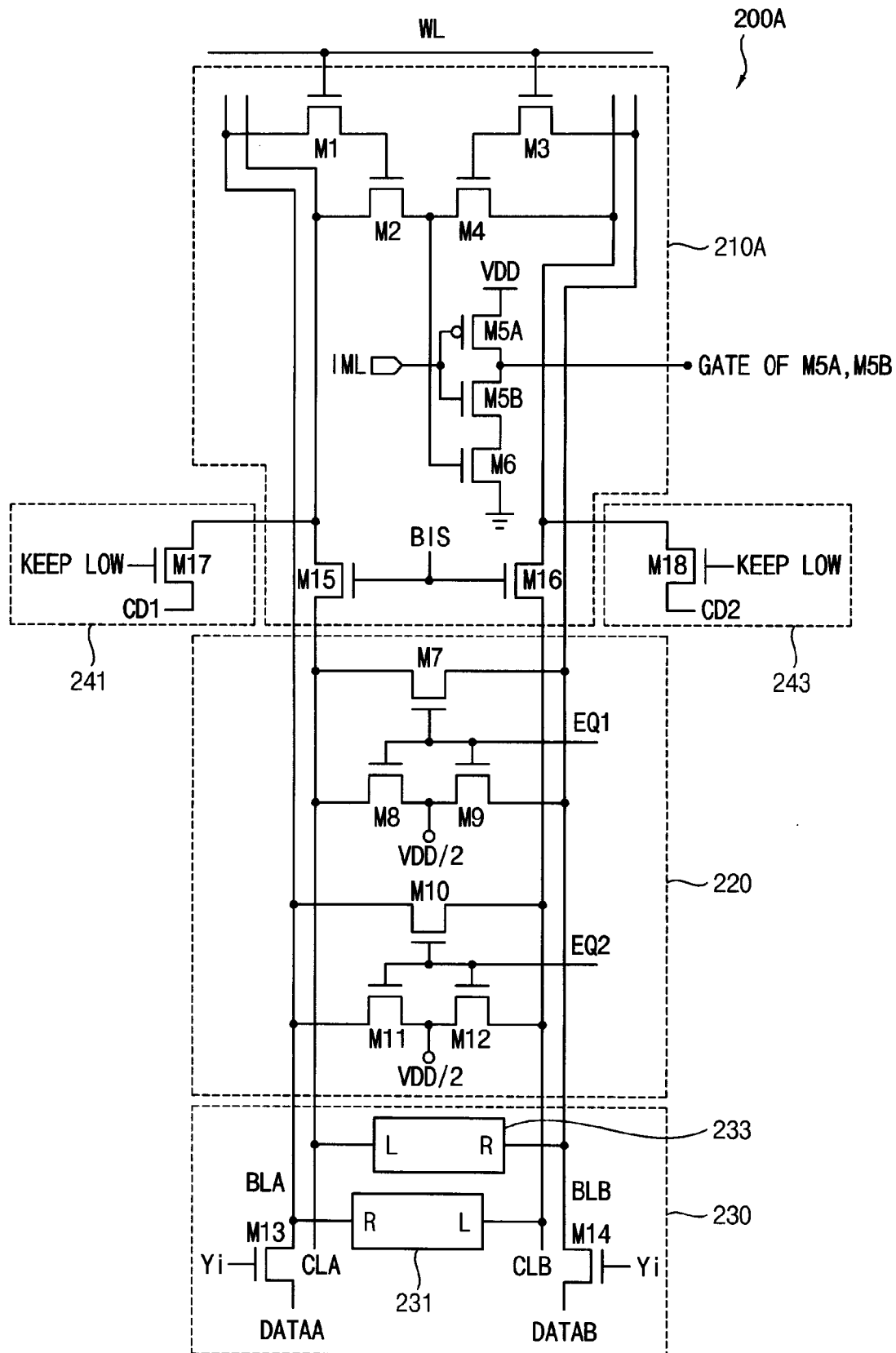
[도11b]



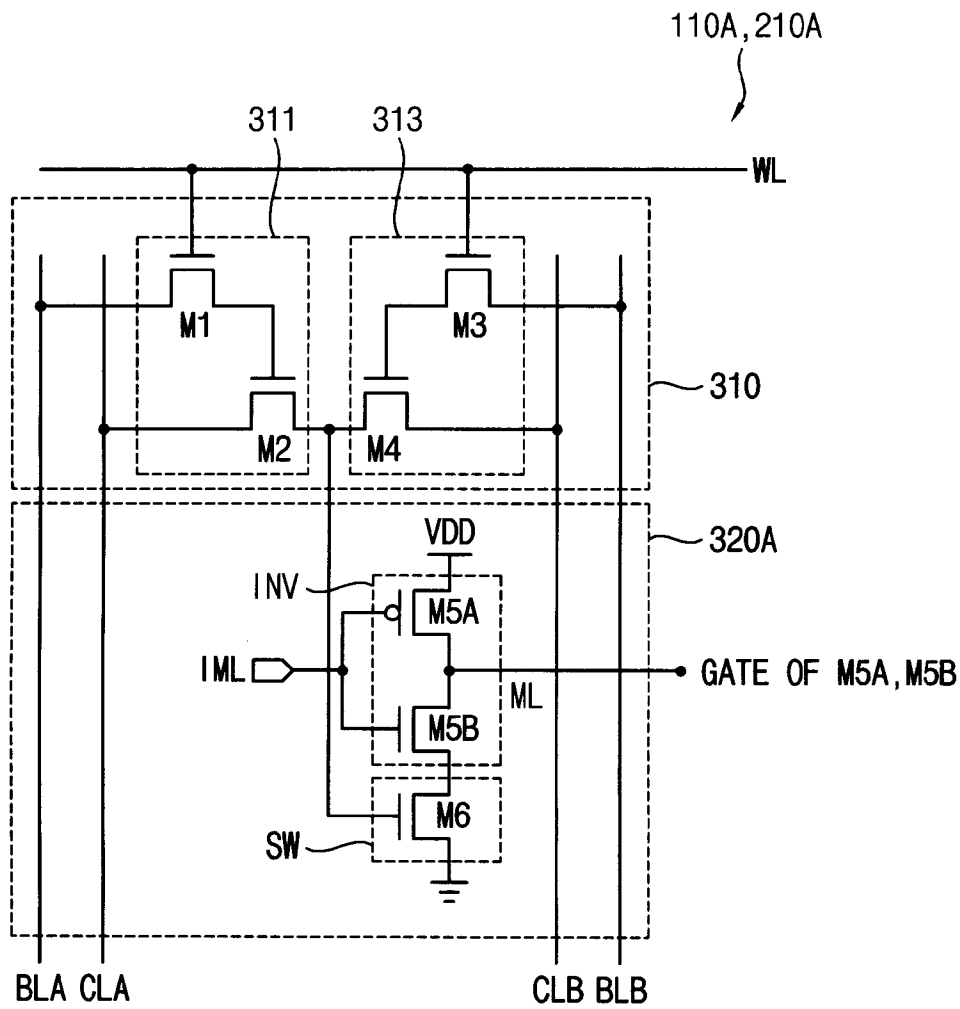
[도12]



[도13]



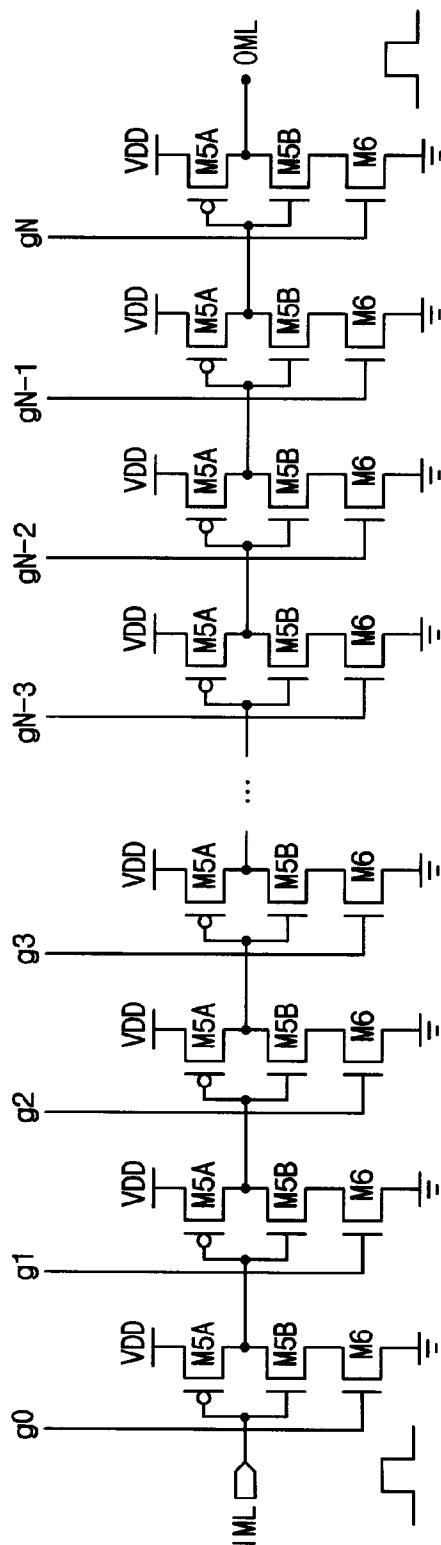
[도14]



[도15]

Store Data	Store bit		Search bit		State	g
	BLA	BLB	CLA	CLB		
0	0	1	0	1	Match	1
	0	1	1	0	NO Match	0
	0	1	1	1	Match	1
1	1	0	1	0	Match	1
	1	0	0	1	NO Match	0
	1	0	1	1	Match	1
DONT CARE 불가능						

[517]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/005874**A. CLASSIFICATION OF SUBJECT MATTER***G11C 15/00(2006.01)i, G11C 11/56(2006.01)i, G11C 15/04(2006.01)i*

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C 15/00; G11C 15/04; G11C 11/21; G11C 7/12; G11C 29/00; G11C 11/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: storage unit, input matching signal, comparison unit, inverter, ternary content addressable memory

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2011-0049719 A (UNIVERSITY-INDUSTRY COOPERATION GROUP OF KYUNG HEE UNIVERSITY) 12 May 2011 See paragraphs [0030]-[0033]; and figures 4-5.	1-17
A	JP 2004-295967 A (KAWASAKI MICROELECTRONICS K.K.) 21 October 2004 See paragraphs [0039]-[0042]; and figure 3.	1-17
A	KR 10-2012-0035052 A (UNIVERSITY-INDUSTRY COOPERATION GROUP OF KYUNG HEE UNIVERSITY) 13 April 2012 See paragraphs [0032]-[0037]; and figures 3-4.	1-17
A	KR 10-2015-0005441 A (ARM LIMITED) 14 January 2015 See paragraphs [0043]-[0052]; and figures 1-4.	1-17
A	KR 10-2004-0092194 A (SAMSUNG ELECTRONICS CO., LTD.) 03 November 2004 See claims 1-7; and figures 2-3.	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 SEPTEMBER 2017 (12.09.2017)

Date of mailing of the international search report

12 SEPTEMBER 2017 (12.09.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Sconsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/005874

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2011-0049719 A	12/05/2011	KR 10-1136578 B1 KR 10-1147839 B1 KR 10-2012-0035053 A WO 2011-055970 A2 WO 2011-055970 A3	18/04/2012 21/05/2012 13/04/2012 12/05/2011 20/10/2011
JP 2004-295967 A	21/10/2004	NONE	
KR 10-2012-0035052 A	13/04/2012	KR 10-1155120 B1	12/06/2012
KR 10-2015-0005441 A	14/01/2015	GB 2516541 A TW 201511002 A US 8848412 B1	28/01/2015 16/03/2015 30/09/2014
KR 10-2004-0092194 A	03/11/2004	CN 1540669 A EP 1471537 A1 EP 1471537 B1 JP 2004-327028 A KR 10-0505684 B1 US 2005-0024976 A1 US 2006-0062038 A1 US 7002822 B2 US 7274580 B2	27/10/2004 27/10/2004 26/07/2006 18/11/2004 02/08/2005 03/02/2005 23/03/2006 21/02/2006 25/09/2007

A. 발명이 속하는 기술분류(국제특허분류(IPC))

G11C 15/00(2006.01)i, G11C 11/56(2006.01)i, G11C 15/04(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

G11C 15/00; G11C 15/04; G11C 11/21; G11C 7/12; G11C 29/00; G11C 11/56

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 저장부, 입력 매칭 신호, 비교부, 인버터, 터너리 내용 주소화 메모리

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2011-0049719 A (경희대학교 산학협력단) 2011.05.12 단락 [0030]-[0033]; 및 도면 4-5 참조.	1-17
A	JP 2004-295967 A (KAWASAKI MICROELECTRONICS K.K.) 2004.10.21 단락 [0039]-[0042]; 및 도면 3 참조.	1-17
A	KR 10-2012-0035052 A (경희대학교 산학협력단) 2012.04.13 단락 [0032]-[0037]; 및 도면 3-4 참조.	1-17
A	KR 10-2015-0005441 A (에이알엠 리미티드) 2015.01.14 단락 [0043]-[0052]; 및 도면 1-4 참조.	1-17
A	KR 10-2004-0092194 A (삼성전자주식회사) 2004.11.03 청구항 1-7; 및 도면 2-3 참조.	1-17

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 09월 12일 (12.09.2017)

국제조사보고서 발송일

2017년 09월 12일 (12.09.2017)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

이은규

전화번호 +82-42-481-3580



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2011-0049719 A	2011/05/12	KR 10-1136578 B1 KR 10-1147839 B1 KR 10-2012-0035053 A WO 2011-055970 A2 WO 2011-055970 A3	2012/04/18 2012/05/21 2012/04/13 2011/05/12 2011/10/20
JP 2004-295967 A	2004/10/21	없음	
KR 10-2012-0035052 A	2012/04/13	KR 10-1155120 B1	2012/06/12
KR 10-2015-0005441 A	2015/01/14	GB 2516541 A TW 201511002 A US 8848412 B1	2015/01/28 2015/03/16 2014/09/30
KR 10-2004-0092194 A	2004/11/03	CN 1540669 A EP 1471537 A1 EP 1471537 B1 JP 2004-327028 A KR 10-0505684 B1 US 2005-0024976 A1 US 2006-0062038 A1 US 7002822 B2 US 7274580 B2	2004/10/27 2004/10/27 2006/07/26 2004/11/18 2005/08/02 2005/02/03 2006/03/23 2006/02/21 2007/09/25