(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年10月7日(07.10.2021)

WIPO | PCT

(10) 国際公開番号
WO 2021/199701 A1

(51) 国際特許分類:
H01L 31/107 (2006.01) *H01L 23/522* (2006.01)
H01L 21/3205 (2006.01) *H01L 27/144* (2006.01)
H01L 21/768 (2006.01) *H01L 27/146* (2006.01)

(21) 国際出願番号： PCT/JP2021/005009

(22) 国際出願日： 2021年2月10日(10.02.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

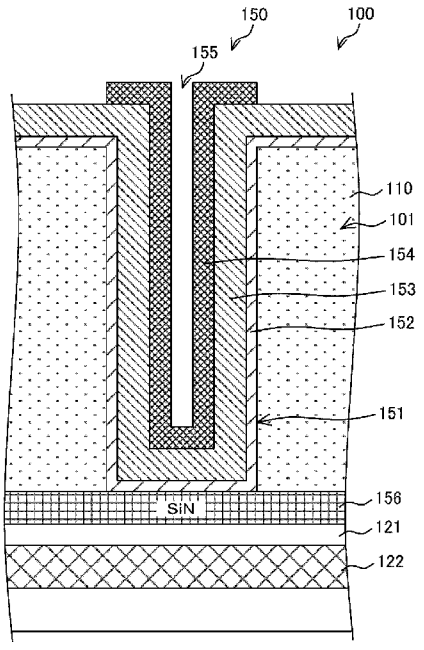
(30) 優先権データ：
特願 2020-065337 2020年3月31日(31.03.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 石橋 健三 (**ISHIBASHI Kenzo**); 〒8691102 熊本県菊池郡菊陽町大字原水４００００番地１ ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP). 多田 貴宣(**TADA Takanori**); 〒8691102 熊本県菊池郡菊陽町大字原水４０００番地１ ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP). 重歳 卓志(**SHIGETOSHI Takushi**); 〒2430014 神奈川県厚木市旭町４丁目１４－１ ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 山元 純平 (**YAMAMOTO Junpei**); 〒2430014 神奈川県厚

(54) **Title:** LIGHT RECEIVING ELEMENT AND ELECTRONIC EQUIPMENT

(54) 発明の名称： 受光素子および電子機器



(57) **Abstract:** The present invention prevents a decrease in insulation resistance between a separation area at a boundary of a pixel and a wiring layer. This light receiving element is provided with the pixel, the separation area, the wiring layer, and a wiring layer protection film. The pixel provided in the light receiving element includes a photoelectric conversion unit that is disposed on a semiconductor substrate and performs photoelectric conversion on incident light. The separation area provided in the light receiving element is disposed at a boundary of the photoelectric conversion unit to separate the

WO 2021/199701 A1

［続葉有］

木市旭町４丁目１４－１ ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人：松 尾 憲 一 郎 (MATSUO Kenichiro); 〒8100042 福岡県福岡市中央区赤坂１丁目１０番１７号 しんくみ赤坂ビル７階 Fukuoka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

photoelectric conversion unit. The wiring layer provided in the light receiving element is wired to the pixel. The wiring layer protection film provided in the light receiving element is disposed between the separation area and the wiring layer and protects the wiring layer.

(57) 要約：画素の境界の分離領域および配線層の間の絶縁抵抗の低下を防ぐ。 受光素子は、画素、分離領域、配線層および配線層保護膜を具備する。その受光素子が具備する画素は、半導体基板に配置されて入射光の光電変換を行う光電変換部を備える。その受光素子が具備する分離領域は、その光電変換部の境界に配置されてその光電変換部を分離する。その受光素子が具備する配線層は、その画素に配線される。その受光素子が具備する配線層保護膜は、その分離領域およびその配線層の間に配置されてその配線層を保護する。

明　細　書

発明の名称 ： 受光素子および電子機器

技術分野

[0001] 本開示は、受光素子および電子機器に関する。詳しくは、対象物からの光を検出する受光素子および当該受光素子を使用する電子機器に関する。

背景技術

[0002] 従来、対象物からの光を検出する光電変換部を備える複数の画素が配置されて構成された受光素子が使用されている。この受光素子は、例えば、対象物までの距離を測定する測距装置に使用される。対象物までの距離の測定は、付設された光源からの光を対象物に照射して対象物から反射された光を検出し、光源からの光が対象物との間を往復する時間を計時することにより行うことができる。このような対象物までの距離の測定に使用される受光素子は、高感度かつ高速な光の検出を行う必要があり、光電変換部としてフォトダイオードの一種であるアバランシェフォトダイオード（ＡＰＤ：Avalanche Photo Diode）やシングルフォトンアバランシェフォトダイオード（ＳＰＡＤ：Single Photon Avalanche Diode）が使用される。これらのダイオードは、降伏電圧の近傍の逆バイアス電圧が印加された状態において、光電変換を行うフォトダイオードであり、高感度かつ高速な応答が可能である。

[0003] このような受光素子として、例えば、光電変換部としてＡＰＤが画素に配置され、隣接する画素同士を分離する分離領域を備えるとともに分離領域の側壁にホール蓄積領域が配置される光検出器が使用されている（例えば、特許文献１参照。）。画素の境界の半導体基板の端面に形成される界面準位から放出される電子がホール蓄積領域により捕獲され、界面準位からの電子に起因する暗電流を低減することができる。ここで、暗電流とは、入射光に依らずに生成される電荷に基づく電流であり、センサ出力の誤差（ノイズ）の原因となるものである。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１８－２０１００５号公報

発明の概要

発明が解決しようとする課題

[0005] 上述の従来技術では、画素の光電変換部が形成される半導体基板に隣接して配置される配線と画素の分離領域と間の耐圧が低下するという問題がある。分離領域は、隣接する画素から斜めに入射する光を遮光することによりクロストークを軽減するものであり、半導体基板を貫通する形状に構成される。この分離領域は、半導体基板に埋め込まれた金属により構成される。遮光能力を向上させるためである。この金属により構成されて半導体基板を貫通する分離領域は、半導体基板の表面側に配置される配線層に近接することとなり、絶縁抵抗が低下して耐圧が低下する。このため、配線層と分離領域との間の絶縁層において絶縁破壊を生じ、光センサが破損するという問題がある。

[0006] 本開示は、上述した問題点に鑑みてなされたものであり、分離領域および配線層の間の絶縁抵抗の低下を防ぐことを目的としている。

課題を解決するための手段

[0007] 本開示は、上述の問題点を解消するためになされたものであり、その第１の態様は、半導体基板に配置されて入射光の光電変換を行う光電変換部を備える画素と、上記光電変換部の境界に配置されて上記光電変換部を分離する分離領域と、上記画素に配線される配線層と、上記分離領域および上記配線層の間に配置されて上記配線層を保護する配線層保護膜とを具備する受光素子である。

[0008] また、この第１の態様において、上記分離領域は、金属を含んで構成されてもよい。

[0009] また、この第１の態様において、上記分離領域は、上記半導体基板に形成された溝に配置される金属膜を備えてもよい。

[0010] また、この第１の態様において、上記分離領域は、上記半導体基板および上記金属膜の間に配置される絶縁膜をさらに備えてもよい。

[0011] また、この第１の態様において、上記分離領域は、底部が上記配線層保護膜に接する形状に構成されてもよい。

[0012] また、この第１の態様において、上記分離領域は、上記半導体基板を貫通する形状の上記金属膜を備えてもよい。

[0013] また、この第１の態様において、上記分離領域に隣接する上記半導体基板に配置されて固定電荷を有する膜である固定電荷膜をさらに具備してもよい。

[0014] また、この第１の態様において、上記配線層保護膜は、上記溝を形成する際の上記半導体基板のエッチングを抑制する膜により構成されてもよい。

[0015] また、この第１の態様において、上記配線層保護膜は、窒化ケイ素、炭化ケイ素、酸化ケイ素、酸窒化ケイ素、炭素、タングステン、チタンおよび窒化チタンの何れかを含む膜により構成されてもよい。

[0016] また、この第１の態様において、上記配線層保護膜は、多層に構成されてもよい。

[0017] また、この第１の態様において、上記半導体基板および上記配線層保護膜の間に配置されるバッファ層をさらに具備してもよい。

[0018] また、この第１の態様において、上記バッファ層は、絶縁物により構成されてもよい。

[0019] また、この第１の態様において、上記バッファ層は、酸化シリコンにより構成されてもよい。

[0020] また、この第１の態様において、上記分離領域は、底部が上記バッファ層に接する形状に構成されてもよい。

[0021] また、この第１の態様において、上記分離領域は、上記バッファ層を貫通する形状に構成されてもよい。

[0022] また、この第１の態様において、上記光電変換部は、フォトダイオードにより構成されてもよい。

[0023] また、この第１の態様において、上記光電変換部は、入射光の光電変換により生成された電荷を高い逆バイアス電圧により増倍する上記フォトダイオードにより構成されてもよい。

[0024] また、この第１の態様において、上記光電変換部は、上記生成された電荷がｐ型の半導体領域およびｎ型の半導体領域により構成されるｐｎ接合において上記増倍されてもよい。

[0025] また、この第１の態様において、上記光電変換部は、上記ｎ型の半導体領域により構成されるカソード領域を備えてもよい。

[0026] また、この第１の態様において、上記光電変換部は、上記半導体基板の表面側に配置される上記カソード領域を備えてもよい。

[0027] また、この第１の態様において、上記光電変換部は、上記半導体基板の表面側の上記分離領域の近傍に配置されるアノード領域を備えてもよい。

[0028] また、この第１の態様において、上記配線層は、上記アノード領域に接続されてもよい。

[0029] また、本開示の第２の態様は、半導体基板に配置されて入射光の光電変換を行う光電変換部を備える画素と、上記光電変換部の境界に配置されて上記光電変換部を分離する分離領域と、上記画素に配線される配線層と、上記分離領域および上記配線層の間に配置されて上記配線層を保護する配線層保護膜と、上記光電変換に基づいて生成された信号を処理する処理回路とを具備する電子機器である。

[0030] また、この第２の態様において、上記光電変換部は、光源から照射された光が被写体により反射されて自身に入射する上記入射光の光電変換を行い、上記処理回路は、上記光源からの上記光の照射から上記信号が生成されるまでの時間を計時することにより上記被写体までの距離を計測する上記処理を行ってもよい。

[0031] また、この第２の態様において、上記処理回路は、上記信号の変化量を検出する上記処理を行ってもよい。

[0032] また、この第２の態様において、上記処理回路は、所定の閾値と比較する

ことにより上記変化量を検出してもよい。

[0033] また、この第２の態様において、上記処理回路は、上記半導体基板に貼り合わされる半導体基板に配置されてもよい。

[0034] 本開示の態様により、配線層保護膜が分離領域および配線層の間に配置されるという作用をもたらす。配線層の保護が想定される。

図面の簡単な説明

[0035] [図1]本開示の第１の実施の形態に係る受光素子の構成例を示す図である。

[図2]本開示の第１の実施の形態に係る画素の構成例を示す図である。

[図3]本開示の第１の実施の形態に係る画素の構成例を示す断面図である。

[図4]本開示の第１の実施の形態に係る分離領域の構成例を示す断面図である。

[図5]本開示の第２の実施の形態に係る分離領域の構成例を示す断面図である。

[図6]本開示の第３の実施の形態に係る分離領域の構成例を示す断面図である。

[図7]本開示の第３の実施の形態に係る分離領域の他の構成例を示す断面図である。

[図8]本開示の第３の実施の形態に係る分離領域の他の構成例を示す断面図である。

[図9]本開示の第３の実施の形態に係る分離領域の他の構成例を示す断面図である。

[図10]本開示の第４の実施の形態に係る画素の構成例を示す断面図である。

[図11]本開示に係る技術が適用され得る測距装置に係る受光素子の構成例を示す図である。

[図12]本開示に係る技術が適用され得る測距装置に係る画素の構成例を示す回路図である。

[図13]本開示に係る技術が適用され得る測距装置に係る撮像装置の構成例を示す図である。

[図14]本開示に係る技術が適用され得るＤＶＳに係る受光素子の構成例を示す図である。

[図15]本開示に係る技術が適用され得るＤＶＳに係る画素の構成例を示す図である。

[図16]本開示に係る技術が適用され得るＤＶＳに係る電流電圧変換回路の構成例を示す図である。

[図17]本開示に係る技術が適用され得るＤＶＳに係る差分器および量子化器の構成例を示す図である。

[図18]本開示に係る技術が適用され得るＤＶＳに係る撮像装置の構成例を示す図である。

発明を実施するための形態

[0036] 次に、図面を参照して、本開示を実施するための形態（以下、実施の形態と称する）を説明する。以下の図面において、同一または類似の部分には同一または類似の符号を付している。また、以下の順序で実施の形態の説明を行う。

１．第１の実施の形態

２．第２の実施の形態

３．第３の実施の形態

４．第４の実施の形態

５．測距装置への応用例

６．ＤＶＳへの応用例

[0037] ＜１．第１の実施の形態＞

［受光素子の構成］

図１は、本開示の第１の実施の形態に係る受光素子の構成例を示す図である。同図は、受光素子２の構成例を表す平面図であり、受光素子２の入射光が照射される面である受光面の構成を表す平面図である。

[0038] 受光素子２の受光面には、画素アレイ部１０が配置される。この画素アレイ部１０は、受光素子２の中央部に配置され、入射光を検出する画素（後述

する画素１００）が２次元格子状に配置される領域である。画素１００には、入射光の光電変換を行う光電変換部（後述する光電変換部１０１）が配置される。この光電変換部１０１の光電変換により生成された電荷に応じた受光信号が生成され、画素１００から出力される。この受光信号により入射光の検出を行うことができる。また、受光素子２の端部には、複数のパッド開口部１８０が配置される。このパッド開口部１８０の底部には、電極パッド（後述する電極パッド１４８）が配置される。後述するように、受光素子２は、２つの半導体チップが貼り合わされて構成される。

[0039] ［画素の構成］

図２は、本開示の第１の実施の形態に係る画素の構成例を示す図である。同図は、画素１００の構成例を表す平面図である。同図の画素１００には、半導体基板１１０に形成された半導体領域（半導体領域１１１および１１３）、画素１００の境界に配置されて半導体基板１１０を貫通する形状の分離領域１５０および配線層１２２乃至１２４を記載した。後述するように、分離領域１５０は、壁状に構成することができる。また、配線層１２２乃至１２４は、画素１００毎に配置される配線であり、光電変換部１０１等と電気的に接続される配線である。同図において、ドットハッチングが付された領域が半導体領域１１１等を表し、斜線のハッチングが付された領域が配線層１２２等を表す。

[0040] 半導体領域１１１は、画素１００の中央部に配置され、カソード領域を構成する。半導体領域１１３は、画素１００の周縁部に配置され、アノード領域を構成する。配線層１２２は、アノード配線を構成し、半導体領域１１３に接続される。配線層１２３は、カソード配線を構成し、半導体領域１１１に接続される。配線層１２４は、シールドのための接地線である。このシールドは、電気的なノイズの影響を抑制するものである。この配線層１２４は、配線層１２２および１２３の間の領域に配置される。

[0041] ［画素の断面の構成］

図３は、本開示の第１の実施の形態に係る画素の構成例を示す断面図であ

る。同図は、図１におけるａ－ａ’線に沿った断面図であり、受光素子２および画素１００の構成例を表す断面図である。また、同図に表したように、受光素子２は、センサチップ１９１およびロジックチップ１９２が貼り合わされて構成される。センサチップ１９１は、後述する光電変換部１０１が配置される半導体チップである。ロジックチップ１９２は、光電変換部１０１により生成された信号を処理する処理回路が配置される半導体チップである。

[0042] 同図の画素１００は、半導体基板１１０と、配線領域１２０と、半導体基板１３０と、配線領域１４０と、分離領域１５０と、保護膜１７１と、オンチップレンズ１７２とを備える。半導体基板１１０、絶縁層１２１および配線層１２２乃至１２４は、センサチップ１９１に配置される。半導体基板１３０、絶縁層１４１および配線層１４２は、ロジックチップ１９２に配置される。

[0043] 半導体基板１１０は、入射光の光電変換を行う光電変換部１０１が配置される半導体の基板である。この半導体基板１１０には、例えば、シリコン（Ｓｉ）により構成された半導体基板を使用することができる。同図の光電変換部１０１は、ＳＰＡＤにより構成される例を表したものである。この光電変換部１０１は、半導体基板１１０のウェル領域１１１とウェル領域１１１に配置されたｎ型の半導体領域１１２、ｐ型の半導体領域１１３および半導体領域１１４により構成される。カソード領域を構成するｎ型の半導体領域１１２は、ｐ型の半導体領域１１３とともにｐｎ接合を構成する。このｐｎ接合にウェル領域１１１を介して逆バイアス電圧が印加されて空乏層が形成される。

[0044] 同図の光電変換部１０１の光電変換は、ウェル領域１１１にて行われる。光電効果により生成された電荷のうちの電子がドリフトによりｐｎ接合の空乏層に達すると、逆バイアス電圧に基づく電界により加速される。ＳＰＡＤを構成する光電変換部１０１には、降伏電圧を超える逆バイアス電圧が印加される。具体的には、略２０Ｖの逆バイアス電圧が印加される。この逆バイアス電圧による強電界により電子雪崩を生じるとともに電子雪崩が連続して

発生し、電荷が急激に増加する。このため、光電変換部１０１は、単一の光子の入射を検出することが可能となる。このような光電変換部１０１を配置することにより、高感度の画素１００を構成することができる。この半導体領域１１２および１１３の界面のｐｎ接合の近傍の領域は、電荷の増倍が行われる領域であり、増倍領域と称される。ｐ型の半導体領域１１４は、ウェル領域１１１に隣接して配置され、アノード領域を構成する。このｐ型の半導体領域１１４は、ｎ型の半導体領域１１２の近傍のウェル領域１１１を囲む形状に構成される。

[0045] なお、半導体基板１１０は、比較的厚い膜厚に構成される。ＳＰＡＤを構成するウェル領域１１１を厚く形成して光電変換部１０１の感度を向上させるためである。半導体基板１１０は、例えば、数μｍの厚さに構成することができる。このウェル領域１１１は半導体基板１１０の裏面側に配置され、入射光は半導体基板１１０の裏面から入射する。この半導体基板１１０の裏面は、光入射面に該当する。一方、半導体基板１１０の裏面の反対側の面である表面には、後述する配線領域１２０が配置される。カソード領域およびアノード領域をそれぞれ構成する半導体領域１１２および１１４は、半導体基板１１０の表面側に配置される。また、アノード領域を構成する半導体領域１１４は、後述する分離領域１５０の近傍に配置される。

[0046] なお、光電変換部１０１の構成は、この例に限定されない。例えば、半導体領域１１２、１１３および１１４の導電型を入れ替えた構成にすることもできる。具体的には、ｐ型の半導体領域１１２とｎ型の半導体領域１１３および１１４とを使用する構成を採ることができる。この場合、半導体領域１１２がアノード領域となり、半導体領域１１４がカソード領域となる。また、後述するホール蓄積領域１１５は、電子蓄積領域１１５に変更される。この電子蓄積領域１１５は、ｎ型の半導体に構成されて電子を蓄積する領域である。なお、半導体領域の導電型をｐ型およびｎ型の代わりに第1の導電型および第２の導電型と表記することもできる。

[0047] 後述する分離領域１５０に隣接する半導体基板１１０には、ホール蓄積領

域１１５を配置することができる。このホール蓄積領域１１５は、半導体基板の端面に形成される界面準位から放出される電子を捕獲するものである。ホール蓄積領域１１５は、ｐ型の半導体領域により構成することができる。界面準位からの電子は、ホール蓄積領域１１５に蓄積されたホールと再結合することより捕獲される。このホール蓄積領域１１５を配置することにより、界面準位からの電子に起因する暗電流を低減することができる。また、界面準位からの電子が加速されて増倍されると誤動作を生じる。ホール蓄積領域１１５を配置することにより、暗電流や誤動作の発生を防ぐことができる。同図のホール蓄積領域１１５は、アノードを構成する半導体領域１１４に隣接して配置され、アノードに電気的に接続される。なお、ホール蓄積領域は、半導体基板１１０の裏面側の界面にさらに配置することもできる。

[0048] 配線領域１２０は、半導体基板１１０の表面側に配置されて画素１００の配線が配置される領域である。この配線には、例えば、光電変換部１０１等に信号を伝達する配線、シールドのための配線およびダミー配線が該当する。同図の配線領域１２０には、絶縁層１２１および配線層１２２乃至１２４が配置される。配線層１２２乃至１２４は、光電変換部１０１の信号等を伝達する配線である。この配線層１２２等は、銅（Ｃｕ）等の金属により構成することができる。絶縁層１２１は、配線層１２２等を絶縁するものである。この絶縁層１２１は、例えば、酸化シリコン（SiO_2）により構成することができる。この配線領域１２０には、半導体基板１１０の半導体領域と配線層１２２とを接続するためのコンタクトプラグ１２５がさらに配置される。配線層１２２は、コンタクトプラグ１２５を介して光電変換部１０１のアノード領域を構成する半導体領域１１４に接続される。同様に、配線層１２３は、カソード領域を構成する半導体領域１１２に接続される。コンタクトプラグ１２５は、例えば、タングステン（Ｗ）により構成することができる。また、同図の配線層１２２は、分離領域１５０の直下の配線領域１２０に配置される例を表したものである。

[0049] 配線領域１２０には、パッド１２７およびビアプラグ１２６がさらに配置

される。パッド１２７は、配線領域１２０の表面に配置される電極である。このパッド１２７は、例えば、Ｃｕにより構成することができる。ビアプラグ１２６は、配線層１２２等およびパッド１２７を接続するものである。このビアプラグ１２６は、例えば、Ｃｕにより構成することができる。なお、同図は、配線層１２２乃至１２４が配線領域１２０の同層に配置される例を表したものである。配線領域１２０は多層の配線層を有する構成を採ることができ、配線層１２２乃至１２４を配線領域１２０の異なる層に配置することもできる。異なる層に配置される配線同士はビアプラグにより接続することができる。

[0050] 半導体基板１３０は、半導体基板１１０に貼り合わされる半導体の基板である。この半導体基板１３０には、光電変換部１０１により生成された信号を処理する処理回路の等の素子の拡散領域を形成することができる。

[0051] 配線領域１４０は、半導体基板１３０の表面側に配置される配線領域である。この配線領域１４０には、配線層１４２および絶縁層１４１が配置される。配線領域１４０の表面には、パッド１４７が配置され、ビアプラグ１４６により配線層１４２と接続される。また、配線層１４２と半導体基板１３０との間は、コンタクトプラグ１４５により接続される。センサチップ１９１がロジックチップ１９２に貼り合わされる際、パッド１４７およびパッド１２７が接合される。このパッド１４７およびパッド１２７を介して半導体基板１１０および１３０に配置された素子の間の信号のやり取りを行うことができる。光電変換部と上述の処理回路とを接続する配線を構成することが可能となる。このように、光電変換部１０１と回路とを電気的に接続する配線を配線領域１２０および１４０に配置することができる。また、配線領域１２０および１４０には、半導体基板１１０を透過した入射光を反射して再度半導体基板１１０に入射させる光学的なシールドを構成する配線層を配置することもできる。

[0052] 分離領域１５０は、光電変換部１０１の境界の半導体基板１１０に配置されて光電変換部１０１を分離するものである。同図の分離領域１５０は、画

素１００の境界に配置される例を表したものである。この分離領域１５０は、画素１００を囲繞する壁状に構成されて、隣接する画素１００同士の光電変換部１０１を分離する。また、分離領域１５０は、入射光の遮光をさらに行う。隣接する画素１００を通って斜めに入射する入射光が分離領域１５０により遮光される。これにより、クロストークの発生を低減することができる。図２において説明したように、分離領域１５０は格子状に配置される。分離領域１５０は、金属を含む構成にすることができる。具体的には、分離領域１５０は、半導体基板１１０を貫通して形成された溝部にWやアルミニウム（Ａｌ）等の金属膜を埋め込むことにより構成することができる。

[0053] 保護膜１７１は、半導体基板１１０の裏面側に配置され、半導体基板１１０を保護するものである。この保護膜１７１は、例えば、SiO_2により構成することができる。

[0054] 半導体基板１１０と保護膜１７１との間に、固定電荷膜を配置することもできる。この固定電荷膜は、半導体基板１１０の表面に配置されて半導体基板１１０の界面準位をピニングする固定電荷を有する膜である。固定電荷膜は、例えば、酸化ハフニウム（HfO_2）、酸化アルミニウム（Al_2O_3）、酸化ジルコニウム（ZrO_2）、酸化タンタル（Ta_2O_5）および酸化チタン（TiO_2）により構成することができる。

[0055] 分離領域１５０が配置される半導体基板１１０の溝部にも固定電荷膜を配置することができる。また、金属により構成される分離領域１５０を絶縁する絶縁膜を分離領域１５０に隣接して配置することができる。この絶縁膜は、上述の保護膜１７１と同時に形成することもできる。

[0056] オンチップレンズ１７２は、入射光を集光するレンズである。このオンチップレンズ１７２は、半球形状に構成されて半導体基板１１０の裏面側に配置され、入射光を光電変換部１０１に集光する。オンチップレンズ１７２は、窒化シリコン（ＳｉＮ）等の無機材料やアクリル樹脂等の有機材料により構成することができる。

[0057] 受光素子２の端部には、電極パッド１４８およびパッド開口部１８０が配

置される。電極パッド１４８は、受光素子２と受光素子２の外部の電子回路との間において信号の伝達を行うための電極である。この電極パッド１４８は、ロジックチップ１９２の配線領域に配置され、配線層１４２に接続される。パッド開口部１８０は、センサチップ１９１およびロジックチップ１９２の絶縁層１４１の表面側を貫通する孔状に構成されて受光素子２の受光面から電極パッド１４８の表面に達する形状に構成される。このパッド開口部１８０を介して電極パッド１４８にワイヤボンディングを行うことにより、電極パッド１４８と、外部の電子回路とを電気的に接続することができる。電極パッド１４８は、例えば、ＡｌやＡｕ等の金属により構成することができる。

[0058] パッド開口部１８０の周囲には分離領域１５０ａを配置することができる。この分離領域１５０ａは、パッド開口部１８０を囲繞する形状に構成され、パッド開口部１８０を分離する。また、センサチップ１９１の端部の半導体基板１１０に分離領域１５０ｂを配置することができる。この分離領域１５０ｂは、半導体基板１１０の外周に沿って配置される分離領域である。この分離領域１５０ａおよび１５０ｂを配置することにより、半導体基板１１０の端面からの吸湿を防ぐことができ、半導体基板１１０の端面に生じたき裂の伸長を防ぐことができる。

[0059] なお、画素１００の構成は、この例に限定されない。例えば、複数の光電変換部が画素１００に配置される構成を採ることもできる。このような画素１００においては、それぞれの光電変換部を分離する分離領域を画素１００の内部に配置することができる。この光電変換部を分離する分離領域は、半導体基板１１０を貫通する形状に構成することができる。また、複数の光電変換部の境界の半導体基板１１０とオンチップレンズ１７２との間に分離領域を配置することもできる。この分離領域は、光電変換部の境界の領域を遮光する分離領域であり、金属膜等により構成することができる。また、このような複数の光電変換部を有する画素１００においても、画素１００の境界のみに分離領域を配置する構成を採ることもできる。また、半導体基板１１

０の裏面側にもホール蓄積領域１１５を配置する構成を採ることもできる。

[0060] ［分離領域の構成］

図４は、本開示の第１の実施の形態に係る分離領域の構成例を示す断面図である。同図は、図３において説明した分離領域１５０の構成例を表す断面図である。同図を用いて分離領域１５０の構成の詳細について説明する。

[0061] 前述のように、分離領域１５０は、画素１００の境界に配置されて半導体基板１１０に配置される光電変換部１０１を分離するものである。なお、同図において、半導体基板１１０や光電変換部１０１の構成は略記した。同図の分離領域１５０は、半導体基板１１０に形成された溝部１５１に配置された金属膜１５４により構成される。前述のように、金属膜は、W等により構成することができる。なお、同図の金属膜１５４は、中央部に空隙１５５が形成される例を表したものである。

[0062] 溝部１５１は、半導体基板１１０の裏面側から表面側に貫通する形状に構成される。この溝部１５１は、半導体基板１１０を裏面側から表面側に向かってエッチングすることにより形成することができる。このエッチングは、例えば、異方性のドライエッチングにより行うことができる。

[0063] 同図の半導体基板１１０の裏面側および溝部１５１の壁面には、固定電荷膜１５２が配置される。この固定電荷膜１５２は、HfO_2等の材料膜を、例えば、ＡＬＤ（Atomic Layer Deposition）により成膜して形成することができる。

[0064] この固定電荷膜１５２と金属膜１５４の間には、絶縁膜１５３が配置される。この絶縁膜１５３は、例えば、SiO_2等の材料膜をＣＶＤ（Chemical Vapor Deposition）により成膜して形成することができる。

[0065] 同図の画素１００には、配線層保護膜１５６が配置される。この配線層保護膜１５６は、溝部１５１の直下の半導体基板１１０と配線層１２２との間に配置されて配線層１２２を保護するものである。上述のように、溝部１５１は、半導体基板１１０をエッチングすることにより形成される。配線層保護膜１５６は、このエッチングの際に配線層１２２に隣接する絶縁層１２１

のエッチングを抑制することにより、配線層１２２を保護する。配線層保護膜１５６は、エッチングストッパと称されるエッチングの対象物である半導体基板１１０を構成するＳｉに対して高い選択比となる部材により構成することができる。具体的には、ＳｉＮ、炭化シリコン（ＳｉＣ）、SiO_2、酸窒化シリコン（ＳｉＯＮ）、炭素（Ｃ）、Ｗ、チタン（Ｔｉ）および窒化チタン（ＴｉＮ）等により配線層保護膜１５６を構成することができる。同図は、ＳｉＮにより構成される配線層保護膜１５６の例を表したものである。なお、配線層保護膜１５６は、１０数ｎｍ～数１０ｎｍの膜厚に構成することができる。

[0066] 溝部１５１を形成する際のエッチングが過剰に行われた場合、配線領域１２０の絶縁層１２１が削られて溝部１５１の底部が配線層１２２に近接する。すると、金属膜１５４と配線層１２２との間の絶縁物（絶縁層１２１）の厚さが薄くなり、絶縁抵抗が低下する。同図においては、光電変換部１０１のアノードに接続される配線層１２２と分離領域１５０の金属膜１５４とが短絡する可能性がある。図２において説明したように、分離領域１５０の直下には、配線層１２２の他に配線層１２４が配置される。これらの配線層と分離領域の金属膜１５４との間の絶縁抵抗が低下すると、金属膜１５４を介してアノードに印加される電圧が、配線層１２４に印加されることとなる。

[0067] ＳＰＡＤを構成する光電変換部１０１は、アノードおよびカソードの間に略２０Ｖの比較的高い逆バイアス電圧が印加される。シールドを構成する配線層１２４が接地される場合には、光電変換部１０１に逆バイアス電圧を供給する電源から過電流が流れることとなる。また、配線層１２４は、光電変換部１０１のカソードに接続される配線層１２３に近接して配置されるため、配線層１２４にアノードの電圧が供給されると配線層１２３と短絡する可能性が高くなる。この場合においても電源から過電流が流れ、画素１００や受光素子２が破損する。受光素子２の信頼性が低下する。

[0068] 配線層保護膜１５６を配置することにより、絶縁層１２１の過剰なエッチングを防ぐことができ、溝部１５１および配線層１２２等の近接を防ぐこと

ができる。

[0069] なお、受光素子２の構成はこの例に限定されない。例えば、ＡＰＤにより構成される光電変換部１０１を使用することもできる。

[0070] このように、分離領域１５０と配線層１２２等との間に配線層保護膜１５６を配置することにより、金属膜１５４および配線層１２２等の間の絶縁抵抗の低下を防ぐことができる。耐圧の低下を防止することができ、受光素子２の破損を防ぐことができる。

[0071] ＜２．第２の実施の形態＞

上述の第１の実施の形態の受光素子２は、単層の配線層保護膜１５６を使用していた。これに対し、本開示の第２の実施の形態の受光素子２は、多層に構成される配線層保護膜を使用する点で、上述の第１の実施の形態と異なる。

[0072] ［分離領域の構成］

図５は、本開示の第２の実施の形態に係る分離領域の構成例を示す断面図である。同図は、図４と同様に、分離領域１５０の構成例を表す断面図である。配線層保護膜１５７がさらに配置される点で、図４において説明した分離領域１５０と異なる。

[0073] 配線層保護膜１５７は、配線層保護膜１５６とは異なる材料により構成される配線層保護膜である。同図の配線層保護膜１５７は、SiO_2により構成することができる。複数の配線層保護膜を積層することにより、配線層保護膜を厚くすることができる。また、異なる部材により構成される配線層保護膜を組み合わせることにより、ドライエッチングに使用するエッチングガスの種類に応じたエッチングの抑制を行うことができる。これにより、絶縁層１２１のエッチングを防ぐことができる。

[0074] なお、配線層保護膜１５６および１５７の構成は、この例に限定されない。例えば、配線層保護膜１５６をＴｉにより構成することができ、配線層保護膜１５７をＴｉＮにより構成することもできる。また、他の部材により構成することもできる。また、配線層保護膜を３層以上に積層することもでき

る。

[0075] これ以外の受光素子２の構成は本開示の第１の実施の形態において説明した受光素子２の構成と同様であるため、説明を省略する。

[0076] 以上説明したように、本開示の第２の実施の形態の受光素子２は、多層に構成された配線層保護膜を配置することにより、絶縁層１２１のエッチングを防ぐことができ、絶縁抵抗の低下をさらに抑制することができる。

[0077] ＜３．第３の実施の形態＞

上述の第１の実施の形態の受光素子２は、配線層保護膜１５６が配置されていた。これに対し、本開示の第３の実施の形態の受光素子２は、半導体基板１１０および配線層保護膜１５６の間にバッファ層が配置される点で、上述の第１の実施の形態と異なる。

[0078] ［分離領域の構成］

図６は、本開示の第３の実施の形態に係る分離領域の構成例を示す断面図である。同図は、図４と同様に、分離領域１５０の構成例を表す断面図である。バッファ層１５８がさらに配置される点で、図４において説明した分離領域１５０と異なる。

[0079] バッファ層１５８は、半導体基板１１０および配線層保護膜１５６の間に配置されて、配線層保護膜１５６のバッファを構成するものである。ＳｉＮ等により構成される配線層保護膜１５６を半導体基板１１０に成膜すると、半導体基板１１０の表面に多くの界面準位が形成され、暗電流が増加する。そこで、バッファ層１５８を配置して半導体基板１１０の表側の表面の界面準位の形成を抑制する。これにより、暗電流の増加を防ぐことができる。同図の分離領域１５０は、底部が固定電荷膜１５２を介してバッファ層１５８に接する形状に構成される例を表したものである。バッファ層１５８は、例えば、絶縁物により構成することができる。具体的には、SiO_2によりバッファ層１５８を構成することができる。エッチングに使用するエッチングガスの種類によっては、バッファ層１５８がエッチングされる場合がある。この場合、同図に表したように、溝部１５１の底部がバッファ層１５８の領域

に侵入することとなる。このような場合であっても、配線層保護膜１５６により過剰なエッチングが抑制される。

[0080] ［分離領域の他の構成］

図７乃至９は、本開示の第３の実施の形態に係る分離領域の他の構成例を示す断面図である。図７乃至９は、図６と同様に、分離領域１５０の構成例を表す断面図である。溝部１５１の底部がバッファ層１５８の領域にさらに侵入する点で、図６の分離領域１５０と異なる。

[0081] 図７は、固定電荷膜１５２と絶縁膜１５３の一部とがバッファ層１５８の領域に埋め込まれる例を表した図である。

[0082] 図８は、分離領域１５０の直下のバッファ層１５８がエッチングにより除去され、分離領域１５０が配線層保護膜１５６に接する形状に構成される例を表した図である。この場合、分離領域１５０がバッファ層１５８を貫通する形状となる。同図の分離領域１５０は、底部が固定電荷膜１５２を介して配線層保護膜１５６に接する形状に構成される。

[0083] 図９は、分離領域１５０の直下のバッファ層１５８がエッチングにより除去され、金属膜１５４部が半導体基板１１０の表面側に達する形状に構成される例を表した図である。この場合、金属膜１５４が半導体基板１１０を貫通する形状となる。画素１００の境界が金属膜１５４により分離されることとなり、隣接する画素１００の間が金属膜１５４により遮光される。画素１００間の光の漏洩による混色の発生をさらに低減することができる。

[0084] 図７乃至９に表したように、溝部１５１の形成によりバッファ層１５８がエッチングされる場合であっても、配線層保護膜１５６により絶縁層１２１のエッチングを防ぐことができる。

[0085] なお、画素１００の構成は、この例に限定されない。例えば、多層に構成されたバッファ層を使用することもできる。

[0086] これ以外の受光素子２の構成は本開示の第１の実施の形態において説明した受光素子２の構成と同様であるため、説明を省略する。

[0087] 以上説明したように、本開示の第３の実施の形態の受光素子２は、半導体

基板１１０および配線層保護膜１５６の間にバッファ層１５８を配置する。これにより、暗電流の増加を防ぐことができる。

[0088] ＜４．第４の実施の形態＞

上述の第１の実施の形態の受光素子２は、ＳＰＡＤやＡＰＤ等の光電変換により生成された電荷を逆バイアス電圧により増倍するフォトダイオードにより構成される光電変換部１０１が使用されていた。これに対し、本開示の第４の実施の形態の受光素子２は、通常のフォトダイオードにより構成される光電変換部を使用する点で、上述の第１の実施の形態と異なる。

[0089] ［画素の断面の構成］

図１０は、本開示の第４の実施の形態に係る画素の構成例を示す断面図である。同図は、図３と同様に、画素１００の構成例を表す断面図である。フォトダイオードにより構成される光電変換部２０１が配置される点で、図３の画素１００と異なる。

[0090] 同図の光電変換部２０１は、半導体基板１１０のｐ型に構成されたウェル領域１１１とウェル領域１１１に配置されたｎ型の半導体領域１１６により構成される。ｎ型の半導体領域１１６と周囲のｐ型のウェル領域１１１との界面のｐｎ接合により構成されるフォトダイオードが光電変換部２０１に該当する。ウェル領域１１１および半導体領域１１６がそれぞれアノード領域およびカソード領域を構成する。

[0091] また、同図の半導体基板１１０には、半導体領域１１７および半導体領域１１８がさらに配置される。半導体領域１１７は、ｎ型の比較的高い不純物濃度に構成される半導体領域であり、半導体領域１１６に隣接して配置されて電気的に接続される半導体領域である。この半導体領域１１７には、コンタクトプラグ１２５が接続される。半導体領域１１８は、ｐ型の比較的高い不純物濃度に構成される半導体領域であり、ウェル領域に隣接して配置されて電気的に接続される半導体領域である。この半導体領域１１８にも、コンタクトプラグ１２５が接続される。半導体領域１１８は、いわゆるウェルコンタクトを構成する半導体領域である。

[0092] 配線領域１２０には、配線層１２２および１２３が配置される。配線層１２２は、コンタクトプラグ１２５および半導体領域１１８を介してアノード領域を構成するウェル領域１１１に接続される。配線層１２３は、コンタクトプラグ１２５および半導体領域１１７を介してカソード領域を構成する半導体領域１１６に接続される。また、配線層１２４は、省略される。

[0093] 同図の分離領域１５０においても、図４において説明した配線層保護膜１５６が配置され、分離領域１５０を構成する金属膜１５４と配線層１２２との間の絶縁抵抗の低下を防ぐことができる。

[0094] これ以外の受光素子２の構成は本開示の第１の実施の形態において説明した受光素子２の構成と同様であるため、説明を省略する。

[0095] 以上説明したように、本開示の第４の実施の形態の受光素子２は、フォトダイオードにより構成される光電変換部１０１を使用する場合において、配線層保護膜１５６により金属膜１５４および配線層１２２等の間の絶縁抵抗の低下を防ぐことができる。耐圧の低下を防止することができ、受光素子２の破損を防ぐことができる。

[0096] ＜５．測距装置への応用例＞

本開示に係る技術は、様々な製品へ応用することができる。例えば、本開示に係る技術は、測距装置に適用されてもよい。ここで、測距装置とは、対象物までの距離を測定する装置である。

[0097] ［受光素子の構成］

図１１は、本開示に係る技術が適用され得る測距装置に係る受光素子の構成例を示す図である。同図の受光素子２は、画素アレイ部１０と、バイアス電源部２０と、受光信号処理部３０とを備える。

[0098] 画素アレイ部１０は、入射光の光電変換を行う光電変換部を有する複数の画素１００が２次元格子状に配置されて構成されたものである。この画素１００は、入射光を検出し、受光信号を検出結果として出力する。光電変換部には、例えば、ＡＰＤやＳＰＡＤを使用することができる。以下、画素１００には光電変換部としてＳＰＡＤが配置されるものと想定する。それぞれの

画素１００には、信号線２１および３１が接続される。信号線２１は、画素１００のバイアス電圧を供給する信号線である。信号線３１は、画素１００からの受光信号を伝達する信号線である。なお、同図の画素アレイ部１０には、画素１００が４行５列に配置する例が記載されているが、画素アレイ部１０に配置される画素１００数を限定するものではない。

[0099] バイアス電源部２０は、画素１００にバイアス電圧を供給する電源である。このバイアス電源部２０は、信号線２１を介してバイアス電圧を供給する。

[0100] 受光信号処理部３０は、画素アレイ部１０に配置される複数の画素１００から出力された受光信号を処理するものである。この受光信号処理部３０の処理には、例えば、画素１００により検出した入射光に基づいて対象物との距離を検出する処理が該当する。具体的には、受光信号処理部３０は、車載カメラ等の撮像装置において遠方の対象物との距離を計測する際に使用されるＴｏＦ（Time of Flight）方式の距離検出処理を行うことができる。この距離検出処理は、撮像装置に配置された光源により対象物に光を照射して対象物により反射された光を検出し、光源からの光が対象物との間を往復する時間を計測することにより、距離を検出する処理である。このような距離検出処理を行う装置には、高速な光検出が可能なＳＰＡＤが使用される。なお、受光信号処理部３０は、請求の範囲に記載の処理回路の一例である。

[0101] 上述の実施の形態の画素アレイ部１０に配置される画素１００の回路構成について説明する。

[0102] ［画素の構成］

図１２は、本開示に係る技術が適用され得る測距装置に係る画素の構成例を示す回路図である。同図は、図１１において説明した画素１００の構成例を表す回路図である。同図の画素１００は、光電変換部１０１と、抵抗１０２と、反転バッファ１０３とを備える。また、同図の信号線２１は、光電変換部１０１の降伏電圧を印加する信号線Ｖｂｄおよび光電変換部１０１の降伏状態を検出するための電源を供給する信号線Ｖｄにより構成される。

[0103] 光電変換部１０１のアノードは信号線Ｖｂｄに接続される。光電変換部１０１のカソードは、抵抗１０２の一端および反転バッファ１０３の入力に接続される。抵抗１０２の他の一端は、信号線Ｖｄに接続される。反転バッファ１０３の出力は、信号線３１に接続される。

[0104] 同図の光電変換部１０１は、信号線Ｖｂｄおよび信号線Ｖｄにより逆バイアス電圧が印加される。

[0105] 抵抗１０２は、クエンチング（quenching）を行うための抵抗である。このクエンチングは、降伏状態となった光電変換部１０１を定常状態に復帰させる処理である。光の入射に起因する増倍作用により光電変換部１０１が降伏状態になると、光電変換部１０１に急激な逆方向電流が流れる。この逆方向電流により抵抗１０２の端子電圧が増加する。抵抗１０２は光電変換部１０１と直列に接続されているため、抵抗１０２により電圧降下を生じて光電変換部１０１の端子電圧が降伏状態を維持可能な電圧よりも低くなる。これにより、光電変換部１０１を降伏状態から定常状態に復帰させることができる。なお、抵抗１０２の代わりに、ＭＯＳトランジスタによる定電流回路を使用することもできる。

[0106] 反転バッファ１０３は、光電変換部１０１の降伏状態への遷移および復帰に基づくパルス信号を整形するバッファである。この反転バッファ１０３により、照射された光に応じて光電変換部１０１に流れる電流に基づく受光信号が生成されて信号線３１に出力される。

[0107] ［撮像装置の構成］

図１３は、本開示に係る技術が適用され得る測距装置に係る撮像装置の構成例を示す図である。同図は、測距装置を構成する撮像装置１の構成例を表すブロック図である。同図の撮像装置１は、受光素子２と、制御部３と、光源装置４と、レンズ５とを備える。なお、同図には、距離測定の対象物６０１を記載した。

[0108] レンズ５は、受光素子２に対象物を結像するレンズである。なお、受光素子２には、図１１において説明した受光素子２を使用することができる。

[0109] 光源装置４は、距離測定の対象物に光を出射するものである。この光源装置４は、例えば、赤外光を出射するレーザ光源を使用することができる。

[0110] 制御部３は、撮像装置１の全体制御するものである。具体的には、制御部３は、光源装置４を制御して出射光６０２を対象物６０１に出射させるとともに、当該出射の開始を受光素子２に対して通知する。出射光６０２の出射が通知された受光素子２は、対象物６０１からの反射光６０３を検出して出射光６０２の出射から反射光６０３の検出までの時間を計測し、対象物６０１までの距離を測定する。この測定された距離は、距離データとして撮像装置１の外部に出力される。なお、撮像装置１は、請求の範囲に記載の電子機器の一例である。

[0111] ＜６．ＤＶＳへの応用例＞

本開示に係る技術は、様々な製品へ応用することができる。例えば、本開示に係る技術は、ダイナミックビジョンセンサ（ＤＶＳ：Dynamic Vision Sensor）に適用されてもよい。ここで、ＤＶＳとは、輝度が変化した画素の情報を出力する撮像装置である。

[0112] ［受光素子の構成］

図１４は、本開示に係る技術が適用され得るＤＶＳに係る受光素子の構成例を示す図である。同図の受光素子２は、画素アレイ部１０と、行駆動回路５０と、列駆動回路６０と、信号処理回路７０とを備える。

[0113] 画素アレイ部１０は、入射光の光電変換を行う光電変換部を有する複数の画素１００が２次元格子状に配置されて構成されたものである。この画素１００は、入射光を検出し、検出した入射光が変化した場合に検出信号を出力するものである。以下、画素１００には、光電変換部としてフォトダイオードが配置されるものと想定する。それぞれの画素１００には信号線５１、６１および７１が接続される。信号線５１は、行駆動信号を伝達する信号線である。信号線５１は、列駆動信号を伝達する信号線である。信号線７１は、画素１００からの検出信号を伝達する信号線である。なお、同図の画素アレイ部１０には、画素１００が４行４列に配置する例が記載されているが、画

素アレイ部１０に配置される画素１００数を限定するものではない。

[0114] 行駆動回路５０は、画素アレイ部１０の行アドレスを選択し、選択した行アドレスに対応する画素１００に検出信号を出力させる回路である。この行駆動回路５０は、信号線５１に制御信号（行駆動信号）を出力する。

[0115] 列駆動回路６０は、画素アレイ部１０の列アドレスを選択し、選択した列アドレスに対応する画素１００に検出信号を出力させる回路である。この列駆動回路６０は、信号線６１に制御信号（列駆動信号）を出力する。

[0116] 信号処理回路７０は、画素１００からの検出信号に対して所定の信号処理を実行するものである。この信号処理回路７０は、検出信号を画素アレイ部１０の画素１００の配列に対応させて２次元の画像データを生成し、画像認識等の処理を行う。なお、信号処理回路７０は、請求の範囲に記載の処理回路の一例である。

[0117] ［画素の構成］

図１５は、本開示に係る技術が適用され得るＤＶＳに係る画素の構成例を示す図である。同図の画素１００は、光電変換部２０１と、電流電圧変換回路２１０と、バッファ２２０と、差分器２３０と、量子化器２４０と、転送回路２５０とを備える。

[0118] 光電変換部２０１は、入射光を検出するものである。この光電変換部２０１は、入射光に応じたシンク電流を後段の電流電圧変換回路２１０に対して出力する。

[0119] 電流電圧変換回路２１０は、光電変換部２０１からの出力電流を電圧に変換する回路である。この変換の際、対数圧縮を行い、圧縮された電圧信号をバッファ２２０に対して出力する。

[0120] バッファ２２０は、電流電圧変換回路２１０の電圧信号を増幅して後段の差分器２３０に対して出力するバッファである。

[0121] 差分器２３０は、バッファ２２０から出力された電圧信号の差分を検出することにより、電圧信号の変化量を検出するものである。この差分器２３０は、行駆動回路５０からの行駆動信号の入力後に電圧信号の変化量の検出を

開始する。検出された電圧信号の変化量は、信号線２３９を介して出力される。

[0122] 量子化器２４０は、差分器２３０からの電圧信号を量子化し、検出信号として出力するものである。検出信号は、信号線２４９を介して出力される。

[0123] 転送回路２５０は、列駆動回路６０からの列駆動信号に基づいて、検出信号を信号処理回路７０に対して出力する回路である。

[0124] [電流電圧変換回路の構成]

図１６は、本開示に係る技術が適用され得るＤＶＳに係る電流電圧変換回路の構成例を示す図である。同図は、電流電圧変換回路２１０の構成例を表す回路図である。同図の電流電圧変換回路２１０は、ＭＯＳトランジスタ２１１乃至２１３と、キャパシタ２１４とを備える。ＭＯＳトランジスタ２１１および２１３には、ｎチャネルＭＯＳトランジスタを使用することができる。ＭＯＳトランジスタ２１２には、ｐチャネルＭＯＳトランジスタを使用することができる。また、同図の電流電圧変換回路２１０には、電源線Ｖｄｄおよび電源線Ｖｂｉａｓが配置される。電源線Ｖｄｄは、電流電圧変換回路２１０に電源を供給する電源線である。電源線Ｖｂｉａｓは、バイアス電圧を供給する電源線である。なお、同図には、光電変換部２０１も記載した。

[0125] 光電変換部２０１のアノードは接地され、カソードはＭＯＳトランジスタ２１１のソース、ＭＯＳトランジスタ２１３のゲートおよびキャパシタ２１４の一端に接続される。キャパシタ２１４の他端は、ＭＯＳトランジスタ２１１のゲート、ＭＯＳトランジスタ２１２のドレイン、ＭＯＳトランジスタ２１３のドレインおよび信号線２１９に接続される。ＭＯＳトランジスタ２１１のソースは電源線Ｖｄｄに接続され、ＭＯＳトランジスタ２１３のソースは接地される。ＭＯＳトランジスタ２１２のゲートは電源線Ｖｂｉａｓに接続され、ソースは電源線Ｖｄｄに接続される。

[0126] ＭＯＳトランジスタ２１１は、光電変換部２０１に電流を供給するＭＯＳトランジスタである。光電変換部２０１は、入射光に応じたシンク電流が流

れる。ＭＯＳトランジスタ２１１は、このシンク電流を供給する。この際、ＭＯＳトランジスタ２１１のゲートは、後述するＭＯＳトランジスタ２１３の出力電圧により駆動され、光電変換部２０１のシンク電流に等しいソース電流を出力する。ＭＯＳトランジスタのゲートソース間電圧Ｖｇｓがソース電流に応じた電圧となるため、ＭＯＳトランジスタのソース電圧は、光電変換部２０１の電流に応じた電圧となる。これにより、光電変換部２０１の電流が電圧信号に変換される。

[0127] ＭＯＳトランジスタ２１３は、ＭＯＳトランジスタ２１１のソース電圧を増幅するＭＯＳトランジスタである。また、ＭＯＳトランジスタ２１２は、ＭＯＳトランジスタ２１３の定電流負荷を構成する。ＭＯＳトランジスタ２１３のドレインには、増幅された電圧信号が出力される。この電圧信号は、信号線２１９に出力されるとともに、ＭＯＳトランジスタ２１１のゲートに帰還される。ＭＯＳトランジスタ２１１のＶｇｓがしきい値電圧以下の場合には、Ｖｇｓの変化に対してソース電流は指数関数状に変化する。このため、ＭＯＳトランジスタ２１１のゲートに帰還されるＭＯＳトランジスタ２１３の出力電圧は、ＭＯＳトランジスタ２１１のソース電流と等しい光電変換部２０１の出力電流が対数圧縮された電圧信号となる。

[0128] キャパシタ２１４は、位相補償用のキャパシタである。このキャパシタ２１４は、ＭＯＳトランジスタ２１３のドレインおよびゲートの間に接続され、増幅回路を構成するＭＯＳトランジスタ２１３の位相補償を行う。

[0129] [差分器および量子化器の構成]

図１７は、本開示に係る技術が適用され得るＤＶＳに係る差分器および量子化器の構成例を示す図である。同図は、差分器２３０および量子化器２４０の構成例を表す回路図である。

[0130] 同図の差分器２３０は、反転アンプ２３１と、キャパシタ２３２および２３３と、スイッチ２３４とを備える。

[0131] キャパシタ２３２は、信号線２２９および反転アンプ２３１の入力の間に接続される。反転アンプ２３１の出力は、信号線２３９に接続される。並列

に接続されたキャパシタ２３３およびスイッチ２３４は、反転アンプ２３１の入力および出力の間に接続される。スイッチ２３４の制御入力は、信号線５１に接続される。

[0132] キャパシタ２３２は、バッファ２２０から出力された電圧信号のうちの直流成分を除去する結合キャパシタである。キャパシタ２３２により電圧信号の変化量に応じた信号が伝達される。

[0133] 反転アンプ２３１は、キャパシタ２３２により伝達された電圧信号の変化量に応じてキャパシタ２３３を充電するアンプである。反転アンプ２３１およびキャパシタ２３２は、積分回路を構成し、キャパシタ２３２により伝達された電圧信号の変化量を積算する。

[0134] スイッチ２３４は、キャパシタ２３３を放電するスイッチである。このスイッチ２３４は、導通状態となってキャパシタ２３２を放電し、キャパシタ２３２に積算された電圧信号の変化量を０Ｖにリセットする。スイッチ２３４は、信号線５１により伝達される行駆動信号により制御される。

[0135] 差分器２３０は、行駆動信号によりリセットされた後の期間における入射光に応じた電圧信号の変化量を積算して出力する。これにより、ノイズの影響を軽減することができる。

[0136] 量子化器２４０は、コンパレータ２４１および２４２を備える。信号線２３９は、コンパレータ２４１の非反転入力およびコンパレータ２４２の反転入力に接続される。コンパレータ２４１の反転入力には所定の閾値電圧Ｖｔｈ１が印加され、コンパレータ２４２の非反転入力には所定の閾値電圧Ｖｔｈ２が印加される。コンパレータ２４１および２４２の出力はそれぞれ信号線２４９を構成する。

[0137] コンパレータ２４１は、閾値電圧Ｖｔｈ１と差分器２３０からの出力電圧を比較するものである。差分器２３０からの出力電圧が閾値電圧Ｖｔｈ１より高い場合に値「１」を出力する。

[0138] コンパレータ２４２は、閾値電圧Ｖｔｈ２と差分器２３０からの出力電圧を比較するものである。差分器２３０からの出力電圧が閾値電圧Ｖｔｈ２よ

り低い場合に値「１」を出力する。

[0139] 閾値電圧Ｖｔｈ１を差分器２３０がリセットされた際の出力電圧より高い閾値電圧に設定し、閾値電圧Ｖｔｈ２を差分器２３０がリセットされた際の出力電圧より低い閾値電圧に設定することにより、光電変換部２０１の出力信号の増加および減少の両方向の変化量の検出を行うことができる。また、コンパレータ２４１および２４２により差分器２３０からの出力電圧が２値化されて量子化される。

[0140] 量子化器２４０により量子化された信号は、転送回路２５０に入力される。転送回路２５０は、値「１」の信号が入力された際に、入射光量の変化が所定の閾値を超えた旨を検出信号として信号処理回路７０に転送することができる。信号処理回路７０は、転送回路２５０により検出信号が転送されると、当該信号の転送をアドレスイベントとして保持するとともに、行駆動部５０に対して当該画素１００に行駆動信号を出力させて差分器２３０をリセットする。これにより、アドレスイベントが発生した画素１００において、入射光に応じた電圧信号の変化量の積算が再度開始される。

[0141] [撮像装置の構成]

図１８は、本開示に係る技術が適用され得るＤＶＳに係る撮像装置の構成例を示す図である。同図は、ＤＶＳを構成する撮像装置１の構成例を表すブロック図である。同図の撮像装置１は、受光素子２と、制御部３と、レンズ５と、記録部６とを備える。

[0142] レンズ５は、受光素子２に対象物を結像するレンズである。なお、受光素子２には、図１４において説明した受光素子２を使用することができる。

[0143] 制御部３は、受光素子２を制御して画像データを撮像させるものである。記録部６は、受光素子２により画像データを記録するものである。

[0144] 受光素子２は、アドレスイベントを検出した画素１００を取得することにより、輝度が変化した領域を検出することができる。当該領域の画像データのみを更新して画像データを生成することにより、高速な撮像を行うことができる。なお、撮像装置１は、請求の範囲に記載の電子機器の一例である。

[0145] なお、第２および３の実施の形態の受光素子２構成は、第４の実施の形態の受光素子２に組み合わせてもよい。具体的には、図５および６の分離領域１５０の構成は図１０の画素１００に適用してもよい。

[0146] 最後に、上述した各実施の形態の説明は本開示の一例であり、本開示は上述の実施の形態に限定されることはない。このため、上述した各実施の形態以外であっても、本開示に係る技術的思想を逸脱しない範囲であれば、設計等に応じて種々の変更が可能であることは勿論である。

[0147] また、本明細書に記載された効果はあくまで例示であって限定されるものでは無い。また、他の効果があってもよい。

[0148] また、上述の実施の形態における図面は、模式的なものであり、各部の寸法の比率等は現実のものとは必ずしも一致しない。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれることは勿論である。

[0149] なお、本技術は以下のような構成もとることができる。

（１）半導体基板に配置されて入射光の光電変換を行う光電変換部を備える画素と、

前記光電変換部の境界に配置されて前記光電変換部を分離する分離領域と、

前記画素に配線される配線層と、

前記分離領域および前記配線層の間に配置されて前記配線層を保護する配線層保護膜とを具備する受光素子。

（２）前記分離領域は、金属を含んで構成される前記（１）に記載の受光素子。

（３）前記分離領域は、前記半導体基板に形成された溝に配置される金属膜を備える前記（２）に記載の受光素子。

（４）前記分離領域は、前記半導体基板および前記金属膜の間に配置される絶縁膜をさらに備える前記（３）に記載の受光素子。

（５）前記分離領域は、底部が前記配線層保護膜に接する形状に構成される前記（１）から（４）の何れかに記載の受光素子。

（６）前記分離領域は、前記半導体基板を貫通する形状の前記金属膜を備える前記（３）または（４）に記載の受光素子。

（７）前記分離領域に隣接する前記半導体基板に配置されて固定電荷を有する膜である固定電荷膜をさらに具備する前記（３）から（６）の何れかに記載の受光素子。

（８）前記配線層保護膜は、前記溝を形成する際の前記半導体基板のエッチングを抑制する膜により構成される前記（３）から（７）の何れかに記載の受光素子。

（９）前記配線層保護膜は、窒化ケイ素、炭化ケイ素、酸化ケイ素、酸窒化ケイ素、炭素、タングステン、チタンおよび窒化チタンの何れかを含む膜により構成される前記（８）に記載の受光素子。

（１０）前記配線層保護膜は、多層に構成される前記（１）から（９）の何れかに記載の受光素子。

（１１）前記半導体基板および前記配線層保護膜の間に配置されるバッファ層をさらに具備する前記（１）から（１０）の何れかに記載の受光素子。

（１２）前記バッファ層は、絶縁物により構成される前記（１１）に記載の受光素子。

（１３）前記バッファ層は、酸化シリコンにより構成される前記（１２）に記載の受光素子。

（１４）前記分離領域は、底部が前記バッファ層に接する形状に構成される前記（１１）から（１３）の何れかに記載の受光素子。

（１５）前記分離領域は、前記バッファ層を貫通する形状に構成される前記（１１）から（１３）の何れかに記載の受光素子。

（１６）前記光電変換部は、フォトダイオードにより構成される前記（１）から（１５）の何れかに記載の受光素子。

（１７）前記光電変換部は、入射光の光電変換により生成された電荷を高い逆バイアス電圧により増倍する前記フォトダイオードにより構成される前記（１６）に記載の受光素子。

（１８）前記光電変換部は、前記生成された電荷がｐ型の半導体領域およびｎ型の半導体領域により構成されるｐｎ接合において前記増倍される前記（１７）に記載の受光素子。

（１９）前記光電変換部は、前記ｎ型の半導体領域により構成されるカソード領域を備える前記（１８）に記載の受光素子。

（２０）前記光電変換部は、前記半導体基板の表面側に配置される前記カソード領域を備える前記（１９）に記載の受光素子。

（２１）前記光電変換部は、前記半導体基板の表面側の前記分離領域の近傍に配置されるアノード領域を備える前記（１９）に記載の受光素子。

（２２）前記配線層は、前記アノード領域に接続される前記（２１）に記載の受光素子。

（２３）半導体基板に配置されて入射光の光電変換を行う光電変換部を備える画素と、

前記光電変換部の境界に配置されて前記光電変換部を分離する分離領域と、

前記画素に配線される配線層と、

前記分離領域および前記配線層の間に配置されて前記配線層を保護する配線層保護膜と、

前記光電変換に基づいて生成された信号を処理する処理回路と

を具備する電子機器。

（２４）前記光電変換部は、光源から照射された光が被写体により反射されて自身に入射する前記入射光の光電変換を行い、

前記処理回路は、前記光源からの前記光の照射から前記信号が生成されるまでの時間を計時することにより前記被写体までの距離を計測する前記処理を行う

前記（２３）に記載の電子機器。

（２５）前記処理回路は、前記信号の変化量を検出する前記処理を行う前記（２３）に記載の電子機器。

（２６）前記処理回路は、所定の閾値と比較することにより前記変化量を検出する前記（２５）に記載の電子機器。

（２７）前記処理回路は、前記半導体基板に貼り合わされる半導体基板に配置される前記（２３）に記載の電子機器。

符号の説明

[0150] １　撮像装置

２　受光素子

４　光源装置

１０　画素アレイ部

３０　受光信号処理部

７０　信号処理回路

１００　画素

１０１、２０１　光電変換部

１１０、１３０　半導体基板

１２０、１４０　配線領域

１２２～１２４、１４２　配線層

１５０、１５０ａ、１５０ｂ　分離領域

１５６、１５７　配線層保護膜

１５８　バッファ層

請求の範囲

[請求項1] 半導体基板に配置されて入射光の光電変換を行う光電変換部を備える画素と、

前記光電変換部の境界に配置されて前記光電変換部を分離する分離領域と、

前記画素に配線される配線層と、

前記分離領域および前記配線層の間に配置されて前記配線層を保護する配線層保護膜とを具備する受光素子。

[請求項2] 前記分離領域は、金属を含んで構成される請求項１記載の受光素子。

[請求項3] 前記分離領域は、前記半導体基板に形成された溝に配置される金属膜を備える請求項２記載の受光素子。

[請求項4] 前記分離領域は、前記半導体基板および前記金属膜の間に配置される絶縁膜をさらに備える請求項３記載の受光素子。

[請求項5] 前記分離領域は、底部が前記配線層保護膜に接する形状に構成される請求項１記載の受光素子。

[請求項6] 前記分離領域は、前記半導体基板を貫通する形状の前記金属膜を備える請求項３記載の受光素子。

[請求項7] 前記分離領域に隣接する前記半導体基板に配置されて固定電荷を有する膜である固定電荷膜をさらに具備する請求項３記載の受光素子。

[請求項8] 前記配線層保護膜は、前記溝を形成する際の前記半導体基板のエッチングを抑制する膜により構成される請求項３記載の受光素子。

[請求項9] 前記配線層保護膜は、窒化ケイ素、炭化ケイ素、酸化ケイ素、酸窒化ケイ素、炭素、タングステン、チタンおよび窒化チタンの何れかを含む膜により構成される請求項８記載の受光素子。

[請求項10] 前記配線層保護膜は、多層に構成される請求項１記載の受光素子。

[請求項11] 前記半導体基板および前記配線層保護膜の間に配置されるバッファ層をさらに具備する請求項１記載の受光素子。

[請求項12] 前記バッファ層は、絶縁物により構成される請求項１１記載の受光素子。

[請求項13] 前記バッファ層は、酸化シリコンにより構成される請求項１２記載の受光素子。

[請求項14] 前記分離領域は、底部が前記バッファ層に接する形状に構成される請求項１１記載の受光素子。

[請求項15] 前記分離領域は、前記バッファ層を貫通する形状に構成される請求項１１記載の受光素子。

[請求項16] 前記光電変換部は、フォトダイオードにより構成される請求項１記載の受光素子。

[請求項17] 前記光電変換部は、入射光の光電変換により生成された電荷を高い逆バイアス電圧により増倍する前記フォトダイオードにより構成される請求項１６記載の受光素子。

[請求項18] 前記光電変換部は、前記生成された電荷がｐ型の半導体領域およびｎ型の半導体領域により構成されるｐｎ接合において前記増倍される請求項１７記載の受光素子。

[請求項19] 前記光電変換部は、前記ｎ型の半導体領域により構成されるカソード領域を備える請求項１８記載の受光素子。

[請求項20] 前記光電変換部は、前記半導体基板の表面側に配置される前記カソード領域を備える請求項１９記載の受光素子。

[請求項21] 前記光電変換部は、前記半導体基板の表面側の前記分離領域の近傍に配置されるアノード領域を備える請求項１９記載の受光素子。

[請求項22] 前記配線層は、前記アノード領域に接続される請求項２１記載の受光素子。

[請求項23] 半導体基板に配置されて入射光の光電変換を行う光電変換部を備える画素と、

前記光電変換部の境界に配置されて前記光電変換部を分離する分離領域と、

前記画素に配線される配線層と、

前記分離領域および前記配線層の間に配置されて前記配線層を保護する配線層保護膜と、

前記光電変換に基づいて生成された信号を処理する処理回路と

を具備する電子機器。

[請求項24] 前記光電変換部は、光源から照射された光が被写体により反射されて自身に入射する前記入射光の光電変換を行い、

前記処理回路は、前記光源からの前記光の照射から前記信号が生成されるまでの時間を計時することにより前記被写体までの距離を計測する前記処理を行う

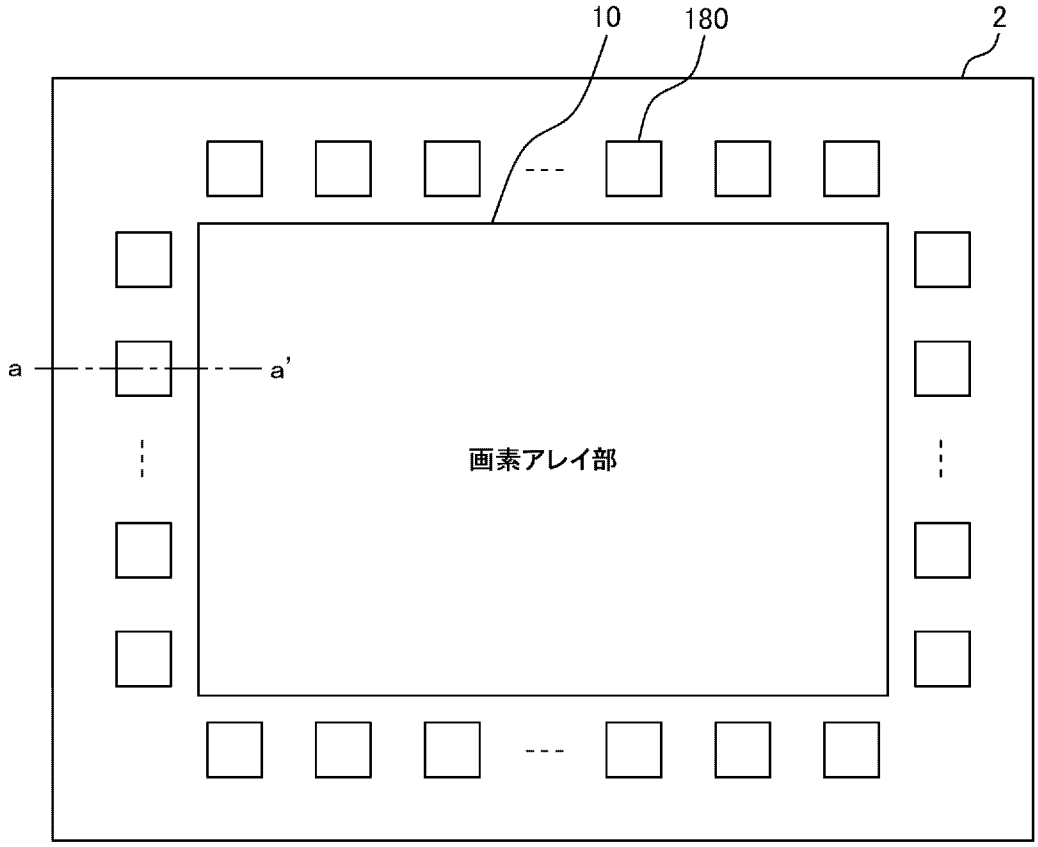
請求項２３記載の電子機器。

[請求項25] 前記処理回路は、前記信号の変化量を検出する前記処理を行う請求項２３記載の電子機器。

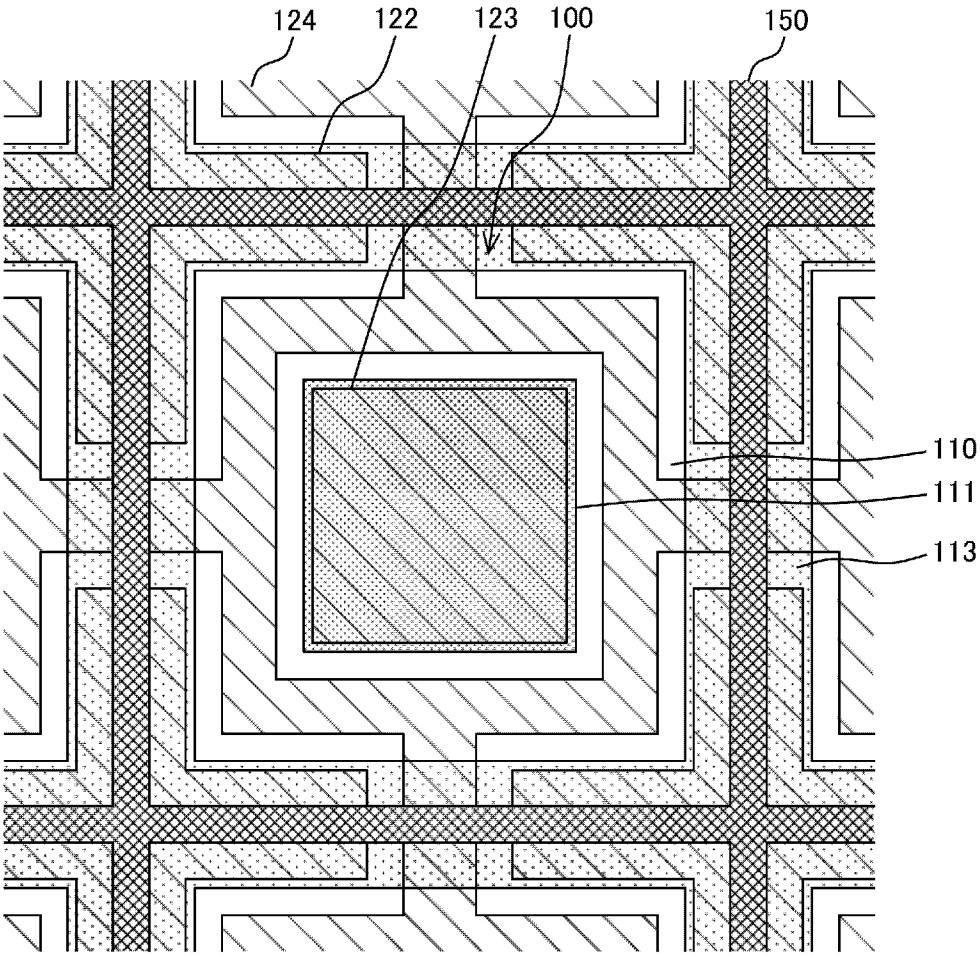
[請求項26] 前記処理回路は、所定の閾値と比較することにより前記変化量を検出する請求項２５記載の電子機器。

[請求項27] 前記処理回路は、前記半導体基板に貼り合わされる半導体基板に配置される請求項２３記載の電子機器。

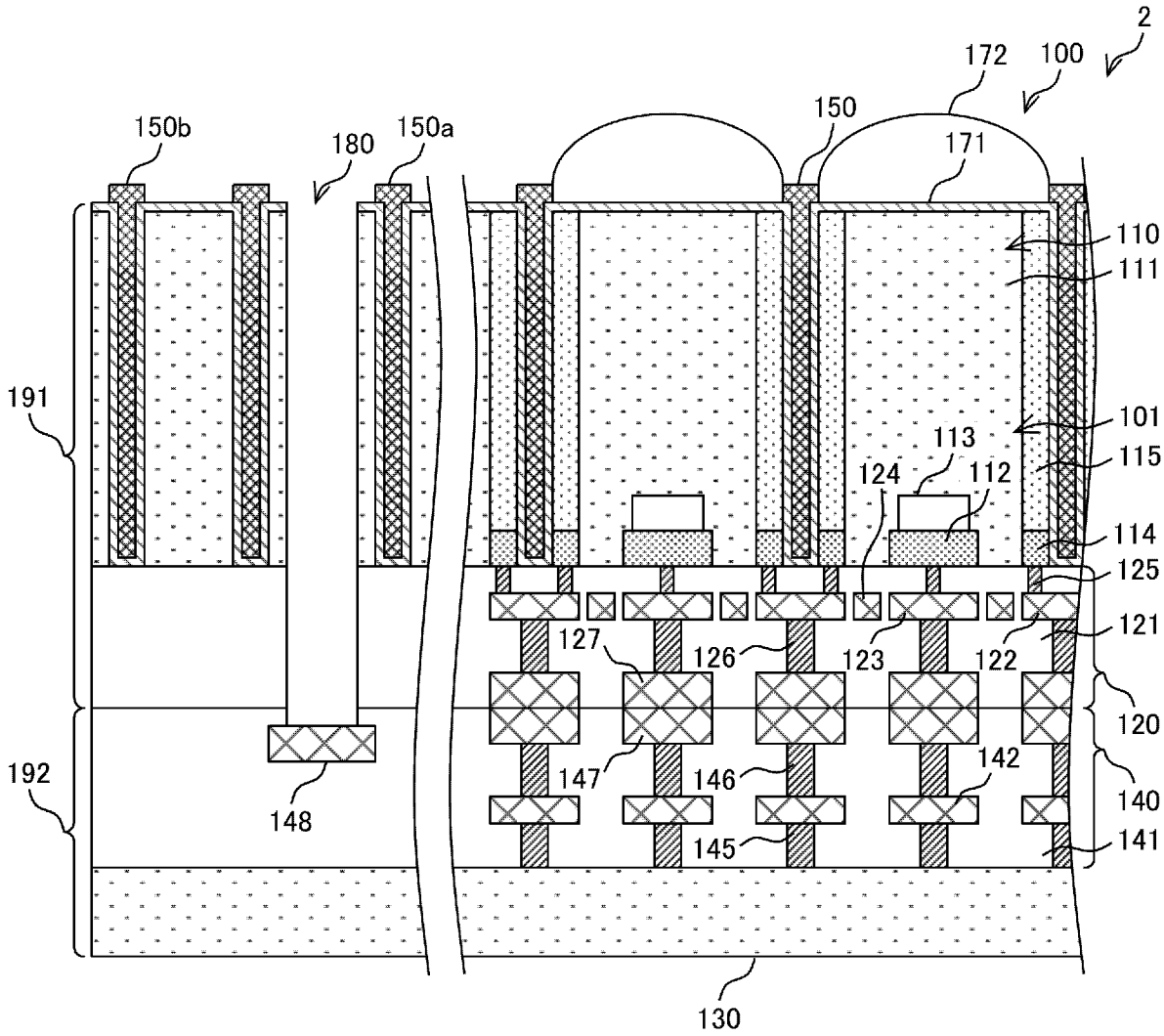
[図1]



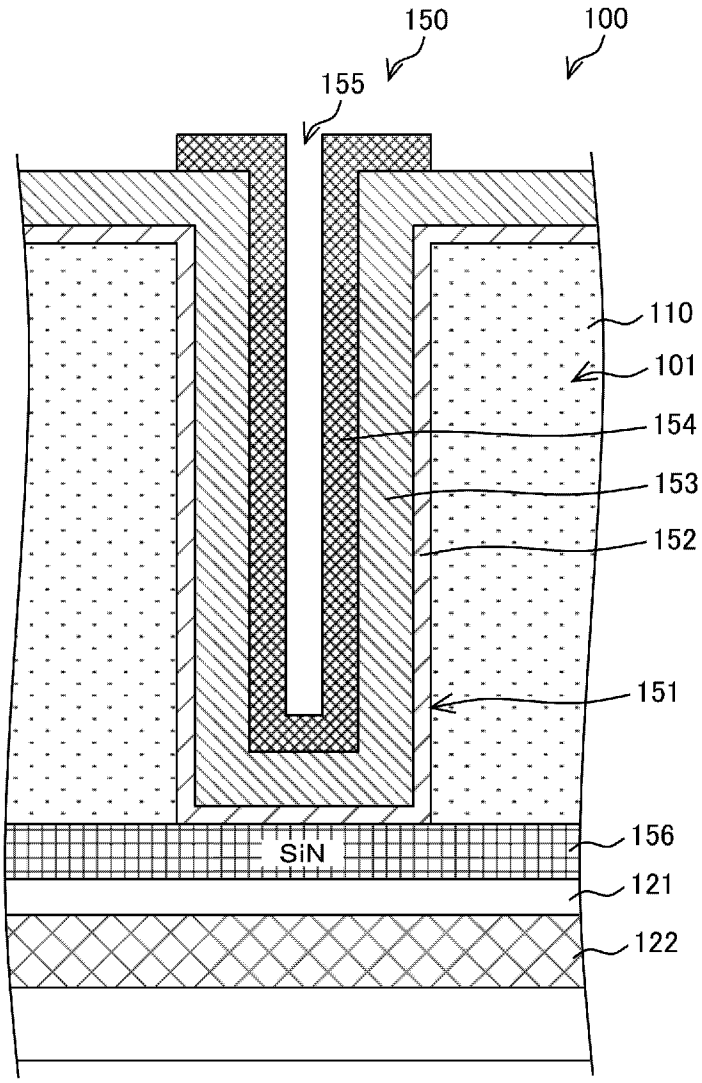
[図2]



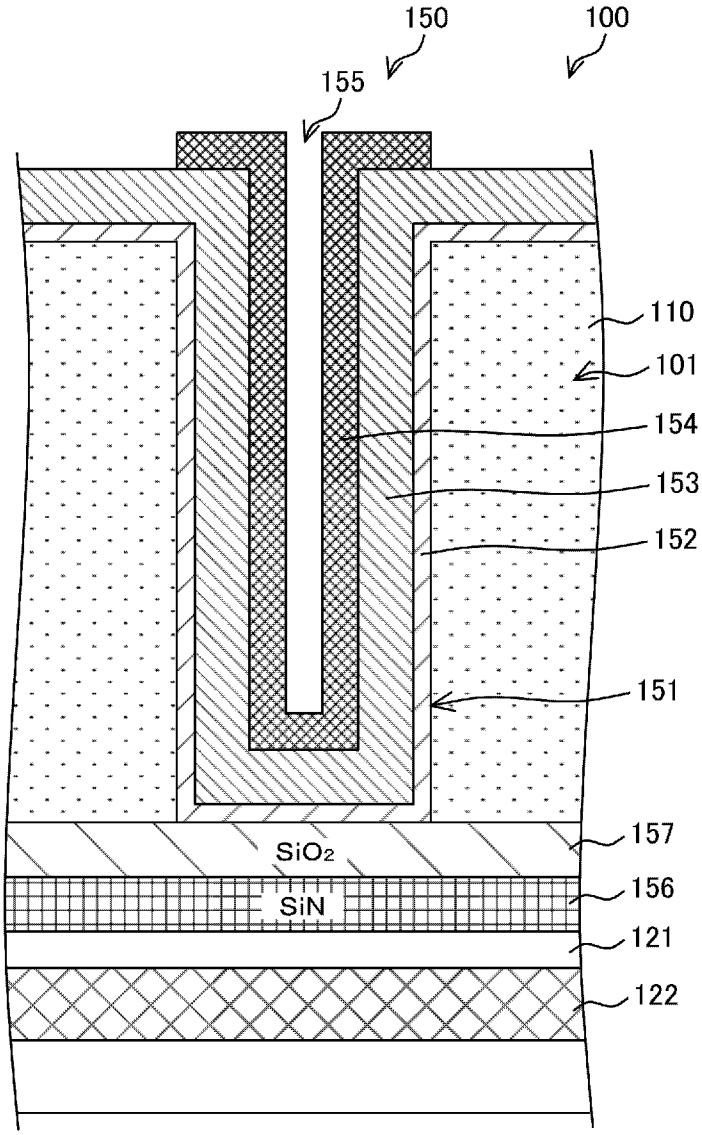
[図3]


2
172
100
150
150b
180
150a
171
110
111
191
101
113
115
124
112
114
125
121
127
126
123
122
120
192
147
146
142
140
148
145
141
130

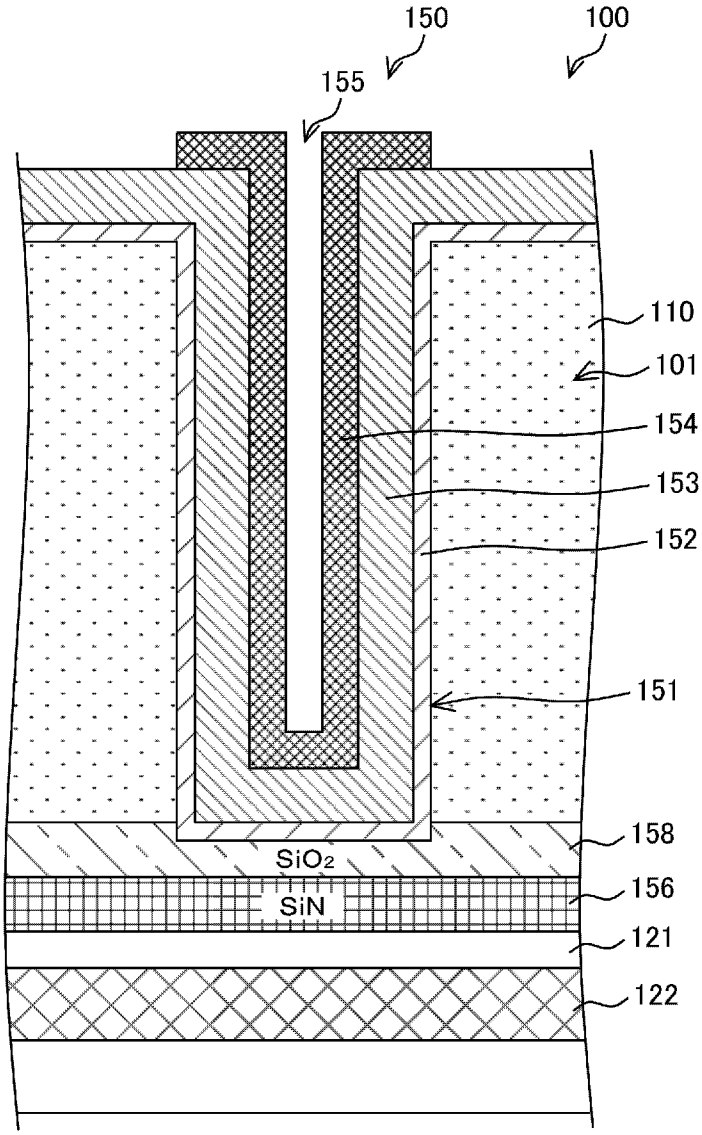
[図4]



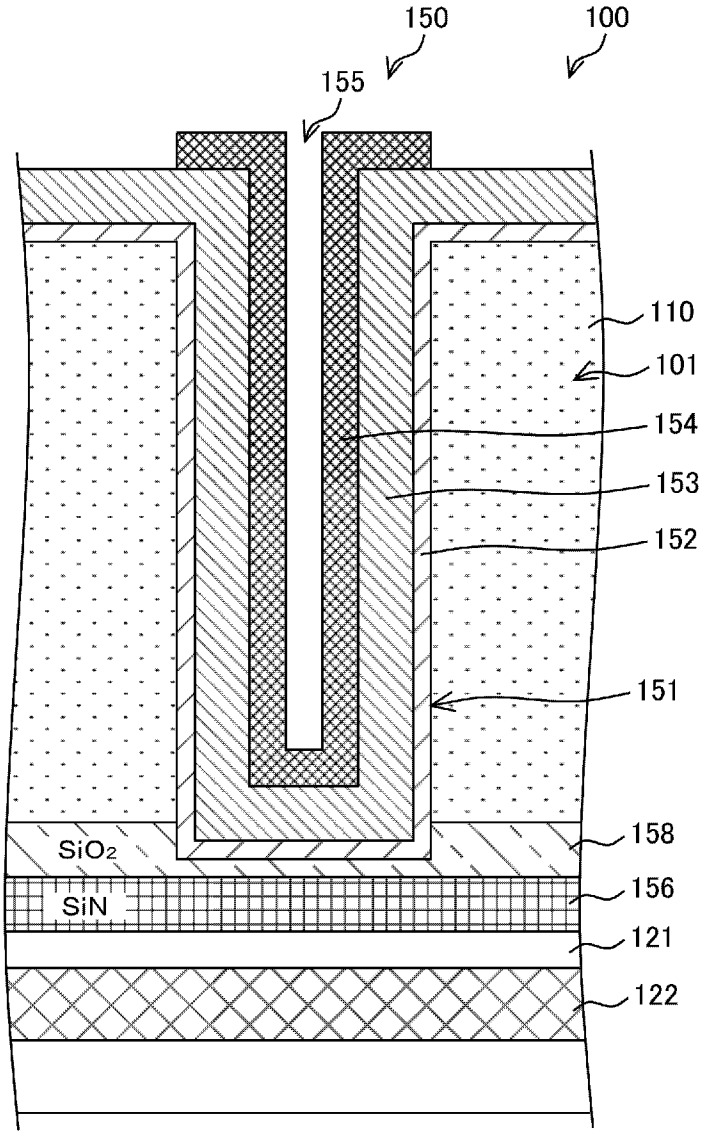
[図5]



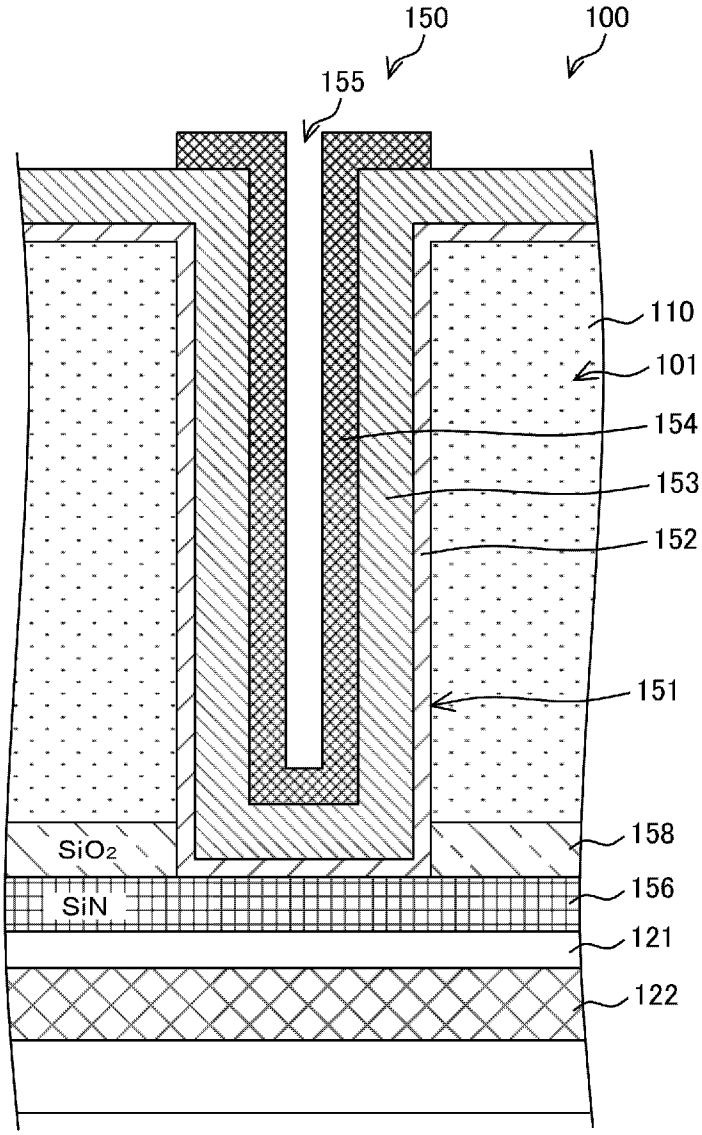
[図6]



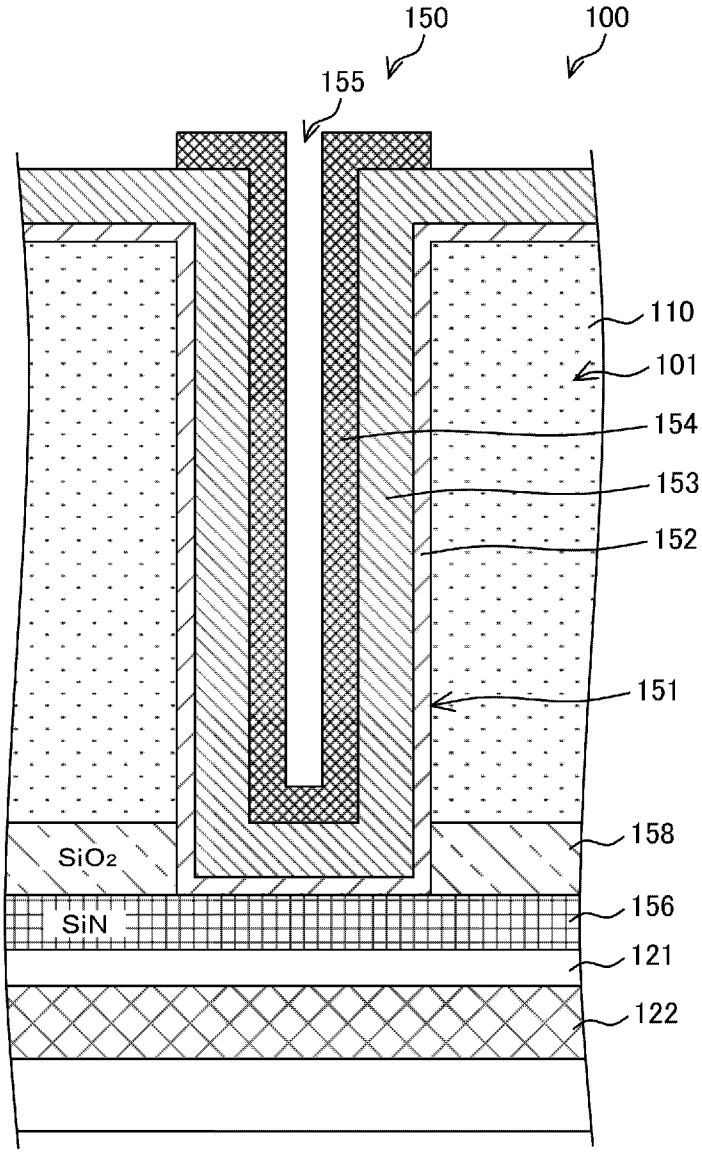
[図7]



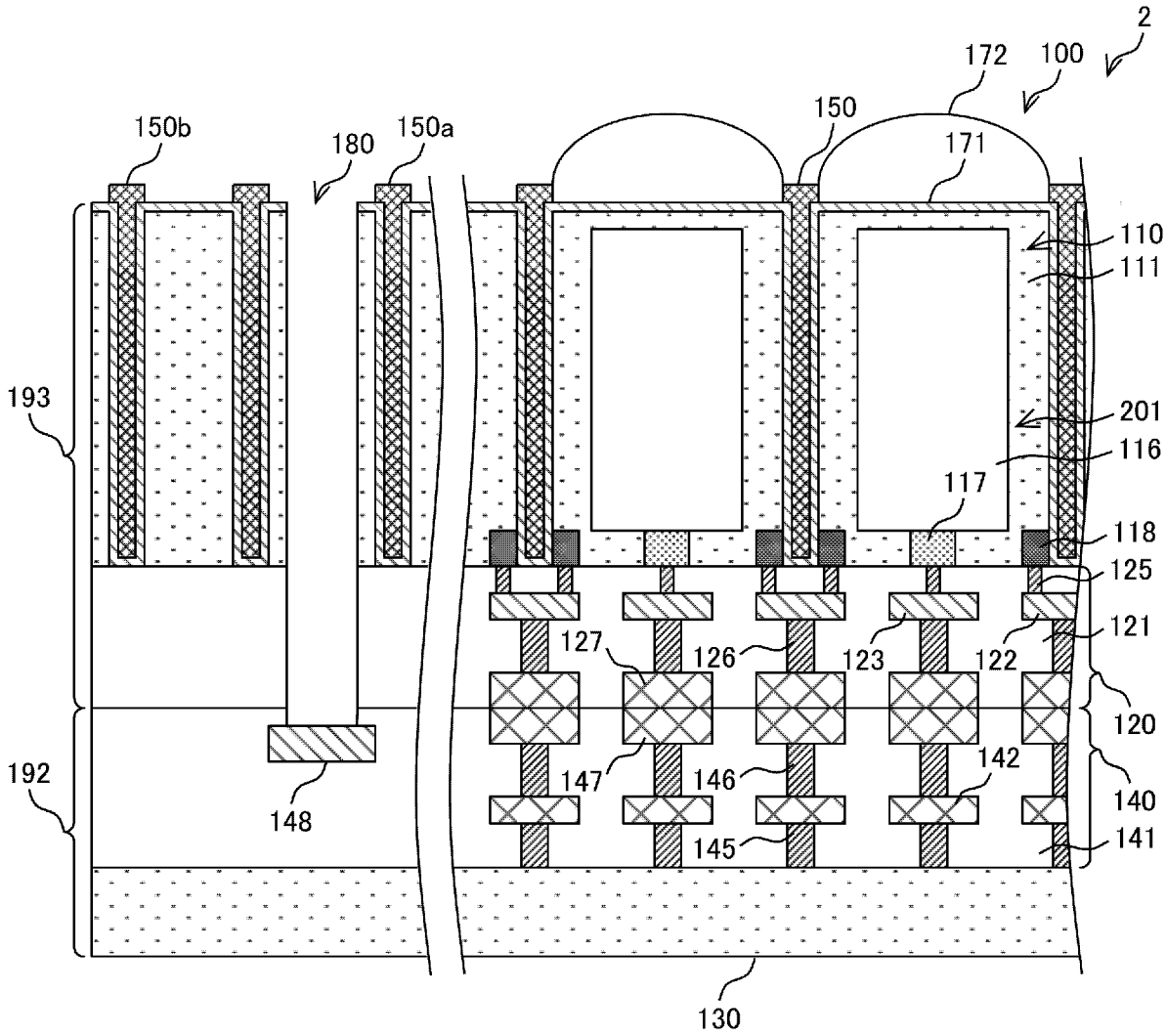
[図8]



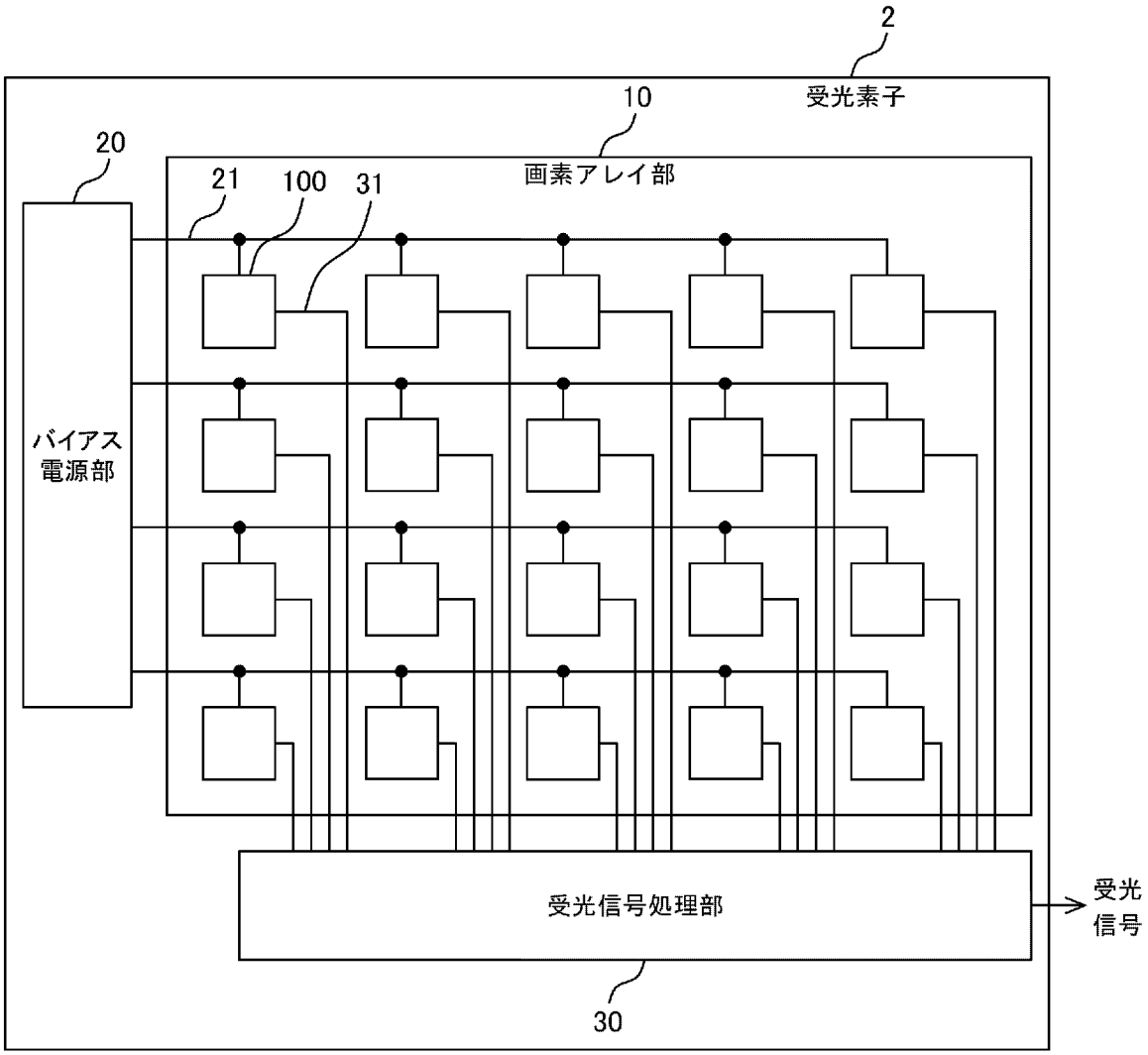
[図9]



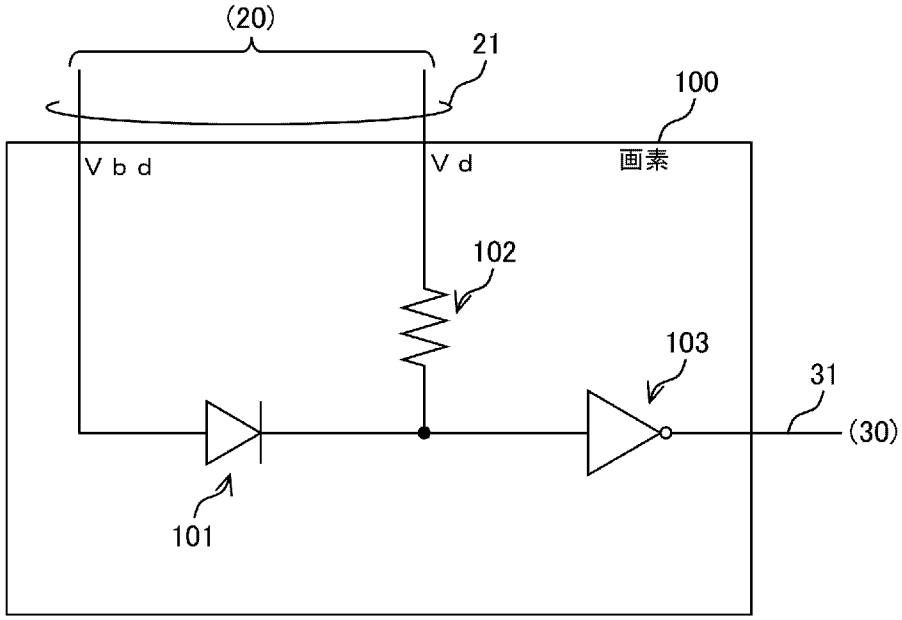
[図10]


2
172
100
150
150b
180
150a
171
110
111
193
201
116
117
118
125
121
127
126
123
122
120
192
148
147
146
142
140
145
141
130

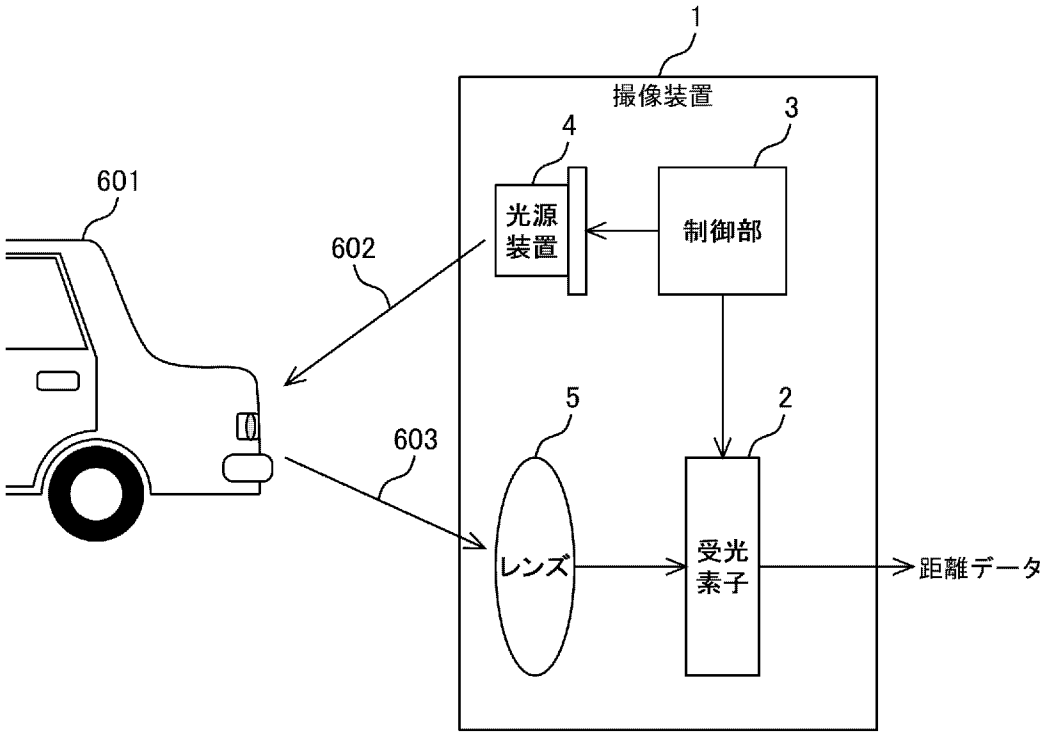
[図11]



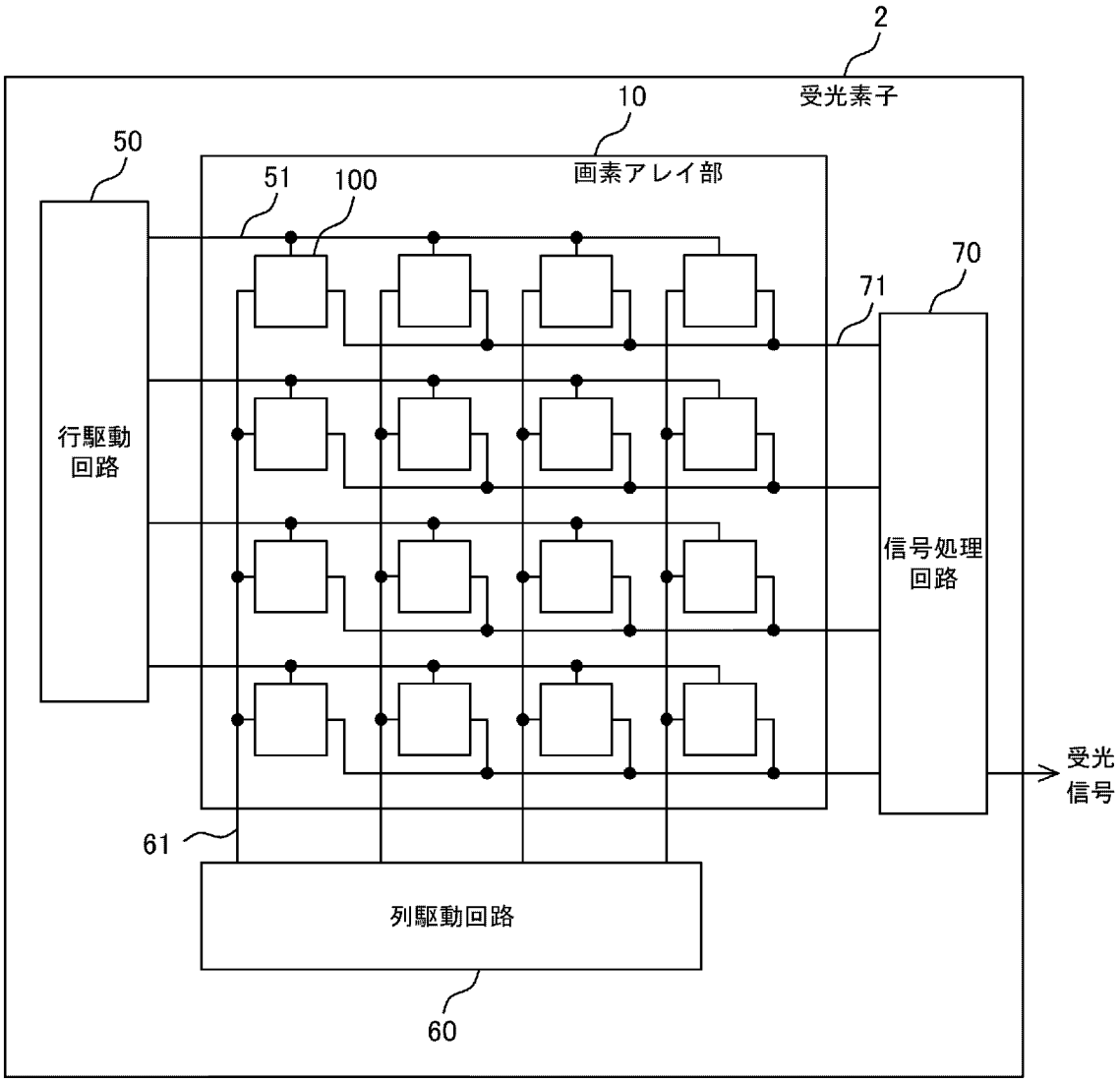
[図12]


(20)
21
100
Vbd
Vd
画素
102
103
31
(30)
101

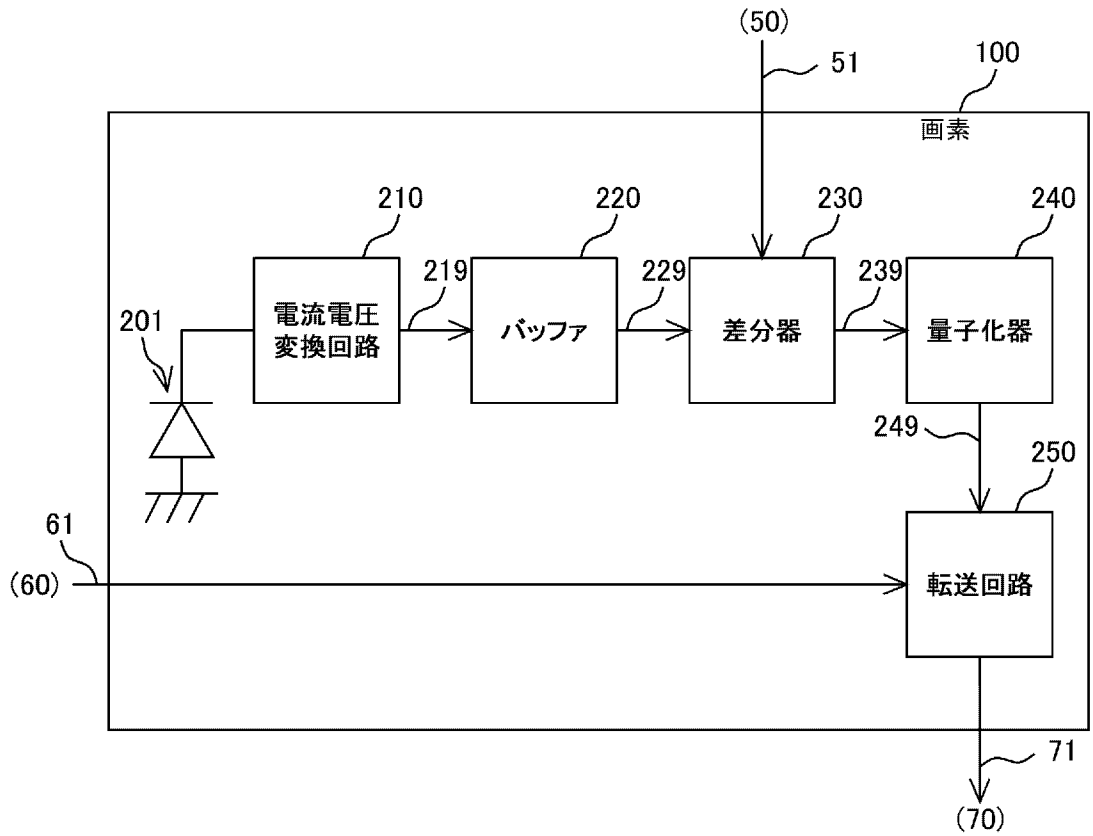
[図13]


1
撮像装置
4
3
601
光源装置
制御部
602
5
2
603
レンズ
受光素子
距離データ

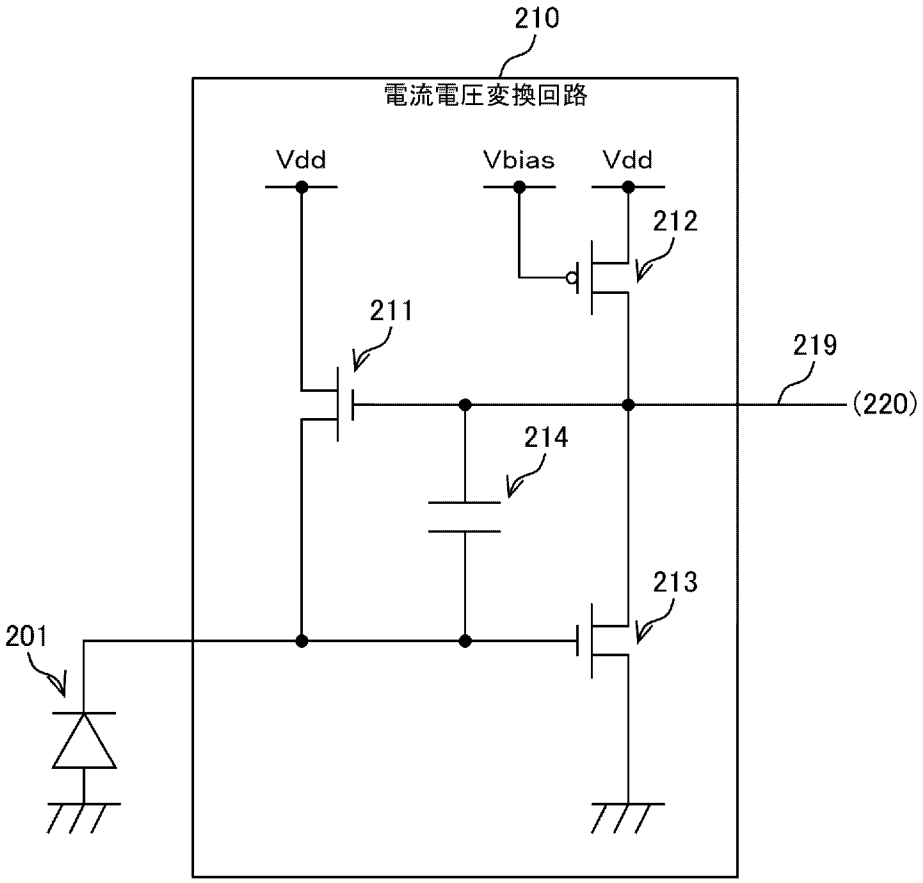
[図14]



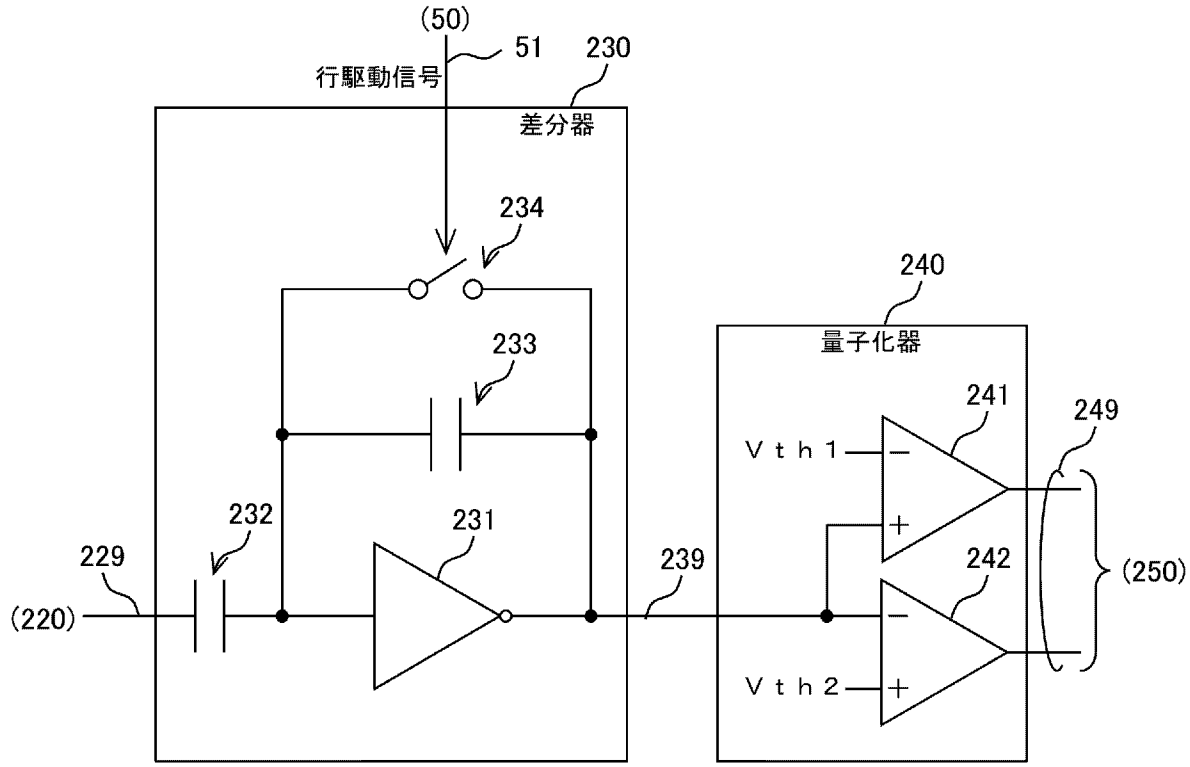
[図15]


(50)
51
100
画素
210
220
230
240
219
229
239
201
電流電圧
変換回路
バッファ
差分器
量子化器
249
250
61
(60)
転送回路
71
(70)

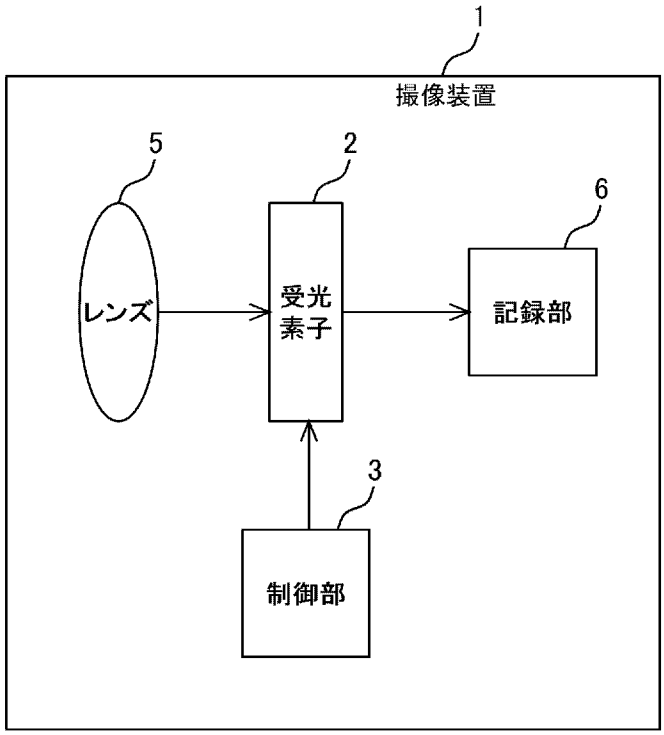
[図16]



[図17]


(50)
51
230
行駆動信号
差分器
234
240
量子化器
233
241
249
Ｖｔｈ１
232
231
229
239
242
(250)
(220)
Ｖｔｈ２

[図18]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/005009

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H01L31/107(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L27/144(2006.01)i, H01L27/146(2006.01)i
FI: H01L27/146 A, H01L21/88 J, H01L27/144 K, H01L27/146 F, H01L21/90 P, H01L31/10 B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H01L31/107, H01L21/3205, H01L21/768, H01L23/522, H01L27/144, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2017-191950 A (SONY CORP.) 19 October 2017, paragraphs [0024], [0045]-[0053], [0084], [0117], [0124], [0125], fig. 4	1-27
Y	JP 2015-156493 A (CANON INC.) 27 August 2015, paragraphs [0023], [0034], fig. 1, 5 (b)	1-27
Y	JP 2016-171206 A (FUJITSU LTD.) 23 September 2016, paragraphs [0016], [0028], fig. 1	10-15
Y	JP 2019-140132 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 22 August 2019, paragraphs [0070], [0099]	17-22, 24-27

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30.04.2021	18.05.2021
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/005009

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2017-191950 A	19.10.2017	US 2014/0054662 A1 paragraphs [0058], [0081]-[0091], [0127], [0164], [0171], [0172], fig. 4 WO 2012/117931 A1 CN 103403869 A KR 10-2014-0015326 A	
JP 2015-156493 A	27.08.2015	US 2012/0305785 A1 paragraphs [0057], [0068], fig. 1, 5B US 2012/0306041 A1 EP 2530716 A1 CN 102810547 A CN 102810548 A	
JP 2016-171206 A	23.09.2016	(Family: none)	
JP 2019-140132 A	22.08.2019	WO 2019/155875 A1 paragraphs [0072], [0102] CN 110352492 A	

国際調査報告

国際出願番号
PCT/JP2021/005009

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 31/107(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 23/522(2006.01)i; H01L 27/144(2006.01)i; H01L 27/146(2006.01)i
FI: H01L27/146 A; H01L21/88 J; H01L27/144 K; H01L27/146 F; H01L21/90 P; H01L31/10 B

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L31/107; H01L21/3205; H01L21/768; H01L23/522; H01L27/144; H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2017-191950 A (ソニー株式会社) 19.10.2017 (2017-10-19) 段落0024,0045-0053,0084,0117,0124,0125,図4	1-27
Y	JP 2015-156493 A (キヤノン株式会社) 27.08.2015 (2015-08-27) 段落0023,0034,図1,図5(b)	1-27
Y	JP 2016-171206 A (富士通株式会社) 23.09.2016 (2016-09-23) 段落0016,0028,図1	10-15
Y	JP 2019-140132 A (ソニーセミコンダクタソリューションズ株式会社) 22.08.2019 (2019-08-22) 段落0070,0099	17-22,24-27

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
30.04.2021	18.05.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
西出　隆二　5F 3356

電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/005009

引用文献	公表日	パテントファミリー文献	公表日
JP 2017-191950 A	19.10.2017	US 2014/0054662 A1 段落0058,0081-0091,0127,0164,0171,0172,図4 WO 2012/117931 A1 CN 103403869 A KR 10-2014-0015326 A	
JP 2015-156493 A	27.08.2015	US 2012/0305785 A1 0057,0068,図1,図5B US 2012/0306041 A1 EP 2530716 A1 CN 102810547 A CN 102810548 A	
JP 2016-171206 A	23.09.2016	（ファミリーなし）	
JP 2019-140132 A	22.08.2019	WO 2019/155875 A1 段落0072,0102 CN 110352492 A	