

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年4月23日(23.04.2020)



(10) 国際公開番号

WO 2020/079970 A1

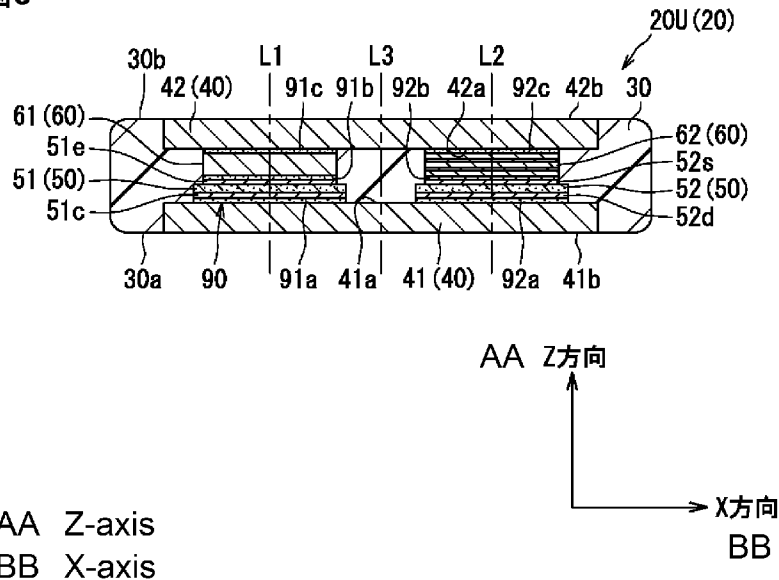
- (51) 国際特許分類:
H01L 25/07 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2019/034327
- (22) 国際出願日: 2019年9月2日(02.09.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-194378 2018年10月15日(15.10.2018) JP
- (71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 加藤 信之 (KATO Nobuyuki); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会

- 社デンソー内 Aichi (JP). 石野 寛 (ISHINO Hiroshi); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 秋山 博則 (AKIYAMA Hironori); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順 姫 (JIN Shunji); 〒4600003 愛知県名古屋市中区錦2丁目13番19号 瀧定ビル6階 Aichi (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

図3



(57) Abstract: Provided is a semiconductor device comprising: a first metal body (41); a second metal body (42) which is positioned facing the first metal body; a first semiconductor chip (51) which is positioned in the facing region and which comprises a Si substrate and a first element formed thereon, and a second semiconductor chip (52) which is positioned in the facing region and which comprises a SiC substrate and a second element formed thereon; and a first terminal (61) interposed between the second metal body and the first semiconductor chip and a second terminal (62) interposed between the second metal body and the second semiconductor chip. In a perpendicular direction to the facing direction, a coefficient of linear expansion of the second terminal is less than a coefficient of linear expansion of the first terminal. With a first

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

sum total taken to be the sum total of the products of the thicknesses of the members and the coefficient of linear expansion in the facing direction in terms of a first virtual line which is parallel to the facing direction and which traverses a region overlapping with the first terminal in a projection view in the facing direction, and with a second sum total taken to be the sum total of the products of the thicknesses of the members and the coefficient of linear expansion in the facing direction in terms of a second virtual line which is parallel to the facing direction and which traverses a region overlapping with the second terminal, the second sum total is greater than or equal to the first sum total.

- (57) 要約：半導体装置は、第1金属体（41）と、第1金属体と対向するように配置された第2金属体（42）と、対向領域に配置され、Si基板に第1素子が形成された第1半導体チップ（51）、及び、SiC基板に第2素子が形成された第2半導体チップ（52）と、第2金属体と第1半導体チップとの間に第1ターミナル（61）、及び、第2半導体チップとの間に介在する第2ターミナル（62）と、を備える。対向方向との直交方向において、第2ターミナルの線膨張係数は第1ターミナルよりも小さく、対向方向の投影視において第1ターミナルと重なる領域を通り、対向方向に平行な第1仮想線上において、各部材の厚みと対向方向の線膨張係数との積の総和を第1総和とし、第2ターミナルと重なる領域を通り、対向方向に平行な第2仮想線上において、各部材の厚みと対向方向の線膨張係数との積の総和を第2総和とすると、第2総和は第1総和以上である。

明 細 書

発明の名称：半導体装置

関連出願の相互参照

[0001] 本出願は、2018年10月15日に提出された日本国特許出願2018-194378号に基づくものであり、ここにその記載内容を参照により援用する。

技術分野

[0002] 本開示は、半導体装置に関する。

背景技術

[0003] 特許文献1に記載された半導体装置は、半導体チップとして、Si基板に第1素子が形成された第1半導体チップと、SiC基板に第2素子が形成された第2半導体チップを備えている。第1半導体チップ及び第2半導体チップは、第1金属体（第1金属部材）と第2金属体（第2金属部材）との対向領域に配置され、第1金属体に接続されている。各半導体チップと第2金属体との間には、ターミナルが個別に介在している。このようにして、第1素子及び第2素子が、第1金属体と第2金属体との間で並列接続されている。

先行技術文献

特許文献

[0004] 特許文献1：JP 2018-74089 A

発明の概要

[0005] 第2半導体チップを構成するSiCのヤング率は、第1半導体チップを構成するSiの約3倍と大きい。このため、一对の金属体によって半導体チップが上下から挟まれた上記構造においては、熱応力によって、第2半導体チップ側の接合材や第2半導体チップにクラックなどが生じるおそれがある。すなわち、SiCを用いた第2半導体チップ側の信頼性が、Siを用いた第1半導体チップ側の信頼性よりも低くなるおそれがある。

[0006] 本開示は、SiCを用いた第2半導体チップ側の信頼性を向上できる半導

体装置を提供することを目的とする。

[0007] 本開示の一態様によると、半導体装置は、外郭をなす表面として、一面及び一面と反対の裏面を有する。半導体装置は、一面側に配置された第1金属体と、第1金属体と対向するように、裏面側に配置された第2金属体と、第1金属体と第2金属体との対向領域に配置された複数の半導体チップであって、Si基板に第1素子が形成され、第1金属体に接続された少なくとも1つの第1半導体チップ、及び、SiC基板に第2素子が形成され、第1金属体に接続された少なくとも1つの第2半導体チップと、第2金属体と半導体チップとの間に個別に介在し、第2金属体と半導体チップとを中継する複数のターミナルであって、第1半導体チップとの間に介在する第1ターミナル、及び、第2半導体チップとの間に介在する第2ターミナルと、を備える。第1金属体及び第2金属体の対向方向と直交する方向において、第2ターミナルの線膨張係数が第1ターミナルの線膨張係数よりも小さい。対向方向の投影視において第1ターミナルと重なる領域を通り、対向方向に平行な第1仮想線上において、一面から裏面までの間に配置された各部材の厚みと対向方向の線膨張係数との積の総和を第1総和とする。対向方向の投影視において第2ターミナルと重なる領域を通り、対向方向に平行な第2仮想線上において、一面から裏面までの間に配置された各部材の厚みと対向方向の線膨張係数との積の総和を第2総和とする。第2総和は、第1総和以上である。

[0008] 本開示の一態様によると、半導体装置において、第2ターミナルの線膨張係数が、対向方向に直交する方向において、第1ターミナルの線膨張係数よりも小さい。これにより、第2半導体チップ側に作用する熱応力を低減することができる。

[0009] このような構成の半導体装置は、対向方向において挟持される。挟持部材として、たとえば一面側及び裏面側の少なくとも一方に冷却器が配置され、これにより半導体装置は冷却される。この半導体装置では、第2半導体チップ側の第2総和が、第1半導体チップ側の第1総和以上とされている。したがって、半導体チップの発熱によって各部材が膨張しても、第2半導体チッ

プ側において半導体装置が冷却器に密着する。よって、対向方向に直交する方向の線膨張係数が小さくされた第2ターミナルを用いつつも、第2半導体チップから冷却器までの放熱経路において、熱抵抗の上昇を抑制することができる。したがって、第2半導体チップの温度上昇を抑制し、これにより第2半導体チップ側に作用する熱応力を低減することができる。

[0010] 以上により、SiCを用いた第2半導体チップ側の信頼性を向上することができる。

図面の簡単な説明

[0011] 本開示についての上記および他の目的、特徴や利点は、添付図面を参照した下記詳細な説明から、より明確になる。添付図面において、

[図1]図1は、第1実施形態の半導体装置が適用される電力変換装置の概略構成を示す図であり、

[図2]図2は、半導体装置を示す平面図であり、

[図3]図3は、図2のI-I線に沿う断面図であり、

[図4]図4は、図2のV-V線に沿う断面図であり、

[図5]図5は、封止樹脂体を省略した平面図であり、

[図6]図6は、下アーム側の半導体装置を示す平面図であり、

[図7]図7は、冷却器との積層構造を示す平面図であり、

[図8]図8は、素子発熱時における半導体装置を示し、図3に対応している模式図であり、

[図9]図9は、第1変形例を示し、図3に対応している断面図であり、

[図10]図10は、第2変形例を示し、図3に対応している断面図であり

[図11]図11は、第2実施形態の半導体装置を示す平面図であり、

[図12]図12は、図11のX-X線に沿う断面図であり、

[図13]図13は、下アーム側の半導体装置を示す平面図であり、

[図14]図14は、その他変形例を示す断面図であり、

[図15]図15は、その他変形例を示す断面図である。

発明を実施するための形態

[0012] 図面を参照しながら、複数の実施形態を説明する。複数の実施形態において、機能的に及び／又は構造的に対応する部分には同一の参照符号を付与する。以下において、金属体の対向方向をZ方向、Z方向に直交する一方向をX方向と示す。また、Z方向及びX方向の両方向に直交する方向をY方向と示す。特に断わりのない限り、上記したX方向及びY方向により規定されるXY面に沿う形状を平面形状とする。

[0013] (第1実施形態)

本実施形態の半導体装置が適用される電力変換装置の概略構成について説明する。

[0014] <電力変換装置>

図1に示す電力変換装置10は、たとえば電気自動車(EV)やハイブリッド自動車(HV)などの車両に適用可能である。電力変換装置10は、直流電源1とモータジェネレータ2との間で電力変換を行う。

[0015] 直流電源1は、リチウムイオン電池やニッケル水素電池などの充放電可能な二次電池である。モータジェネレータ2は、三相交流方式の回転電機である。本実施形態のモータジェネレータ2は、車両の走行駆動源、すなわち電動機として機能する。また、回生時には発電機として機能する。なお、モータジェネレータ2としては、走行駆動源として機能するものに限定されない。図示しないエンジンにより駆動されて発電する発電機(オルタネータ)、及び、エンジンを始動させる電動機(スタータ)として機能するものを採用することもできる。

[0016] 電力変換装置10は、電力変換部を少なくとも備えている。本実施形態の電力変換装置10は、平滑コンデンサ11と、電力変換部としてのインバータ12と、制御回路13と、駆動IC14を備えている。

[0017] 平滑コンデンサ11は、高電位側の電力ラインであるPライン15と低電位側の電力ラインであるNライン16との間に接続されている。Pライン15は直流電源1の正極に接続され、Nライン16は直流電源1の負極に接続されている。このため、Nライン16は、接地ラインとも称される。平滑コ

ンデンサ 11 は、主として、直流電源 1 から供給される直流電圧を平滑化する。

[0018] インバータ 12 は、DC-AC 変換部である。インバータ 12 は、三相分の上下アーム回路 17 を備えて構成されている。U 相の上下アーム回路 17 の接続点は、モータジェネレータ 2 の固定子に設けられた U 相巻線に接続されている。同様に、V 相の上下アーム回路 17 の接続点は、モータジェネレータ 2 の V 相巻線に接続されている。W 相の上下アーム回路 17 の接続点は、モータジェネレータ 2 の W 相巻線に接続されている。上下アーム回路 17 の接続点は、相ごとに設けられた出力ライン 18 を介して対応する相の巻線に接続されている。出力ライン 18 や、上記した P ライン 15 及び N ライン 16 は、バスバーなどによって構成される。

[0019] 各相の上下アーム回路 17 は、上アーム 17U と、下アーム 17L を有している。上アーム 17U と下アーム 17L は、上アーム 17U を P ライン 15 側として、P ライン 15 と N ライン 16 との間で直列接続されている。各アーム、すなわち上アーム 17U 及び下アーム 17L のそれぞれは、スイッチング素子 Q1、Q2 と、ダイオード D1 を有している。スイッチング素子 Q1、Q2 は、互いに並列接続されている。本実施形態では、スイッチング素子 Q1 として n チャネル型の IGBT を採用し、スイッチング素子 Q2 として n チャネル型の MOSFET を採用している。ダイオード D1 は、還流のため、スイッチング素子 Q1 である IGBT に逆並列に接続されている。

[0020] たとえば上アーム 17U において、スイッチング素子 Q1 のコレクタ電極及びスイッチング素子 Q2 のドレイン電極が、P ライン 15 に接続されている。また、下アーム 17L において、スイッチング素子 Q1 のエミッタ電極及びスイッチング素子 Q2 のソース電極が、N ライン 16 に接続されている。上アーム 17U におけるスイッチング素子 Q1 のエミッタ電極及びスイッチング素子 Q2 のソース電極と、下アーム 17L におけるスイッチング素子 Q1 のコレクタ電極及びスイッチング素子 Q2 のドレイン電極とが、互いに接続されるとともに、出力ライン 18 に接続されている。後述する半導体装

置 20 は、1 つのアームを構成する。すなわち、2 つの半導体装置 20 によって上下アーム回路 17 が構成され、6 つの半導体装置 20 によってインバータ 12 が構成される。

[0021] インバータ 12 は、制御回路 13 によるスイッチング制御にしたがって、直流電圧を三相交流電圧に変換し、モータジェネレータ 2 へ出力する。これにより、モータジェネレータ 2 は、所定のトルクを発生するように駆動される。また、インバータ 12 は、車両の回生制動時、車輪からの回転力を受けてモータジェネレータ 2 が発電した三相交流電圧を、制御回路 13 によるスイッチング制御にしたがって直流電圧に変換し、P ライン 15 へ出力することもできる。このように、インバータ 12 は、直流電源 1 とモータジェネレータ 2 との間で双方向の電力変換を行う。

[0022] 制御回路 13 は、インバータ 12 のスイッチング素子 Q1, Q2 を動作させるための駆動指令を生成し、駆動 IC 14 に出力する。制御回路 13 は、図示しない上位 ECU から入力されるトルク要求や各種センサにて検出された信号に基づいて、駆動指令を生成する。各種センサとしては、モータジェネレータ 2 の各相の巻線に流れる相電流を検出する電流センサ、モータジェネレータ 2 の回転子の回転角を検出する回転角センサ、平滑コンデンサ 11 の両端電圧、すなわち P ライン 15 の電圧を検出する電圧センサなどがある。電力変換装置 10 は、これらの図示しないセンサを有している。制御回路 13 は、具体的には、駆動指令として PWM 信号を出力する。制御回路 13 は、たとえばマイコン（マイクロコンピュータ）を備えて構成されている。

[0023] 駆動 IC 14 は、制御回路 13 からの駆動指令に基づいて駆動信号を生成する。駆動 IC 14 は、生成した駆動信号を、対応するアームのスイッチング素子 Q1, Q2 に出力する。同じアームを構成するスイッチング素子 Q1, Q2 それぞれのゲート電極は、互いに同じ駆動 IC 14 に電氣的に接続されている。

[0024] このように、駆動 IC 14 は、並列接続されたスイッチング素子 Q1, Q2 を駆動、すなわちオン駆動、オフ駆動させる。駆動 IC 14 は、ドライバ

とも称される。本実施形態では、駆動IC14が、インバータ12を構成する各アームに対して個別に設けられている。駆動IC14については、上下アーム回路17ごとに設けてもよいし、制御回路13と一体的に設けてもよい。

[0025] 後述するように、スイッチング素子Q1であるIGBTはSi基板に形成され、スイッチング素子Q2であるMOSFETはSiC基板に形成される。小電流域では、SiC-MOSFETのほうがSi-IGBTよりも電圧Vが低く、損失特性が良い。一方、大電流域では、Si-IGBTのほうがSiC-MOSFETよりも電圧Vが低く、損失特性が良い。本実施形態では、小電流域においてSiC-MOSFETのみがオンし、大電流域においてSi-IGBTのみ、若しくは、Si-IGBTとSiC-MOSFETの両方がオンするように、制御回路13及び駆動IC14が、インバータ12を動作させる。並列接続されたスイッチング素子Q1、Q2それぞれの損失特性に優れる領域を用いるため、全体として損失を低減することができる。

[0026] 電力変換装置10は、電力変換部として、コンバータをさらに備えてもよい。コンバータは、直流電圧を異なる値の直流電圧に変換するDC-DC変換部である。コンバータは、直流電源1と平滑コンデンサ11の間に設けられる。コンバータは、たとえば上記した上下アーム回路17とリアクトルを備えて構成される。この場合、コンバータの上下アーム回路17も、2つの半導体装置20によって構成されることとなる。また、直流電源1からの電源ノイズを除去するフィルタコンデンサをさらに備えてもよい。フィルタコンデンサは、直流電源1とコンバータとの間に設けられる。

[0027] <半導体装置の概略構成>

図2～図5に示すように、半導体装置20は、封止樹脂体30と、金属体40と、半導体チップ50と、ターミナル60と、主端子70と、信号端子80と、はんだ90を備えている。はんだ90が接合材に相当する。はんだ90は、後述する第1半導体チップ51側で用いられるはんだ91a、91

b, 91 c と、第2半導体チップ52側で用いられるはんだ92 a, 92 b, 92 cを有している。はんだ91 a, 91 b, 91 cが第1接合材に相当し、はんだ92 a, 92 b, 92 cが第2接合材に相当する。

[0028] 封止樹脂体30は、たとえばエポキシ系樹脂からなる。封止樹脂体30は、たとえばトランスファモールド法により成形されている。図2、図3、及び図4に示すように、封止樹脂体30は、Z方向において、一面30 aと、一面30 aと反対の裏面30 bを有している。一面30 a及び裏面30 bは、たとえば平坦面となっている。封止樹脂体30は、一面30 aと裏面30 bとをつなぐ側面を有している。本実施形態では、封止樹脂体30が、平面略矩形状をなしている。

[0029] 金属体40は、たとえば、半導体チップ50の生じた熱を一面30 a側又は裏面30 b側から外部に放熱すべく機能する。金属体40は、たとえば、半導体チップ50と主端子70とを電氣的に中継する。すなわち、主電極の配線として機能する。本実施形態では、金属体40が、放熱機能及び配線機能の両方を有している。金属体40は、電気伝導性や熱伝導性に優れる金属材料、たとえばCuを少なくとも用いて形成されている。このような金属体40としては、金属板材、基板（たとえばDBC基板）に形成された配線などを採用することができる。

[0030] 金属体40は、半導体チップ50を挟むように対をなして設けられている。金属体40は、一面30 a側に配置された第1金属体41と、裏面30 b側に配置された第2金属体42を有している。第1金属体41と第2金属体42は、互いに対向している。この対向する方向が、Z方向となっている。第1金属体41と第2金属体42とは、少なくとも一部が対向していればよい。

[0031] 第1金属体41は、Z方向において、半導体チップ50側の面である実装面41 aと、実装面41 aとは反対の面である放熱面41 bを有している。同様に、第2金属体42は、Z方向において、半導体チップ50側の面である実装面42 aと、実装面42 aとは反対の面である放熱面42 bを有して

いる。第1金属体41と第2金属体42とは、実装面41a, 42a同士が対向している。

[0032] 本実施形態では、Z方向の投影視において、第1金属体41と第2金属体42とが互いにほぼ一致する、すなわち、ほぼ全域が重なるように設けられている。また、各金属体40は、厚みがほぼ一定の平板状をなしており、後述する主端子70及び信号端子80よりも厚肉とされている。このような金属体40は、ヒートシンクとも称される。各金属体40は、X方向を長手とする平面略長方形において、四隅を切り欠いた形状をなしている。実装面41a, 42aは、Z方向に略直交する面、すなわちXY平面に略平行な面となっている。

[0033] 第1金属体41は、封止樹脂体30によって大部分が覆われている。第1金属体41の放熱面41bは、封止樹脂体30から露出されている。放熱面41bは、一面30aと略面一とされている。第1金属体41の表面のうち、はんだ90との接続部、放熱面41b、及び主端子70の連なる部分を除く部分が、封止樹脂体30によって覆われている。同様に、第2金属体42は、封止樹脂体30によって大部分が覆われている。第2金属体42の放熱面42bは、封止樹脂体30から露出されている。放熱面42bは、裏面30bと略面一とされている。第2金属体42の表面のうち、はんだ90との接続部、放熱面42b、及び主端子70の連なる部分を除く部分が、封止樹脂体30によって覆われている。Z方向において半導体装置20の外郭をなす表面は、一方において一面30a及び放熱面41bにより構成され、他方において裏面30b及び放熱面42bにより構成されている。

[0034] 半導体チップ50は、半導体基板に、上記したアームを構成する素子が形成されてなる。半導体装置20は、複数の半導体チップ50を備えている。複数の半導体チップ50は、第1金属体41と第2金属体42との対向領域において、第1金属体41の実装面41a上に並んで配置されている。そして、各半導体チップ50は、はんだ90を介して、第1金属体41に接続されている。半導体チップ50は、その厚み方向がZ方向と略平行となるよう

に配置されている。そして、素子は、Z方向に主電流が流れるように縦型構造をなしている。よって、半導体チップ50は、Z方向の両面に主電極を有している。半導体チップ50は、Si基板に第1素子が形成された第1半導体チップ51と、SiC基板に第2素子が形成された第2半導体チップ52を有している。半導体チップ50は、第1半導体チップ51及び第2半導体チップ52のそれぞれを、少なくとも1つ有している。

[0035] 本実施形態では、第1半導体チップ51及び第2半導体チップ52を1つずつ有している。第1半導体チップ51と第2半導体チップ52との並び方向は、X方向に略平行とされている。図2及び図5に二点鎖線で示す中心線CLは、複数の半導体チップ50全体の中心である素子的中心を通り、半導体チップ50の厚み方向及び並び方向に直交する仮想線である。本実施形態の中心線CLは、第1半導体チップ51の中心と第2半導体チップ52の中心との間の中央位置を通る。

[0036] 金属体40の対向領域は、上記した中心線CLによって二等分される対称性を有している。中心線CLによってX方向に二等分された金属体40の対向領域のうち、第1の領域に第1半導体チップ51が配置され、第1の領域とは別の第2の領域に第2半導体チップ52が配置されている。第1半導体チップ51には、上記したスイッチング素子Q1、すなわちIGBTと、ダイオードD1が一体的に形成されている。すなわち、第1素子として、RC (Reverse Conducting) - IGBTが形成されている。第2半導体チップ52には、第2素子として、上記したスイッチング素子Q2、すなわちMOSFETが形成されている。図示を省略するが、いずれの素子もゲート電極を有している。ゲート電極はトレンチ構造をなしている。

[0037] 第1半導体チップ51は、第1金属体41側の面に主電極としてコレクタ電極51cを有し、第2金属体42側の面に主電極としてエミッタ電極51eを有している。コレクタ電極51cはダイオードD1のカソード電極も兼ねており、エミッタ電極51eはダイオードD1のアノード電極も兼ねている。コレクタ電極51cは、ほぼ全面に形成されており、エミッタ電極51

eは、面の一部に形成されている。第1半導体チップ51のコレクタ電極51cが、はんだ91aを介して、第1金属体41の実装面41aに接続されている。第2半導体チップ52は、第1金属体41側の面に主電極としてドレイン電極52dを有し、第2金属体42側の面に主電極としてソース電極52sを有している。ドレイン電極52dは、ほぼ全面に形成されており、ソース電極52sは、面の一部に形成されている。第2半導体チップ52のドレイン電極52dが、はんだ92aを介して、第1金属体41の実装面41aに接続されている。

[0038] 図5に示すように、第1半導体チップ51は、エミッタ電極形成面に信号用の電極であるパッド51pを有している。パッド51pは、エミッタ電極51eとは別の位置に形成され、エミッタ電極51eと電氣的に分離されている。パッド51pは、Y方向において、エミッタ電極51eの形成領域とは反対側の端部に形成されている。図4及び図5に示すように、第2半導体チップ52は、ソース電極形成面にパッド52pを有している。パッド52pは、ソース電極52sとは別の位置に形成され、ソース電極52sと電氣的に分離されている。パッド52pは、Y方向において、ソース電極52sの形成領域とは反対側の端部に形成されている。Y方向において、エミッタ電極51e及びソース電極52sは互いに同じ側に形成され、パッド51p、52pは互いに同じ側に形成されている。

[0039] 本実施形態では、第1半導体チップ51が、5つのパッド51pを有している。具体的には、5つのパッド51pとして、ゲート電極用、エミッタ電極51eの電位検出用、電流センス用、第1半導体チップ51の温度を検出する温度センサ（感温ダイオード）のアノード電位用、同じくカソード電位用を有している。複数のパッド51pは、平面略矩形状の第1半導体チップ51において、Y方向の一端側にまとめて形成されるとともに、X方向に並んで形成されている。同様に、第2半導体チップ52が、5つのパッド52pを有している。具体的には、5つのパッド52pとして、ゲート電極用、ソース電極52sの電位検出用、電流センス用、第2半導体チップ52の温

度を検出する温度センサ（感温ダイオード）のアノード電位用、同じくカソード電位用を有している。複数のパッド52pは、平面略矩形状の第2半導体チップ52において、Y方向の一端側にまとめて形成されるとともに、X方向に並んで形成されている。

[0040] ターミナル60は、第2金属体42と半導体チップ50との間に所定の距離を確保すべく、第2金属体42と半導体チップ50との間に介在している。ターミナル60の厚みは、半導体チップ50の厚みに較べて十分に長くされている。第2金属体42が放熱機能を有する場合、ターミナル60は、半導体チップ50から第2金属体42への放熱経路において、伝熱機能を果たす。第2金属体42が配線機能を有する場合、ターミナル60は、半導体チップ50から第2金属体42への電気伝導経路において、電氣的な中継機能を果たす。ターミナル60は、金属材料を用いて形成されている。ターミナル60は、金属ブロック、金属スペーサとも称される。

[0041] ターミナル60は、半導体チップ50ごとに個別に介在しており、半導体装置20は半導体チップ50と同数、すなわち複数のターミナル60を備えている。ターミナル60は、第1半導体チップ51側に配置された第1ターミナル61と、第2半導体チップ52側に配置された第2ターミナル62を有している。

[0042] 本実施形態では、後述するボンディングワイヤ93が第2金属体42の実装面42aに接触しないように、ターミナル60によって第2金属体42と半導体チップ50との間に所定の距離が確保されている。また、各ターミナル60は、略直方体をなしている。第1ターミナル61の平面形状はエミッタ電極51eにほぼ一致しており、第2ターミナル62の平面形状はソース電極52sにほぼ一致している。第1ターミナル61のZ方向の一面は、はんだ91bを介して、第1半導体チップ51のエミッタ電極51eに接続され、一面と反対の裏面は、はんだ91cを介して第2金属体42の実装面42aに接続されている。第2ターミナル62のZ方向の一面は、はんだ92bを介して、第2半導体チップ52のソース電極52sに接続され、一面と

反対の裏面は、はんだ92cを介して第2金属体42の実装面42aに接続されている。ターミナル60の詳細については後述する。

[0043] 主端子70は、半導体装置20と外部機器とを電氣的に接続するための外部接続端子のうち、主電流が流れる端子である。半導体装置20は、複数の主端子70を備えている。主端子70は、対応する金属体40に連なっている。同一の金属部材を加工することで、主端子70に対応する金属体40と一体的に設けてもよいし、別部材である主端子70を接続によって金属体40に連なる構成としてもよい。主端子70は、封止樹脂体30の内部で、対応する金属体40に連なっている。

[0044] 図4及び図5に示すように、主端子70のそれぞれは、対応する金属体40からY方向に延設され、封止樹脂体30の1つの側面30cから外部に突出している。主端子70は、封止樹脂体30の内外にわたって延設されている。主端子70は、半導体チップ50における第1金属体41側の主電極と電氣的に接続された端子である。半導体装置20は、主端子70として、コレクタ電極51c及びドレイン電極52dと電氣的に接続された第1主端子71と、エミッタ電極51e及びソース電極52sと電氣的に接続された第2主端子72を有している。

[0045] 第1主端子71は、第1金属体41に連なっており、側面30cに近い第1金属体41の側面からY方向に延設されている。第2主端子72は、第2金属体42に連なっており、側面30cに近い第2金属体42の側面からY方向に延設されている。本実施形態では、同一の金属板を加工することで、第1主端子71が第1金属体41と一体的に設けられている。また、同一の金属板を加工することで、第2主端子72が第2金属体42と一体的に設けられている。

[0046] 第1主端子71及び第2主端子72は、ともに封止樹脂体30内に屈曲部を有しており、側面30cにおいてZ方向のほぼ同じ位置から突出している。第1主端子71の突出部分及び第2主端子72の突出部分は、側面同士が対向するように、所定の間隙を有しつつX方向に並んで配置されている。上

記した中心線CLに対し、第1主端子71は第1半導体チップ51側に配置され、第2主端子72は第2半導体チップ52側に配置されている。

[0047] 信号端子80は、対応する半導体チップ50のパッドに接続されている。信号端子80は、第1半導体チップ51のパッド51pに接続される第1信号端子81と、第2半導体チップ52のパッド52pに接続される第2信号端子82を有している。本実施形態では、第1信号端子81及び第2信号端子82が、ボンディングワイヤ93を介して、対応するパッド51p, 52pに接続されている。信号端子80は、封止樹脂体30の内部でボンディングワイヤ93と接続されている。信号端子80は、それぞれY方向に延設されており、封止樹脂体30における側面30cとは反対の側面30dから外部に突出している。信号端子80は、第1主端子71及び第1金属体41を含むリードフレームの一部として設けられている。

[0048] 以上のように構成される半導体装置20では、封止樹脂体30により、金属体40それぞれの一部、半導体チップ50、ターミナル60、主端子70それぞれの一部、及び信号端子80それぞれの一部が、一体的に封止されている。すなわち、1つのアームを構成する要素が封止されている。このため、半導体装置20は、1 in 1パッケージとも称される。

[0049] また、第1金属体41の放熱面41bが、封止樹脂体30の一面30aと略面一とされている。また、第2金属体42の放熱面42bが、封止樹脂体30の裏面30bと略面一とされている。半導体装置20は、放熱面41b, 42bがともに封止樹脂体30から露出された両面放熱構造をなしている。このような半導体装置20は、たとえば、金属体40を、封止樹脂体30とともに切削加工することで形成することができる。また、放熱面41b, 42bが、封止樹脂体30を成形する型のキャビティ壁面に接触するようにして、封止樹脂体30を成形することによって形成することもできる。

[0050] なお、上記した半導体装置20を、上アーム17Uと下アーム17Lとで共通部品としてもよい。これによれば、部品点数を削減することができる。本実施形態では、上記した半導体装置20を上アーム17U用の半導体装置

20Uとして用いる。図6は、下アーム17L用の半導体装置20Lを示している。半導体装置20Lでは、上記した中心線CLに対し、第1主端子71が第2半導体チップ52側に配置され、第2主端子72が第1半導体チップ51側に配置されている。それ以外の構成は、上アーム17U側の半導体装置20U（図2参照）と同じである。なお、図2～図6は、室温における状態を示している。

[0051] <冷却器との積層構造>

上記した半導体装置20は、図7に示すように、冷却器100と交互に積層される。半導体装置20は、冷却器100とともにパワーモジュール110を構成する。

[0052] 冷却器100は、冷媒の流路を内部に有している。冷却器100は、Z方向において所定間隔を有しつつ多段に配置されている。多段の冷却器100は、X方向の一端側で、供給管101により連結されている。供給管101は、その内部に流路が形成された筒状体であり、Z方向に延設されている。供給管101は、冷却器100のそれぞれに接続されており、供給管101の流路は冷却器100それぞれの流路に連通している。

[0053] 多段の冷却器100は、供給管101とは反対の端部側で、排出管102により連結されている。排出管102も、その内部に流路が形成された筒状体であり、Z方向に延設されている。排出管102は、冷却器100のそれぞれに接続されており、排出管102の流路は冷却器100それぞれの流路に連通している。供給管101から流入した冷媒は、冷却器100それぞれの流路を拡がり、排出管102から排出される。なお、冷却器100の流路内に、図示しないインナーフィンを配置してもよい。インナーフィンは、波型に屈曲形成された金属板である。インナーフィンの配置により、冷却器100と冷媒との間における熱伝達を促進することができる。

[0054] 冷媒としては、水やアンモニアなどの相変化する冷媒や、エチレングリコール系などの相変化しない冷媒を用いることができる。冷却器100は、主として半導体装置20を冷却するものである。しかしながら、冷却機能に加

えて、環境温度が低い場合に温める機能を持たせてもよい。この場合、冷却器 100 は温度調節器と称される。また、冷媒は熱媒体と称される。

[0055] パワーモジュール 110 は、インバータ 12 を構成する 6 つの半導体装置 20 と、半導体装置 20 のそれぞれを両面側から冷却するように、半導体装置 20 と交互に積層された複数（多段）の冷却器 100 を備えている。半導体装置 20 は、Z 方向において両面側から冷却器 100 により挟持されている。封止樹脂体 30 の大部分は、隣り合う冷却器 100 の対向領域内に配置されている。主端子 70 のそれぞれは、図示しないバスバーなどとの接続のため、たとえば Y 方向において対向領域外まで延設されている。

[0056] 各半導体装置 20 は、Z 方向の投影視において互いに重なるように配置されている。半導体装置 20 は、SiC を用いた第 2 半導体チップ 52 が上流側となり、Si を用いた第 1 半導体チップ 51 が下流側となるように配置されている。すなわち、X 方向において、供給管 101 側に第 2 半導体チップ 52 が配置され、排出管 102 側に第 1 半導体チップ 51 が配置されている。これにより、第 2 半導体チップ 52 を効果的に冷却することができる。

[0057] また、インバータ 12 の各相を構成する上アーム 17U 用の半導体装置 20U と、下アーム 17L 用の半導体装置 20L とが、Z 方向において隣り合うように配置されている。これにより、同じ相を構成する半導体装置 20U の第 2 主端子 72 と、半導体装置 20L の第 1 主端子 71 とが、Z 方向の投影視において重なる配置とされている。したがって、上アーム 17U と下アーム 17L との接続距離を短くすることができる。また、接続性を向上することができる。

[0058] このように、半導体装置 20（20U，20L）は、対向方向である Z 方向において挟持された状態で、冷却器 100 により冷却される。

[0059] <半導体装置の細部構造>

半導体装置 20 において、第 1 ターミナル 61 と第 2 ターミナル 62 の構成が異なっている。すなわち、第 1 ターミナル 61 と第 2 ターミナル 62 とで、互いに異なる金属部材を用いている。

[0060] 第2ターミナル62の線膨張係数は、Z方向に直交する方向、すなわちXY平面に平行な方向において、第1ターミナル61の線膨張係数よりも小さくされている。さらに、第2ターミナル62の線膨張係数は、Z方向に直交する方向において、Z方向よりも小さくされている。このように、第2ターミナル62は、線膨張係数の異方性を有している。第2ターミナル62としては、たとえば図3に示すように複数種類の金属層が積層され、隣り合う層同士が接合されたクラッド材を用いることができる。

[0061] 本実施形態では、第2ターミナル62として、Cu層とMo層とがZ方向に交互に積層されたCuMoクラッド材を用いている。また、第1ターミナル61として、Cuを用いている。第1ターミナル61を構成するCuの線膨張係数は、 $17 \times 10^{-6} / \text{K}$ 程度である。第2ターミナル62の線膨張係数は、Z方向においてCuとほぼ等しくされ、Z方向に直交する方向において $6 \sim 10 \times 10^{-6} / \text{K}$ とされている。

[0062] このようなターミナル60を備えつつ、本実施形態の半導体装置20は、図3に二点鎖線で示す第1仮想線L1上、第2仮想線L2上、及び第3仮想線L3上において、以下に示す関係が成り立つように構成されている。第1仮想線L1は、Z方向に平行とされ、Z方向の投影視において第1ターミナル61と重なる領域、換言すればエミッタ電極51eと重なる領域を通る仮想的な線である。第2仮想線L2は、Z方向に平行とされ、Z方向の投影視において第2ターミナル62と重なる領域、換言すればソース電極52sと重なる領域を通る仮想的な線である。第3仮想線L3は、Z方向に平行とされ、Z方向の投影視において半導体チップ50、ターミナル60、及びはんだ90と重ならず、第1金属体41、第2金属体42、及び封止樹脂体30と重なる領域を通る仮想的な線である。つまり、第1仮想線L1、第2仮想線L2上、及び第3仮想線L3は、対向方向に平行である。

[0063] 第1仮想線L1は、第1金属体41、はんだ91a、第1半導体チップ51、はんだ91b、第1ターミナル61、はんだ91c、第2金属体42を通過する。第1仮想線L1が通過する上記した各要素が、第1仮想線L1上

において、半導体装置 20 の一面から裏面までの間に配置された部材である。第 2 仮想線 L 2 は、第 1 金属体 4 1、はんだ 9 2 a、第 2 半導体チップ 5 2、はんだ 9 2 b、第 2 ターミナル 6 2、はんだ 9 2 c、第 2 金属体 4 2 を通過する。第 2 仮想線 L 2 が通過する上記した各要素が、第 2 仮想線 L 2 上において、半導体装置 20 の一面から裏面までの間に配置された部材である。本実施形態では、第 1 仮想線 L 1 が第 1 半導体チップ 5 1 のエミッタ電極 5 1 e の中心を通り、第 2 仮想線 L 2 が第 2 半導体チップ 5 2 のソース電極 5 2 s の中心を通る。

[0064] 第 3 仮想線 L 3 は、第 1 金属体 4 1、封止樹脂体 3 0、第 2 金属体 4 2 を通過する。第 3 仮想線 L 3 が通過する上記した各要素が、第 3 仮想線 L 3 上において、半導体装置 20 の一面から裏面までの間に配置された部材である。本実施形態では、第 3 仮想線 L 3 が、半導体チップ 5 0 の並び方向である X 方向において、第 1 半導体チップ 5 1 の上記したエミッタ中心と第 2 半導体チップ 5 2 の上記したソース中心との中間位置を通る。

[0065] ここで、半導体装置 20 の外郭をなす Z 方向の一面から裏面までの総和 S 1 ~ S 3 を定義する。第 1 総和 S 1 は、第 1 仮想線 L 1 上において、部材ごとの厚みと Z 方向の線膨張係数との積の、各部材での総和、すなわち足し合わせである。第 2 総和 S 2 は、第 2 仮想線 L 2 上において、部材ごとの厚みと Z 方向の線膨張係数との積の、各部材での総和である。第 3 総和 S 3 は、第 3 仮想線 L 3 上において、部材ごとの厚みと Z 方向の線膨張係数との積の、各部材での総和である。たとえば第 3 総和 S 3 は、第 3 仮想線 L 3 上において、第 1 金属体 4 1 の厚み及び線膨張係数の積と、金属体 4 0 間の封止樹脂体 3 0 の厚み及び線膨張係数の積と、第 2 金属体 4 2 の厚み及び線膨張係数の積との和である。

[0066] 先ず本実施形態では、S i C 側の第 2 総和 S 2 が S i 側の第 1 総和 S 1 以上となるように、半導体装置 20 が構成されている。半導体装置 20 は、 $S_2 \geq S_1$ の関係を、少なくとも半導体装置 20（半導体チップ 5 0）が冷却される温度範囲内で満たす。本実施形態では、室温を含む所定の温度範囲、

具体的には 0°C ～最大接合温度 $T_{j\max}$ （たとえば 150°C ）の範囲において、上記した関係を満たす。なお、車両の使用温度域（たとえば -40°C ～ 150°C ）の全域で、上記した関係を満たすようにしてもよい。

[0067] 具体的には、 Si を用いた第1半導体チップ51と SiC を用いた第2半導体チップ52の線膨張係数は、それぞれ $4 \times 10^{-6}/\text{K}$ 程度とされ、第1半導体チップ51と第2半導体チップ52の厚みがほぼ等しくされている。上記したように、第2ターミナル62の線膨張係数は、Z方向において第1ターミナル61とほぼ等しくされており、第1ターミナル61と第2ターミナル62の厚みがほぼ等しくされている。上記したように、第1金属体41は厚みがほぼ一定の平板状とされ、第2金属体42も厚みがほぼ一定の平板状とされている。また、はんだ90として同一材料を用いており、線膨張係数が互いに等しくされている。そして、はんだ91a, 91b, 91cの厚みの和が、はんだ92a, 92b, 92cの厚みの和とほぼ等しくされている。

[0068] これにより、たとえば室温において、第2総和 S_2 は第1総和 S_1 とほぼ等しい値を示す。また、素子の発熱時（たとえば 100°C ）においても、第2総和 S_2 は第1総和 S_1 とほぼ等しい値を示す。

[0069] さらに本実施形態では、第3総和 S_3 が Si 側の第1総和 S_1 以下となるように、半導体装置20が構成されている。すなわち、 $S_2 \geq S_1 \geq S_3$ を満たすように、半導体装置20が構成されている。半導体装置20は、 $S_3 \leq S_1$ の関係を、上記した所定の温度範囲において満たす。

[0070] 上記したように、第1金属体41は厚みがほぼ一定の平板状とされ、第2金属体42も厚みがほぼ一定の平板状とされている。また、封止樹脂体30の線膨張係数は、半導体チップ50よりも大きく、金属体40よりも小さい値とされている。具体的には、 $6 \sim 14 \times 10^{-6}/\text{K}$ の範囲内となるように調整されている。すなわち、Z方向において、ターミナル60よりも小さい値とされている。これにより、たとえば室温において、第3総和 S_3 は第1総和 S_1 とほぼ等しい値を示す。また、素子の発熱時（たとえば 100°C ）

において、第3総和 S_3 は第1総和 S_1 よりも小さい値を示す。

[0071] <半導体装置の効果>

上記した半導体装置20によれば、第2ターミナル62の線膨張係数が、Z方向に直交する方向において、第1ターミナル61の線膨張係数よりも小さくされている。これにより、Z方向に直交する方向において、第2ターミナル62の線膨張係数が、第2半導体チップ52の線膨張係数に近い値とされている。したがって、SiC側のはんだ92a, 92b, 92cや第2半導体チップ52に対し、Z方向に直交する方向の線膨張係数差に基づいて作用する熱応力を、低減することができる。特に、第2半導体チップ52と第2ターミナル62と間のはんだ92bに作用する熱応力を効果的に低減することができる。

[0072] よって、Siを用いた第1半導体チップ51と、Siよりもヤング率の大きいSiCを用いた第2半導体チップ52とを並設した構成を採用しつつ、第2半導体チップ52側の信頼性が第1半導体チップ51側の信頼性に対して劣るのを抑制することができる。なお、第2半導体チップ52側の信頼性の対象とは、第2半導体チップ52及びはんだ92a, 92b, 92cである。第1半導体チップ51側の信頼性の対象とは、第1半導体チップ51及びはんだ91a, 91b, 91cである。

[0073] また、半導体装置20は、Z方向において冷却器100により両面側から挟持される。このように挟持状態で冷却される半導体装置20において、第2半導体チップ52側の第2総和 S_2 が、第1半導体チップ51側の第1総和 S_1 以上とされている。図8に示すように、半導体チップ50（素子）の発熱によって各部材が膨張しても、半導体装置20は $S_2 \geq S_1$ の関係を満たす。したがって、半導体チップ50の冷却が必要な温度域において、半導体装置20の第2半導体チップ52側の部分を冷却器100に密着させることができる。

[0074] よって、Z方向に直交する方向の線膨張係数が小さくされた第2ターミナル62を用いつつも、第2半導体チップ52から冷却器100までの放熱経

路において、熱抵抗の上昇を抑制することができる。これにより、第2半導体チップ52の温度上昇を抑制し、ひいては第2半導体チップ52側に作用する熱応力を低減することができる。

[0075] 以上により、本実施形態の半導体装置20によれば、SiCを用いた第2半導体チップ52側の信頼性を向上することができる。これにより、第2半導体チップ52側の信頼性を、第1半導体チップ51側に近づけることができる。したがって、寿命の偏りを抑制することができる。なお、図8は、素子発熱時の半導体装置20を示す模式図であり、図3に対応している。

[0076] また、本実施形態では、第2ターミナル62の線膨張係数が、Z方向に直交する方向において、Z方向よりも小さくされている。このように、Z方向に膨張しやすい異方性を有すると、第2半導体チップ52の発熱時において第2半導体チップ52側を冷却器100に密着させやすくなる。これにより、ヤング率が高いことで熱応力の低減がより望まれる第2半導体チップ52について、効果的に冷却することができる。

[0077] なお、ターミナル60の厚みは、たとえば1mm程度であり、仮想線L1、L2上における金属体40間の他の要素に対して十分に厚い。他の要素は、 μm オーダの厚みである。特に本実施形態では、厚みに対して支配的なターミナル60において、第1ターミナル61と第2ターミナル62とで、Z方向の線膨張係数がほぼ等しくされ、厚みもほぼ等しくされている。よって、Si側とSiC側とでターミナル60の膨張時の厚みもほぼ等しい。したがって、第1半導体チップ51側についても、熱抵抗の上昇を抑制することができる。

[0078] また、本実施形態では、封止樹脂体30による封止構造において、第3総和S3が第1総和S1以下とされている。このため、Z方向の投影視において、半導体チップ50やターミナル60と重ならない部分、すなわち金属体40間に封止樹脂体30のみが介在する部分が、ターミナル60と重なる部分より大きく膨張するのを抑制することができる。これにより、半導体装置20において、第2半導体チップ52側の部分を冷却器100により確実に

密着させることができる。

[0079] 第1半導体チップ5 1及び第2半導体チップ5 2の厚みの関係は、上記例に限定されない。たとえば第2半導体チップ5 2が第1半導体チップ5 1よりも薄い構成において、上記した総和の関係を満たすようにしてもよい。また、厚み方向に直交する面積についても、互いにほぼ等しい構成に限定されない。たとえば第2半導体チップ5 2のほうが第1半導体チップ5 1よりも面積が小さい構成において、上記した総和の関係を満たすようにしてもよい。

[0080] 第2ターミナル6 2の構成は、上記例に限定されない。線膨張係数が異方性を示す第2ターミナル6 2として、Cu層とMo層が交互に積層されたクラッド材の例を示したが、これ以外のクラッド材を用いることもできる。たとえばCu層とW（タングステン）層が交互に積層されたクラッド材を用いてもよい。また、Cu層と、Cuを含む合金層とのクラッド材を採用することもできる。合金層として、たとえばCuMo層、CuCr層などを採用することができる。

[0081] また、線膨張係数が等方性を示す第2ターミナル6 2を採用することもできる。このような第2ターミナル6 2としては、たとえばCuWの金属ブロックを用いることができる。第2ターミナル6 2の線膨張係数は、少なくともZ方向に直交する方向において、第1ターミナル6 1の線膨張係数よりも小さくされていればよい。第1ターミナル6 1の線膨張係数が上記したCuのように等方性を示す場合、Z方向の線膨張係数も、第1ターミナル6 1に対して第2ターミナル6 2が小さくされることとなる。この場合には、第2仮想線L 2上に配置された複数の部材の少なくとも1つの厚みを、第1仮想線L 1上に配置された対応する部材の厚みよりも厚くすることで、 $S 2 \geq S 1$ を満たすようにすればよい。

[0082] たとえば、図9に示す第1変形例のように、第2ターミナル6 2を第1ターミナル6 1より厚くしてもよい。図9では、ターミナル6 0よりも線膨張係数が小さい半導体チップ5 0において、第2半導体チップ5 2の厚みが第

1 半導体チップ5 1より薄くされている。また、半導体チップ5 0より線膨張係数が大きいターミナル6 0において、第2ターミナル6 2の厚みが、第1ターミナル6 1より厚くされている。これにより、等方性を示す第2ターミナル6 2を採用しつつ、室温時及び膨張時のいずれにおいても $S 2 \geq S 1$ を満たす構成が可能となる。

[0083] また、図1 0に示す第2変形例のように、金属体4 0に凸部4 1 c, 4 2 cを設け、金属体4 0における第2半導体チップ5 2側の部分を局所的に厚くしてもよい。凸部4 1 c, 4 2 cは、実装面4 1 a, 4 2 aであって、Z方向の投影視において第2ターミナル6 2と重なる領域に設けられている。これにより、等方性を示す第2ターミナル6 2を採用しつつ、室温時及び膨張時のいずれにおいても $S 2 \geq S 1$ を満たす構成が可能となる。なお、凸部4 1 c, 4 2 cを放熱面4 1 b, 4 2 b側に設けてもよい。また、凸部4 1 c, 4 2 cの一方のみを設けてもよい。第1金属体4 1に凸部4 1 cを設けるとともに、第2金属体4 2に凸部4 2 cを設けたほうが、冷却器1 0 0が両面に配置される構成において、冷却器1 0 0への密着の偏りを抑制することができる。

[0084] 第2半導体チップ5 2の厚みを、図9及び図1 0に示したように第1半導体チップ5 1より薄くしてもよい。同じ耐圧において、SiCのほうがSiよりもドリフト層を薄くすることができる。半導体チップ5 0の厚み方向に直交する面積は、上記例に限定されない。SiCを用いた第2半導体チップ5 2の面積を、Siを用いた第1半導体チップ5 1の面積より小さくしてもよい。

[0085] Siを用いた第1半導体チップ5 1にIGBT (RC-IGBT) が形成され、SiCを用いた第2半導体チップ5 2にMOSFETが形成される例を示したが、これに限定されない。第1半導体チップ5 1にIGBTが形成され、第2半導体チップ5 2にショットキーバリアダイオード (SBD) が形成された構成としてもよい。ショットキーバリアダイオードは、IGBTに対して逆並列に接続され、上記したダイオードD 1の代わりに機能する。

これによれば、リカバリ損失を低減することができる。また、第1半導体チップ51に真正半導体層を備えるPINダイオードが形成され、第2半導体チップ52にMOSFETが形成された構成としてもよい。MOSFETの寄生ダイオードとは別にSi-PINダイオードを設けることで、第2半導体チップ52（SiC基板）の面積を小さくすることができる。

[0086] （第2実施形態）

本実施形態は、上記実施形態を参照できる。このため、上記実施形態に示した半導体装置20と共通する部分についての説明は省略する。

[0087] 本実施形態の半導体装置20は、3つの半導体チップ50と、半導体チップ50に対応する3つのターミナル60を備えている。具体的には、図11及び図12に示すように、半導体チップ50として、2つの第1半導体チップ51と、1つの第2半導体チップ52を備えている。また、ターミナル60として、2つの第1ターミナル61と、1つの第2ターミナル62を備えている。以下において、第1半導体チップ51の1つを第1半導体チップ51a、別の1つを第1半導体チップ51bとも示す。第1ターミナル61の1つを第1ターミナル61a、別の1つを第1ターミナル61bとも示す。第1ターミナル61aは第1半導体チップ51aに対応し、第1ターミナル61bは第1半導体チップ51bに対応している。

[0088] 本実施形態でも、Siを用いた第1半導体チップ51（51a，51b）にRC-IGBTが形成され、SiCを用いた第2半導体チップ52にMOSFETが形成されている。2つの第1半導体チップ51は、互いに同じ構成とされており、2つの第1ターミナル61も互いに同じ構成とされている。なお、第1半導体チップ51a側と第1半導体チップ51b側とで、第1総和S1が互いに等しくなるように構成されている。また、先行実施形態同様、第1ターミナル61としてCuを用い、第2ターミナル62としてCuMoクラッド材を用いている。

[0089] 本実施形態では、第2半導体チップ52の厚みが、第1半導体チップ51よりも薄くされている。また、第2半導体チップ52のZ方向に直交する方

向の面積が、第1半導体チップ51よりも小さくされている。そして、第2半導体チップ52が薄い分、第2ターミナル62の厚みが第1ターミナル61よりも厚くされている。これにより、室温時及び膨張時のいずれにおいても、第2仮想線L2上の第2総和S2が第1仮想線L1上の第1総和S1以上の関係を満たすようにされている。したがって、先行実施形態同様、SiCを用いた第2半導体チップ52側の信頼性を向上することができる。

[0090] また、本実施形態でも、異方性を有する第2ターミナル62を採用しているため、先行実施形態同様、ヤング率が大きいことで熱応力の低減がより望まれる第2半導体チップ52について、効果的に冷却することができる。

[0091] また、室温時及び膨張時のいずれにおいても、第3仮想線L3上の第3総和S3が第1総和S1以上の関係を満たす。すなわち、 $S2 \geq S1 \geq S3$ の関係を満たす。したがって、先行実施形態同様、金属体40間に封止樹脂体30のみが介在する部分が、ターミナル60と重なる部分より大きく膨張するのを抑制することができる。これにより、半導体装置20において、第2半導体チップ52側の部分を冷却器100により確実に密着させることができる。

[0092] さらに本実施形態では、半導体チップ50、ターミナル60、及び主端子70の配置に対称性をもたせている。3つの半導体チップ50は、X方向に並んで配置されている。具体的には、第1半導体チップ51の間に第2半導体チップ52が配置されている。中心線CLは、第1半導体チップ51aの中心と第1半導体チップ51bの中心との間の中央位置を通る。第2半導体チップ52は、自身の幅の中心が中心線CL上に位置するように配置されている。このように、半導体チップ50は、中心線CLに対して線対称配置とされている。同様に、ターミナル60も、中心線CLに対して線対称配置とされている。

[0093] 半導体装置20は、3本の主端子70を備えている。具体的には、2本の第1主端子71と、1本の第2主端子72を備えている。3本の主端子70は、板幅方向であるX方向に並んで配置されている。第1主端子71の間に

第2主端子72が配置されている。第2主端子72は、自身の幅の中心が上記した中心線CL上に位置するように配置されている。主端子70は、中心線CLに対して線対称配置とされている。

[0094] 図11に示す破線矢印は、第1半導体チップ51a側の主電流の流れを示しており、一点鎖線の矢印は第1半導体チップ51b側の主電流の流れを示している。上記した線対称配置により、第1半導体チップ51aの主電流と第1半導体チップ51bの主電流とは、中心線CLに対して線対称となるように流れる。したがって、第1半導体チップ51a側の第1主端子71→第1半導体チップ51a→第2主端子72の通電経路の配線長と、第1半導体チップ51b側の第1主端子71→第1半導体チップ51b→第2主端子72の通電経路の配線長がほぼ等しい。これにより、第1半導体チップ51a側の主回路インダクタンスと、第1半導体チップ51b側の主回路インダクタンスがほぼ等しくなり、電流アンバランスを抑制することができる。

[0095] なお、上記した半導体装置20を、上アーム17Uと下アーム17Lとで共通部品としてもよいが、本実施形態では、上アーム17U用の半導体装置20Uとして用いる。図13は、下アーム17L用の半導体装置20Lを示している。半導体装置20Lは、2本の第2主端子72と、1本の第1主端子71を備えている。そして、半導体装置20Uの第2主端子72の位置に半導体装置20Lの第1主端子71が配置され、半導体装置20Uの第1主端子71の位置に半導体装置20Lの第2主端子72が配置されている。これによれば、上アーム17Uと下アーム17Lとの接続距離を短くすることができる。また、接続性を向上することができる。

[0096] 半導体装置20が3つの半導体チップ50を備える例を示したが、これに限定されない。第1半導体チップ51及び第2半導体チップ52の少なくとも一方を複数有せばよい。たとえば、SiCを用いた第2半導体チップ52を複数有してもよい。複数の第2半導体チップ52を設ける場合も、X方向に並び、且つ、中心線CLに対して線対称となるように配置するとよい。

[0097] Siを用いた第1半導体チップ51にIGBT(RC-IGBT)が形成

され、S i Cを用いた第2半導体チップ5 2にM O S F E Tが形成される例を示したが、これに限定されない。第1半導体チップ5 1にI G B Tが形成され、第2半導体チップ5 2にショットキーバリアダイオード（S B D）が形成された構成としてもよい。第1半導体チップ5 1にP I Nダイオードが形成され、第2半導体チップ5 2にM O S F E Tが形成された構成としてもよい。第1半導体チップ5 1にI G B Tが形成され、第2半導体チップ5 2の1つにM O S F E Tが形成され、第2半導体チップ5 2の別の1つにショットキーバリアダイオードが形成された構成としてもよい。

[0098] 第1半導体チップ5 1 aと第1半導体チップ5 1 bとで、主回路インダクタンスを揃える例を示したが、さらに、第1半導体チップ5 1と第2半導体チップ5 2とで、上記した通電経路の配線長、すなわち主回路インダクタンスを揃えるようにしてもよい。これによれば、S i側の第1半導体チップ5 1とS i C側の第2半導体チップ5 2とを同時にスイッチングする場合において、電流アンバランスを抑制することができる。

[0099] 上記したように、S i Cのヤング率は、S iの約3倍である。したがって、S iを用いた第1半導体チップ5 1の厚みが、S i Cを用いた第2半導体チップ5 2の厚みの3倍よりも厚いと、第1半導体チップ5 1側に作用する熱応力のほうが、第2半導体チップ5 2側に作用する熱応力よりも大きくなる。すなわち、第1半導体チップ5 1側の信頼性が問題となる。このようにS i Cの厚みがS iに対して十分に薄い場合には、第1ターミナル6 1の線膨張係数を、Z方向に直交する方向において、第2ターミナル6 2の線膨張係数よりも小さくするとよい。これにより、第1半導体チップ5 1側に作用する熱応力を、低減することができる。また、第1半導体チップ5 1側の第1総和S 1を、第2半導体チップ5 2側の第2総和S 2以上にするとよい。これによれば、半導体チップ5 0の冷却が必要な温度域において、半導体装置2 0の第1半導体チップ5 1側の部分を冷却器1 0 0に密着させることができる。一例として示す図1 4では、第1ターミナル6 1としてC u M o クラッド材を用い、第2ターミナル6 2としてC uを用いている。

- [0100] 半導体装置20として、1つのアームを構成する要素単位でパッケージ化された1 in 1パッケージの例を示したが、これに限定されない。各アームが、Siを用いた第1半導体チップ51とSiCを用いた第2半導体チップ52との並列接続構造をなすものであれば、適用できる。たとえば上下アームを構成する要素単位でパッケージ化された2 in 1パッケージにも適用できる。
- [0101] 半導体装置20をインバータ12に適用する例を示したが、これに限定されない。たとえばコンバータに適用することもできる。また、インバータ12及びコンバータの両方に適用することもできる。
- [0102] 放熱面41b, 42bが、封止樹脂体30から露出される例を示したが、封止樹脂体30から露出されない構成としてもよい。たとえば図示しない絶縁部材によって放熱面41b, 42bを完全に覆ってもよい。この場合、絶縁部材が、半導体装置20の外郭をなすこととなる。また、半導体装置20がDBC基板を備え、第1金属体41及び第2金属体42の少なくとも一方に代えて、DBC基板のCu層を用いてもよい。
- [0103] 半導体装置20が両面側から冷却器100によって挟持される例を示したが、これに限定されない。半導体装置20を挟持する挟持部材の1つが冷却器100とされ、別の1つが冷却器100以外の部材とされてもよい。
- [0104] 半導体装置20が封止樹脂体30を備える例を示したが、これに限定されない。封止樹脂体30を備えない構成において、Z方向に直交する方向の線膨張係数を第1ターミナル61より第2ターミナル62で小さくし、且つ、第2総和 $S_2 \geq$ 第1総和 S_1 を満たすようにしてもよい。
- [0105] ターミナル60が、はんだ90を介して第2金属体42に接続される例を示したが、これに限定されない。第2金属体42を基部、ターミナル60を基部に一体的に設けられた凸部とする金属部材を採用することができる。すなわち、ターミナル60と第2金属体42を一体的に設けてもよい。この場合、はんだ90(91c, 92c)は不要となる。
- [0106] 複数の半導体チップ50が、共通の第1金属体41に接続されるとともに

、共通の第2金属体42に接続される例を示したが、これに限定されない。半導体チップ50を挟む第1金属体41及び第2金属体42の少なくとも一方が、半導体チップ50ごとに複数に分割された構成を採用することができる。たとえば図15に示す例では、半導体装置20が、第1半導体チップ51が接続される第1金属体41と、第2半導体チップ52が接続される第1金属体41を有している。2つの第1金属体41は、材料や厚みが互いに等しくされており、X方向に並んで配置されている。2つの第1金属体41は、たとえば共通の第1主端子71を介して外部との電気的な接続が可能となっている。図15について、それ以外の構成は、先行実施形態（たとえば図3参照）と同じである。

[0107] 以上、本開示の一態様に係る半導体装置の実施形態、構成、態様を例示したが、本開示に係る実施形態、構成、態様は、上述した各実施形態、各構成、各態様に限定されるものではない。例えば、異なる実施形態、構成、態様にそれぞれ開示された技術的部を適宜組み合わせ得られる実施形態、構成、態様についても本開示に係る実施形態、構成、態様の範囲に含まれる。

請求の範囲

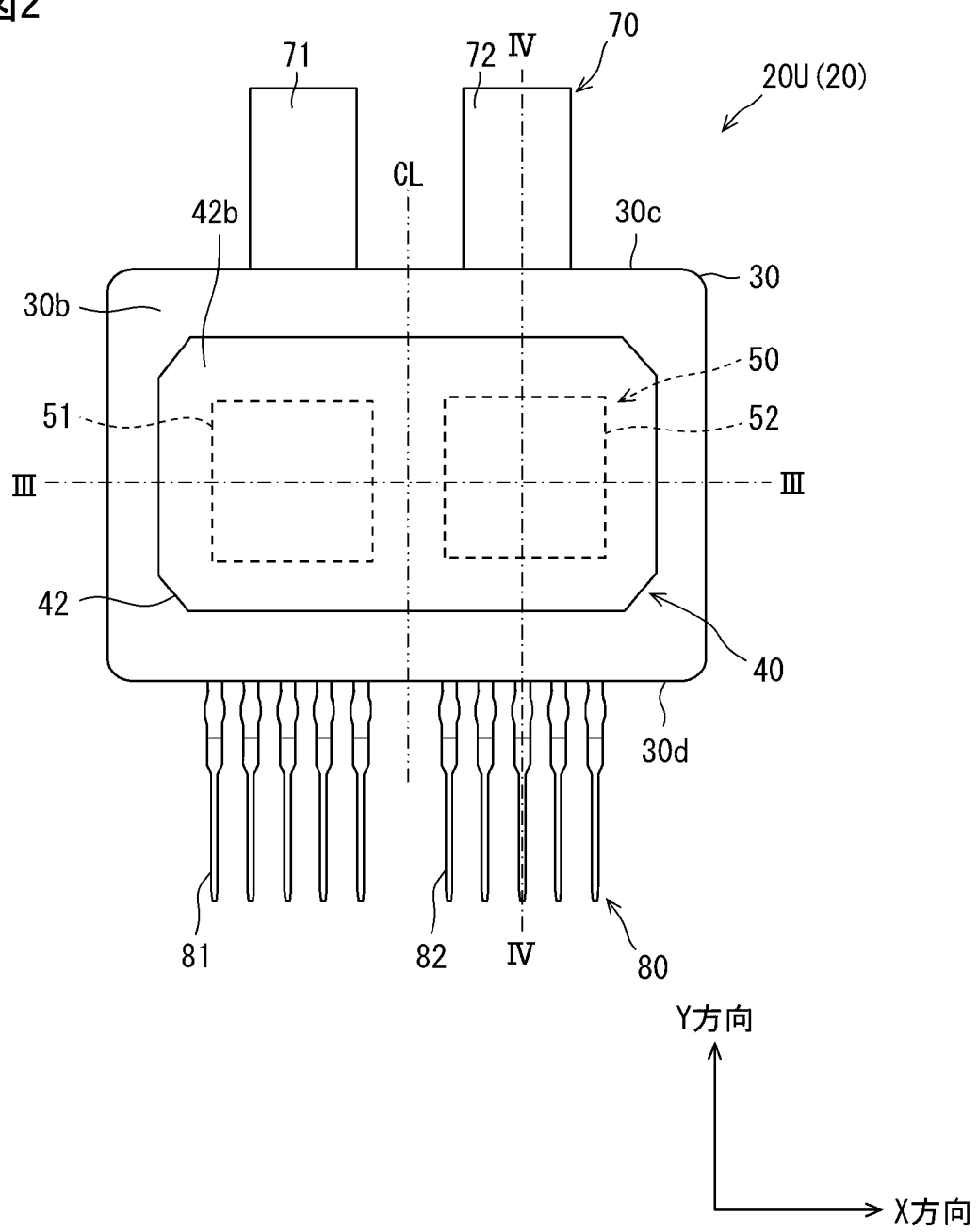
- [請求項1] 外郭をなす表面として、一面及び前記一面と反対の裏面を有する半導体装置であって、
- 前記一面側に配置された第1金属体（41）と、
- 前記第1金属体と対向するように、前記裏面側に配置された第2金属体（42）と、
- 前記第1金属体と前記第2金属体との対向領域に配置された複数の半導体チップ（50）であって、Si基板に第1素子が形成され、前記第1金属体に接続された少なくとも1つの第1半導体チップ（51）、及び、SiC基板に第2素子が形成され、前記第1金属体に接続された少なくとも1つの第2半導体チップ（52）と、
- 前記第2金属体と前記半導体チップとの間に個別に介在し、前記第2金属体と前記複数の半導体チップとを中継する複数のターミナル（60）であって、前記第1半導体チップとの間に介在する第1ターミナル（61）、及び、前記第2半導体チップとの間に介在する第2ターミナル（62）と、
- を備え、
- 前記第1金属体及び前記第2金属体の対向方向と直交する方向において、前記第2ターミナルの線膨張係数が前記第1ターミナルの線膨張係数よりも小さくされ、
- 前記対向方向の投影視において前記第1ターミナルと重なる領域を通り、前記対向方向に平行な第1仮想線上において、前記一面から前記裏面までの間に配置された各部材の厚みと前記対向方向の線膨張係数との積の総和を第1総和とし、前記対向方向の投影視において前記第2ターミナルと重なる領域を通り、前記対向方向に平行な第2仮想線上において、前記一面から前記裏面までの間に配置された各部材の厚みと前記対向方向の線膨張係数との積の総和を第2総和とすると、前記第2総和が前記第1総和以上とされている半導体装置。

- [請求項2] 前記第2ターミナルの線膨張係数は、前記対向方向と比較して前記直交する方向のほうが小さくされている請求項1に記載の半導体装置。
- [請求項3] 前記第1金属体、前記第2金属体、前記複数の半導体チップ、前記複数のターミナルを一体的に封止する封止樹脂体（30）をさらに備える請求項1又は請求項2に記載の半導体装置。
- [請求項4] 前記対向方向の投影視において、前記複数の半導体チップ、前記複数のターミナルと重ならず、前記第1金属体、前記第2金属体、及び前記封止樹脂体と重なる領域を通り、前記対向方向に平行な第3仮想線上において、前記一面から前記裏面までの間に配置された各部材の厚みと前記対向方向の線膨張係数との積の総和を第3総和とすると、前記第3総和が前記第1総和以下とされている請求項3に記載の半導体装置。
- [請求項5] 前記第1半導体チップには、前記第1素子としてIGBTが形成され、
前記第2半導体チップには、前記第2素子としてMOSFETが形成され、
前記複数の半導体チップとして、2つの前記第1半導体チップと、1つの前記第2半導体チップを含んでいる請求項1～4いずれか1項に記載の半導体装置。
- [請求項6] 前記第1仮想線上において、前記一面から前記裏面までの間に配置された前記各部材は、前記第1金属体、第1半導体チップ、前記第1ターミナル、及び前記第2金属体であり、
前記第2仮想線上において、前記一面から前記裏面までの間に配置された前記各部材は、前記第1金属体、前記第2半導体チップ、前記第2ターミナル、及び前記第2金属体である請求項1に記載の半導体装置。
- [請求項7] 前記第3仮想線上において、前記一面から前記裏面までの間に配置

された前記各部材は、前記第 1 金属体、前記封止樹脂体及び前記第 2 金属体である請求項 4 に記載の半導体装置。

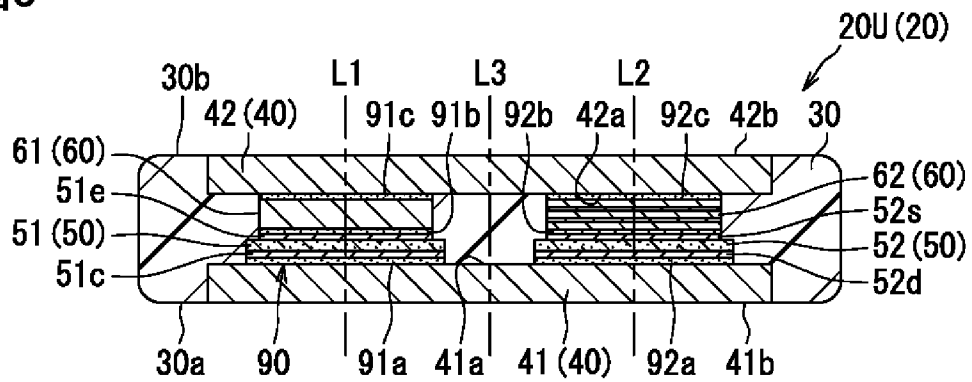
[図2]

図2



[図3]

図3

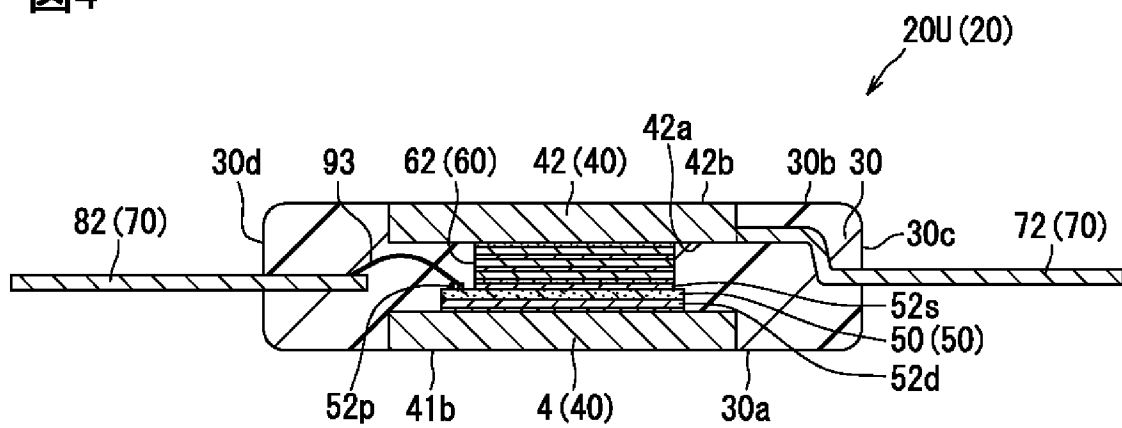


Z方向

X方向

[図4]

図4

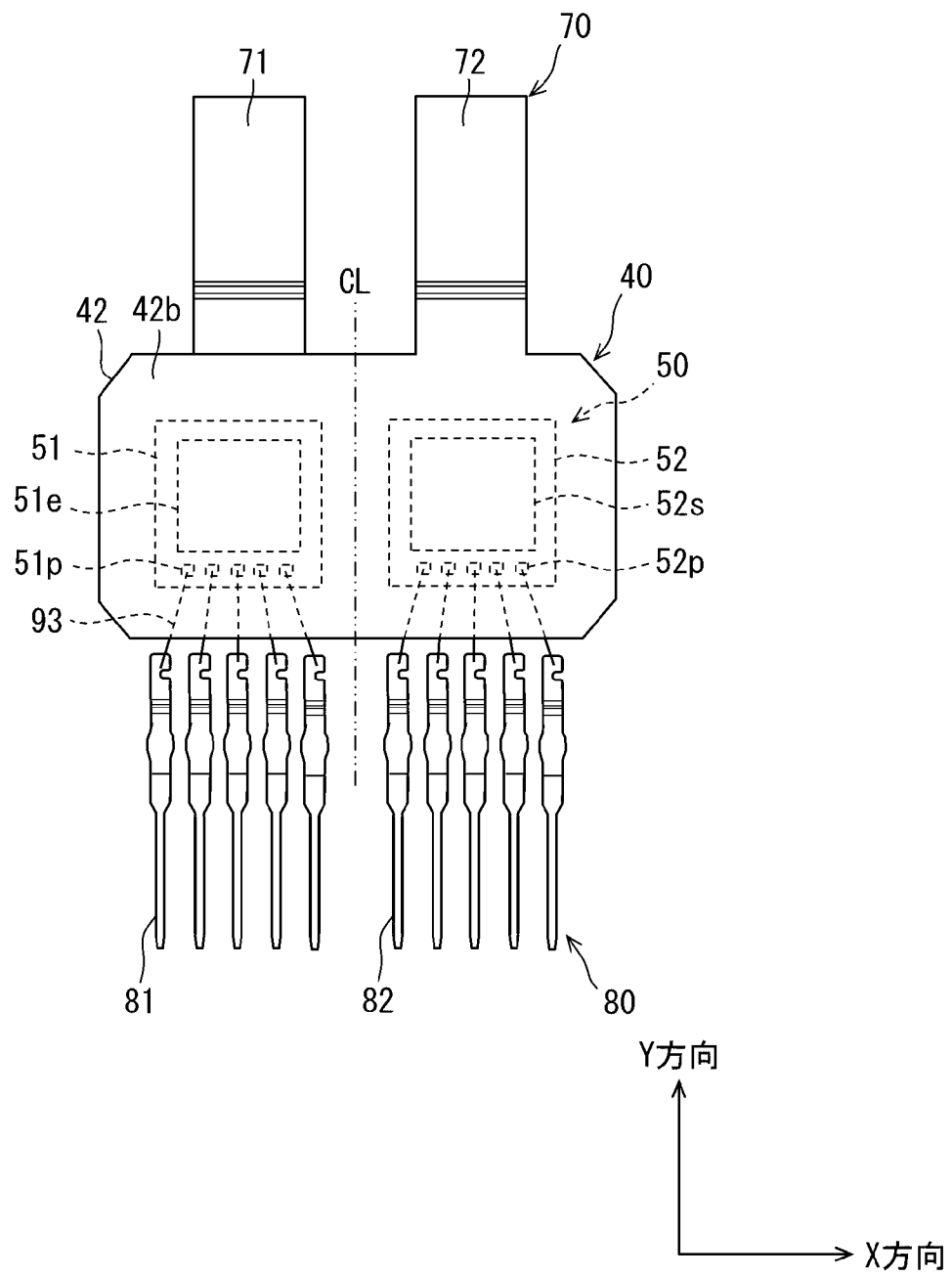


Z方向

Y方向

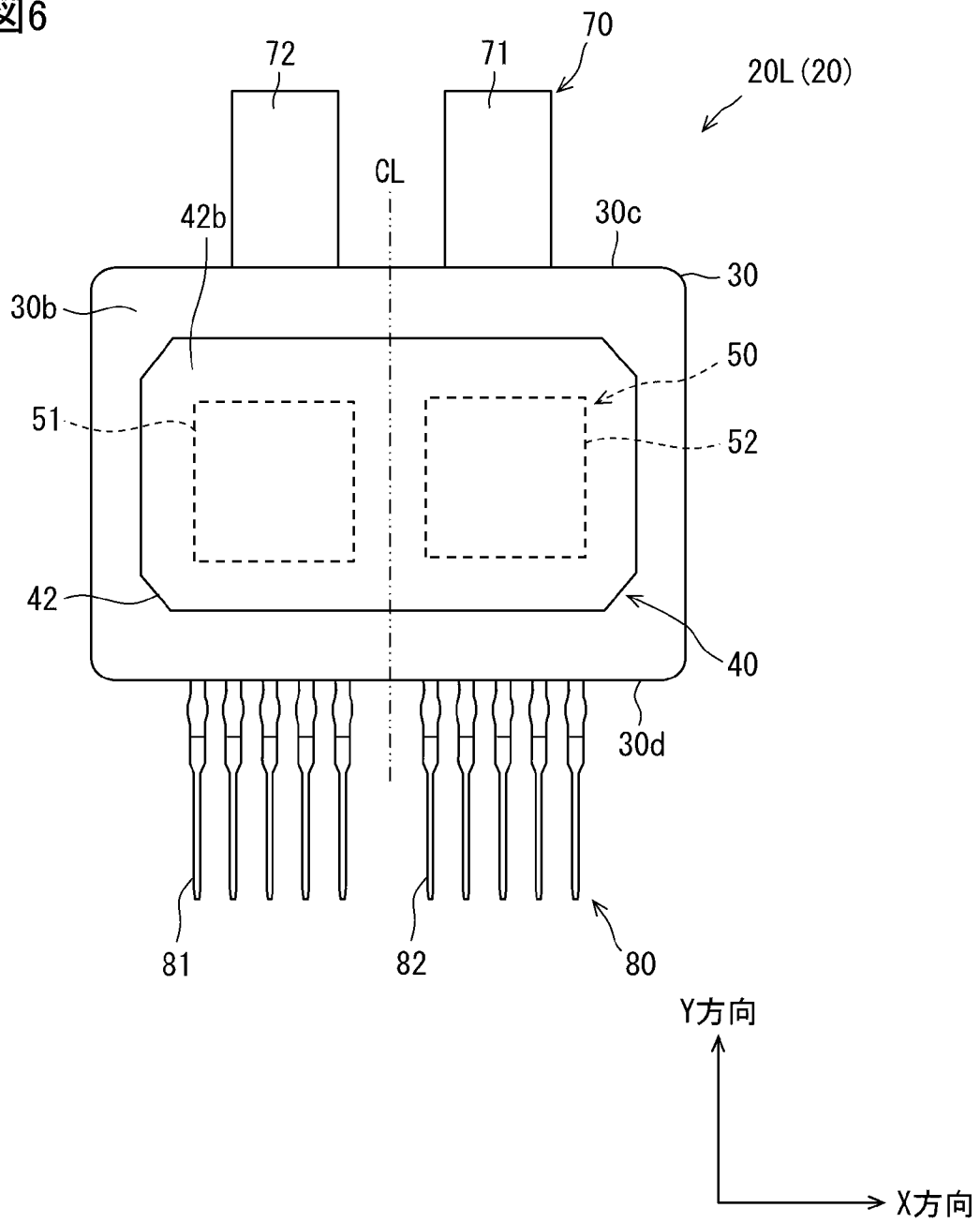
[図5]

図5



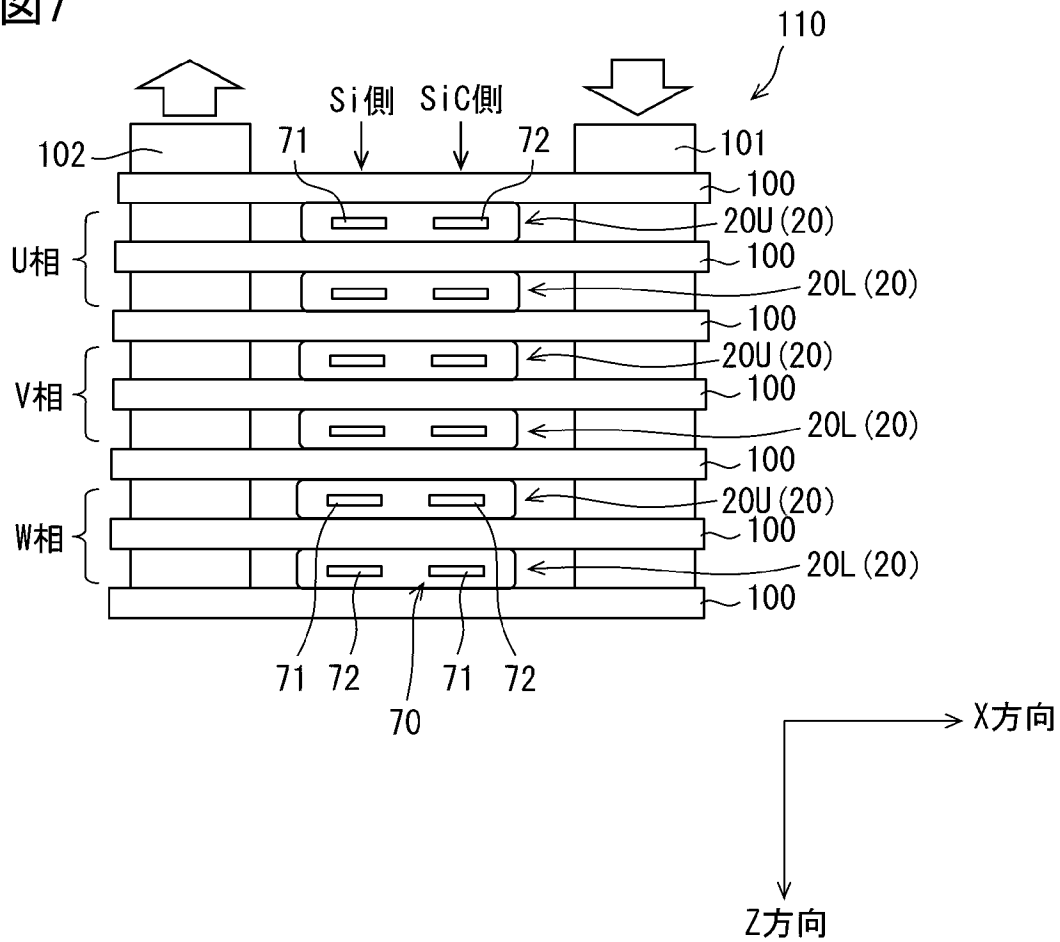
[図6]

図6



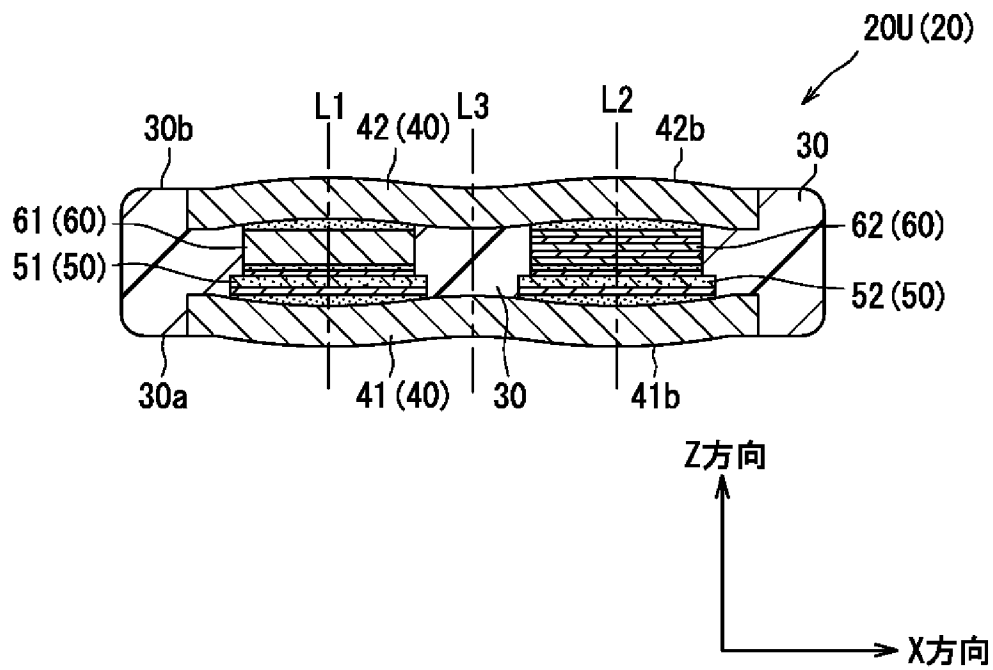
[図7]

図7



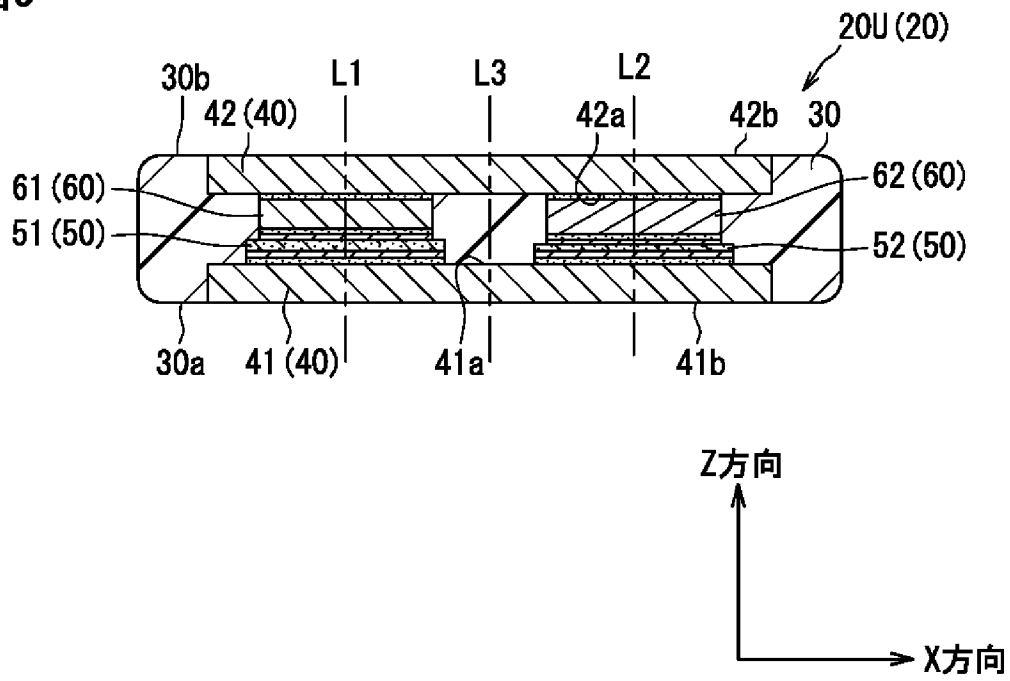
[図8]

図8



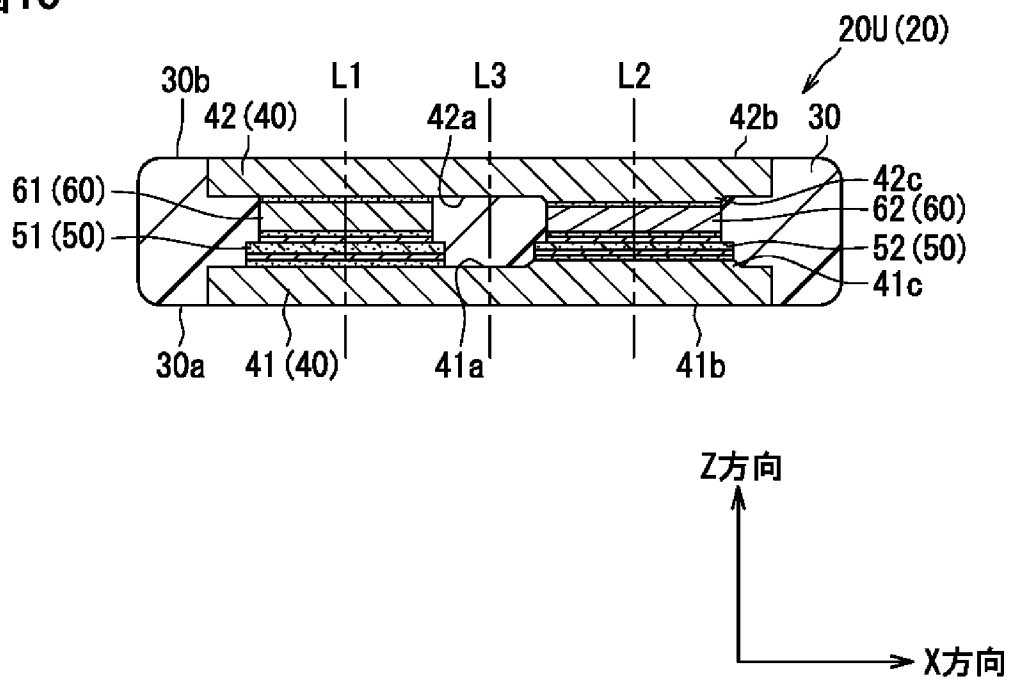
[図9]

図9



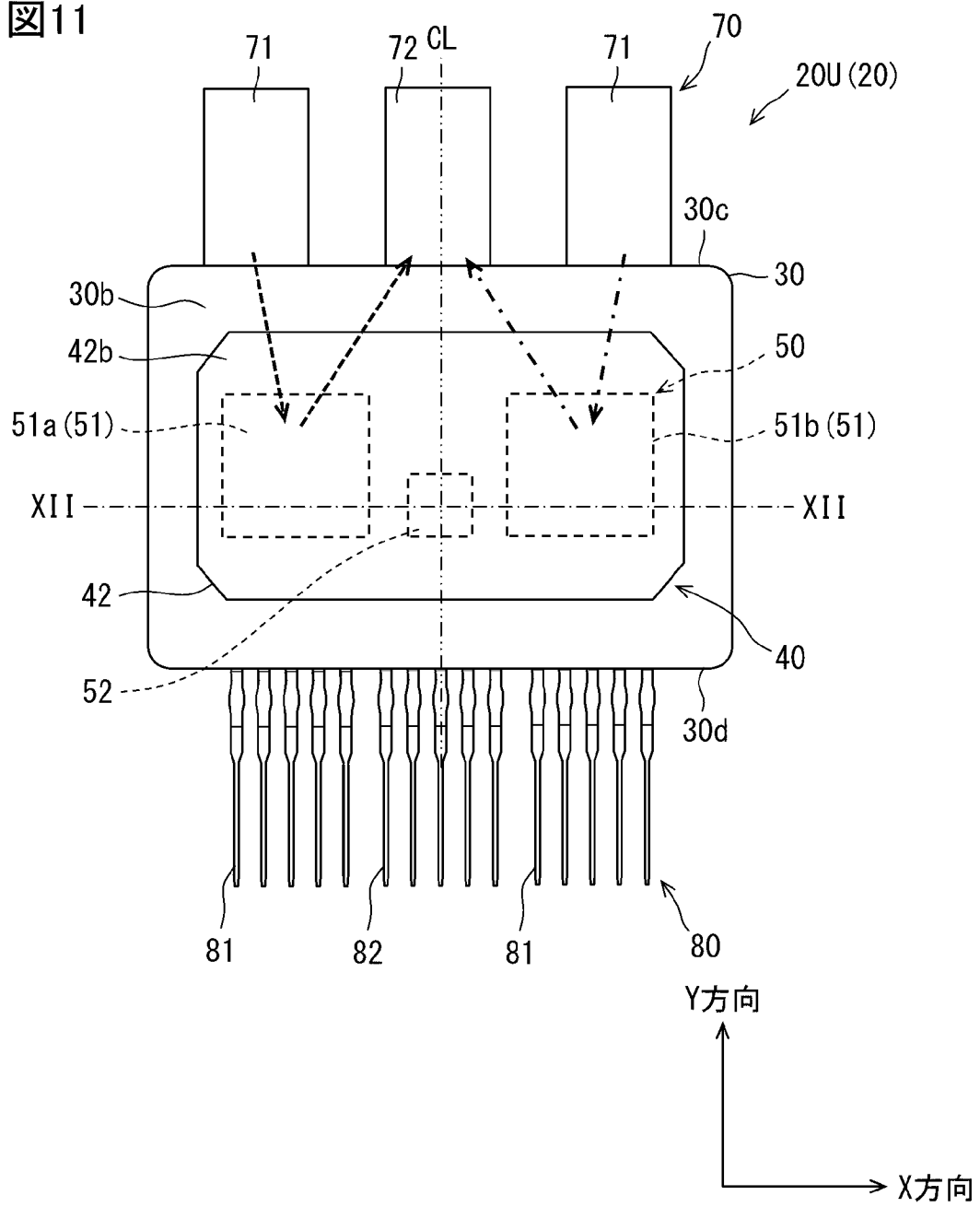
[図10]

図10



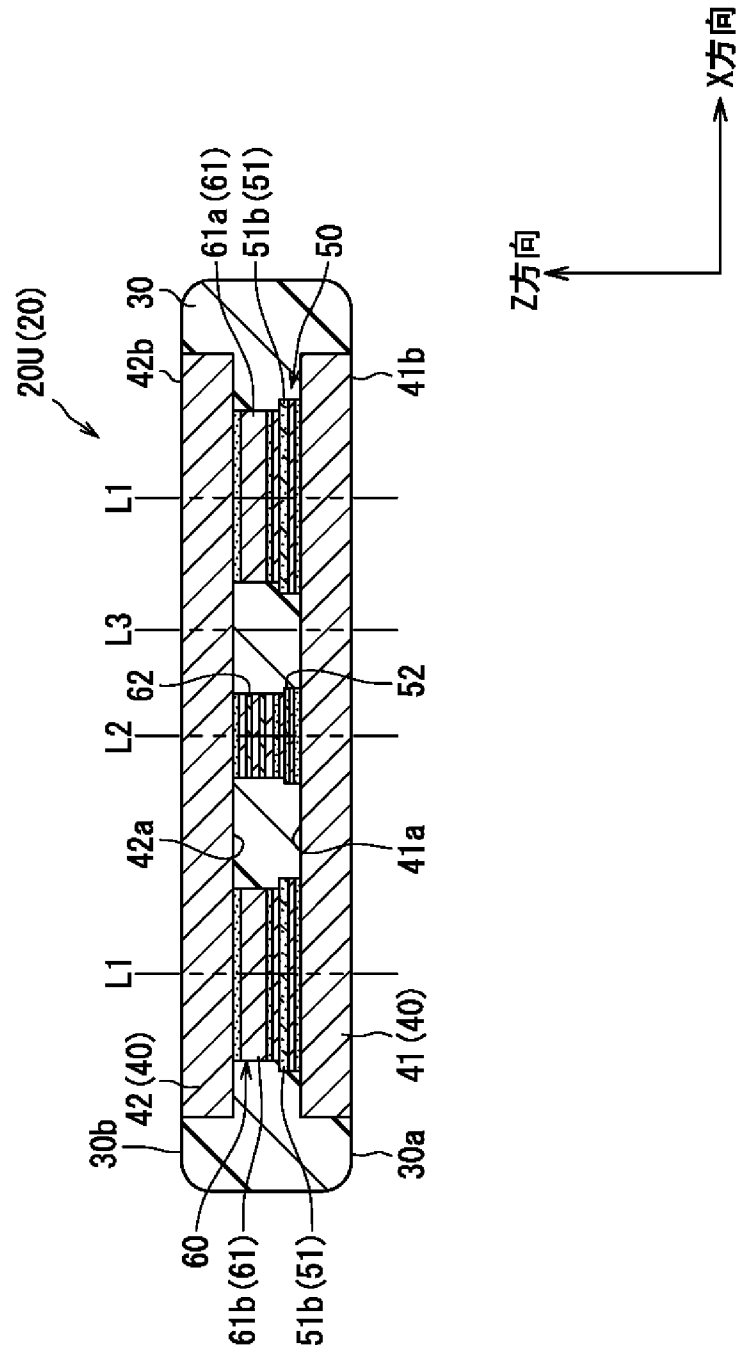
[図11]

図11



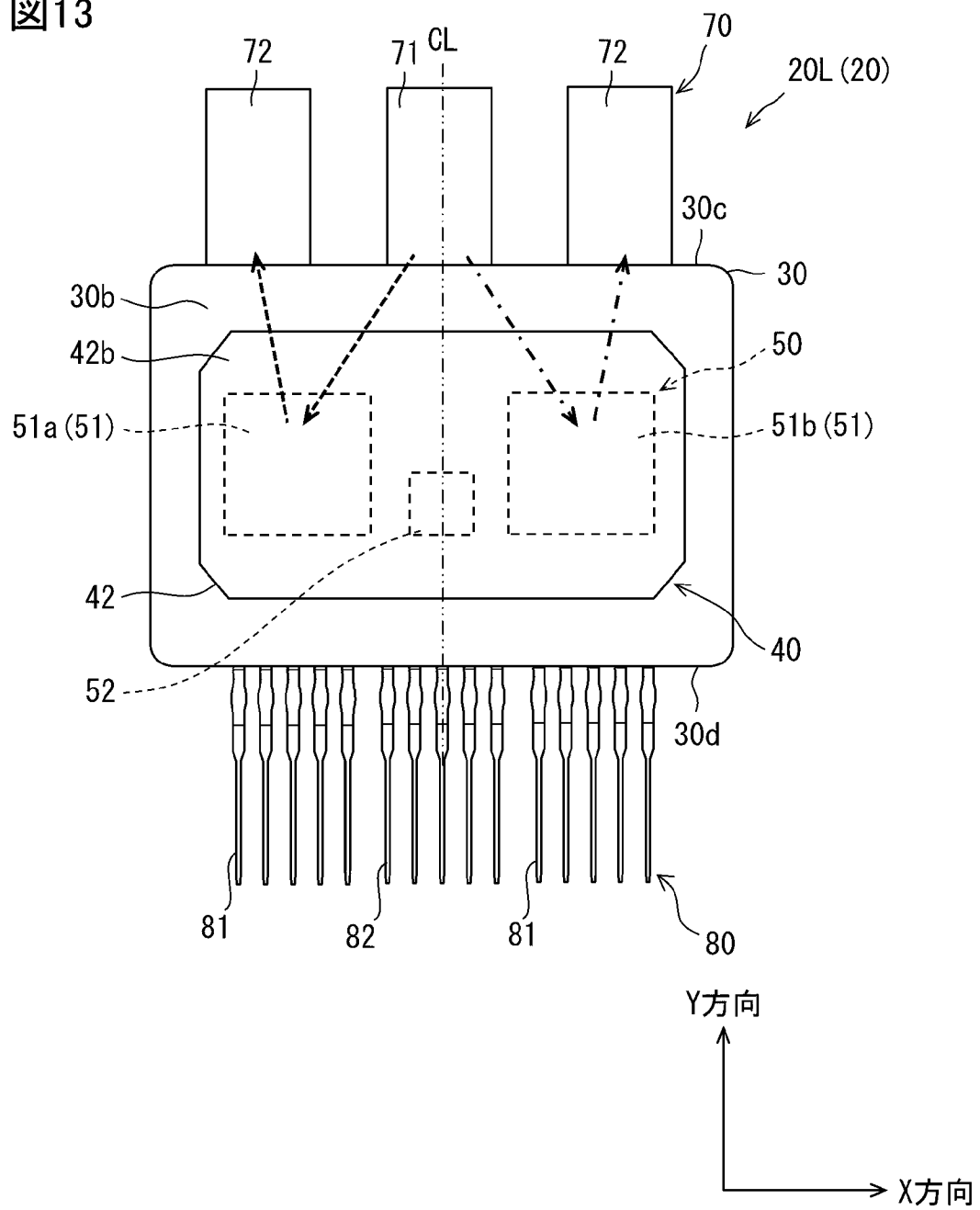
[図12]

図12



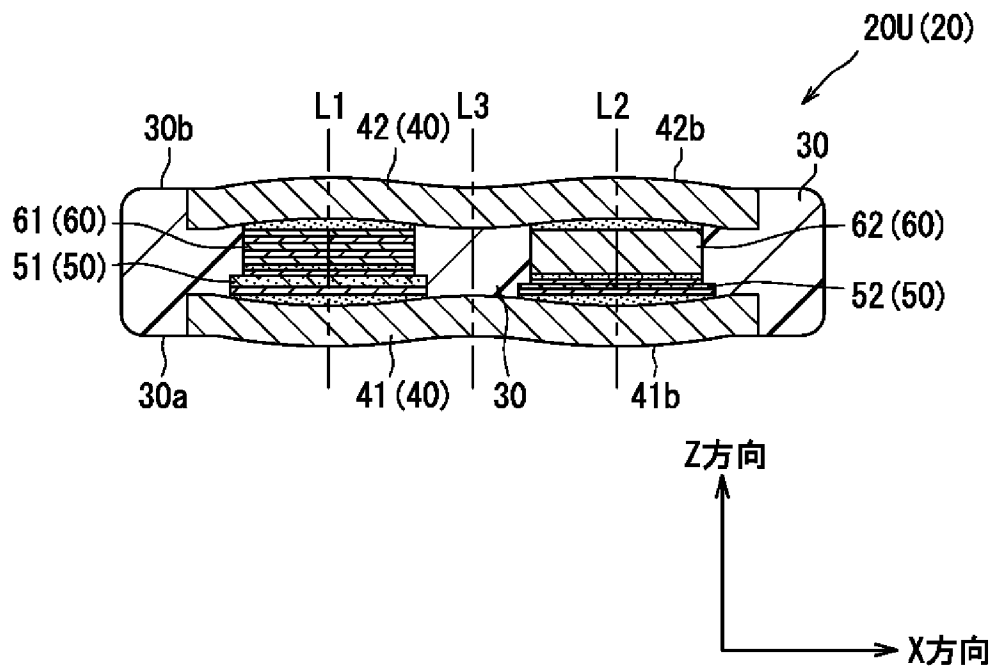
[図13]

図13



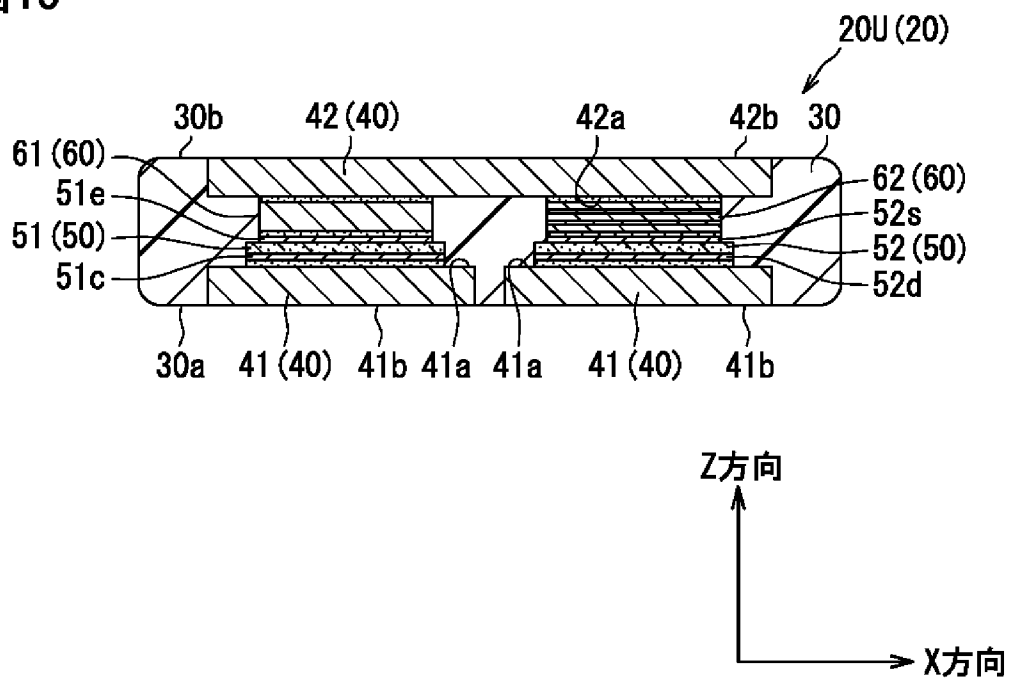
[図14]

図14



[図15]

図15



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/034327

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L25/07 (2006.01) i, H01L25/18 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-219532 A (DENSO CORPORATION) 22 December 2016, entire text & US 2018/0012847 A1 & WO 2016/185666 A1 & CN 107534032 A	1-7
A	JP 2009-272482 A (TOYOTA MOTOR CORPORATION) 19 November 2009, entire text & US 2011/0049535 A1 & WO 2009/136591 A1 & KR 10-2010-0132063 A & CN 102017140 A & TW 201003886 A	1-7
A	JP 2018-116994 A (MITSUBISHI MATERIALS CORPORATION) 26 July 2018, entire text (Family: none)	1-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
17.10.2019

Date of mailing of the international search report
29.10.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/034327

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2018-74089 A (DENSO CORPORATION) 10 May 2018, entire text & US 2019/0237453 A1 & WO 2018/083890 A1 & CN 109906510 A	1-7
A	JP 2004-356625 A (FUJI ELECTRIC DEVICE TECHNOLOGY CO., LTD.) 16 December 2004, entire text & US 2004/0232544 A1 & DE 102004021075 A1 & KR 10-0705868 B1 & CN 1551340 A	1-7
A	WO 2018/020695 A1 (SUPERUFO291 TEC) 01 February 2018, entire text & JP 2018-18976 A	1-7

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L25/07(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-219532 A（株式会社デンソー）2016.12.22, 全文 & US 2018/0012847 A1 & WO 2016/185666 A1 & CN 107534032 A	1-7
A	JP 2009-272482 A（トヨタ自動車株式会社）2009.11.19, 全文 & US 2011/0049535 A1 & WO 2009/136591 A1 & KR 10-2010-0132063 A & CN 102017140 A & TW 201003886 A	1-7
A	JP 2018-116994 A（三菱マテリアル株式会社）2018.07.26, 全文（フ ァミリーなし）	1-7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

17.10.2019

国際調査報告の発送日

29.10.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

河合 俊英

5 F

3238

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2018-74089 A (株式会社デンソー) 2018.05.10, 全文 & US 2019/0237453 A1 & WO 2018/083890 A1 & CN 109906510 A	1-7
A	JP 2004-356625 A (富士電機デバイステクノロジー株式会社) 2004.12.16, 全文 & US 2004/0232544 A1 & DE 102004021075 A1 & KR 10-0705868 B1 & CN 1551340 A	1-7
A	WO 2018/020695 A1 (株式会社半導体熱研究所) 2018.02.01, 全文 & JP 2018-18976 A	1-7