

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H03K 17/16

(45) 공고일자 1992년03월23일
(11) 공고번호 92-002425

(21) 출원번호	특1988-0701457	(65) 공개번호	특1989-7000969
(22) 출원일자	1988년11월14일	(43) 공개일자	1989년04월28일
(86) 국제출원번호	PCT/US 88/000749	(87) 국제공개번호	WO 88/07791
(86) 국제출원일자	1988년03월14일	(87) 국제공개일자	1988년10월06일

(30) 우선권 주장 028984 1987년03월23일 미국(US)
(71) 출원인 유니시스 코포레이션 보베테 존스
미합중국, 펜실바니아, 블루우 벨, 타운쉽 라인 엔드 유니온 미팅 로드

(72) 발명자 티모씨 피. 하겐
미합중국, 캘리포니아 92065, 라모나, 아이 4, 14 스트리트 411
파울 지. 톰스
미합중국, 미네소타 55432, 프리드레이, 안카 카운티, 엔. 이. 힐크레스
트 드라이브 1310
(74) 대리인 강명구

심사관 : 이택수 (특허공보 제2707호)

(54) 저-잡음 송전선 종단회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

저-잡음 송전선 종단회로

[도면의 간단한 설명]

제1도는 본 발명에 따른 온-칩(on-chip) 송전선 종단회로 적합한 실시예의 전기 회로도.

제2도는 제1도 회로의 대표적인 실행을 설명한 그래프.

제3도는 제1도 회로가 없는 때의 실행을 설명한 그래프.

* 도면의 주요부분에 대한 부호의 설명

10 : 칩 입력선 12, 16, 22, 24 : 트랜지스터

18 : 저항기

[발명의 상세한 설명]

본 발명은 컴퓨터 데이터 처리작업을 실시하기 위한 개선된 수단 및 작업에 관한 것이며, 특히 프린트 회로기관 또는 다수의 직접회로(IC)칩 네트워크를 마무리짓기 위한 개선된 수단 및 방법에 관한 것이다.

잘려진 바와같이 송전선 종단효과의 결과로 발생하는 잡음(반사, 과도신호 및 신호(ringing)과 같은) 때문에 IC 칩을 상호 연결시키는 때에는 문제가 발생된다. 이같은 잡음의 존재는 IC 칩회로의 수행과 의존도에 심각한 영향을 미칠 수 있다.

상기 문제를 해결하기 위한 공지된 접근은 전형적으로 특수한 송전선 종단회로의 준비를 포함하며, 이같은 송전선 종단회로가 허용할 수 없는 잡음을 내는 송전선 종단에 부착된다. 추가된 재료의 제

조비용과 이들 부착장치의 생산비용을 추가시키는 것 외에도 이들이 항상 효과적인 것은 아니었다. 또한 정상적으로 작동시키기 위해 예를 들어 보다 크고 잘 조절된 IC 칩 전원장치를 요구하거나 IC 칩이 보다 큰 절환전류를 지원할 것을 요구함으로써 IC 칩 디자인에 영향을 줄 수도 있다. 또한 IC 칩 동작속도가 증가함에 따라 이같은 송전선 종단회로의 효율이 더욱더 제한 될것이 기대된다.

본 발명의 적합한 실시예에서 송전선 종단회로가 구동된 IC 칩에 제공된다. 이같은 온-칩 송전선 회로는 적절히 방향이 설정된 감쇄전류를 정상적으로 제공된 칩 전원장치에 부당한 요구를 하지 않고 효율적으로 오버슈트(over-shoot)와 언더슈트(undershoot)를 최소화하는 식으로 입력 버스내로 조향시키도록 만들어진 그리고 배열된 능동 트랜지스터를 사용한다.

도면중 같은 문자와 참고번호는 같은 엘리먼트에 관한 것이다.

제1도에서 도시된 바람직한 온-칩 송전선 종단회로에 있어서, 이같은 송전회로는 다른 칩회로가 형성될때 한 IC 칩 상에서 형성되는 것이 대표적이다. 이같은 칩위에 제공된 종단회로만이 본 발명에 적합하기 때문에 칩 입력선(10) (예를들어 다른 IC 칩으로부터 전송되는 논리신호를 수신하는) 그리고 전압 VEE, VCS 및 VCC(보통 제공되는 칩 전원으로부터 유도된다)를 제외하고는 다른 칩 회로가 제1도에 도시되지 않는다.

제1도로부터 트랜지스터(12)와 저항(14)이 VEE와 칩 입력선(10)사이에서 연결되어 정전류 전원을 형성하도록 하고, 이같은 정전류 전원이 논리신호 소스회로로 DC 부하를 제공하도록 사용되며, 논리신호 소스회로로부터 입력논리 신호가 전송된다. 제1도에서 도시된 특정회로에서 트랜지스터(12)의 콜렉터가 입력선(10)에 연결되며, 트랜지스터(12)의 베이스가 전원전압 VCS에 연결되고, 트랜지스터(12)의 에미터는 저항기(14)의 상측단에 연결되며, 저항기(14)의 하측단이 전원전압 VEE에 연결된다.

제1도에서의 트랜지스터(16)와 저항기(18)는 제2의 정전류전원을 형성시키도록 만들어지고 배열되며, 이같은 전류전원이 입력논리신호의 로우-하이 전이를 위한 클램프 전류를 세팅시키기 위해 트랜지스터(22, 24)에 의해 형성된 전류조향 스위치(current steering switch)와 협력하여 사용된다. 제1도에서 도시된 특정회로에서, 저항기(18)의 하측단이 전압 VEE에 연결되며, 저항기(18)의 상측단은 트랜지스터(16)의 에미터에 연결되고 트랜지스터(16)의 베이스는 전압 VCS에 연결되며, 트랜지스터(16)의 콜렉터는 트랜지스터(22, 24)의 에미터에 연결되고, 트랜지스터(22)의 베이스 및 콜렉터는 입력선(10)에 연결되며, 트랜지스터(24)의 베이스는 기준전압 VREF에 연결되고, 그리고 트랜지스터(22)의 콜렉터는 통상 회로 접지인 전압 VCC에 연결된다.

콜렉터가 전압 VCC에 연결되고, 베이스가 전압 VREF에 연결되며, 에미터가 입력선(10)에 연결되는 트랜지스터(26)는 적용된 논리신호의 떨어지는 에지를 고정시키도록 할뿐 아니라 클램프 회로에 단락회로 보호를 제공하도록 사용된다. 제1도의 회로에서, VREF와 VCS는 신호기준 및 전류전원 기준전압으로 각각 사용되며, VEE는 전류전원 전압으로 사용된다.

제1도의 회로동작은 입력선(10)에서의 입력논리수준이 로우(low)인때 전류가 트랜지스터(24)를 통하여 흐른다. 논리수준이 "하이" 인 신호가 입력선(10)에서 수신된 때, 전류는 입력신호 수준이 VREF 이상으로 오르는 때까지 트랜지스터(24)를 통해 계속하여 흐른다. 다음에 전류가 입력선(10)에 의해 공급되며 트랜지스터(22)를 통해 흐른다. 따라서 입력선(10)이 전압이 높은 논리수준으로 오르는 때 부하전류에서의 계단증가를 보여주며, 이에 의하여 결국 결과로 발생하는 오버 슈우트를 줄이게 된다. 입력선(10)에서의 전압이 VREF로부터 다이오드 전압강하 이하로 떨어지는 때 입력선을 고정시키기 위해 전류가 통하는 트랜지스터(26)에 의해 오버슈우트에 뒤이어 어떤 언더슈우트가 발생됨이 감소된다.

제2도 및 3도는 전압대 시간함수의 그래프이다. 제2도는 5cm의 송전선 길이에 대해 제1도에서 도시된 송전선 종단회로의 대표적인 수행을 설명하는 것이다. 제3도는 제1도 회로가 없을때의 수행을 설명한다. 곡선 A는 송전선 선단에서의 드라이버 신호에 해당하는 것이며, 곡선 B는 입력선(10) (즉 송전선의 종단부)에서 획득된 결과신호에 해당하는 것이고, 곡선 C는 부하신호를 설명한다. 높은 논리수준에서 낮은 논리수준으로의 변경은 낮은 논리수준으로부터 높은 논리수준으로의 변경과 유사한 효과를 발생시키며 제2도 및 3도로부터 분명할 것이다.

다음의 회로소자 및 그 크기가 제1도 회로에서 대표적으로 사용 될 수 있다.

저항기(14)-44 오옴

저항기(18)-130 오옴

트랜지스터(12, 16)-NPN트랜지스터, ($4 \times 16 \mu\text{M}$ 에미터)

트랜지스터(22, 24 및 26)-NPN트랜지스터, ($3 \times 16 \mu\text{M}$ 에미터)

VEE-4.5볼트

VREF-1.0볼트

VCC-0볼트(회로접지)

제1도의 회로는 다수의 중요한 장점을 제공한다. VREF가 큰 절환전류를 지원하지 않아도 됨이 한가지 큰 장점이다. 제1도 회로에 의해 끌여 들어지는 유일한 절환 전류는 이미 잘 분배된 VCC(대표적인 전류접지)로부터 온다. 따라서 제1도의 회로가 제공되는 IC 칩은 커다란 버스구조(bus structure) 또는 높은 전력의 온-칩 전압 발생기를 필요로 하지 않는다. 제1도 회로의 또다른 장점은 신호선(10)이 전원장치 버스로부터 잘 분리된다는 것이다.

제1도 회로의 또다른 장점은 VEE 크기가 중요하지 않다는 것이다. 예를들어 상기에 기재된 제1도 회로용으로 특정회로 소자 및 크기를 사용하여 회로에서의 변경없이 3볼트 보다 큰 VEE 전압은 어떤 것이든 그같은 VEE 전압 없이도 제1도 회로가 작동할 수가 있다.

(57) 청구의 범위

청구항 1

이진 입력 신호를 수신하기 위한 입력을 갖는 집적회로칩, 그리고 상기 집적회로 칩에 내포되며 상기 입력에 결합되어 이진 신호가 상기 입력으로 전송되는 때 발생하는 잡음을 줄이도록 하는 송전선 종단회로를 포함하며, 상기 송전선 종단회로가 첫 번째 정전류 전원, 두 번째 정전류 전원, 그리고 개폐가능 전류조종 스위치를 포함하고, 상기 첫 번째 정전류 전원이 상기 한 입력으로 결합되어 상기 입력에서 가해진 한 신호에 대한 DC 부하를 제공하도록 하며, 상기 두 번째 전류 전원은 상기 개폐가능 전류 조종 스위치를 통해 상기 입력으로 결합되어 이진 신호의 전송을 위한 클램프 전류를 세트시키도록 하고, 상기 첫 번째 전류 전원이 한 전류 공급전압과 상기 입력 사이에 결합된 제1트랜지스터를 포함하고, 상기 두 번째 전류전원이 상기 전류 공급전압과 상기 전류 스위치사이에 결합된 제2트랜지스터를 포함하며, 그리고 상기 제1 및 제2 트랜지스터 각각이 한 제어 전압 전원에 결합된 한 제어단자를 포함하고, 상기 개폐가능 전류 조종 스위치가 일정한 크기로 상승되는 상기 이진 입력 신호에 응답하여 스위치하도록 동작되며 상기 일정한 크기 이상으로 상승하는 때 입력 신호로 하여금 부하 전류가 한 단계 상승하는가를 확인케하도록 함을 특징으로 하는 컴퓨터 회로에서 사용하기 위한 저-잡음 송전선 종단회로.

청구항 2

제1항에 있어서, 상기 개폐가능 전류 조종 스위치가 제2 트랜지스터와 한 스위칭 전압사이에 결합된 제3 트랜지스터 그리고 두 번째 전류 공급 전압과 상기 입력사이에 결합된 제4 트랜지스터를 포함하고, 상기 제3 트랜지스터와 제4 트랜지스터 각각이 상기 이진 신호의 크기를 기초하여 선택된 한 기준 전압에 결합된 한 제어단자를 포함함을 특징으로 하는 저-잡음 송전선 종단회로.

청구항 3

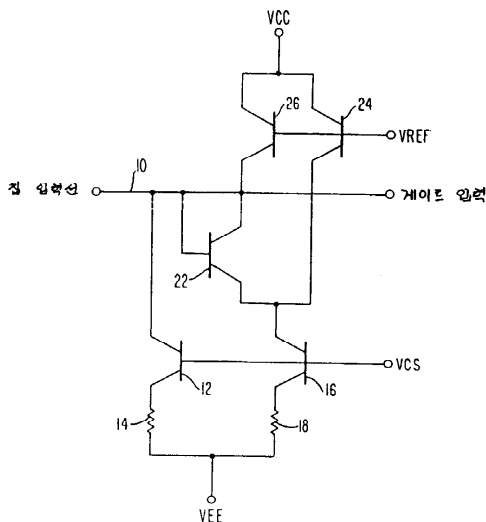
제2항에 있어서, 상기 스위칭 전압이 회로 접지전압임을 특징으로 하는 저-잡음 송전선 종단회로.

청구항 4

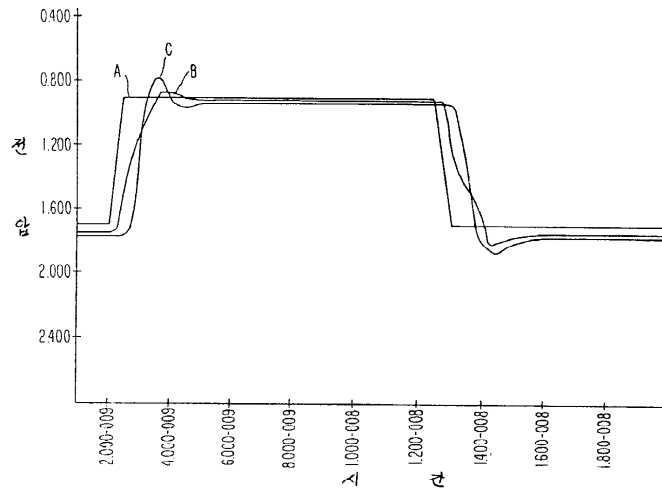
제2항에 있어서, 상기 회로 장치가 상기 스위칭 전압과 상기 입력사이에 결합된 제5 트랜지스터를 포함하여 후연(falling edge) 클램프를 제공하도록 하며, 이같은 제5 트랜지스터가 상기 기준 전압에 결합된 한 제어단을 포함함을 특징으로 하는 저-잡음 송전선 종단회로.

도면

도면1



도면2



도면3

