

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 11 月 5 日(05.11.2015)



(10) 国際公開番号
WO 2015/166572 A1

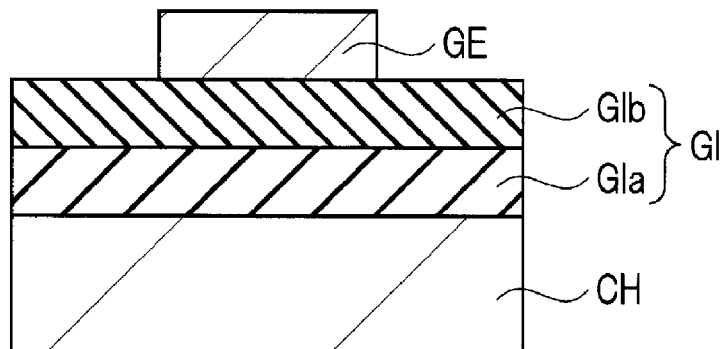
- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/49 (2006.01)
H01L 21/28 (2006.01) H01L 29/778 (2006.01)
H01L 21/338 (2006.01) H01L 29/78 (2006.01)
H01L 29/423 (2006.01) H01L 29/812 (2006.01)
- (21) 国際出願番号: PCT/JP2014/062095
- (22) 国際出願日: 2014 年 5 月 1 日(01.05.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: ルネサスエレクトロニクス株式会社
(RENESAS ELECTRONICS CORPORATION)
[JP/JP]; 〒1350061 東京都江東区豊洲三丁目 2 番
2 4 号 Tokyo (JP).
- (72) 発明者: 飯塚 敏洋(HIZUKA, Toshihiro); 〒1350061
東京都江東区豊洲三丁目 2 番 2 4 号 ルネサス
エレクトロニクス株式会社内 Tokyo (JP). 小山
晋(KOYAMA, Shin); 〒1350061 東京都江東区豊洲
三丁目 2 番 2 4 号 ルネサスエレクトロニクス
株式会社内 Tokyo (JP). 加藤 芳健(KATO, Yoshi-
take); 〒1350061 東京都江東区豊洲三丁目 2 番 2
4 号 ルネサスエレクトロニクス株式会社内
Tokyo (JP).
- (74) 代理人: 筒井 大和, 外(TSUTSUI, Yamato et al.);
〒1600022 東京都新宿区新宿 2 丁目 3 番 1 0 号
新宿御苑ビル 3 階 筒井国際特許事務所 Tokyo
(JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置および半導体装置の製造方法

図 1



(57) Abstract: To improve semiconductor device characteristics. In a semiconductor device (MISFET) having a gate electrode (GE) formed on a nitride semiconductor layer (CH) via a gate insulating film (GI), the gate insulating film (GI) is configured to have a first gate insulating film (oxide film of a first metal) (GIa) that is formed on the nitride semiconductor layer (CH), and a second gate insulating film (oxide film of a second metal) (GIb). The second metal (for instance, Hf) has a lower electronegativity than the first metal (for instance, Al). Consequently, since negative charges are introduced into the oxide film of the first metal due to interface polarization by having the electronegativity of the second metal lower than that of the first metal, a flat band voltage can be shifted to be positive. Consequently, a threshold voltage that has become negative due to heat treatment of the oxide film of the first metal can be shifted to be positive.

(57) 要約:

[続葉有]

WO 2015/166572 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

半導体装置の特性を向上させる。窒化物半導体層 CH 上にゲート絶縁膜 GI を介して形成されたゲート電極 GE を有する半導体装置 (MISFET) において、ゲート絶縁膜 GI を、窒化物半導体層 CH 上に形成された第 1 ゲート絶縁膜 (第 1 金属の酸化膜) GI a と、第 2 ゲート絶縁膜 (第 2 金属の酸化膜) GI b と、を有するように構成する。そして、第 2 金属 (例えば、Hf) は、第 1 金属 (例えば、Al) より電気陰性度が低い。このように、第 1 金属の電気陰性度よりも、第 2 金属の電気陰性度を低くすることにより、界面分極により第 1 金属の酸化膜中に負電荷が導入されるため、フラットバンド電圧を正方向にシフトさせることができる。これにより、第 1 金属の酸化膜の熱処理により負となった閾値電圧を、正の方向にシフトさせることができる。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置および半導体装置の製造方法に関し、例えば、窒化物半導体を用いた半導体装置およびその製造方法に好適に利用できるものである。

背景技術

[0002] 近年、Siよりも大きなバンドギャップを有するIII-V族の化合物を用いた半導体装置が注目されている。その中でも、窒化ガリウム（GaN）などの窒化物半導体を用いた半導体装置は、高速かつ低損失で動作する特性を備えている。また、窒化ガリウム系の窒化物半導体を用いたパワーMISFET（Metal Insulator Semiconductor Field Effect Transistor）は、ノーマリーオフ動作が可能であり、その開発が進められている。

[0003] 例えば、以下の非特許文献1には、 Al_2O_3 よりなるゲート絶縁膜を有するGaN FETが開示されている。

先行技術文献

非特許文献

[0004] 非特許文献1：IEDM 2009, p.153-156 A Normally-off GaN FET with High Threshold Voltage Uniformity Using A Novel Piezo Neutralization Technique

発明の概要

発明が解決しようとする課題

[0005] 本発明者は、上記のような窒化物半導体を用いた半導体装置の研究開発に従事しており、ノーマリーオフ型の半導体装置の特性向上について、鋭意検討している。その過程において、窒化物半導体を用いた半導体装置および半導体装置の製造方法について更なる改善の余地があることが判明した。

[0006] その他の課題と新規な特徴は、本明細書の記述および添付図面から明らか

になるであろう。

課題を解決するための手段

[0007] 本願において開示される実施の形態のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0008] 本願において開示される一実施の形態に示される半導体装置は、窒化物半導体層上にゲート絶縁膜を介して形成されたゲート電極を有し、ゲート絶縁膜は、窒化物半導体層上に形成された第1金属の酸化膜と、第1金属の酸化膜上に形成された第2金属の酸化膜とを有する。そして、第1金属は、前記窒化物半導体層を構成する元素と異なり、第2金属は、第1金属より電気陰性度が低い。

[0009] 本願において開示される一実施の形態に示される半導体装置の製造方法は、窒化物半導体層上に、第1金属の酸化膜を堆積し、その上に第2金属の酸化膜を形成し、さらに、その上にゲート電極を形成する。また、第2金属の酸化膜に対し熱処理を施す工程を有する。そして、第2金属は、第1金属より電気陰性度が低い。

発明の効果

[0010] 本願において開示される以下に示す代表的な実施の形態に示される半導体装置によれば、半導体装置の特性を向上させることができる。

[0011] 本願において開示される以下に示す代表的な実施の形態に示される半導体装置の製造方法によれば、特性の良好な半導体装置を製造することができる。

図面の簡単な説明

[0012] [図1]実施の形態1の半導体装置の構成を示す断面図である。

[図2]実施の形態1の比較例1の半導体装置の構成を示す断面図である。

[図3]熱処理前後の酸化アルミニウム膜の容量－電圧特性を示すグラフである。

[図4]実施の形態1のゲート絶縁膜の容量－電圧特性を示すグラフである。

[図5]実施の形態1の比較例3の半導体装置の構成を示す断面図である。

[図6]実施の形態1の半導体装置の製造工程を示す断面図である。

[図7]実施の形態1の半導体装置の製造工程を示す断面図であって、図6に続く製造工程を示す断面図である。

[図8]実施の形態1の半導体装置の製造工程を示す断面図であって、図7に続く製造工程を示す断面図である。

[図9]実施の形態1の半導体装置の製造工程を示す断面図であって、図8に続く製造工程を示す断面図である。

[図10]実施の形態1の半導体装置の他の構成を示す断面図である。

[図11]実施の形態1の半導体装置の特徴的な構成を示す断面図である。

[図12]実施の形態2の半導体装置の構成を示す断面図である。

[図13]実施の形態3の半導体装置の構成を示す断面図である。

[図14]実施の形態3の半導体装置の製造工程を示す断面図である。

[図15]実施の形態3の半導体装置の製造工程を示す断面図であって、図14に続く製造工程を示す断面図である。

[図16]実施の形態3の半導体装置の製造工程を示す断面図であって、図15に続く製造工程を示す断面図である。

[図17]実施の形態3の半導体装置の製造工程を示す断面図であって、図16に続く製造工程を示す断面図である。

[図18]実施の形態3の半導体装置の製造工程を示す断面図であって、図17に続く製造工程を示す断面図である。

[図19]実施の形態3の半導体装置の製造工程を示す断面図であって、図18に続く製造工程を示す断面図である。

[図20]実施の形態3の半導体装置の製造工程を示す断面図であって、図19に続く製造工程を示す断面図である。

[図21]実施の形態3の半導体装置の製造工程を示す断面図であって、図20に続く製造工程を示す断面図である。

[図22]実施の形態3の半導体装置の製造工程を示す断面図であって、図21に続く製造工程を示す断面図である。

[図23]実施の形態3の半導体装置の製造工程を示す断面図であって、図22に続く製造工程を示す断面図である。

[図24]実施の形態3の半導体装置の構成を示す平面図の一例である。

[図25]実施の形態4の半導体装置の構成を示す断面図である。

発明を実施するための形態

[0013] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、応用例、詳細説明、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

[0014] さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数等（個数、数値、量、範囲等を含む）についても同様である。

[0015] 以下、実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一または関連する符号を付し、その繰り返しの説明は省略する。また、複数の類似の部材（部位）が存在する場合には、総称の符号に記号を追加し個別または特定の部位を示す場合がある。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

[0016] また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図

面を見易くするためにハッチングを付す場合もある。

[0017] また、断面図および平面図において、各部位の大きさは実デバイスと対応するものではなく、図面を分かりやすくするため、特定の部位を相対的に大きく表示する場合がある。また、断面図と平面図が対応する場合においても、図面を分かりやすくするため、特定の部位を相対的に大きく表示する場合がある。

[0018] (実施の形態1)

以下、図面を参照しながら本実施の形態の半導体装置について詳細に説明する。

[0019] [構造説明]

図1は、本実施の形態の半導体装置の構成を示す断面図である。図1に示す半導体装置は、窒化物半導体を用いたMIS (Metal Insulator Semiconductor) 型の電界効果トランジスタ (FET ; Field Effect Transistor) である。

[0020] 図1に示すように、本実施の形態の半導体装置においては、窒化物半導体よりなるチャネル層CH上にゲート絶縁膜GIを介して配置されたゲート電極GEを有する。ここで、ゲート絶縁膜GIは、チャネル層CH上に形成された第1ゲート絶縁膜GIaと、第1ゲート絶縁膜GIa上に形成された第2ゲート絶縁膜GIbとを有する。第1ゲート絶縁膜GIaは、第1金属の酸化物よりなる。第2ゲート絶縁膜GIbは、第2金属の酸化物よりなる。そして、第2金属の電気陰性度は、第1金属の電気陰性度より低い。

[0021] また、第1ゲート絶縁膜GIaは、チャネル層 (窒化物半導体) CHを熱酸化して形成された膜ではなく、いわゆる、堆積法 (デポジション法) により形成された膜である。

[0022] また、第1ゲート絶縁膜GIaは、第2ゲート絶縁膜GIbより厚い。言い換えれば、第1ゲート絶縁膜GIaの膜厚は、第2ゲート絶縁膜GIbの膜厚より大きい。

[0023] 第1金属は、例えば、アルミニウム (Al) である。この場合、第1金属

の酸化物は、酸化アルミニウム (Al_2O_3) となる。

[0024] 第2金属は、Hf、Zr、Ta、Ti、Nb、La、Y、Mgの群から選ばれる1以上の元素である。この場合、第2金属の酸化物は、例えば、酸化ハフニウム (HfO_2)、酸化ジルコニウム (ZrO)、酸化タンタル (Ta_2O_5)、酸化チタン (TiO_2)、酸化ニオブ (Nb_2O_5)、酸化ランタン (La_2O_3)、酸化イットリウム (Y_2O_3)、酸化マグネシウム (MgO) となる。第2金属と酸素の組成比は上記のものに限られるものではない。また、第2金属として、2種以上の元素を含んでも良い。この場合、2種の金属と酸素の化合物となる。但し、この場合、2種以上の元素のいずれもが、第1金属の電気陰性度より低くなければならない。また、第2金属の酸化物は、第1金属または第1金属より電気陰性度の低い金属元素を含まない。但し、不純物程度の金属（例えば、0.01%以下の金属）としては、第1金属または第1金属より電気陰性度の低い金属元素を含有することがある。

[0025] このように、本実施の形態においては、ゲート絶縁膜G1として、電気陰性度の異なる第1金属および第2金属のそれぞれの酸化物を積層して用い、上層に電気陰性度の低い第2金属の酸化膜を配置したので、閾値電圧 (V_{th}) を正方向にシフトすることができる。そして、シフト量を調整することにより閾値電圧 (V_{th}) を正 ($V_{th} > 0$) とすることができる。

[0026] 例えば、図2の比較例1に示すように、ゲート絶縁膜G1として、酸化アルミニウム膜を単層で用いた場合、閾値電圧 (V_{th}) が負 ($V_{th} < 0$) となる。閾値電圧 (V_{th}) が負 ($V_{th} < 0$) となると、ノーマリーオン状態になってしまう。図2は、本実施の形態の比較例1の半導体装置の構成を示す断面図である。

[0027] 即ち、窒化物半導体層（例えば、GaN層）上に、酸化アルミニウム膜を堆積法により形成した場合、膜中のトラップ密度が高くなる傾向にある。このように、膜中のトラップ密度が高くなると、図3に示すように、容量－電圧特性（C－V特性）のヒステリシスが大きくなってしまふ（図3のグラフ（a）参照）。このため、酸化アルミニウムの形成後に、熱処理（ポストア

ニール)を行い、トラップを低減する。

[0028] しかしながら、本発明者らの検討によれば、容量－電圧特性について次のような結果が得られた。図3は、熱処理（ポストアニール）前後の酸化アルミニウム膜の容量－電圧特性を示すグラフである。縦軸は、容量（Capacitance [arb.unit]）を示し、横軸は、ゲート電極（Gate Voltage [V]）を示す。図3に示すように、熱処理により、ヒステリシスの改善が図られる。即ち、熱処理前の酸化アルミニウム膜（グラフ（a））は、ヒステリシスが見られるものの、熱処理後の酸化アルミニウム膜（グラフ（b））では、ヒステリシスが改善している。しかしながら、熱処理後の酸化アルミニウム膜（グラフ（b））では、フラットバンド電圧（ V_{fb} ）が負方向にシフトし、 $V_{fb} < 0V$ となることが判明した。

[0029] このため、熱処理後の酸化アルミニウム膜（グラフ（b））を、MISFETのゲート絶縁膜に適用した場合、FETの閾値電圧（ V_{th} ）が負（ $V_{th} < 0$ ）となるため、ノーマリーオフ化が困難となる。

[0030] これに対し、本実施の形態においては、第1金属の酸化膜を構成する第1金属の電気陰性度よりも、その上に積層される第2金属の酸化膜を構成する第2金属の電気陰性度の方が低いため、両電気陰性度の差により界面分極が発生する。この界面分極の発生により第1金属の酸化膜中に負電荷が導入されるため、フラットバンド電圧（ V_{fb} ）を正方向にシフトさせることができる。これにより、熱処理により負となった閾値電圧（ V_{th} ）を正方向にシフトすることができる。そして、シフト量を調整することにより閾値電圧（ V_{th} ）を正（ $V_{th} > 0$ ）とするノーマリーオフ化を実現することができる。

[0031] 図4は、本実施の形態のゲート絶縁膜の容量－電圧特性を示すグラフである。ゲート絶縁膜G1として、100nm程度の酸化アルミニウムと、その上の酸化ハフニウムとの積層膜を用いた。縦軸は、容量（Capacitance [arb.unit]）を示し、横軸は、ゲート電極（Gate Voltage [V]）を示す。

[0032] 図4には、上層の酸化ハフニウムの膜厚を0nm、1nm、3nmおよび

5 nmとした場合のグラフが記載されている。酸化ハフニウムの膜厚が0 nm、即ち、酸化アルミニウム膜単層の場合 (w/o HfO_2) は、閾値電圧 (V_{th}) が負 ($V_{th} < 0$) となっているのに対し、酸化ハフニウムの膜厚が1 nm、3 nm、5 nmの順に大きくなるにしたがって、閾値電圧 (V_{th}) が正方向にシフトしている。このように、ゲート絶縁膜GIとして、電気陰性度の異なる第1金属および第2金属のそれぞれの酸化物を積層して用い、上層に電気陰性度の低い第2金属の酸化膜を配置したので、閾値電圧 (V_{th}) が正方向にシフトすることが確認できた。

[0033] そして、ここでは、酸化ハフニウムの膜厚が3 nmおよび5 nmでは、閾値電圧 (V_{th}) が正 ($V_{th} > 0$) となることが確認できた。

[0034] なお、図4には示していないが、酸化ハフニウムの膜厚が10 nmを超えた後は、閾値電圧 (V_{th}) の正方向のシフトが停止し、閾値電圧 (V_{th}) がそれまで以上に大きくはならない。

[0035] よって、酸化ハフニウム (第2金属の酸化膜) の膜厚としては、例えば、1 nm以上10 nm以下が好ましく、3 nm以上5 nm以下がより好ましい。また、酸化ハフニウム (第2金属の酸化膜) があまり厚くなりすぎるとトータルのゲート絶縁膜も厚くなる。このため、トランジスタ駆動電流の低下による移動度の低下が生じる。また、酸化ハフニウム (第2金属の酸化膜) を不要に厚く形成するには、成膜工程での処理時間が長くなり、量産性の低下、製造コストの上昇など実用上の問題も生じる。よって、酸化ハフニウム (第2金属の酸化膜) は、下層の酸化アルミニウム膜 (第1金属の酸化膜) より薄く、10 nm以下の膜厚とすることが好ましい。

[0036] ここでは、下層の膜と上層の膜として、それぞれ酸化アルミニウム膜と酸化ハフニウム膜を用いた場合について説明したが、そもそも、下層の膜は、ゲート絶縁膜の主たる特性である絶縁性 (リーク電流) や絶縁破壊耐性を確保する必要があるため、ある程度 (例えば、 SiO_2 換算膜厚で30 nm以上、すなわち、 SiO_2 膜なら30 nm以上、 Al_2O_3 膜なら60 nm以上) の膜厚が必要である。これに対し、上層の膜は、上層の膜と下層の膜との界面

において分極を生じさせる程度の膜厚があれば十分であり、このような分極を生じさせる膜厚としては、他の第2金属（例えば、Zr、Ta、Ti、Nb、La、Y、Mg）の酸化膜を用いたとしても、1 nm以上10 nm以下が好ましく、3 nm以上5 nm以下がより好ましいと考えられる。

[0037] 一方、積層した絶縁膜をゲート絶縁膜を用いるMISFETとして、Si基板上の酸化シリコン膜（SiO₂）と、その上の酸化ハフニウム（HfO₂）との積層膜をゲート絶縁膜として用いたMISFET（比較例2）が挙げられる。

[0038] このように、高誘電率膜であるHfO₂膜をゲート絶縁膜として用いるのは、ゲートリーク電流の抑制のためである。即ち、MISFETの微細化によりゲート絶縁膜としても用いる酸化シリコン膜（SiO₂）の膜厚が薄くなりすぎる（例えば、2 nm以下）とゲートリーク電流が大きくなる。このため、高誘電率膜を用いることで実効的なゲート絶縁膜の膜厚を大きくし、ゲートリーク電流を低減することができる。

[0039] また、Si基板上にHfO₂/SiO₂積層膜をゲート絶縁膜として用いた場合では、閾値電圧調整のためにSiチャネルへの不純物イオンの注入および活性化という一般的な手法を用いることができる。一方、窒化物半導体（特に、GaN）では、この手法での閾値電圧制御ができない。これは、窒化物半導体（GaN）にp型不純物を導入しても活性化効率が非常に低く、高閾値化を実現するだけの高濃度不純物の導入が困難であるという問題があるためである。すなわち、Si基板上的HfO₂/SiO₂積層膜をゲート絶縁膜として用いる場合には、高閾値への制御が困難であるという問題がそもそも存在せず、窒化物半導体基板固有の問題である。

[0040] ここで、比較例2のMISFETにおいては、Si基板と高誘電率膜との間の界面状態を良好とするため、Si基板を熱酸化してSiO₂を設けている。よって、このSiO₂の膜厚は、極薄く（例えば、2 nm以下で）形成されることが好ましい。SiO₂の膜厚を大きくしすぎると、高誘電率化に反することとなる。一方、SiO₂膜は、Si基板と高誘電率膜との間の界面状態を

良好とするための膜であるため、S i 基板を熱酸化したものでなければならず、例えば、C V D (Chemical Vapor Deposition) 法のような堆積法で形成された膜では、S i 基板との界面状態を良好とすることはできない。

[0041] これに対し、本実施の形態のゲート絶縁膜の下層の第1金属の酸化膜は、その下の窒化物半導体層（窒化物半導体基板でもよい）を熱酸化したものではない。即ち、下層の第1金属の酸化膜は、窒化物半導体層を構成する元素の酸化物ではない。別の言い方をすれば、第1金属は、窒化物半導体層を構成する元素と異なる。窒化物半導体層の熱酸化膜は、良好な絶縁性を有しておらず、ゲート絶縁膜として用いることができない。このため、下層の第1金属の酸化膜は、C V D 法やA L D (Atomic Layer Deposition、原子層堆積) 法のような堆積法で形成された膜である。また、下層の第1金属の酸化膜は、比較的厚く形成され、例えば、30 nm以上の膜厚を有する。これに対し、上層の第2金属の酸化膜は、前述したように、ある程度の膜厚以上においては、フラットバンド電圧 (V_{fb}) を正方向にシフトさせる効果が一定となるため、あまり大きくする必要はない。例えば、10 nm以下の膜厚で充分である。このように、上層の第2金属の酸化膜は、下層の第1金属の酸化膜よりも薄い。

[0042] よって、本実施の形態のM I S F E Tにおいて、比較例3のように、チャネル層（窒化物半導体層）C Hを直接酸化した酸化膜O xをゲート絶縁膜G Iとして用いた場合には、ゲート絶縁膜としての機能を発揮できない。また、このようなチャネル層（窒化物半導体層）C Hを直接酸化した酸化膜O x上に、第2金属の酸化膜を積層しても、ゲート絶縁膜としての機能を発揮できない。図5は、本実施の形態の比較例3の半導体装置の構成を示す断面図である。

[0043] また、本実施の形態のM I S F E Tにおいて、比較例2のように、下層の第1金属の酸化膜を極薄く（例えば、2 nm以下）形成した場合には、ゲート絶縁膜としての機能を発揮できない。逆に、比較例2のM I S F E Tにおいて、本実施の形態のM I S F E Tのように、C V D 法やA L D 法のような

堆積法でゲート絶縁膜の下層の膜を形成した場合、基板と下層の膜との界面状態が不良となり、M I S F E Tの動作特性が劣化する。また、比較例2のM I S F E Tにおいて、ゲート絶縁膜の下層の膜を、本実施の形態のM I S F E Tのように、比較的厚く（例えば、30 nm以上）形成した場合、動作速度などの駆動力が低下する。また、比較例2のM I S F E Tにおいて、ゲート絶縁膜の下層の膜を比較的厚く（例えば、30 nm以上）形成し、さらに、上層の膜を積層した場合も同様に、動作速度などの駆動力が低下する。

[0044] また、本実施の形態のM I S F E Tにおいては、高い電圧領域の耐圧を要求されるため、微細化され、低電圧で駆動される比較例2のようなM I S F E Tと比較し、ゲート絶縁膜のトータル膜厚が数十倍となる。例えば、比較例2のH f O₂/S i O₂は、上層、下層ともに1 nm以下の膜厚である。これに対し、本実施の形態のM I S F E Tでは、例えば、H f O₂は、1 nm～10 nm程度、S i O₂は、30 nm～100 nm程度である。

[0045] このように、本実施の形態においては、窒化物半導体層の主表面に形成されるM I S F E Tにおいて、窒化物半導体層を直接酸化した膜ではない第1金属の酸化膜（第1ゲート絶縁膜G l a）と、第1金属より電気陰性度が低い第2金属の酸化膜（第2ゲート絶縁膜G l b）との積層膜をゲート絶縁膜G lとして用いることで、閾値電圧（V t h）を正方向にシフトすることができる。そして、シフト量を調整することにより閾値電圧（V t h）を正（V t h > 0）とするノーマリーオフ化を実現することができる。

[0046] [製法説明]

次いで、図6～図9を参照しながら、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成をより明確にする。図6～図9は、本実施の形態の半導体装置の製造工程を示す断面図である。

[0047] 図6に示すように、チャネル層C Hが形成された基板を準備する。チャネル層C Hは、窒化物半導体層であり、例えば、n型不純物イオンを含有した窒化ガリウム層（n G a N層）を用いる。基板として、n G a N基板を用い、この基板をチャネル層C Hとして用いてもよい。また、S i基板などの支

持基板上に、 $n\text{Ga}\text{N}$ 層を有機金属化学気相成長（MOCVD：Metal Organic Chemical Vapor Deposition）法などを用いてヘテロエピタキシャル成長させ、この $n\text{Ga}\text{N}$ 層をチャネル層CHとして用いてもよい。

[0048] まず、チャネル層（ $n\text{Ga}\text{N}$ 層、 $n\text{Ga}\text{N}$ 基板）CHの表面を、希釈HCl溶液などを用いて洗浄する。次いで、チャネル層CH上に、第1ゲート絶縁膜G1aと第2ゲート絶縁膜G1bとを有するゲート絶縁膜G1を形成する。

[0049] まず、図7に示すように、チャネル層CH上に、第1ゲート絶縁膜（第1金属の酸化膜）G1aを形成する。例えば、第1ゲート絶縁膜G1aとして、酸化アルミニウム膜（ Al_2O_3 膜）を堆積法を用いて堆積する。例えば、トリメチルアルミニウム（ $\text{Al}(\text{CH}_3)_3$ 、TMA）および H_2O （酸化剤）を原料ガスとし、 400°C の雰囲気中で、ALD法を用いて、 100nm 程度の膜厚の酸化アルミニウム膜（ Al_2O_3 膜）を堆積する。ALD法によれば、制御性、被覆性が良く、膜質の良好な膜を形成することができる。なお、酸化剤として、 H_2O の他、オゾン（ O_3 ）や酸素（ O_2 ）を用いてもよい。ALD法では、CVD法と異なり、吸着反応と酸化反応の2ステップにより膜の成長が進む。CVD法では、TMAと H_2O が酸化アルミニウム（ Al_2O_3 ）を生成し、基板に蒸着させるのに対し、ALD法では、まず、TMAが、下層の膜の表面に吸着し、 H_2O と反応することにより、酸化アルミニウム（ Al_2O_3 ）の層が形成されるという工程が繰り返し行われ、層厚が大きくなる。

[0050] 次いで、熱処理を行う。例えば、窒素（ N_2 ）雰囲気中で、 750°C 、1分程度の熱処理を施す。この熱処理により、第1ゲート絶縁膜G1a（ここでは、酸化アルミニウム膜）中のトラップ（欠陥）が低減する。特に、 GaN 上に、酸化アルミニウムを堆積法により形成した場合、膜中のトラップ密度が高くなり、前述したように、容量－電圧特性（C－V特性）のヒステリシスが大きくなる（図3のグラフ（a）参照）。このため、熱処理（ポストアニール）を施すことで、トラップ密度を低減し、ヒステリシスを改善するこ

とができる。

[0051] 次いで、図8に示すように、第1ゲート絶縁膜G1a（ここでは、酸化アルミニウム膜）上に、例えば、第2ゲート絶縁膜（第2金属の酸化膜）G1bとして、酸化ハフニウム膜（ HfO_2 膜）を形成する。例えば、Hf金属ターゲットと、アルゴン（Ar）と酸素（ O_2 ）の混合ガスを用いた反応性スパッタリング法により、酸化ハフニウム膜を堆積する。酸化ハフニウム膜の膜厚は、好ましくは、1～10nm程度とする。本実施の形態の半導体装置の閾値電位（ V_{th} ）は、例えば、+1～+4V程度である。閾値電位（ V_{th} ）を、+4Vより大きくする場合には、酸化ハフニウム膜の膜厚を上記範囲より大きくしてもよい。反応性スパッタリング法は、PVD法（Physical Vapor Deposition）法の一形態である。第2ゲート絶縁膜G1bの形成に際しては、PVD（Physical Vapor Deposition）法他、ALD法やCVD法を用いてもよい。

[0052] 次いで、熱処理を行う。例えば、窒素（ N_2 ）雰囲気中で、750℃、1分程度の熱処理を施す。この熱処理により、第2ゲート絶縁膜G1b（ここでは、酸化ハフニウム膜）中のトラップ（欠陥）が低減する。なお、上記工程においては、第1ゲート絶縁膜G1a（酸化アルミニウム膜）の形成後の熱処理と、第2ゲート絶縁膜G1b（酸化ハフニウム膜）の形成後の熱処理とを個別に行ったが、第1ゲート絶縁膜G1aの形成後の熱処理を省略し、第1ゲート絶縁膜G1a（酸化アルミニウム膜）と第2ゲート絶縁膜G1b（酸化ハフニウム膜）との積層膜の形成後において一括して熱処理を行ってもよい。

[0053] このようにして、第1ゲート絶縁膜G1a（酸化アルミニウム膜）と第2ゲート絶縁膜G1b（酸化ハフニウム膜）との積層膜を有するゲート絶縁膜G1が形成される。

[0054] 次いで、図9に示すように、ゲート絶縁膜G1上にゲート電極GEを形成する。例えば、ゲート絶縁膜G1上に、導電性膜として、例えば、窒化チタン（ TiN ）膜を形成する。例えば、Ti金属ターゲットと、アルゴン（Ar）と窒素（ N_2 ）の混合ガスを用いた反応性スパッタリング法により、10

0 nm程度の窒化チタン膜を堆積する。ゲート電極GEの形成に際しては、PVD法その他、ALD法やCVD法を用いてもよい。次いで、フォトリソグラフィ技術およびエッチング技術を用いて、窒化チタン膜をパターニングすることによりゲート電極GEを形成する。なお、この窒化チタン膜のエッチングの際、下層のゲート絶縁膜GIをエッチングしてもよい。また、ゲート電極GEの形成材料としては、TiN膜その他、Ti、Ta、Ta₂N₅、Au、Al、W、WN、Ir、Pt、Ruなどの金属または金属化合物を用いてもよい。また、これらの金属または金属化合物を2種以上積層した膜を用いてもよい。

[0055] このように、本実施の形態によれば、第1金属の酸化膜と第1金属より電気陰性度が低い第2金属の酸化膜とを積層し、ゲート絶縁膜として用いることで、閾値電圧(V_{th})を正方向にシフトすることができる。

[0056] 特に、酸化膜中のトラップ密度を低減するための熱処理を行っても、負方向にシフトした閾値電圧(V_{th})を正方向に戻すことができる。

[0057] なお、図1に示す半導体装置(MISFET)においては、ソース電極SEおよびドレイン電極DEを記載していないが、例えば、図10に示すように、ゲート電極GEの両側のチャネル層(窒化物半導体)CH中に、n型またはp型の不純物を導入することにより、ソース領域SRおよびドレイン領域DRを形成してもよい。そして、さらに、ソース領域SRおよびドレイン領域DR上に、ソース電極SEおよびドレイン電極DEをそれぞれ設けてもよい。図10は、本実施の形態の半導体装置の他の構成を示す断面図である。

[0058] 図11を参照しながら、本実施の形態の半導体装置の特徴的な構成を以下にまとめて説明しておく。図11は、本実施の形態の半導体装置の特徴的な構成を示す断面図である。

[0059] 本実施の形態の半導体装置は、図11に示すように、チャネル層(窒化物半導体)CH上にゲート絶縁膜GIを介して形成されたゲート電極GEを有する。

[0060] ゲート絶縁膜G1は、チャネル層（窒化物半導体）CH上に形成された第1金属M1の酸化膜M1Oと、酸化膜M1O上に形成された第2金属M2の酸化膜M2Oと、を有する。M1とOの組成比、M2とOの組成比は、選択される元素によって変化することは言うまでもない。

[0061] そして、第2金属M2の電気陰性度は、第1金属M1の電気陰性度より小さい。第1金属M1および第2金属は、以下の表1（ポーリングの電気陰性度）に示す、第2族、第3族、第4族、第5族および第13族から選択される。第1金属M1および第2金属としては、特に、その酸化物がデバイス動作範囲温度（例えば<200℃）において固体で存在し、かつ、薄膜で良好な絶縁性を有することが好ましい。これらの金属のうち、電気陰性度の関係から下層の酸化膜および上層の酸化膜の組み合わせを選択すればよい。

[0062] 第1金属M1、即ち、下層の酸化膜を構成する金属（元素）としては、Alが好ましい。なお、後述の実施の形態2等で説明するように、Si（第14族）を用いてもよい。第1金属の酸化物の形成時に窒化物半導体表面が酸化されると、絶縁性の低い界面酸化物層が形成され、ゲート絶縁膜の特性を損なう。上記Alの酸化物、即ち、酸化アルミニウムは、窒化物半導体（特に、GaN）上に形成してもこの界面反応層が形成され難い点で下層に用いて好適である。

[0063]

本実施の形態においては、ゲート絶縁膜G1の下層の膜（G1a）を構成する元素として、Si（半導体）を用いる。

[0065] [構造説明]

図12は、本実施の形態の半導体装置の構成を示す断面図である。図12に示すように、本実施の形態の半導体装置においては、実施の形態1の場合と同様に、窒化物半導体よりなるチャネル層CH上にゲート絶縁膜G1を介して配置されたゲート電極GEを有する。ここで、ゲート絶縁膜G1は、チャネル層CH上に形成された第1ゲート絶縁膜G1aである酸化シリコン膜（ SiO_2 ）と、第1ゲート絶縁膜G1a上に形成された第2ゲート絶縁膜（第2金属の酸化膜）G1bとを有する。このように、実施の形態1の第1金属に代えてSiが用いられている。即ち、第1ゲート絶縁膜G1aは、半導体であるSiの酸化物よりなる。第2ゲート絶縁膜G1bは、第2金属の酸化物よりなる。そして、第2金属の電気陰性度は、Si（半導体）の電気陰性度より低い。

[0066] また、第1ゲート絶縁膜G1aである酸化シリコン膜は、チャネル層（窒化物半導体）CHを熱酸化して形成された膜ではなく、いわゆる、堆積法（デポジション法）により形成された膜である。即ち、下層のSiの酸化膜は、窒化物半導体層を構成する元素の酸化物ではない。このように、Siの酸化膜は、チャネル層（窒化物半導体）の直接酸化により形成されたものではないため、Siは、チャネル層（窒化物半導体）を構成する元素と異なる。

[0067] また、第1ゲート絶縁膜G1aである酸化シリコン膜は、第2ゲート絶縁膜G1bより厚い。言い換えれば、第1ゲート絶縁膜G1aである酸化シリコン膜の膜厚は、第2ゲート絶縁膜G1bの膜厚より大きい。

[0068] 第1ゲート絶縁膜G1a（酸化シリコン膜）の膜厚としては、例えば、30nm以上が好ましい。

[0069] 第2ゲート絶縁膜G1b（第2金属の酸化膜）酸化ハフニウム（第2金属の酸化膜）の膜厚としては、例えば、1nm以上10nm以下が好ましく、3nm以上5nm以下がより好ましい。

[0070] 第2金属は、Al、Hf、Zr、Ta、Ti、Nb、La、Y、Mgの群から選ばれる1以上の元素である。この場合、第2金属の酸化物は、例えば、酸化アルミニウム (Al_2O_3)、酸化ハフニウム (HfO_2)、酸化ジルコニウム (ZrO)、酸化タンタル (Ta_2O_5)、酸化チタン (TiO_2)、酸化ニオブ (Nb_2O_5)、酸化ランタン (La_2O_3)、酸化イットリウム (Y_2O_3)、酸化マグネシウム (MgO) などとなる。第2金属と酸素の組成比は上記のものに限られるものではない。また、第2金属として、2種以上の元素を含んでも良い。この場合、2種の金属と酸素の化合物となる。但し、この場合、2種以上の元素のいずれもが、Siの電気陰性度より低くなければならない。また、第2金属の酸化物は、SiまたはSiより電気陰性度の低い金属元素を含まない。但し、不純物程度の金属（例えば、0.01%以下の金属）としては、SiまたはSiより電気陰性度の低い金属元素を含有することがある。

[0071] このように、本実施の形態においては、ゲート絶縁膜G1として、電気陰性度の異なるSiおよび第2金属のそれぞれの酸化物を積層して用い、上層にSiよりも電気陰性度の低い第2金属の酸化膜を配置したので、実施の形態1の場合と同様に、閾値電圧 (V_{th}) を正方向にシフトさせることができる。

[0072] また、本実施の形態においては、第1ゲート絶縁膜G1aとして酸化シリコン膜 (SiO_2) を用いたので、実施の形態1で説明した酸化アルミニウム (Al_2O_3) を用いる場合と比較し、閾値電圧 (V_{th}) の正方向へのシフト効果大きい。即ち、SiとAlの電気陰性度は、 $\text{Al} < \text{Si}$ の関係があるため（表1参照）、第2ゲート絶縁膜G1bとして同じ第2金属（Alを除く）の酸化膜を用いた場合、Si、Alと第2金属の電気陰性度の関係は、第2金属 $< \text{Al} < \text{Si}$ の関係となる。

[0073] このため、電気陰性度の差は、第2金属とAlとの組み合わせよりも、第2金属とSiとの組み合わせの方が大きくなる。実施の形態1において説明した界面分極の起源は、電気陰性度の差であり、差が大きいほど界面分極量

も大きくなる。よって、下層のゲート絶縁膜（G l a）として酸化シリコン膜（S i O₂）を用いた場合は、酸化アルミニウム（A l₂O₃）を用いる場合と比較し、閾値電圧（V t h）の正方向へのシフト効果が大きくなる。また、酸化シリコン膜は、薄膜でも良好な絶縁性を有するため、ゲート絶縁膜G lの下層として用いて好適である。

[0074] [製法説明]

次いで、本実施の形態の半導体装置の製造方法を説明する。本実施の形態の半導体装置の製造方法においては、第1ゲート絶縁膜G l aとして、第1金属の酸化膜に代えて酸化シリコン膜を形成する以外は実施の形態1の場合と同様である。

[0075] 即ち、実施の形態1と同様にして、チャネル層（n G a N層、n G a N基板）C Hの表面を洗浄し、チャネル層C H上に、第1ゲート絶縁膜G l aとして、酸化シリコン膜（S i O₂膜）を堆積法を用いて堆積する。

[0076] 例えば、トリスジメチルアミノシラン（S i H（N（C H₃）₂）₃、T D M A S）およびオゾン（O₃、酸化剤）を原料ガスとし、4 8 0℃の雰囲気中で、A L D法を用いて、5 0 n m程度の膜厚の酸化シリコン膜（S i O₂膜）を堆積する。A L D法その他、C V D法（熱C V DやプラズマC V D法など）を用いて酸化シリコン膜を堆積してもよい。

[0077] A L D法によれば、制御性、被覆性が良く、膜質の良好な膜を形成することができる。A L D法では、C V D法と異なり、吸着反応と酸化反応の2ステップにより膜の成長が進む。C V D法では、T D M A Sとオゾンが酸化シリコン（S i O₂）を生成し、基板に蒸着させるのに対し、A L D法では、まず、T D M A Sが、下層の膜の表面に吸着し、オゾンと反応することにより、酸化シリコン（S i O₂）の層が形成されるという工程が繰り返し行われ、層厚が大きくなる。

[0078] 次いで、熱処理を行う。例えば、窒素（N₂）雰囲気中で、7 5 0℃、3 0分程度の熱処理を施す。この熱処理により、第1ゲート絶縁膜G l a（ここでは、酸化シリコン膜）中のトラップ（欠陥）が低減する。

[0079] この後、実施の形態1の場合と同様にして、第1ゲート絶縁膜G1a（ここでは、酸化シリコン膜）上に、例えば、第2ゲート絶縁膜G1bとして、酸化ハフニウム膜（ HfO_2 膜）を形成する。例えば、Hf金属ターゲットと、アルゴン（Ar）と酸素（ O_2 ）の混合ガスを用いた反応性スパッタリング法により、酸化ハフニウム膜を堆積する。酸化ハフニウム膜の膜厚は、閾値電位（ V_{th} ）によっても異なるが、好ましくは、1～10nm程度とする。反応性スパッタリング法は、PVD法的一种である。第2ゲート絶縁膜G1bの形成に際しては、PVD法の外、ALD法やCVD法を用いてもよい。

[0080] 次に、熱処理を行う。例えば、窒素（ N_2 ）雰囲気中で、750℃、1分程度の熱処理を施す。この熱処理により、第2ゲート絶縁膜G1b（ここでは、酸化ハフニウム膜）中のトラップ（欠陥）が低減する。なお、上記工程においては、第1ゲート絶縁膜G1a（酸化シリコン膜）の形成後の熱処理と、第2ゲート絶縁膜G1b（酸化ハフニウム膜）の形成後の熱処理とを個別に行ったが、第1ゲート絶縁膜G1aの形成後の熱処理を省略し、第1ゲート絶縁膜G1a（酸化シリコン膜）と第2ゲート絶縁膜G1b（酸化ハフニウム膜）との積層膜の形成後において一括して熱処理を行ってもよい。

[0081] このようにして、第1ゲート絶縁膜G1a（酸化シリコン膜）と第2ゲート絶縁膜G1b（酸化ハフニウム膜）との積層膜を有するゲート絶縁膜G1が形成される。ここでは、第2金属としてHfを例示したが、第2金属は、例えば、Al、Hf、Zr、Ta、Ti、Nb、La、Y、Mgの群から選ばれる1以上の元素である。例えば、第2金属の酸化物として、Al、Hf、Zr、Ta、Ti、Nb、La、Y、Mgの群から選ばれる1以上の元素の酸化物を用いてもよい。

[0082] 次に、実施の形態1と同様にして、ゲート絶縁膜G1上にゲート電極GEを形成する。

[0083] このように、本実施の形態によれば、酸化シリコン膜とSiより電気陰性度が低い第2金属の酸化膜とを積層し、ゲート絶縁膜として用いることで、

閾値電圧 (V_{th}) を正方向にシフトさせることができる。

[0084] 特に、酸化膜中のトラップ密度を低減するための熱処理を行っても、負方向にシフトした閾値電圧 (V_{th}) を正方向に戻すことができる。

[0085] なお、本実施の形態においても、ゲート電極 G_E の両側のチャネル層（窒化物半導体） CH 中に、 n 型または p 型の不純物を導入することにより、ソース領域 S_R およびドレイン領域 D_R を形成し、さらに、ソース領域 S_R およびドレイン領域 D_R 上に、ソース電極 S_E およびドレイン電極 D_E をそれぞれ設けてもよい（図 10 参照）。

[0086] （実施の形態 3）

以下、図面を参照しながら本実施の形態の半導体装置について詳細に説明する。

[0087] [構造説明]

図 13 は、本実施の形態の半導体装置の構成を示す断面図である。図 13 に示す半導体装置は、窒化物半導体を用いた $MISFET$ である。この半導体装置は、高電子移動度トランジスタ（ $HEMT$: High Electron Mobility Transistor）やパワートランジスタとも呼ばれる。本実施の形態の半導体装置は、いわゆるリセスゲート型の半導体装置である。

[0088] 本実施の形態の半導体装置においては、基板 S 上に形成された複数の窒化物半導体層を有する。具体的には、基板 S 上に核生成層 NUC 、歪緩和層 STR 、バッファ層 BU 、チャネル層（電子走行層ともいう） CH および障壁層 BA が順に形成されている。ゲート電極 G_E は、絶縁膜 IF および障壁層 BA を貫通し、チャネル層 CH の途中まで掘り込まれた溝（トレンチ、リセスともいう） T の内部にゲート絶縁膜 G_I を介して形成されている。ここで、ゲート絶縁膜 G_I は、チャネル層 CH 上に形成された第 1 ゲート絶縁膜 G_{Ia} と、第 1 ゲート絶縁膜 G_{Ia} 上に形成された第 2 ゲート絶縁膜 G_{Ib} とを有する。第 1 ゲート絶縁膜 G_{Ia} は、第 1 金属の酸化物よりなる。第 2 ゲート絶縁膜 G_{Ib} は、第 2 金属の酸化物よりなる。そして、第 2 金属の電気陰性度は、第 1 金属の電気陰性度より低い。また、ソース電極 S_E およびド

レイン電極D Eは、ゲート電極G Eの両側の障壁層B A上に形成されている。

[0089] また、第1ゲート絶縁膜G I aである酸化シリコン膜は、チャネル層（窒化物半導体）C Hを熱酸化して形成された膜ではなく、いわゆる、堆積法（デポジション法）により形成された膜である。即ち、下層の第1金属の酸化膜は、窒化物半導体層を構成する元素の酸化物ではない。このように、第1金属の酸化膜は、チャネル層（窒化物半導体）の直接酸化により形成されたものではないため、第1金属は、チャネル層（窒化物半導体）を構成する元素と異なる。

[0090] また、第1ゲート絶縁膜G I aである第1金属の酸化膜は、第2ゲート絶縁膜G I bより厚い。言い換えれば、第1ゲート絶縁膜G I aである第1金属の酸化膜の膜厚は、第2ゲート絶縁膜G I bの膜厚より大きい。

[0091] 第1ゲート絶縁膜G I a（第1金属の酸化膜）の膜厚としては、例えば、30nm以上が好ましい。

[0092] 第2ゲート絶縁膜G I b（第2金属の酸化膜）の膜厚としては、例えば、1nm以上10nm以下が好ましく、3nm以上5nm以下がより好ましい。

[0093] 第2金属は、Hf、Zr、Ta、Ti、Nb、La、Y、Mgの群から選ばれる1以上の元素である。この場合、第2金属の酸化物は、例えば、酸化ハフニウム（ HfO_2 ）、酸化ジルコニウム（ ZrO ）、酸化タンタル（ Ta_2O_5 ）、酸化チタン（ TiO_2 ）、酸化ニオブ（ Nb_2O_5 ）、酸化ランタン（ La_2O_3 ）、酸化イットリウム（ Y_2O_3 ）、酸化マグネシウム（ MgO ）となる。第2金属と酸素の組成比は上記のものに限られるものではない。また、第2金属として、2種以上の元素を含んでも良い。この場合、2種の金属と酸素の化合物となる。但し、この場合、2種以上の元素のいずれもが、第1金属の電気陰性度より低くなければならない。また、第2金属の酸化物は、第1金属または第1金属より電気陰性度の低い金属元素を含まない。但し、不純物程度の金属（例えば、0.01%濃度以下の金属）としては、第1

金属または第 1 金属より電気陰性度の低い金属元素を含有することがある。

[0094] 図 13 に示すように、基板 S 上には、核生成層 NUC が形成され、核生成層 NUC 上に、歪緩和層 STR が形成されている。核生成層 NUC は、歪緩和層 STR などの上部に形成される層が成長する際の結晶核を生成させるために形成する。また、上部に形成される層から基板 S に、上部に形成される層の構成元素（例えば、Ga など）が拡散して、基板 S が変質することを防ぐために形成する。また、歪緩和層 STR は、基板 S に対する応力を緩和して、基板 S に反りやクラックが発生することを抑制するために形成する。

[0095] この歪緩和層 STR 上には、バッファ層 BU が形成され、バッファ層 BU 上に、窒化物半導体からなるチャネル層（電子走行層ともいう）CH が形成され、チャネル層 CH 上に、窒化物半導体からなる障壁層 BA が形成されている。障壁層 BA 上には、ソース電極 SE およびドレイン電極 DE が形成されている。このソース電極 SE およびドレイン電極 DE と障壁層 BA とは、それぞれオーミック接続される。ゲート電極 GE、ソース電極 SE およびドレイン電極 DE 上には、絶縁層 IL1 が形成されている。この絶縁層 IL1 のうち、ソース電極 SE およびドレイン電極 DE 上の絶縁層 IL1 は除去されコンタクトホールが形成されている。このコンタクトホールの内部には、導電性膜が埋め込まれ、その上には、配線 M が形成されている。また、配線 M 上には、絶縁層 IL2 が形成されている。

[0096] ここで、本実施の形態の半導体装置においては、チャネル層 CH と障壁層 BA との界面近傍のチャネル層側に、2 次元電子ガス 2DEG が生成される。また、ゲート電極 GE に正の電位（閾値電位）が印加された場合には、ゲート電極 GE とチャネル層 CH との界面近傍には、チャネル C が形成される。

[0097] 上記 2 次元電子ガス 2DEG は次のメカニズムで形成される。チャネル層 CH や障壁層 BA を構成する窒化物半導体（ここでは、窒化ガリウム系の半導体）は、それぞれ、禁制帯幅（バンドギャップ）や電子親和力が異なる。このため、これらの半導体の接合面に、井戸型ポテンシャルが生成される。

この井戸型ポテンシャル内に電子が蓄積されることにより、チャネル層CHと障壁層BAとの界面近傍に、2次元電子ガス2DEGが生成される。

[0098] そして、チャネル層CHと障壁層BAとの界面近傍に形成される、2次元電子ガス2DEGは、ゲート電極GEが形成されている溝Tにより分断されている。このため、本実施の形態の半導体装置においては、チャネルCの形成の有無により、オン・オフを切り替えることができる。

[0099] そして、本実施の形態においては、第1金属の酸化物とその上に配置された第1金属より電気陰性度の低い第2金属の酸化物との積層膜をゲート絶縁膜GIとして用いたので、実施の形態1の場合と同様に、フラットバンド電圧(V_{fb})を正の方向にシフトさせることができる。これにより、閾値電圧(V_{th})を正方向にシフトすることができる。そして、シフト量を調整することにより閾値電圧(V_{th})を正($V_{th} > 0$)とすることができ、ノーマリーオフ特性を向上させることができる。

[0100] [製法説明]

次いで、図14～図23を参照しながら、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成をより明確にする。図14～図23は、本実施の形態の半導体装置の製造工程を示す断面図である。

[0101] 図14に示すように、基板Sとして、例えば、(111)面が露出しているシリコン(Si)からなる半導体基板を用い、その上部に、核生成層NUCとして、例えば、窒化アルミニウム(AlN)層を有機金属化学気相成長法などを用いてヘテロエピタキシャル成長させる。次いで、核生成層NUC上に、歪緩和層STRとして、窒化ガリウム(GaN)層と窒化アルミニウム(AlN)層との積層膜(AlN/GaN膜)を、繰り返し積層した超格子構造体を形成する。例えば、窒化ガリウム(GaN)層および窒化アルミニウム(AlN)層を、有機金属気相成長法などを用いて、それぞれ2～3nm程度の膜厚で、それぞれ100層(合計200層)程度、繰り返しヘテロエピタキシャル成長させる。なお、基板Sとしては、上記シリコンの他、SiCやサファイアなどからなる基板を用いてもよい。

- [0102] 次いで、歪緩和層STR上に、バッファ層BUを形成する。歪緩和層STR上に、バッファ層BUとして、例えば、AlGaIn層を、有機金属気相成長法などを用いてヘテロエピタキシャル成長させる。
- [0103] 次いで、図15に示すように、バッファ層BU上に、チャンネル層CHを形成する。例えば、バッファ層BU上に、n型不純物イオンを含有した窒化ガリウム層(nGaIn層)をヘテロエピタキシャル成長させる。例えば、窒化ガリウムの材料ガス中にn型不純物ガスを混合した雰囲気中でn型不純物をドーピングした窒化ガリウム層(nGaIn層)をヘテロエピタキシャル成長させる。n型不純物ガスとしては、シラン(SiH₄)を用いることができる。このチャンネル層CHの電子親和力は、バッファ層BUの電子親和力より大きい。また、このチャンネル層CHは、バッファ層BUよりバンドギャップが狭い窒化物半導体である。
- [0104] 次いで、チャンネル層CH上に、障壁層BAとして、例えば、AlGaIn層を、有機金属気相成長法などを用いてヘテロエピタキシャル成長させる。この障壁層BAの電子親和力は、チャンネル層CHの電子親和力より小さい。また、この障壁層BAは、チャンネル層CHよりバンドギャップが広い窒化物半導体である。
- [0105] このようにして、バッファ層BU、チャンネル層CHおよび障壁層BAの積層体が形成される。この積層体は、上記ヘテロエピタキシャル成長、即ち、[0001]結晶軸(C軸)方向に積層する111族面成長により形成される。言い換えれば、(0001)Ga面成長により上記積層体が形成される。この積層体のうち、チャンネル層CHと障壁層BAとの界面近傍には、2次元電子ガス2DEGが生成される。
- [0106] 次いで、図16に示すように、障壁層BA上に、開口部を有する絶縁膜IFを形成する。例えば、絶縁膜IFとして、窒化シリコン膜を熱CVD法などを用いて、障壁層BA上に堆積する。次いで、フォトリソグラフィ技術およびエッチング技術を使用することにより、絶縁膜IFに開口部を形成する。

[0107] 次いで、絶縁膜 I F をマスクとして、障壁層 B A およびチャネル層 C H をエッチングすることにより、絶縁膜 I F および障壁層 B A を貫通してチャネル層 C H の途中まで達する溝 T を形成する（図 17）。このエッチングの後、エッチングダメージの回復のために、熱処理（アニール）を行ってもよい。

[0108] 次いで、図 18 および図 19 に示すように、溝 T 内および絶縁膜 I F 上に、第 1 ゲート絶縁膜 G I a と第 2 ゲート絶縁膜 G I b とを有するゲート絶縁膜 G I を形成する。例えば、チャネル層 C H がその底部に露出した溝 T 内および絶縁膜 I F 上に、第 1 ゲート絶縁膜 G I a を形成する。例えば、第 1 ゲート絶縁膜 G I a として、酸化アルミニウム膜（ Al_2O_3 膜）を、溝 T の底面、側壁および絶縁膜 I F 上に堆積する。具体的には、希釈 HCl 溶液にて基板 S の表面を洗浄した後、例えば、トリメチルアルミニウム（ $\text{Al}(\text{CH}_3)_3$ 、TMA）および H_2O （酸化剤）を原料ガスとし、 400°C の雰囲気中で、ALD 法を用いて、 100 nm 程度の膜厚の酸化アルミニウム膜（ Al_2O_3 膜）を、溝 T 内および絶縁膜 I F 上に堆積する。ALD 法によれば、膜厚の制御性が良く、また、凹凸面にも被覆性良く膜を形成することができる。なお、酸化剤として、 H_2O の他、オゾン（ O_3 ）や酸素（ O_2 ）を用いてもよい。

[0109] 次いで、熱処理を行う。例えば、窒素（ N_2 ）雰囲気中で、 750°C 、1 分程度の熱処理を施す。この熱処理により、第 1 ゲート絶縁膜 G I a（ここでは、酸化アルミニウム膜）中のトラップ（欠陥）が低減する。特に、G a N 上に、酸化アルミニウムを堆積法により形成した場合、膜中のトラップ密度が高くなり、容量－電圧特性（C－V 特性）のヒステリシスが大きくなる。このため、熱処理（ポストアニール）を施すことで、トラップ密度を低減することができる（図 3 参照）。

[0110] 次いで、図 19 に示すように、第 1 ゲート絶縁膜 G I a（ここでは、酸化アルミニウム膜）上に、例えば、第 2 ゲート絶縁膜 G I b として、酸化ハフニウム膜（ HfO_2 膜）を形成する。例えば、Hf 金属ターゲットと、アルゴ

ン（Ar）と酸素（O₂）の混合ガスを用いた反応性スパッタリング法により、酸化ハフニウム膜を堆積する。酸化ハフニウム膜の膜厚は、閾値電位（V_{th}）によっても異なるが、好ましくは、1～10nm程度とする。反応性スパッタリング法は、PVD法的一种である。第2ゲート絶縁膜G1bの形成に際しては、PVD法その他、ALD法やCVD法を用いてもよい。

[0111] 次いで、熱処理を行う。例えば、窒素（N₂）雰囲気中で、750℃、1分程度の熱処理を施す。この熱処理により、第2ゲート絶縁膜G1b（ここでは、酸化ハフニウム膜）中のトラップ（欠陥）が低減する。なお、上記工程においては、第1ゲート絶縁膜G1a（酸化アルミニウム膜）の形成後の熱処理と、第2ゲート絶縁膜G1b（酸化ハフニウム膜）の形成後の熱処理とを個別に行ったが、第1ゲート絶縁膜G1aの形成後の熱処理を省略し、第1ゲート絶縁膜G1a（酸化アルミニウム膜）と第2ゲート絶縁膜G1b（酸化ハフニウム膜）との積層膜の形成後において一括して熱処理を行ってもよい。

[0112] このようにして、第1ゲート絶縁膜G1a（酸化アルミニウム膜）と第2ゲート絶縁膜G1b（酸化ハフニウム膜）との積層膜を有するゲート絶縁膜G1が形成される。

[0113] 次いで、図20および図21に示すように、ゲート絶縁膜G1上にゲート電極GEを形成する。例えば、ゲート絶縁膜G1上に、導電性膜（GE）として、例えば、窒化チタン（TiN）膜を形成する（図20）。例えば、Ti金属ターゲットと、アルゴン（Ar）と窒素（N₂）の混合ガスを用いた反応性スパッタリング法により、100nm程度の窒化チタン膜を堆積する。ゲート電極GEの形成に際しては、PVD法その他、ALD法やCVD法を用いてもよい。次いで、フォトリソグラフィ技術およびエッチング技術を用いて、窒化チタン膜をパターニングすることによりゲート電極GEを形成する（図21）。なお、この窒化チタン膜のエッチングの際、下のゲート絶縁膜G1をエッチングしてもよい。また、ゲート電極GEの形成材料としては、TiN膜の他、Ti、Ta、Ta₂N₅、Au、Al、W、WN、Ir、Pt、

Ruなどの金属または金属化合物を用いてもよい。また、これらの金属または金属化合物を2種以上積層した膜を用いてもよい。

[0114] 次いで、図22に示すように、ゲート電極GEの両側の障壁層BA上にソース電極SEおよびドレイン電極DEを形成する。例えば、チタン(Ti)膜と、その上部のアルミニウム(Al)膜からなる積層膜(Al/Ti膜ともいう)を、蒸着法などを用いて、ゲート電極GEおよび障壁層BA上に堆積する。そして、例えば、チタン(Ti)膜と、その上部の窒化チタン(TiN)膜からなる積層膜(TiN/Ti膜ともいう)を、スパッタリング法などを用いて、Al/Ti膜上に堆積する。次いで、フォトリソグラフィ技術およびエッチング技術を使用することにより、TiN/Ti/Al/Ti膜をパターニングし、例えば、550℃で30分程度の熱処理を行う。この熱処理により、ソース電極SEおよびドレイン電極DE(TiN/Ti/Al/Ti膜)と障壁層BA(窒化物半導体膜)との界面の接触がオーミック接触となる。

[0115] 次いで、図23に示すように、ゲート電極GE、ソース電極SEおよびドレイン電極DE上に、絶縁層IL1として、例えば、酸化シリコン膜をCVD法などを用いて形成する。次いで、フォトリソグラフィ技術およびエッチング技術を使用することにより、ソース電極SEおよびドレイン電極DE上の絶縁層IL1をエッチングにより除去し、コンタクトホールを形成する。このコンタクトホールの内部を含む絶縁層IL1上に、導電性膜を形成する。例えば、アルミニウム合金膜を、スパッタリング法などを用いて堆積する。アルミニウム合金としては、例えば、AlとSiの合金(Al-Si)、AlとCu(銅)との合金(Al-Cu)、AlとSiとCu(Al-Si-Cu)などを用いることができる。次いで、フォトリソグラフィ技術およびエッチング技術を使用することにより、アルミニウム合金膜をパターニングすることにより、コンタクトホール内の導電性膜(プラグ)およびその上の配線Mが形成される。

[0116] この後、ソース電極SEおよびドレイン電極DE上を含む絶縁層IL1上

に、絶縁層（カバー膜、表面保護膜ともいう） $IL2$ を形成する。絶縁層 $IL2$ として、例えば、酸化窒化シリコン（ $SiON$ ）膜を、CVD法などを用いて堆積する（図13参照）。

[0117] 以上の工程により、本実施の形態の半導体装置を形成することができる。

[0118] このように、本実施の形態によれば、第1金属の酸化膜と第1金属より電気陰性度が低い第2金属の酸化膜とを積層し、ゲート絶縁膜として用いることで、閾値電圧（ V_{th} ）を正方向にシフトすることができる。そして、シフト量を調整することにより閾値電圧（ V_{th} ）を正（ $V_{th} > 0$ ）とするノーマリーオフ化を実現することができる。

[0119] 特に、酸化膜中のトラップ密度を低減するための熱処理を行っても、負方向にシフトした閾値電圧（ V_{th} ）を正方向に戻すことができる。

[0120] 上記ゲート電極GE、ソース電極SEおよびドレイン電極DEのレイアウトに制限はないが、これらの電極は、例えば、図24のように配置される。図24は、本実施の形態の半導体装置の構成を示す平面図の一例である。例えば、図13は、図24のA-A断面図と対応する。ソース電極SEとドレイン電極DEは、例えば、Y方向に延在するライン状である。言い換えれば、Y方向に長辺を有する矩形状（四角形状）である。ソース電極SEとドレイン電極DEは、交互にX方向に並んで配置される。そして、ソース電極SEとドレイン電極DEとの間にゲート電極GEが配置される。例えば、Y方向に延在するライン状の複数のゲート電極部（GE）の一方の端部（図中上側）は、X方向に延在する線（ゲート線ともいう）に接続される。また、Y方向に延在するライン状の複数のゲート電極部（GE）の他方の端部（図中下側）は、X方向に延在する線（ゲート線ともいう）に接続される。なお、2本のX方向に延在する線（ゲート線ともいう）のうち、いずれかを省略し、ゲート電極GEを櫛歯状としてもよい。また、複数のソース電極SEは、プラグ（接続部）PGを介してX方向に延在するソース線SLと接続されている。また、複数のドレイン電極DEは、プラグ（接続部）PGを介してX方向に延在するドレイン線DLと接続されている。なお、図13においては

、ソース線S Lおよびドレイン線D Lと配線Mが対応する。

[0121] (実施の形態4)

実施の形態3(図13)においては、ゲート絶縁膜G Iの下層の膜(G I a)として、第1金属の酸化膜(例えば、酸化アルミニウム膜)を用いたが、本実施の形態においては、ゲート絶縁膜G Iの下層の膜(G I a)を構成する元素として、S i(半導体)を用いる。

[0122] [構造説明]

図25は、本実施の形態の半導体装置の構成を示す断面図である。図25に示すように、本実施の形態の半導体装置は、実施の形態1と同様のリセスゲート型の高電子移動度トランジスタである。本実施の形態の半導体装置においては、第1ゲート絶縁膜G I aとして、第1金属の酸化膜に代えて酸化シリコン膜を形成する以外は実施の形態3の場合と同様である。

[0123] 本実施の形態の半導体装置においては、実施の形態3の場合と同様に、基板S上に形成された複数の窒化物半導体層を有する。具体的には、基板S上に、核生成層N U C、歪緩和層S T R、バッファ層B U、チャネル層(電子走行層ともいう)C Hおよび障壁層B Aが順に形成されている。ゲート電極G Eは、絶縁膜I Fおよび障壁層B Aを貫通し、チャネル層C Hの途中まで掘り込まれた溝(トレンチ、リセスともいう)Tの内部にゲート絶縁膜G Iを介して形成されている。ここで、ゲート絶縁膜G Iは、チャネル層C H上に形成された第1ゲート絶縁膜G I aと、第1ゲート絶縁膜G I a上に形成された第2ゲート絶縁膜G I bとを有する。第1ゲート絶縁膜G I aは、S i(半導体)の酸化物よりなる。第2ゲート絶縁膜G I bは、第2金属の酸化物よりなる。そして、第2金属の電気陰性度は、S iの電気陰性度より低い。また、ソース電極S Eおよびドレイン電極D Eは、ゲート電極G Eの両側の障壁層B A上に形成されている。

[0124] また、第1ゲート絶縁膜G I aである酸化シリコン膜は、チャネル層(窒化物半導体)C Hを熱酸化して形成された膜ではなく、いわゆる、堆積法(デポジション法)により形成された膜である。即ち、下層のS iの酸化膜は

、窒化物半導体層を構成する元素の酸化物ではない。このように、S i の酸化膜は、チャネル層（窒化物半導体）の直接酸化により形成されたものではないため、S i は、チャネル層（窒化物半導体）を構成する元素と異なる。

[0125] また、第1ゲート絶縁膜G l aである酸化シリコン膜は、第2ゲート絶縁膜G l bより厚い。言い換えれば、第1ゲート絶縁膜G l aである酸化シリコン膜の膜厚は、第2ゲート絶縁膜G l bの膜厚より大きい。

[0126] 第1ゲート絶縁膜G l a（酸化シリコン膜）の膜厚としては、例えば、30 nm以上が好ましい。

[0127] 第2ゲート絶縁膜G l b（第2金属の酸化膜）の膜厚としては、例えば、1 nm以上10 nm以下が好ましく、3 nm以上5 nm以下がより好ましい。

[0128] 第2金属は、Al、Hf、Zr、Ta、Ti、Nb、La、Y、Mgの群から選ばれる1以上の元素である。この場合、第2金属の酸化物は、例えば、酸化アルミニウム（ Al_2O_3 ）、酸化ハフニウム（ HfO_2 ）、酸化ジルコニウム（ ZrO ）、酸化タンタル（ Ta_2O_5 ）、酸化チタン（ TiO_2 ）、酸化ニオブ（ Nb_2O_5 ）、酸化ランタン（ La_2O_3 ）、酸化イットリウム（ Y_2O_3 ）、酸化マグネシウム（ MgO ）などとなる。第2金属と酸素の組成比は上記のものに限られるものではない。また、第2金属として、2種以上の元素を含んでも良い。この場合、2種の金属と酸素の化合物となる。但し、この場合、2種以上の元素のいずれもが、S i の電気陰性度より低くなければならない。また、第2金属の酸化物は、S i またはS i より電気陰性度の低い金属元素を含まない。但し、不純物程度の金属（例えば、0.01%以下の金属）としては、S i またはS i より電気陰性度の低い金属元素を含有することがある。

[0129] このように、本実施の形態においては、ゲート絶縁膜G l として、電気陰性度の異なるS i および第2金属のそれぞれの酸化物を積層して用い、上層にS i よりも電気陰性度の低い第2金属の酸化膜を配置したので、実施の形態1の場合と同様に、閾値電圧（ V_{th} ）を正方向にシフトさせることがで

きる。

[0130] また、本実施の形態においては、第1ゲート絶縁膜G1aとして酸化シリコン膜(SiO_2)を用いたので、実施の形態1で説明した酸化アルミニウム(Al_2O_3)を用いる場合と比較し、閾値電圧(V_{th})の正方向へのシフト効果が大きい。即ち、SiとAlの電気陰性度は、 $\text{Al} < \text{Si}$ の関係があるため(表1参照)、第2ゲート絶縁膜G1bとして同じ第2金属(Alを除く)の酸化膜を用いた場合、Si、Alと第2金属の電気陰性度の関係は、第2金属 $< \text{Al} < \text{Si}$ の関係となる。

[0131] このため、電気陰性度の差は、第2金属とAlとの組み合わせよりも、第2金属とSiとの組み合わせの方が大きくなる。実施の形態1において説明した界面分極の起源は、電気陰性度の差であり、差が大きいほど界面分極量も大きくなる。よって、下層のゲート絶縁膜G1aとして酸化シリコン膜(SiO_2)を用いた場合は、酸化アルミニウム(Al_2O_3)を用いる場合と比較し、閾値電圧(V_{th})の正方向へのシフト効果が大きくなる。

[0132] [製法説明]

次いで、本実施の形態の半導体装置の製造方法を説明する。本実施の形態の半導体装置の製造方法においては、第1ゲート絶縁膜G1aとして、第1金属の酸化膜に代えて酸化シリコン膜を形成する以外は実施の形態3の場合と同様である。

[0133] 即ち、実施の形態1と同様にして、基板S上に、核生成層NUC、歪緩和層STR、バッファ層BU、チャネル層CHおよび障壁層BAを順次形成する。これらの層の構成材料としては、例えば、実施の形態3と同様の材料を用いることができる。また、これらの層は、実施の形態3と同様の工程で形成することができる。

[0134] また、チャネル層CHの電子親和力は、バッファ層BUの電子親和力より大きい。また、このチャネル層CHは、バッファ層BUよりバンドギャップが狭い窒化物半導体である。また、この障壁層BAの電子親和力は、チャネル層CHの電子親和力より小さい。また、この障壁層BAは、チャネル層C

Hよりバンドギャップが広い窒化物半導体である。

[0135] 次いで、障壁層BA上に、開口部を有する絶縁膜IFを形成し、絶縁膜IFをマスクとして、障壁層BAおよびチャネル層CHをエッチングすることにより、溝Tを形成する。

[0136] 次いで、溝T内および絶縁膜IF上に、第1ゲート絶縁膜G1aと第2ゲート絶縁膜G1bとを有するゲート絶縁膜G1を形成する。例えば、チャネル層CHがその底部に露出した溝T内および絶縁膜IF上に、第1ゲート絶縁膜G1aを形成する。例えば、第1ゲート絶縁膜G1aとして、酸化シリコン膜(SiO₂膜)を、溝Tの底面、側壁および絶縁膜IF上に堆積する。具体的には、希釈HC1溶液にて基板Sの表面を洗浄した後、例えば、トリシメチルアミノシラン(SiH(N(CH₃)₂)₃、TDMAS)およびオゾン(O₃、酸化剤)を原料ガスとし、480℃の雰囲気中で、ALD法を用いて、50nm程度の膜厚の酸化シリコン膜(SiO₂膜)を、溝T内および絶縁膜IF上に堆積する。ALD法その他、CVD法(熱CVDやプラズマCVD法など)を用いて酸化シリコン膜を堆積してもよい。ALD法によれば、膜厚の制御性が良く、また、凹凸面にも被覆性良く膜を形成することができる。

[0137] 次いで、熱処理を行う。例えば、窒素(N₂)雰囲気中で、750℃、1分程度の熱処理を施す。この熱処理により、第1ゲート絶縁膜G1a(ここでは、酸化シリコン膜)中のトラップ(欠陥)が低減する。

[0138] 次いで、第1ゲート絶縁膜G1a(ここでは、酸化シリコン膜)上に、例えば、第2ゲート絶縁膜G1bとして、酸化ハフニウム膜(HfO₂膜)を形成する。例えば、Hf金属ターゲットと、アルゴン(Ar)と酸素(O₂)の混合ガスを用いた反応性スパッタリング法により、酸化ハフニウム膜を堆積する。酸化ハフニウム膜の膜厚は、閾値電位(V_{th})によっても異なるが、好ましくは、1~10nm程度とする。反応性スパッタリング法は、PVD法的一种である。第2ゲート絶縁膜G1bの形成に際しては、PVD法その他、ALD法やCVD法を用いてもよい。

[0139] 次いで、熱処理を行う。例えば、窒素（ N_2 ）雰囲気中で、 $750^{\circ}C$ 、1分程度の熱処理を施す。この熱処理により、第2ゲート絶縁膜G1b（ここでは、酸化ハフニウム膜）中のトラップ（欠陥）が低減する。なお、上記工程においては、第1ゲート絶縁膜G1a（酸化シリコン膜）の形成後の熱処理と、第2ゲート絶縁膜G1b（酸化ハフニウム膜）の形成後の熱処理とを個別に行ったが、第1ゲート絶縁膜G1a（酸化シリコン膜）の形成後の熱処理を省略し、第1ゲート絶縁膜G1a（酸化シリコン膜）と第2ゲート絶縁膜G1b（酸化ハフニウム膜）との積層膜の形成後において一括して熱処理を行ってもよい。

[0140] このようにして、第1ゲート絶縁膜G1a（酸化シリコン膜）と第2ゲート絶縁膜G1b（酸化ハフニウム膜）との積層膜を有するゲート絶縁膜G1が形成される。

[0141] 次いで、実施の形態3の場合と同様にして、ゲート電極GE、ソース電極SEおよびドレイン電極DEを形成し、さらに、絶縁層IL1、プラグ、配線Mおよび絶縁層IL2を形成する（図25参照）。

[0142] 以上の工程により、本実施の形態の半導体装置を形成することができる。

[0143] このように、本実施の形態によれば、Siの酸化膜とSiより電気陰性度が低い第2金属の酸化膜とを積層し、ゲート絶縁膜として用いることで、閾値電圧（ V_{th} ）を正方向にシフトすることができる。そして、シフト量を調整することにより閾値電圧（ V_{th} ）を正（ $V_{th} > 0$ ）とするノーモリーオフ化を実現することができる。

[0144] 特に、酸化膜中のトラップ密度を低減するための熱処理を行っても、負方向にシフトした閾値電圧（ V_{th} ）を正方向に戻すことができる。

[0145] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

[0146] （付記1）

基板の上方に形成された第1窒化物半導体層と、

前記第 1 窒化物半導体層上に形成された第 2 窒化物半導体層と、
前記第 2 窒化物半導体層上に形成された第 3 窒化物半導体層と、
前記第 3 窒化物半導体層を貫通し、前記第 2 窒化物半導体層まで到達する
溝と、

前記溝内にゲート絶縁膜を介して配置されたゲート電極と、
を有し、

前記第 3 窒化物半導体層の電子親和力は、前記第 2 窒化物半導体層の電子
親和力より小さく、

前記第 2 窒化物半導体層の電子親和力は、前記第 1 窒化物半導体層の電子
親和力より大きく、

前記ゲート絶縁膜は、前記溝の底面および側壁上に形成された S i の酸化
膜と、前記 S i の酸化膜上に形成された前記 S i より電気陰性度が低い金属
の酸化膜と、を有し、

前記 S i は、第 2 窒化物半導体層を構成する元素と異なる、半導体装置。

[0147] (付記 2)

付記 1 記載の半導体装置において、

前記 S i の酸化膜は、堆積膜である、半導体装置。

[0148] (付記 3)

付記 2 記載の半導体装置において、

前記堆積膜は、原子層堆積法により形成された膜である、半導体装置。

[0149] (付記 4)

付記 1 記載の半導体装置において、

前記第 2 金属は、A l、H f、Z r、T a、T i、N b、L a、Y、M g
の群から選ばれる 1 以上の元素である、半導体装置。

[0150] (付記 5)

付記 4 記載の半導体装置において、

前記第 2 窒化物半導体層は、G a Nである、半導体装置。

[0151] (付記 6)

付記 1 記載の半導体装置において、
前記 S i の酸化膜は、前記 S i より電気陰性度が低い金属の酸化膜より厚い、半導体装置。

[0152] (付記 7)

付記 1 記載の半導体装置において、
前記 S i の酸化膜は、前記 S i より電気陰性度が低い金属の酸化膜より厚く、
前記 S i より電気陰性度が低い金属の酸化膜の膜厚は、1 nm 以上 10 nm 以下である、半導体装置。

[0153] (付記 8)

(a) 窒化物半導体層上に、第 1 金属の酸化膜を形成する工程、
(b) 前記第 1 金属の酸化膜上に、前記第 1 金属より電気陰性度が低い第 2 金属の酸化膜を形成する工程、
(c) 前記第 2 金属の酸化膜上に、ゲート電極を形成する工程、
を有し、
前記 (a) 工程は、第 1 金属の酸化膜を窒化物半導体層上に堆積させる工程であり、
前記 (a) 工程の後、前記第 1 金属の酸化膜に対し熱処理を施す工程、を有する、半導体装置の製造方法。

[0154] (付記 9)

付記 8 記載の半導体装置の製造方法において、
前記 (a) 工程は、原子層堆積法により、前記第 1 金属の酸化膜を堆積する工程である、半導体装置の製造方法。

[0155] (付記 10)

付記 8 記載の半導体装置の製造方法において、
前記第 1 金属は、Al である、半導体装置の製造方法。

[0156] (付記 11)

付記 10 記載の半導体装置の製造方法において、

前記第2金属は、Hf、Zr、Ta、Ti、Nb、La、Y、Mgの群から選ばれる1以上の元素である、半導体装置の製造方法。

[0157] (付記12)

付記11記載の半導体装置の製造方法において、
前記窒化物半導体層は、GaNである、半導体装置の製造方法。

[0158] (付記13)

付記8記載の半導体装置の製造方法において、
前記第1金属の酸化膜は、前記第2金属の酸化膜より厚い、半導体装置の製造方法。

[0159] (付記14)

付記8記載の半導体装置の製造方法において、
前記第1金属の酸化膜は、前記第2金属の酸化膜より厚く、
前記第2金属の酸化膜の膜厚は、1nm以上10nm以下である、半導体装置の製造方法。

[0160] (付記15)

(a) 窒化物半導体層上に、Siの酸化膜を形成する工程、
(b) 前記Siの酸化膜上に、前記Siより電気陰性度が低い金属の酸化膜を形成する工程、
(c) 前記Siより電気陰性度が低い金属の酸化膜上に、ゲート電極を形成する工程、
を有し、
前記(a)工程は、Siの酸化膜を窒化物半導体層上に堆積させる工程であり、
前記(a)工程の後、前記Siの酸化膜に対し熱処理を施す工程、を有する、半導体装置の製造方法。

[0161] (付記16)

(a) 基板の上方に第1窒化物半導体層を形成し、前記第1窒化物半導体層上に、前記第1窒化物半導体層より電子親和力が大きい第2窒化物半導体

層を形成し、前記第2窒化物半導体層上に、前記第2窒化物半導体層より電子親和力が小さい第3窒化物半導体層を形成する工程、

(b) 前記第3窒化物半導体層および前記第2窒化物半導体層をエッチングすることにより、前記第3窒化物半導体層を貫通し、前記第2窒化物半導体層の途中まで到達する溝を形成する工程、

(c) 前記溝の底面および側壁上に第1金属の酸化膜を形成する工程、

(d) 前記第1金属の酸化膜上に、前記第1金属より電気陰性度が低い第2金属の酸化膜を形成する工程、

(e) 前記第2金属の酸化膜上に、ゲート電極を形成する工程、
を有し、

前記(c)工程は、前記第1金属の酸化膜を前記溝の底面および側壁上に堆積させる工程であり、

前記(c)工程の後、前記第1金属の酸化膜に対し熱処理を施す工程を有する、半導体装置の製造方法。

[0162] (付記17)

(a) 基板の上方に第1窒化物半導体層を形成し、前記第1窒化物半導体層上に、前記第1窒化物半導体層より電子親和力が大きい第2窒化物半導体層を形成し、前記第2窒化物半導体層上に、前記第2窒化物半導体層より電子親和力が小さい第3窒化物半導体層を形成する工程、

(b) 前記第3窒化物半導体層および前記第2窒化物半導体層をエッチングすることにより、前記第3窒化物半導体層を貫通し、前記第2窒化物半導体層の途中まで到達する溝を形成する工程、

(c) 前記溝の底面および側壁上にSiの酸化膜を形成する工程、

(d) 前記Siの酸化膜上に、前記Siより電気陰性度が低い金属の酸化膜を形成する工程、

(e) 前記金属の酸化膜上に、ゲート電極を形成する工程、
を有し、

前記(c)工程は、前記Siの酸化膜を前記溝の底面および側壁上に堆積

させる工程であり、

前記（c）工程の後、前記S i の酸化膜に対し熱処理を施す工程を有する、半導体装置の製造方法。

符号の説明

[0163] 2 D E G 2次元電子ガス

B A 障壁層

B U バッファ層

C チャネル

C H チャネル層

D E ドレイン電極

D R ドレイン領域

G E ゲート電極

G I ゲート絶縁膜

G I a 第1ゲート絶縁膜

G I b 第2ゲート絶縁膜

I F 絶縁膜

I L 1 絶縁層

I L 2 絶縁層

M 配線

M 1 第1金属

M 1 O 酸化膜

M 2 第2金属

M 2 O 酸化膜

N U C 核生成層

O x 酸化膜

S E ソース電極

S R ソース領域

S T R 歪緩和層

ト 溝

請求の範囲

- [請求項1] 窒化物半導体層と、
 前記窒化物半導体層上にゲート絶縁膜を介して形成されたゲート電極と、
 を有し、
 前記ゲート絶縁膜は、前記窒化物半導体層上に形成された第1金属の酸化膜と、前記第1金属の酸化膜上に形成された第2金属の酸化膜と、を有し、
 前記第1金属は、前記窒化物半導体層を構成する元素と異なり、
 前記第2金属は、前記第1金属より電気陰性度が低い、半導体装置。
- [請求項2] 請求項1記載の半導体装置において、
 前記第1金属の酸化膜は、堆積膜である、半導体装置。
- [請求項3] 請求項2記載の半導体装置において、
 前記堆積膜は、原子層堆積法により形成された膜である、半導体装置。
- [請求項4] 請求項1記載の半導体装置において、
 前記第1金属は、Alである、半導体装置。
- [請求項5] 請求項4記載の半導体装置において、
 前記第2金属は、Hf、Zr、Ta、Ti、Nb、La、Y、Mgの群から選ばれる1以上の元素である、半導体装置。
- [請求項6] 請求項5記載の半導体装置において、
 前記窒化物半導体層は、GaNである、半導体装置。
- [請求項7] 請求項1記載の半導体装置において、
 前記第1金属の酸化膜は、前記第2金属の酸化膜より厚い、半導体装置。
- [請求項8] 請求項1記載の半導体装置において、
 前記第1金属の酸化膜は、前記第2金属の酸化膜より厚く、

前記第2金属の酸化膜の膜厚は、1 nm以上10 nm以下である、半導体装置。

[請求項9] 窒化物半導体層と、

前記窒化物半導体層上にゲート絶縁膜を介して形成されたゲート電極と、

を有し、

前記ゲート絶縁膜は、前記窒化物半導体層上に形成されたSiの酸化膜と、前記Siの酸化膜上に形成された前記Siより電気陰性度が低い金属の酸化膜と、を有し、

前記Siは、前記窒化物半導体層を構成する元素と異なる、半導体装置。

[請求項10] 請求項9記載の半導体装置において、

前記Siの酸化膜は、堆積膜である、半導体装置。

[請求項11] 請求項10記載の半導体装置において、

前記堆積膜は、原子層堆積法により形成された膜である、半導体装置。

[請求項12] 請求項9記載の半導体装置において、

前記Siより電気陰性度が低い金属は、Al、Hf、Zr、Ta、Ti、Nb、La、Y、Mgの群から選ばれる1以上の元素である、半導体装置。

[請求項13] 請求項12記載の半導体装置において、

前記窒化物半導体層は、GaNである、半導体装置。

[請求項14] 請求項9記載の半導体装置において、

前記Siの酸化膜は、前記Siより電気陰性度が低い金属の酸化膜より厚い、半導体装置。

[請求項15] 請求項9記載の半導体装置において、

前記Siの酸化膜は、前記Siより電気陰性度が低い金属の酸化膜より厚く、

前記 Si より電気陰性度が低い金属の酸化膜の膜厚は、1 nm 以上 10 nm 以下である、半導体装置。

[請求項16]

基板の上方に形成された第1窒化物半導体層と、
前記第1窒化物半導体層上に形成された第2窒化物半導体層と、
前記第2窒化物半導体層上に形成された第3窒化物半導体層と、
前記第3窒化物半導体層を貫通し、前記第2窒化物半導体層まで到達する溝と、

前記溝内にゲート絶縁膜を介して配置されたゲート電極と、
を有し、

前記第3窒化物半導体層の電子親和力は、前記第2窒化物半導体層の電子親和力より小さく、

前記第2窒化物半導体層の電子親和力は、前記第1窒化物半導体層の電子親和力より大きく、

前記ゲート絶縁膜は、前記溝の底面および側壁上に形成された第1金属の酸化膜と、前記第1金属の酸化膜上に形成された第2金属の酸化膜と、を有し、

前記第1金属は、前記第2窒化物半導体層を構成する元素と異なり、

前記第2金属は、前記第1金属より電気陰性度が低い、半導体装置。

[請求項17]

請求項16記載の半導体装置において、
前記第1金属の酸化膜は、堆積膜である、半導体装置。

[請求項18]

請求項17記載の半導体装置において、
前記堆積膜は、原子層堆積法により形成された膜である、半導体装置。

[請求項19]

請求項16記載の半導体装置において、
前記第1金属は、Al である、半導体装置。

[請求項20]

請求項19記載の半導体装置において、

前記第2金属は、Hf、Zr、Ta、Ti、Nb、La、Y、Mgの群から選ばれる1以上の元素である、半導体装置。

[請求項21] 請求項20記載の半導体装置において、

前記第2窒化物半導体層は、GaNである、半導体装置。

[請求項22] 請求項16記載の半導体装置において、

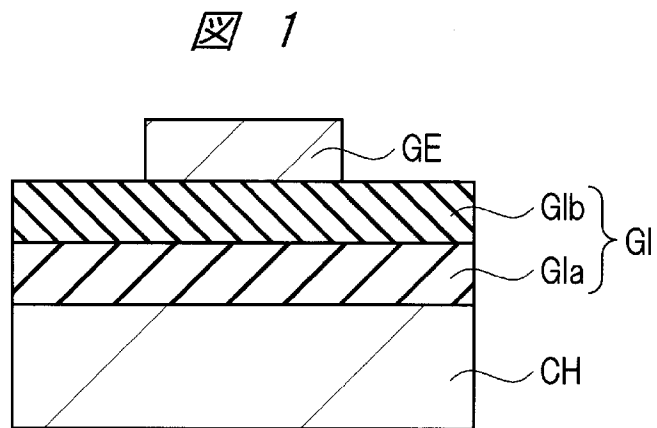
前記第1金属の酸化膜は、前記第2金属の酸化膜より厚い、半導体装置。

[請求項23] 請求項16記載の半導体装置において、

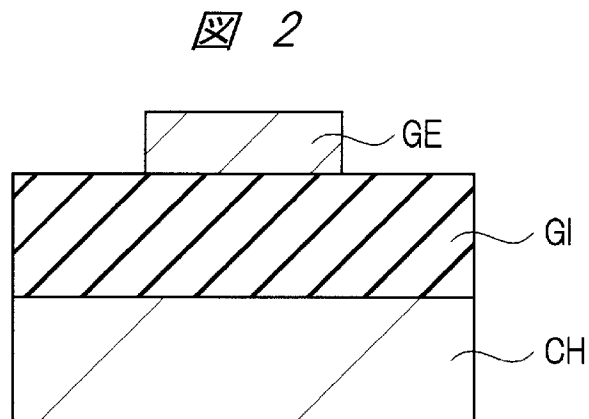
前記第1金属の酸化膜は、前記第2金属の酸化膜より厚く、

前記第2金属の酸化膜の膜厚は、1nm以上10nm以下である、半導体装置。

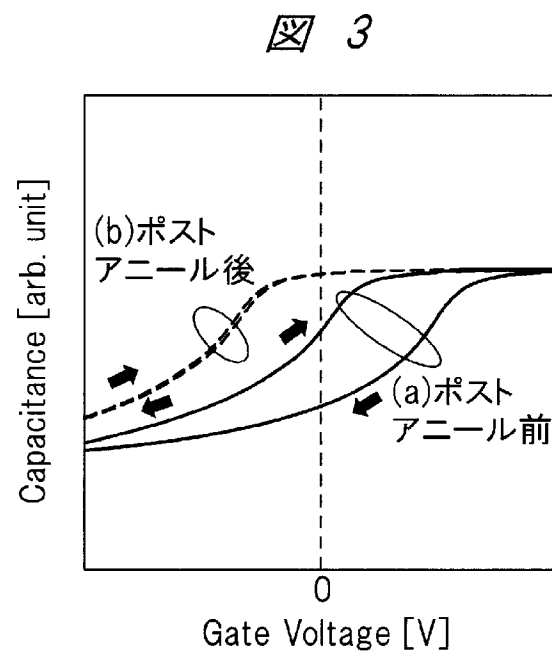
[図1]



[図2]

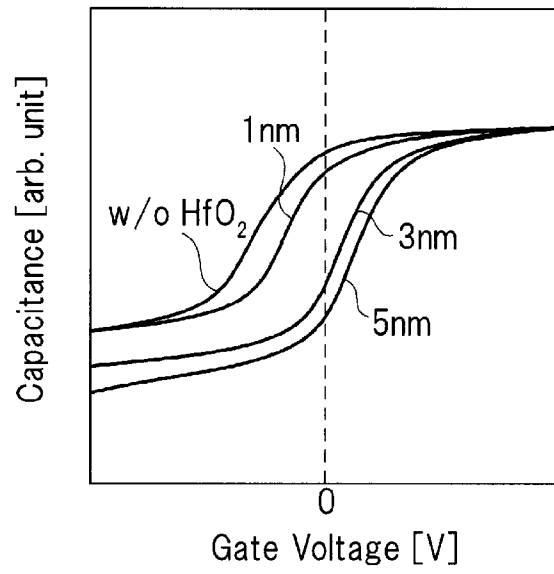


[図3]



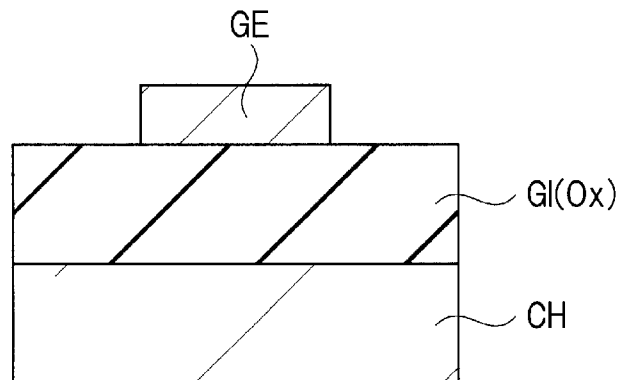
[図4]

図 4



[図5]

図 5



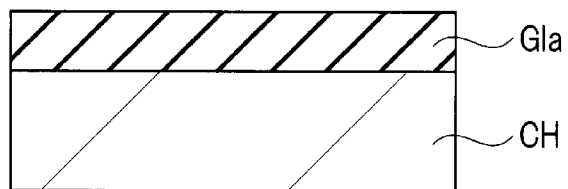
[図6]

図 6



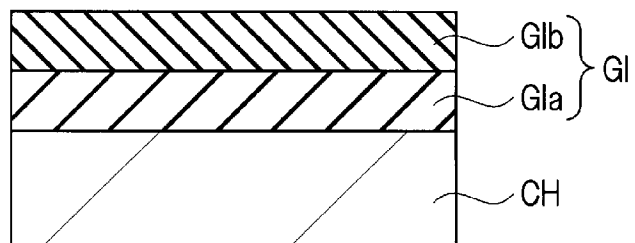
[図7]

図 7



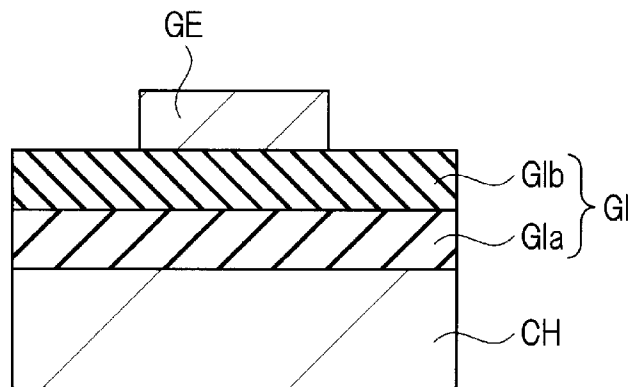
[図8]

図 8



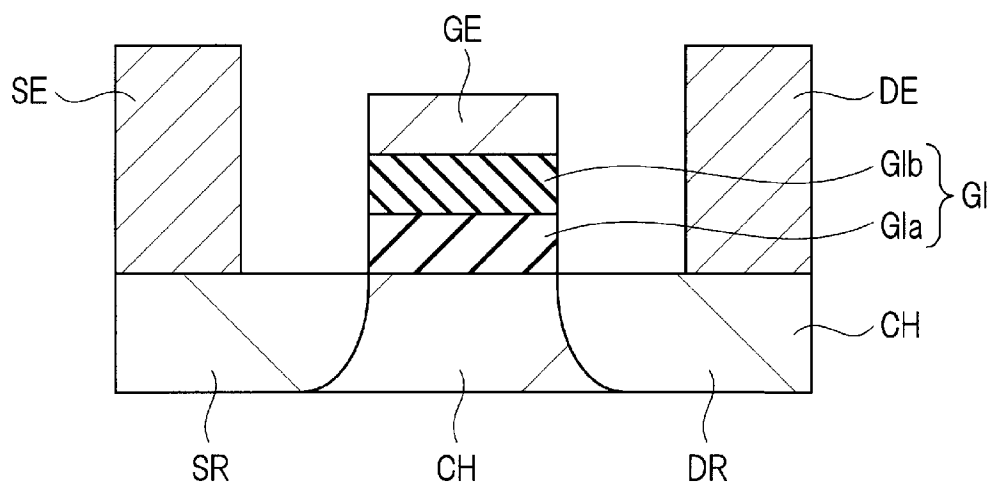
[図9]

図 9



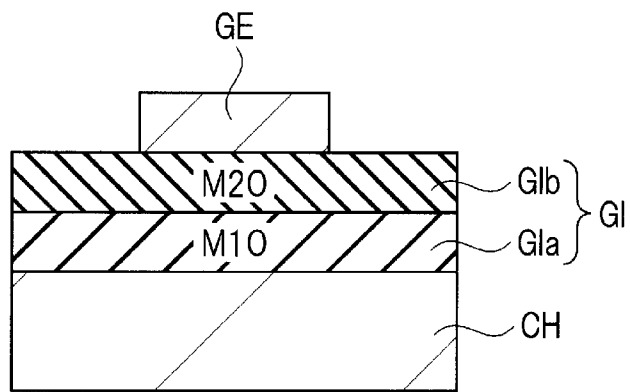
[図10]

図 10



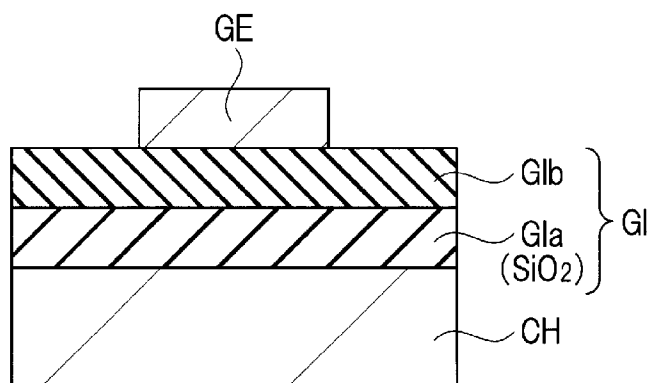
[図11]

図 11

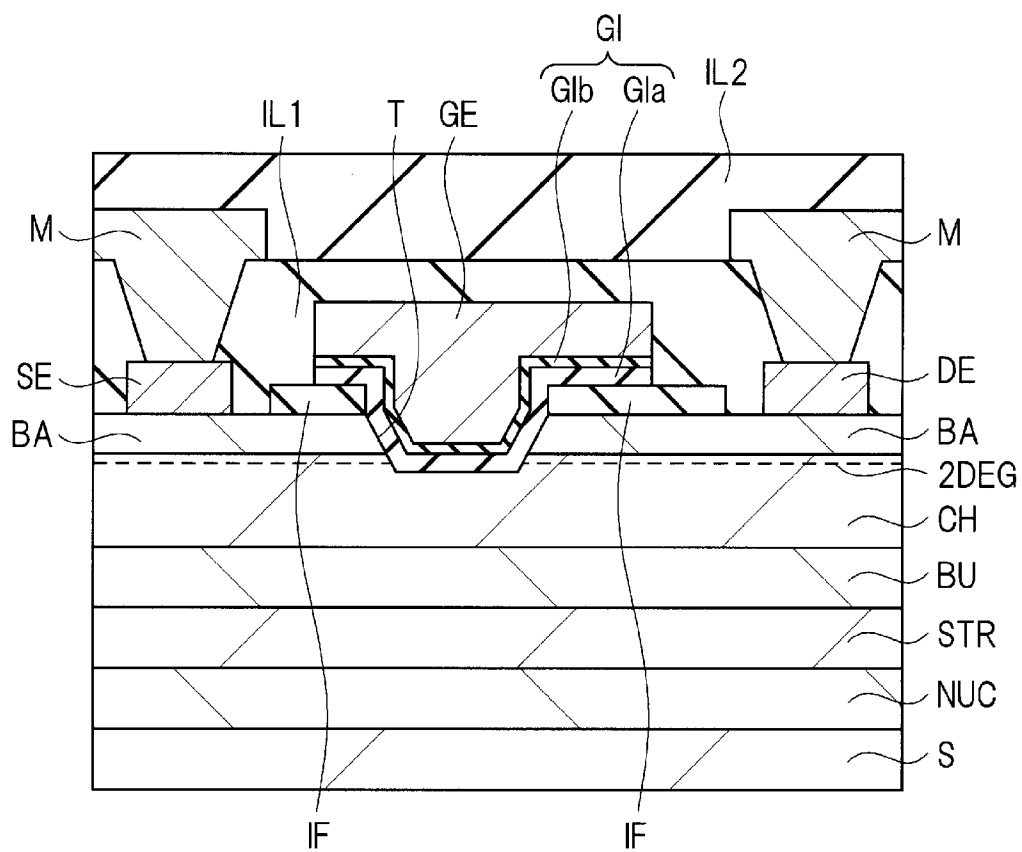


[図12]

図 12

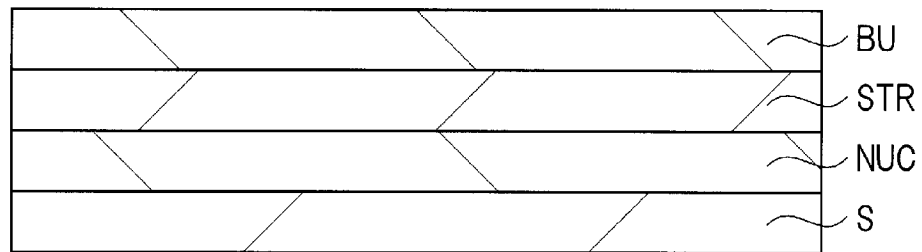


 13



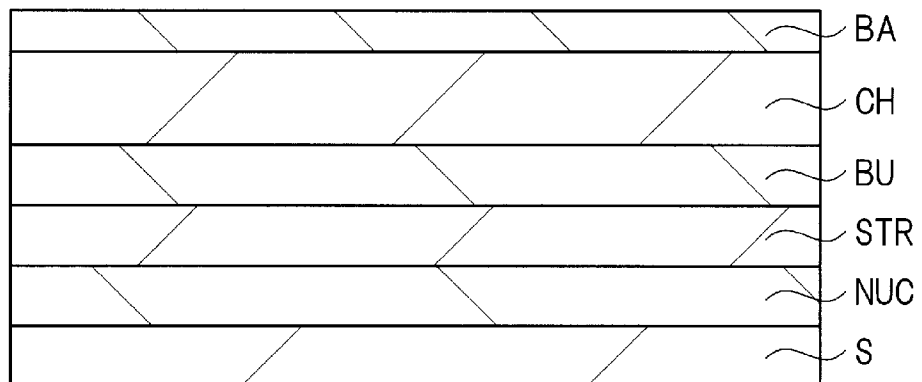
[図14]

図 14



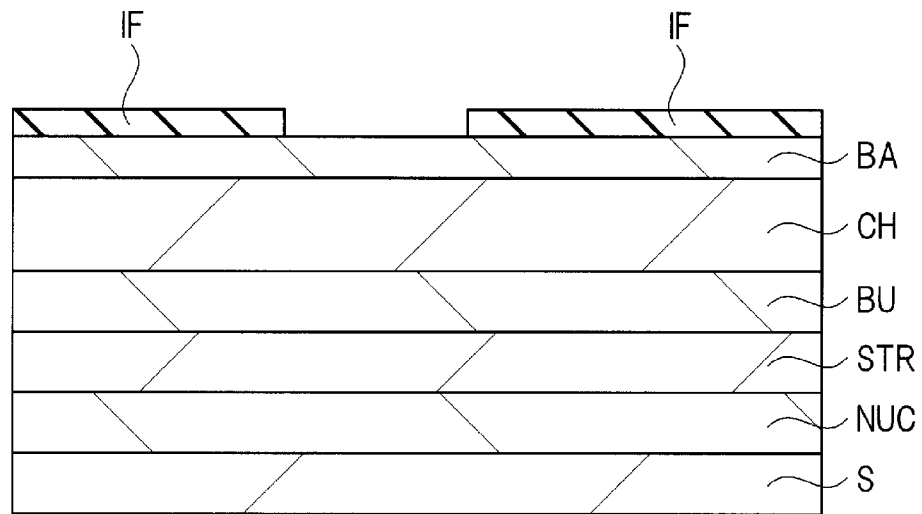
[図15]

図 15



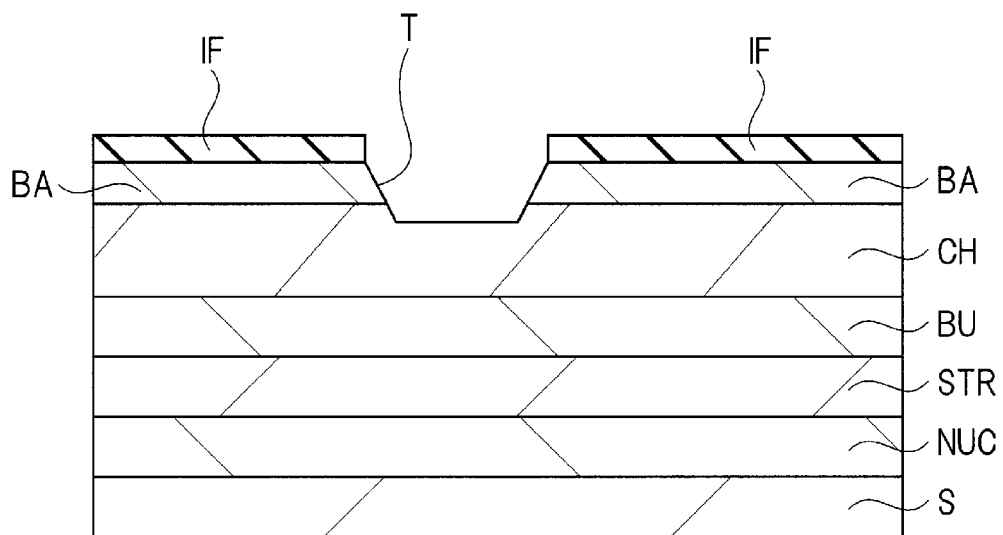
[図16]

図 16



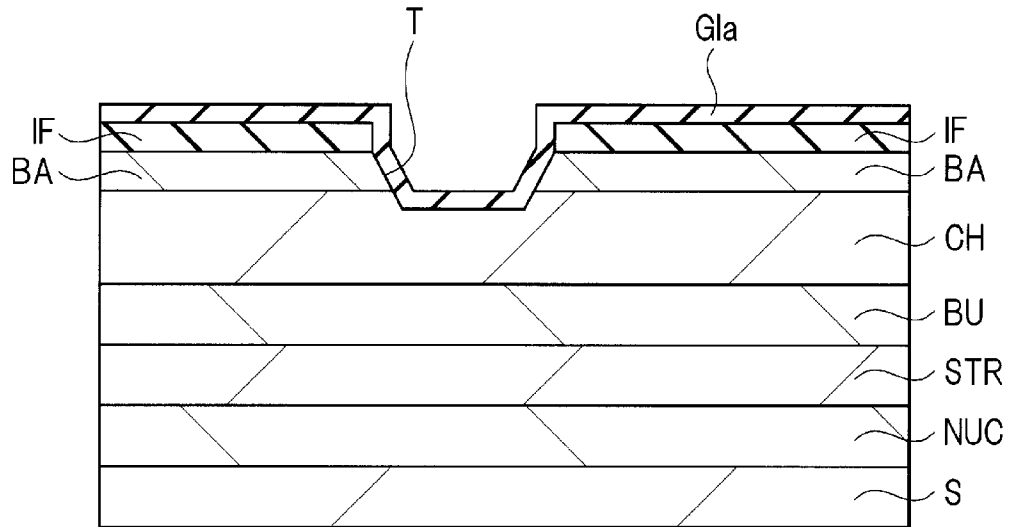
[図17]

図 17



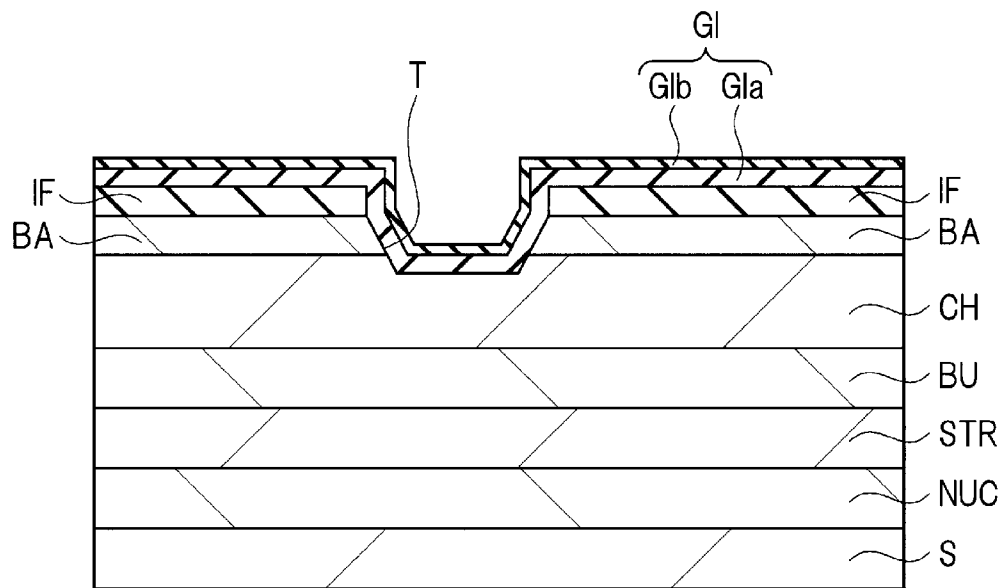
[図18]

図 18



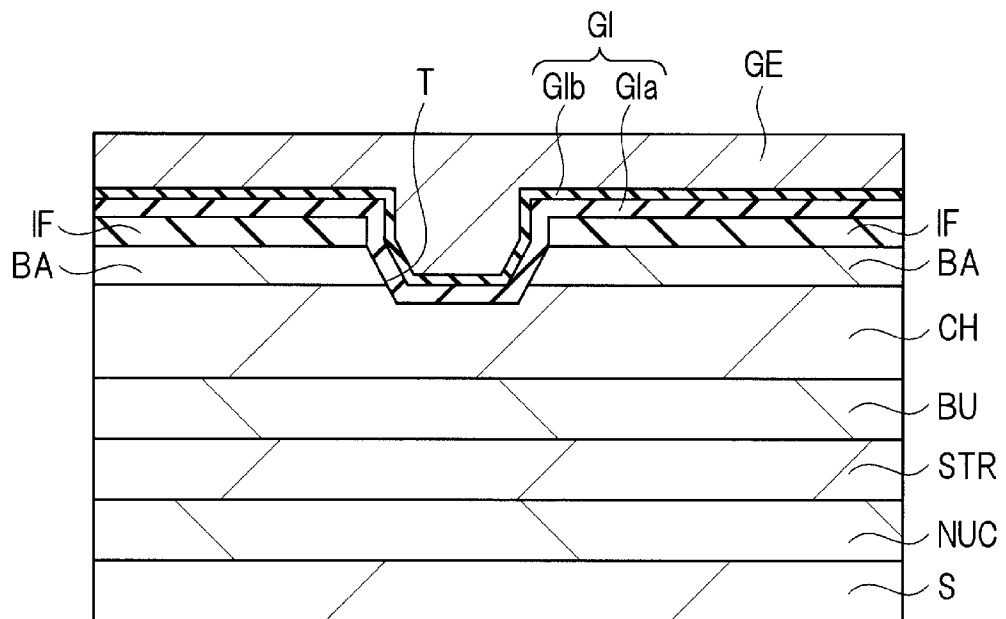
[図19]

図 19



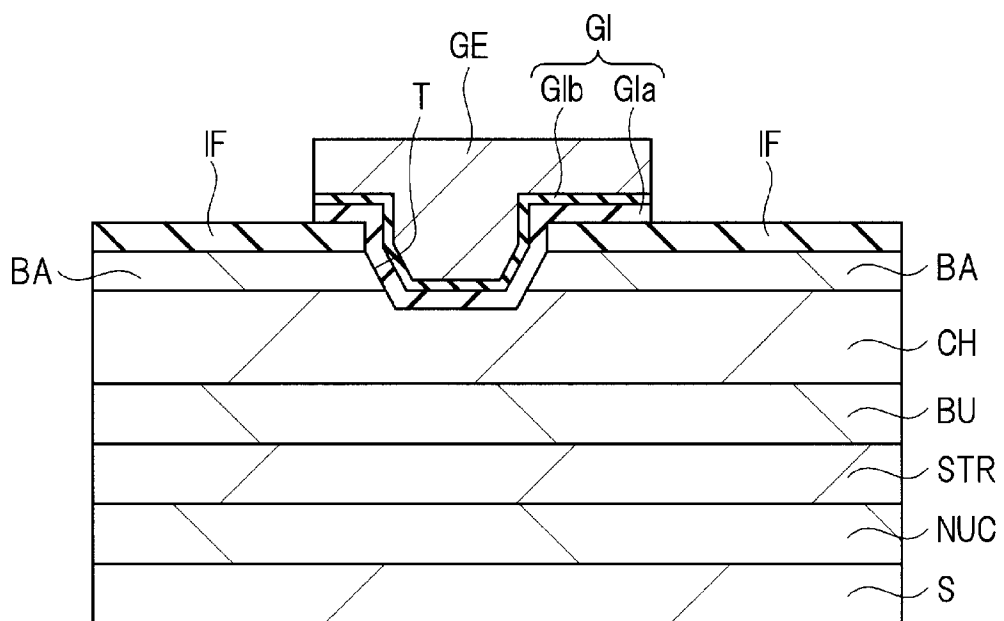
[図20]

図 20



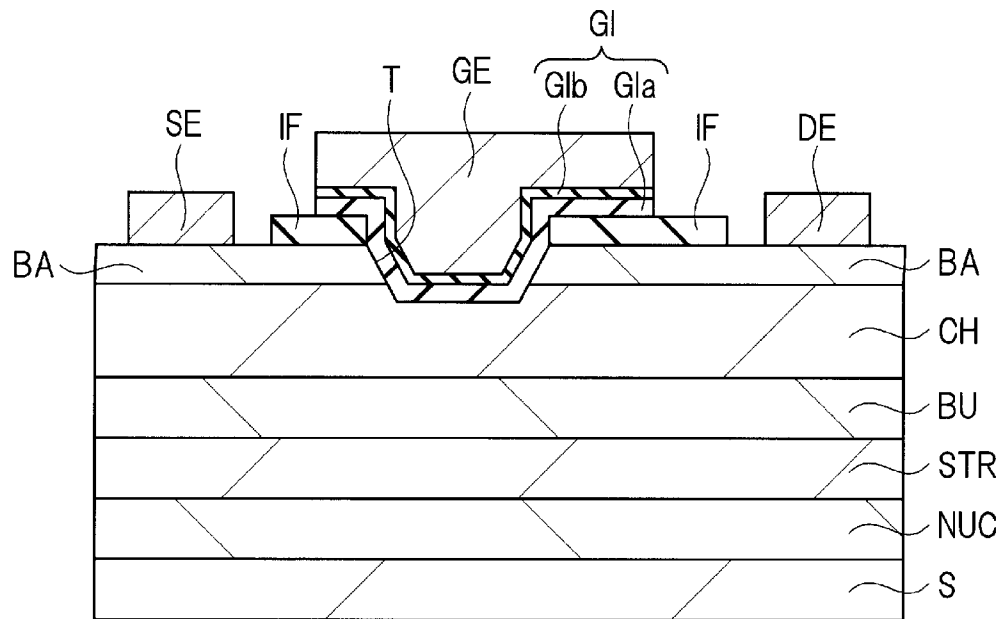
[図21]

図 21



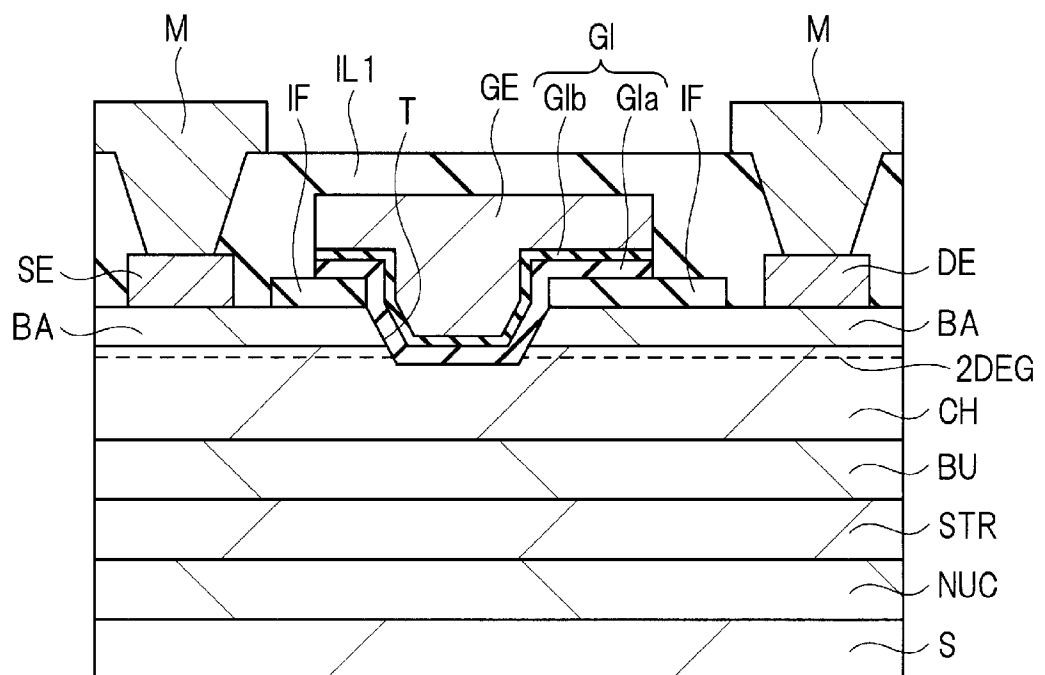
[図22]

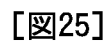
図 22



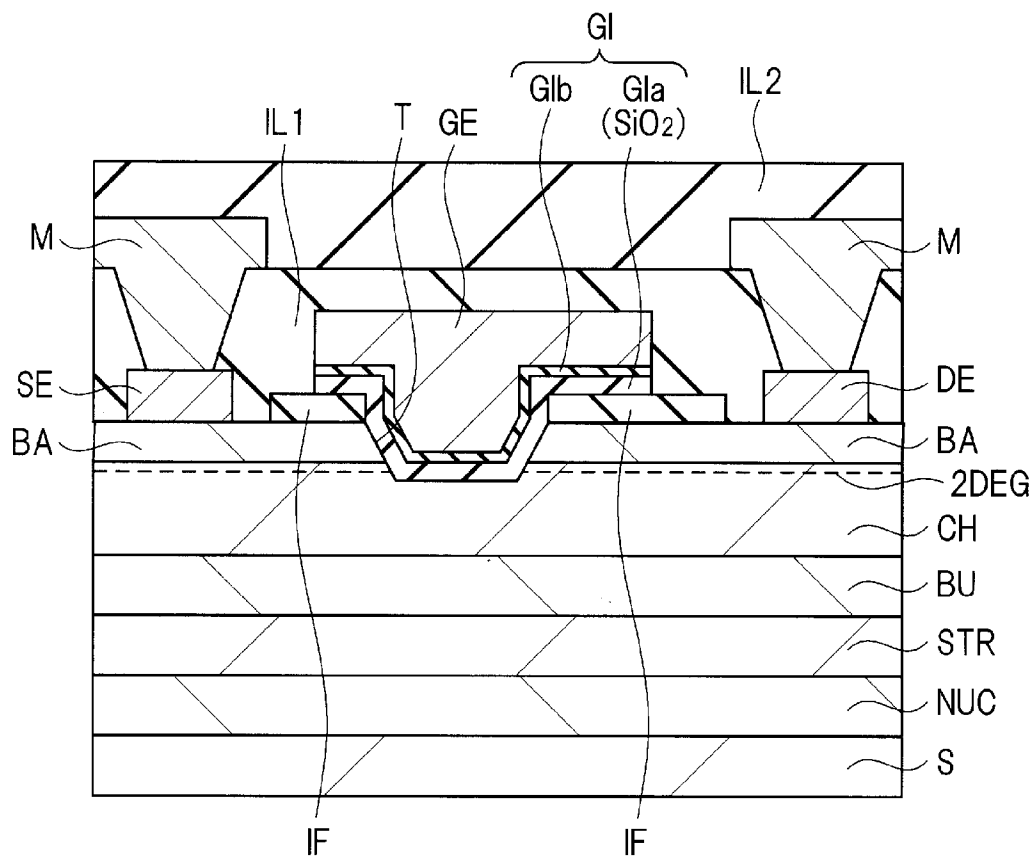
[図23]

図 23



 24

☒ 25



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/062095

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/28(2006.01)i, H01L21/338(2006.01)i,
H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/778(2006.01)i,
H01L29/78(2006.01)i, H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/28, H01L21/338, H01L29/423, H01L29/49, H01L29/778,
H01L29/78, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 2006/0289948 A1 (INTERNATIONAL BUSINESS MACHINES CORP.), 28 December 2006 (28.12.2006), paragraphs [0026] to [0048]; fig. 2B & CN 1885560 A	1-3, 7, 8 4-6, 9-23
Y	JP 2007-324593 A (Interuniversitair Micro-Electronica Centrum VZW), 13 December 2007 (13.12.2007), paragraphs [0029] to [0045]; fig. 3 & US 2007/0272967 A1 paragraphs [0040] to [0048]; fig. 3 & EP 1863097 A1	4-6, 9-15, 19-21

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
18 July, 2014 (18.07.14)

Date of mailing of the international search report
05 August, 2014 (05.08.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/062095

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-004735 A (Renesas Electronics Corp.), 07 January 2013 (07.01.2013), paragraphs [0016] to [0037]; fig. 3 & US 2012/0319165 A1 paragraphs [0025] to [0054]; fig. 3	16-23
X Y A	JP 2010-166040 A (Sumitomo Electric Device Innovations, Inc.), 29 July 2010 (29.07.2010), paragraphs [0039] to [0048]; fig. 10 & US 2010/0159656 A1 paragraphs [0047] to [0056]; fig. 10	1-8 16-23 9-15
X A	JP 2013-168433 A (Toshiba Corp.), 29 August 2013 (29.08.2013), paragraphs [0012] to [0044]; fig. 1 (Family: none)	9-13 1-8, 14-23
A	JP 2009-117557 A (Toshiba Corp.), 28 May 2009 (28.05.2009), paragraphs [0024] to [0053] & US 2009/0114995 A1 paragraphs [0052] to [0081]	1-23
A	JP 2011-103459 A (ASM International N.V.), 26 May 2011 (26.05.2011), paragraphs [0012] to [0015] & US 2011/0081775 A1 paragraphs [0011] to [0014]	1-23

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/336(2006.01)i, H01L21/28(2006.01)i, H01L21/338(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, H01L21/28, H01L21/338, H01L29/423, H01L29/49, H01L29/778, H01L29/78, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	US 2006/0289948 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2006. 12. 28, 段落[0026]-[0048], FIG. 2B & CN 1885560 A	1-3, 7, 8 4-6, 9-23
Y	JP 2007-324593 A (アンテルユニヴェルシテール・ミクローエレクトロニカ・サントリュム・ヴェー・ゼッド・ドゥブルヴェ) 2007. 12. 13, 段落【0029】-【0045】, 図 3 & US 2007/0272967 A1, 段落[0040]-[0048], Fig. 3 & EP 1863097 A1	4-6, 9-15, 19-21

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 0 7 . 2 0 1 4

国際調査報告の発送日

0 5 . 0 8 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

宇多川 勉

5 F

5 2 9 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-004735 A (ルネサスエレクトロニクス株式会社) 2013.01.07, 段落【0016】 - 【0037】, 図 3 & US 2012/0319165 A1, 段落[0025]-[0054], FIG. 3	16-23
X	JP 2010-166040 A (住友電工デバイス・イノベーション株式会社)	1-8
Y	2010.07.29, 段落【0039】 - 【0048】, 図 10 & US 2010/0159656 A1, 段落[0047]-[0056], Fig. 10	16-23
A		9-15
X	JP 2013-168433 A (株式会社東芝) 2013.08.29, 段落【0012】 - 【0044】, 図 1 (ファミリーなし)	9-13
A		1-8, 14-23
A	JP 2009-117557 A (株式会社東芝) 2009.05.28, 段落【0024】 - 【0053】 & US 2009/0114995 A1, 段落[0052]-[0081]	1-23
A	JP 2011-103459 A (エーエスエム インターナショナル エヌ. ヴェー.) 2011.05.26, 段落【0012】 - 【0015】 & US 2011/0081775 A1, 段落[0011]-[0014]	1-23