

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年5月15日(15.05.2025)



(10) 国際公開番号

WO 2025/100201 A1

(51) 国際特許分類:

H10D 30/66 (2025.01) H10D 30/01 (2025.01)
H01L 21/265 (2006.01) H10D 62/10 (2025.01)

(21) 国際出願番号: PCT/JP2024/037282

(22) 国際出願日: 2024年10月18日(18.10.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2023-189896 2023年11月7日(07.11.2023) JP

(71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 (JP). 国立研究開発法人産業技術総合研究所 (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関1丁目3番1号 (JP).

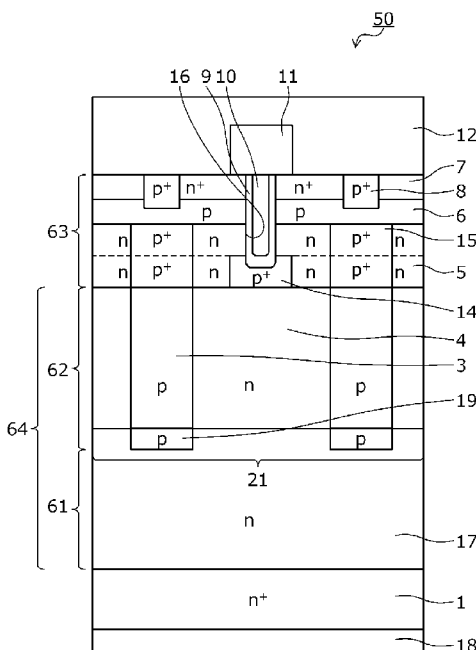
(72) 発明者: 俵 武志 (TAWARA, Takeshi); 〒3058560 茨城県つくば市梅園1-1-1 国立研究開発法人産業技術総合研究所内 (JP). 竹中 研介 (TAKENAKA Kensuke); 〒3058560 茨城県つくば市梅園1-1-1 国立研究開発法人産業技術総合研究所内 (JP). 原田 信介 (HARADA, Shinsuke); 〒3058560 茨城県つくば市梅園1-1-1 国立研究開発法人産業技術総合研究所内 (JP). 染谷 満 (SOMETANI Mitsuru); 〒3058560 茨城県つくば市梅園1-1-1 国立研究開発法人産業技術総合研究所内 (JP).

(74) 代理人: 弁理士法人酒井総合特許事務所 (A.SAKAI & ASSOCIATES); 〒1020083 東京都千代田区麹町4-7-5 麹町ロイヤルビル (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) Title: SUPER JUNCTION SILICON CARBIDE SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SUPER JUNCTION SILICON CARBIDE SEMICONDUCTOR DEVICE

(54) 発明の名称: 超接合炭化珪素半導体装置および超接合炭化珪素半導体装置の製造方法



(57) Abstract: This super junction silicon carbide semiconductor device comprises: a silicon carbide semiconductor substrate (1); a first semiconductor layer (17) of a first conductivity type; a parallel pn region (21) in which a first column region (4) of the first conductivity type and a second column region (3) of a second conductivity type are alternately arranged repeatedly; a second semiconductor layer (5) of the first conductivity type; a first semiconductor region (7) of the first conductivity type; a trench (16); a gate electrode (10); a first electrode (12); and a second electrode (18). A second semiconductor region (19) of the second conductivity type which is doped with impurities of the second conductivity type is provided in the first semiconductor layer (1) on the bottom surface of the second column region (3) so as to be in contact with the second column region (3). At the boundary between the second semiconductor region (19) and the second column region (3), the concentration of the impurities of the second conductivity type has a concentration spike that decreases to 1/10 or less with respect to the maximum concentration of the impurities of the second conductivity type in the second semiconductor region (19).

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 超接合炭化珪素半導体装置は、炭化珪素半導体基板 (1) と、第1導電型の第1半導体層 (17) と、第1導電型の第1カラム領域 (4) と第2導電型の第2カラム領域 (3) とが繰り返し交互に配置された並列 p n 領域 (21) と、第1導電型の第2半導体層 (5) と、第1導電型の第1半導体領域 (7) と、トレンチ (16) と、ゲート電極 (10) と、第1電極 (12) と、第2電極 (18) と、を備える。第2カラム領域 (3) の底面に、第2カラム領域 (3) と接し、第2導電型の不純物が添加された第2導電型の第2半導体領域 (19) が第1半導体層 (1) 内に設けられる。第2半導体領域 (19) と第2カラム領域 (3) の境界において、第2導電型の不純物の濃度は、第2半導体領域 (19) の第2導電型の不純物の最大濃度に対して、 $1/10$ 以下に減少する濃度スパイクを有する。

明 細 書

発明の名称：

超接合炭化珪素半導体装置および超接合炭化珪素半導体装置の製造方法

技術分野

[0001] この開示は、超接合炭化珪素半導体装置および超接合炭化珪素半導体装置の製造方法に関する。

背景技術

[0002] 特許文献1には、シリコン半導体のMOSFET半導体装置において、トレンチ内に逆導電型半導体層を埋め込んで、超接合構造を形成する技術が記載されている。より具体的には、一導電型半導体層に比較的浅いトレンチを形成し、トレンチ底部に逆導電型不純物領域を形成し、トレンチ内に逆導電型半導体層を埋め込んで、超接合構造の基板を形成し、当該基板表面に少なくとも1つのpn接合を有する素子領域を形成する技術が記載されている。特許文献2にも同様な技術が記載されている。

[0003] 特許文献3には、炭化珪素半導体のMOSFET半導体装置において、比較的薄いエピタキシャル成長層を形成し、その層に逆導電型となるようドーパントを選択的にイオン注入することを繰り返し行う、マルチエピインプラ法によるスーパージャンクション構造の形成技術が記載されている。

[0004] 特許文献4には、炭化珪素半導体のMOSFET半導体装置において、比較的厚いエピタキシャル成長層に深いトレンチを形成し、そのトレンチ内に逆導電型の半導体層を埋め込む、トレンチ埋め戻し法によるスーパージャンクション構造の形成技術が記載されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2011-176157号公報

特許文献2：特開2010-045245号公報

特許文献3：国際公開第2020/110514号

特許文献4：特開2018-019053号公報

発明の概要

発明が解決しようとする課題

- [0006] この開示は、MOSFET内に寄生的に形成されるボディダイオード通電時の通電劣化を抑制し、プロセスコストを低減できる超接合炭化珪素半導体装置および超接合炭化珪素半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

- [0007] この開示の一態様にかかる超接合炭化珪素半導体装置は、以下の通りである。第1導電型の炭化珪素半導体基板のおもて面に第1導電型の第1半導体層が設けられる。前記第1半導体層の、前記炭化珪素半導体基板側に対して反対側の表面に、第1導電型の第1カラム領域と第2導電型の第2カラム領域とが前記おもて面に平行な面において繰り返し交互に配置された並列pn領域が設けられる。前記並列pn領域の、前記炭化珪素半導体基板側に対して反対側の表面に第2導電型の第2半導体層が設けられる。前記第2半導体層の内部に選択的に前記第1半導体層よりも不純物濃度の高い第1導電型の第1半導体領域が設けられる。前記第2半導体層の一部と前記第1半導体領域の一部に接するゲート絶縁膜を介してゲート電極が設けられる。前記第1半導体領域および前記第2半導体層に接する第1電極が設けられる。前記炭化珪素半導体基板の裏面に第2電極が設けられる。前記第2カラム領域の底面に、前記第2カラム領域と接し、第2導電型の不純物が添加された第2導電型の第2半導体領域が前記第1半導体層内に設けられる。前記第2半導体領域と前記第2カラム領域の境界において、前記第2導電型の不純物の濃度は、前記第2半導体領域の前記第2導電型の不純物の最大濃度に対して、 $1/10$ 以下に減少する濃度スパイクを有する。

発明の効果

- [0008] 本開示にかかる超接合炭化珪素半導体装置および超接合炭化珪素半導体装

置の製造方法によれば、ボディダイオード通電時の通電劣化を抑制し、プロセスコストを低減できるという効果を奏する。

図面の簡単な説明

[0009] [図1]図1は、実施の形態にかかるS J-MOSFETの断面構造を示す断面図である。

[図2]図2は、実施の形態にかかるS J-MOSFETの製造途中の状態を模式的に示す断面図である（その1）。

[図3]図3は、実施の形態にかかるS J-MOSFETの製造途中の状態を模式的に示す断面図である（その2）。

[図4]図4は、実施の形態にかかるS J-MOSFETの製造途中の状態を模式的に示す断面図である（その3）。

[図5]図5は、実施の形態にかかるS J-MOSFETの製造途中の状態を模式的に示す断面図である（その4）。

[図6]図6は、実施の形態にかかるS J-MOSFETの製造途中の状態を模式的に示す断面図である（その5）。

[図7]図7は、実施の形態にかかるS J-MOSFETの製造途中の状態を模式的に示す断面図である（その6）。

[図8]図8は、実施の形態にかかるS J-MOSFETの製造途中の状態を模式的に示す断面図である（その7）。

[図9]図9は、実施の形態にかかるS J-MOSFETのp型領域のA I濃度プロファイルの計算値を示すグラフである。

[図10]図10は、実施の形態にかかるS J-MOSFETのp型領域のA I、P濃度プロファイルの計算値を示すグラフである。

[図11]図11は、実施の形態にかかるS J-MOSFETのp型領域のA I、A r濃度プロファイルの計算値を示すグラフである。

[図12]図12は、従来のS J-MOSFETのオン電圧の変動を示す実験結果である。

[図13]図13は、従来のS J-MOSFETの積層欠陥の成長を模式的に示

す平面図である。

発明を実施するための形態

[0010] <本開示の実施形態の概要>

(1) この開示の一態様にかかる超接合炭化珪素半導体装置は、以下の通りである。第1導電型の炭化珪素半導体基板のおもて面に第1導電型の第1半導体層が設けられる。前記第1半導体層の、前記炭化珪素半導体基板側に対して反対側の表面に、第1導電型の第1カラム領域と第2導電型の第2カラム領域とが前記おもて面に平行な面において繰り返し交互に配置された並列pn領域が設けられる。前記並列pn領域の、前記炭化珪素半導体基板側に対して反対側の表面に第2導電型の第2半導体層が設けられる。前記第2半導体層の内部に選択的に前記第1半導体層よりも不純物濃度の高い第1導電型の第1半導体領域が設けられる。前記第2半導体層の一部と前記第1半導体領域の一部に接するゲート絶縁膜を介してゲート電極が設けられる。前記第1半導体領域および前記第2半導体層に接する第1電極が設けられる。前記炭化珪素半導体基板の裏面に第2電極が設けられる。前記第2カラム領域の底面に、前記第2カラム領域と接し、第2導電型の不純物が添加された第2導電型の第2半導体領域が前記第1半導体層内に設けられる。前記第2半導体領域と前記第2カラム領域の境界において、前記第2導電型の不純物の濃度は、前記第2半導体領域の前記第2導電型の不純物の最大濃度に対して、 $1/10$ 以下に減少する濃度スパイクを有する。

[0011] 上述した開示によれば、SJトレンチ形成後に、SJトレンチ底に、p型の不純物等のイオン注入が行われ、ドリフト層（第1導電型の第1半導体層）にイオン注入による欠陥が導入される。この欠陥が、p型エピタキシャル層（第2導電型の第3半導体層）のエピタキシャル成長時に拡散し、ドリフト層に広がることで、ドリフト層のライフタイムを低下させることができる。このため、ボディダイオード通電時の通電劣化を抑制することができる。

[0012] (2) また、上述した(1)において、前記第2半導体領域は、前記第1半導体層に、前記第2導電型の不純物、前記第2導電型の不純物と第1導電

型の不純物、または前記第2導電型の不純物と希ガス元素を注入した領域としてもよい。

[0013] (3) また、上述した(2)において、前記第2導電型の不純物は、アルミニウムまたはホウ素であり、前記第1導電型の不純物は、リンまたは窒素であり、前記希ガス元素は、ネオン、アルゴン、クリプトンまたはキセノンとしてもよい。

[0014] (4) また、上述した(1)～(3)のいずれか一つにおいて、前記第2半導体領域は、補償濃度が $1 \times 10^{16} / \text{cm}^3$ 以上 $1 \times 10^{17} / \text{cm}^3$ 以下の範囲内であり、注入された元素の合計の最大濃度は $2 \times 10^{17} / \text{cm}^3$ 以下としてもよい。

[0015] (5) また、上述した(1)～(4)のいずれか一つにおいて、前記第2半導体領域は、厚みが $0.1 \mu\text{m}$ 以上 $1 \mu\text{m}$ 以下の範囲内としてもよい。

[0016] (6) また、上述した(1)において、前記ゲート絶縁膜を介して設けられた前記ゲート電極が、前記第1半導体領域および前記第2半導体層を貫通して前記第1半導体層に達するトレンチの内部に設けられるとしてもよい。

[0017] 上述した開示によれば、p型エピタキシャル層のエピタキシャル成長の際に水素エッチングでイオン注入したp型領域が消失してしまうことを防ぎ、欠陥を導入することができる。

[0018] (7) この開示の一態様にかかる超接合炭化珪素半導体装置の製造方法は、以下の通りである。まず、第1導電型の炭化珪素半導体基板のおもて面に第1導電型の第1半導体層を形成する第1工程を行う。次に、前記第1半導体層の、前記炭化珪素半導体基板側に対して反対側の表面から、前記炭化珪素半導体基板に達しないSJTレンチを形成する第2工程を行う。次に、前記SJTレンチの底に、不純物をイオン注入することにより、第2導電型の第2半導体領域を形成する第3工程を行う。次に、前記SJTレンチを埋め込むように第2導電型の第3半導体層をエピタキシャル成長させる第4工程を行う。次に、前記第3半導体層の表面を研磨し、前記第3半導体層を前記SJTレンチ内部に残すことにより、前記第1半導体層の、前記炭化珪素半

導体基板側に対して反対側の表面に、第1導電型の第1カラム領域と第2導電型の第2カラム領域とが前記おもて面に平行な面において繰り返し交互に配置された並列pn領域を形成する第5工程を行う。次に、前記並列pn領域の、前記炭化珪素半導体基板側に対して反対側の表面に第2導電型の第2半導体層を形成する第6工程を行う。次に、前記第2半導体層の内部に選択的に前記第1半導体層よりも不純物濃度の高い第1導電型の第1半導体領域を形成する第7工程を行う。次に、前記第2半導体層の一部と前記第1半導体領域の一部に接するゲート絶縁膜を介してゲート電極を形成する第8工程を行う。次に、前記第1半導体領域および前記第2半導体層に接する第1電極を形成する第9工程を行う。次に、前記炭化珪素半導体基板の裏面に第2電極を形成する第10工程を行う。

[0019] (8) また、上述した(7)において、前記不純物は、第2導電型の不純物、第2導電型の不純物と第1導電型の不純物または第2導電型の不純物と希ガス元素としてもよい。

[0020] (9) また、上述した(7)において、前記第8工程は、前記第1半導体領域および前記第2半導体層を貫通して、前記第1半導体層に達するトレンチを形成し、前記トレンチの内部にゲート絶縁膜を介してゲート電極を形成するとしてもよい。

[0021] <本開示の基礎となる知見>

最初に、従来の超接合炭化珪素半導体装置の課題について説明する。通常のn型チャネル縦型MOSFETでは、半導体基板内に形成される複数の半導体層のうち、n型伝導層(ドリフト層)が最も高抵抗の半導体層である。このn型ドリフト層の電気抵抗が縦型MOSFET全体のオン抵抗に大きく影響を与えている。縦型MOSFET全体のオン抵抗を低減するためには、n型ドリフト層の厚みを薄くし電流経路を短くすることで実現できる。

[0022] しかし、縦型MOSFETは、オフ状態において空乏層が高抵抗のn型ドリフト層まで広がることで、耐圧を保持する機能も有している。このため、オン抵抗低減のためにn型ドリフト層を薄くした場合、オフ状態における空

乏層の広がり短くなるため、低い印加電圧で破壊電界強度に達しやすくなり、耐圧が低下する。一方、縦型MOSFETの耐圧を高くするためには、n型ドリフト層の厚みを増加させる必要があり、オン抵抗が増加する。このようなオン抵抗と耐圧の関係をトレードオフ関係と呼び、トレードオフ関係にある両者をともに向上させることは一般的に難しい。このオン抵抗と耐圧とのトレードオフ関係は、IGBT (Insulated Gate Bipolar Transistor: 絶縁ゲート型バイポーラトランジスタ) やバイポーラトランジスタ、ダイオード等の半導体装置においても同様に成立することが知られている。

[0023] 上述のような問題を解決する半導体装置の構造として、超接合 (SJ: Super Junction: スーパージャンクション) 構造が知られている (前述した特許文献3、4 参照)。

[0024] 超接合構造を有するMOSFET (以下、SJ-MOSFET) は、高不純物濃度のn⁺型炭化珪素半導体基板に、n型バッファ層およびn型ドリフト層を成長させたウエハを材料とする。このウエハ表面からn型ドリフト層を貫きn⁺型炭化珪素半導体基板に到達しないp型カラム領域が設けられている。p型カラム領域はn⁺型炭化珪素半導体基板に到達しなくても、n⁺型炭化珪素半導体基板に到達してもよい。

[0025] また、n型ドリフト層中に、基板主面に垂直な方向に延び、かつ基板主面に平行な面において狭い幅を有するp型領域 (p型カラム領域) とn型領域 (p型カラム領域に挟まれたn型ドリフト層の部分、以下n型カラム領域と称する) とを基板主面に平行な面において交互に繰り返し並べたSJ構造となる並列構造 (以降、並列pn構造と称する) を有している。並列pn構造は並列pn領域と呼んでも良い。並列pn構造を構成するp型カラム領域およびn型カラム領域は、n型ドリフト層に対応して不純物濃度を高めた領域である。並列pn構造では、p型カラム領域およびn型カラム領域に含まれる不純物濃度と面積との積である不純物量を略等しくチャージバランスをとることで、オフ状態において空乏層を広げて耐圧を維持し、高不純物濃度に

よる低オン抵抗と耐圧の両立を図ることができる。

[0026] 超接合炭化珪素半導体装置の製造方法では、S J構造をエピタキシャル成長とイオン注入とを組み合わせることで形成するマルチエピンプラ法（特許文献3参照）があるが、高耐圧素子向けに深いS J構造を形成するのはコストがかかる。炭化珪素半導体は、深いイオン注入を行うのが困難であり、ドーパントの熱拡散もわずかであるために1回当たリエピタキシャル成長層の膜厚はシリコン半導体に比べて大きな制約があるためである。そこで、比較的厚いn型ドリフト層に深いトレンチを形成し、p型エピタキシャル層で埋め込むことにより、S J構造を形成する方法（トレンチ埋め戻し法）が提案されている（特許文献4参照）。

[0027] 図12は、従来のS J-MOSFETのオン電圧の変動を示す実験結果である。3つの従来構造である、非S J構造、マルチエピンプラ、トレンチ埋戻しを比較している。図12において、横軸は、ボディダイオードの電流ストレスを示し、単位は A/cm^2 である。縦軸は、オン電圧の初期値からの変動率を示し、単位は、%である。この図で同じ構造（例えば非S J構造）で同じ電流ストレス値（例えば $500 A/cm^2$ ）に記載される複数の測定点（例えば黒四角）は、一つのサンプル内で測定場所を変えた結果である。図13は、トレンチ埋戻し法で形成した従来のS J-MOSFETの積層欠陥の成長を示す素子の平面図であり、オン電圧が変動した素子の表面電極を剥離し、積層欠陥の発光波長（ $420 nm$ ）でPL（フォトルミネッセンス）マッピング測定を行った実験結果である。

[0028] トレンチ埋め戻し法では、S J構造作製時にマルチエピンプラ法のようにイオン注入による欠陥がn型ドリフト層に導入されない。このため、S J-MOSFETのボディダイオード通電時にキャリアが多量に注入され、ボディダイオードが通電劣化しやすい。このため、図13に示すように、トレンチ埋戻し法で形成した場合には積層欠陥126が通電により拡大し、図12に示すように、低い通電ストレスでオン電圧の変動が大きくなるという課題があることを本願発明者等は見出した。この積層欠陥による通電劣化は、

炭化珪素半導体に特有の現象である。例えば図12の電流ストレスが 500 A/cm^2 のデータに着目すれば、マルチエピンプラ（○印）に比べてトレンチ埋戻し（△印）の方がオン電圧の変動率が大きいたことが読み取れる。さらに、ボディダイオード通電時にキャリアが多量に注入されるため、スイッチング時の逆回復損失、ターンオン損失が大きくなる課題がある。

[0029] （実施の形態の詳細）

以下に添付図面を参照して、この開示にかかる超接合炭化珪素半導体装置および超接合炭化珪素半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、 n または p を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、 n や p に付す $+$ および $-$ は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。 $+$ および $-$ を含めた n や p の表記が同じ場合はばらつきを含め近い濃度であることを示し濃度が同等とは限らない。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。そして、同じまたは同等との記載は製造におけるばらつきを考慮して $\pm 5\%$ 以内まで含むとするのがよい。

[0030] 以下に上述の課題を解決する実施の形態にかかる超接合半導体装置を説明する。図1は、実施の形態にかかるSJ-MOSFETの断面構造を示す断面図である。本開示にかかる超接合炭化珪素半導体装置について、SJ-MOSFET50を例に説明する。図1に示すSJ-MOSFET50は、炭化珪素からなる半導体基体（炭化珪素基体：半導体チップ）のおもて面（後述する p 型ベース層6側の面）側にMOS（Metal Oxide Semiconductor）ゲートを備えたSJ-MOSFET50である。図1では、1つの単位セル（素子の機能単位）のみを示し、これらに隣接する他の単位セルを図示省略する。

[0031] 図1に示すように、実施の形態にかかるSJ-MOSFET50は、 n^+ 型炭化珪素基板（第1導電型の炭化珪素半導体基板）1の第1主面（おもて面

）、例えば（0001）面（Si面）、にドリフト層64が設けられている。
n⁺型炭化珪素基板1は、例えば窒素（N）がドーピングされた炭化珪素単結晶基板である。ドリフト層64は、バルクドリフト層61となるn型バッファ層（第1導電型の第1半導体層）17と、n型バッファ層17のおもて面に設けられたSJ構造62と、を含む。SJ構造62は、p型カラム領域3およびn型カラム領域4を含む。

[0032] n型カラム領域4の、n⁺型炭化珪素基板1側に対して反対側の表面層に選択的に、n型高濃度領域5が設けられている。n型高濃度領域5は、n⁺型炭化珪素基板1よりも低く、n型カラム領域4より高い不純物濃度の高濃度n型ドリフト層である。n型高濃度領域5は、キャリアの広がり抵抗を低減させる、いわゆる電流拡散層（Current Spreading Layer：CSL）である。

[0033] ドリフト層64の、n⁺型炭化珪素基板1側に対して反対側の表面側には、p型ベース層（第2導電型の第2半導体層）6が設けられている。以下、n⁺型炭化珪素基板1と、バルクドリフト層61と、SJ構造62と、n型高濃度領域5と、p型ベース層6とを併せて炭化珪素半導体基体とする。n型バッファ層17は、厚さ4.4 μm程度で不純物濃度が $1.8 \times 10^{16} / \text{cm}^3$ 程度のバルクドリフト層61である。

[0034] SJ-MOSFET50のドリフト層64内には、SJ構造62となる並列pn構造21が設けられている。並列pn構造21は、n型カラム領域（第1導電型の第1カラム）4とp型カラム領域（第2導電型の第2カラム）3とが、n⁺型炭化珪素基板1のおもて面に平行な面において交互に繰り返し配置されている。n型カラム領域4は、n型バッファ層17の表面から、n型高濃度領域5に達するように設けられている。p型カラム領域3は、不純物濃度が $6 \times 10^{16} / \text{cm}^3$ 程度であり、n型カラム領域4は、不純物濃度が $3 \times 10^{16} / \text{cm}^3$ 程度である。図1においてn型バッファ層17とn型カラム領域4の間の実線（境界線）は、n型カラム領域4のn型不純物濃度が、n型バッファ層17よりも高いことを意味する。なお、n型バッファ層17とn

型カラム領域4は同じ濃度のn型不純物が添加されたエピタキシャル成長層で形成しても良い。この場合にはn型バッファ層17とn型カラム領域4の間の境界線は不要となる。

[0035] 実施の形態では、p型カラム領域3の底面に、p型カラム領域3と接するようにp型領域（第2導電型の第2半導体領域）19がn型バッファ層17内に設けられている。詳細は後述するが、実施の形態では、SJ構造62の形成時、SJトレンチ24（図4参照）形成後に、SJトレンチ24の底に、例えばAlのイオン注入を行うことで、p型領域19が形成される。p型領域19は、Nを含むn型バッファ層17にAlが注入され、Alの不純物濃度がNの不純物濃度より高く、p型となっている。

[0036] p型領域19は、ドリフト層64にイオン注入により形成されるイオン注入による欠陥（結晶欠陥、イオン注入ダメージ）を導入する。この結晶欠陥が、SJ構造62の形成時、次のp型エピタキシャル層22（図6参照）を形成する際のエピタキシャル成長時に拡散し、p型領域19を中心にドリフト層64の少なくとも一部に広がることで、ドリフト層64のライフタイムを低下させることができる。特にp型領域19に隣接するn型バッファ層17やn型カラム領域4のライフタイムを低下させることが重要である。これにより、ボディダイオード通電時の通電劣化を抑制することができる。さらに、イオン注入領域をp型領域19とすることで、その分SJトレンチ24の深さを浅くできるため、SJトレンチ24のエッチング時間、および、SJトレンチ24をp型エピタキシャル層22で埋め込むための時間を短縮することができる。これにより、プロセスの低コスト化が期待できる。なお、炭化珪素半導体ではドーパントとなる不純物をイオン注入後に熱処理を行っても不純物自体はほとんど拡散しないが、イオン注入で形成された結晶欠陥（格子欠陥）は熱処理によって拡散する現象が観察されている。なお、図1にはイオン注入による欠陥やその拡散後の分布は図示していない。

[0037] また、並列pn構造21のチャージバランスとして、p型カラム領域3の幅とp型カラム領域3の不純物濃度との積（不純物量）が、n型カラム領域

4の幅とn型カラム領域4の不純物濃度との積（不純物量）にほぼ等しくなっている。具体的に±5%以内にしている。このため、並列pn構造21は、低オン抵抗と高耐圧特性との両方の特性が同時に得られる構造として知られている。

[0038] 図1に示すように、n⁺型炭化珪素基板1の第2主面（裏面、すなわち炭化珪素半導体基体の裏面）には、ドレイン電極（第2電極）18が設けられている。ドレイン電極18の表面には、ドレイン電極パッド（不図示）が設けられている。

[0039] 炭化珪素半導体基体の第1主面側（p型ベース層6側）には、トレンチ構造が形成されている。SJ-MOSFET50は、n型高濃度領域5、p型ベース層6、n⁺型ソース領域7、p⁺型コンタクト領域8、ゲート絶縁膜9、ゲート電極10およびトレンチ16から構成されるMOS構造63を有している。具体的には、トレンチ16は、p型ベース層6のn⁺型炭化珪素基板1側に対して反対側（炭化珪素半導体基体の第1主面側）の表面からp型ベース層6を貫通してn型高濃度領域5に達する。トレンチ16の内壁に沿って、トレンチ16の底部および側壁にゲート絶縁膜9が形成されており、トレンチ16内のゲート絶縁膜9の内側にゲート電極10が形成されている。ゲート絶縁膜9によりゲート電極10が、n型高濃度領域5およびp型ベース層6と絶縁されている。ゲート電極10の一部は、トレンチ16の上方から後述するソース電極12側に突出してもよい。

[0040] n型高濃度領域5の内部には、第1p⁺型ベース領域14および第2p⁺型ベース領域15がそれぞれ選択的に設けられている。第1p⁺型ベース領域14は、トレンチ16の底面および底面コーナ一部のうち少なくとも底面を覆う。トレンチ16の底面コーナ一部とは、トレンチ16の底面と側壁との境界である。第2p⁺型ベース領域15は、トレンチ16の間に設けられ、n型高濃度領域5のp型ベース層6側の表面から、第1p⁺型ベース領域14と同じ深さまで設けられている。

[0041] 第1p⁺型ベース領域14および第2p⁺型ベース領域15とn型カラム領域

4 との p n 接合は、トレンチ 1 6 の底面よりもドレイン側に深い位置に形成されている。第 1 p⁺型ベース領域 1 4 および第 2 p⁺型ベース領域 1 5 のドレイン側端部の深さ位置は、第 1 p⁺型ベース領域 1 4 および第 2 p⁺型ベース領域 1 5 と n 型カラム領域 4 との p n 接合がトレンチ 1 6 の底面よりもドレイン側に深い位置にあればよく、設計条件に合わせて種々変更可能である。第 1 p⁺型ベース領域 1 4 および第 2 p⁺型ベース領域 1 5 により、トレンチ 1 6 の底面に沿った部分でゲート絶縁膜 9 に高電界が印加されることを防止することができる。

[0042] p 型ベース層 6 の表面層には、基体第 1 主面側に n⁺型ソース領域（第 1 導電型の第 1 半導体領域）7 が選択的に設けられている。また、p⁺型コンタクト領域 8 が設けられてもよい。n⁺型ソース領域 7 はトレンチ 1 6 に接している。また、n⁺型ソース領域 7 および p⁺型コンタクト領域 8 は互いに接する。なお、本明細書では、おもて面は、n⁺型炭化珪素基板 1 の第 1 主面、例えば（0 0 0 1）面（S i 面）を示し、半導体層の表面上に設けられたとは、当該半導体層の表面より上に半導体領域／半導体層が設けられていることを示し、半導体層の表面層に設けられたとは、当該半導体層の内部に、当該半導体層の表面に露出する半導体領域／半導体層が設けられていることを示す。

[0043] 層間絶縁膜 1 1 は、炭化珪素半導体基体の第 1 主面側の全面に、トレンチ 1 6 に埋め込まれたゲート電極 1 0 を覆うように設けられている。ソース電極 1 2 は、層間絶縁膜 1 1 に開口されたコンタクトホールを介して、n⁺型ソース領域 7 および p 型ベース層 6 に接する。p⁺型コンタクト領域 8 が設けられている場合は、n⁺型ソース領域 7 および p⁺型コンタクト領域 8 に接する。ソース電極 1 2 は、例えば、N i S i 膜からなる。ソース電極 1 2 は、層間絶縁膜 1 1 によって、ゲート電極 1 0 と電氣的に絶縁されている。ソース電極 1 2 上には、A l または A l S i からなるソース電極パッド（不図示）が設けられている。ソース電極 1 2 と層間絶縁膜 1 1 との間に、例えばソース電極 1 2 からゲート電極 1 0 側への金属原子の拡散を防止する T i および T i N からなるバリアメタル（不図示）が設けられていてもよい。

[0044] 図1において、課題となるS J-MOSFETのボディダイオードは、p型ベース層6とn型高濃度領域5との間の寄生pnダイオードである。p型ベース層6は、p⁺型コンタクト領域8を介してソース電極12に接続されている。n型高濃度領域5は、n型カラム領域4、n型バッファ層17、およびn⁺型炭化珪素基板1を介してドレイン電極18に接続されている。S J-MOSFETの還流モードなどの場合に、ソース電極12の電位がドレイン電極18よりも高電位になり、ボディダイオードのしきい値電圧を超えると通電し、キャリアが注入されることになる。ボディダイオードの電流経路の一部は、上述のとおりS J-MOSFETのソースドレイン電流経路と重なっているため、ボディダイオードの通電劣化はS J-MOSFETの特性劣化に繋がる。

[0045] (実施の形態にかかる超接合炭化珪素半導体装置の製造方法)

次に、実施の形態にかかる超接合炭化珪素半導体装置の製造方法について説明する。図2～図8は、実施の形態にかかる超接合炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である。

[0046] まず、n型の単結晶4H-SiCでできたn⁺型炭化珪素基板1を用意する。そして、このn⁺型炭化珪素基板1の第1主面上に、n型バッファ層17およびn型ドリフト層2を順にエピタキシャル成長させる。n型バッファ層17とn型ドリフト層2とは前述したとおりわずかにn型不純物濃度が異なる素子を想定している。ここまでの状態が図2に記載される。

[0047] 次に、n型ドリフト層2の表面上に、フォトリソグラフィ技術によって所定の開口部を有するトレンチエッチング用マスクとなるSiO₂マスク23を形成する。ここまでの状態が図3に記載される。

[0048] 次に、ドライエッチングによってn型ドリフト層2内に、n⁺型炭化珪素基板1に達しない、n型ドリフト層2の膜厚と略等しい深さのS Jトレンチ24を形成する。ここまでの状態が図4に記載される。

[0049] 次に、S Jトレンチ24の底部にp型の不純物等をイオン注入し、p型領域19を形成する。S Jトレンチ24の底部にp型の不純物等をイオン注入

することで、イオン注入による結晶欠陥がn型バッファ層17に導入される。ここまでの状態が図5に記載される。イオン注入する元素は、例えば、Al、Alとn型の不純物（リン（P）、窒素（N）等）、Alと希ガス元素（ネオン（Ne）、アルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）等）である。Alとn型の不純物、Alと希ガス元素の場合は、Alのみの場合よりも、イオン注入元素の濃度を高くすることができ、欠陥量を増大させることができる。Alの代わりにp型の不純物として、ホウ素（B）を用いてもよい。この場合も、B単独、Bとn型の不純物、Bと希ガス元素をイオン注入してもよい。イオン注入温度は、注入時にイオン注入による結晶欠陥を回復させないため、室温で行うことが好ましい。

[0050] p型領域19の補償濃度（p型不純物とn型不純物の濃度差）は、以下で形成されるp型エピタキシャル層22と同程度の不純物濃度（ $1 \times 10^{16} / \text{cm}^3$ 以上 $1 \times 10^{17} / \text{cm}^3$ 以下）の範囲内であり、イオン注入元素の合計の最大濃度は $2 \times 10^{17} / \text{cm}^3$ 以下であることが好ましい。p型領域19の補償濃度がこれより高いとJFET抵抗が大きくなり、これより低いとイオン注入による欠陥が少なく、通電劣化を抑制する効果が低くなるためである。

[0051] また、p型領域19の厚みは $0.1 \mu\text{m}$ 以上 $1 \mu\text{m}$ 以下の範囲内であることが好ましい。p型領域19の厚みが、これより薄いとこの後のp型エピタキシャル層22のエピタキシャル成長の際に水素エッチングで消失してしまい、これより厚いと高加速イオン注入が必要になり、注入コストが増大するためである。

[0052] 次に、トレンチ形成用のSiO₂マスク23を除去する。次に、n型バッファ層17のおもて面側に、アルミニウム等のp型不純物をドーピングしながら炭化珪素でできた、p型エピタキシャル層22をエピタキシャル成長させ、SJトレンチ24をp型エピタキシャル層22で埋め戻す。p型エピタキシャル層22の不純物濃度は、 1×10^{16} 以上 $1 \times 10^{17} / \text{cm}^3$ 以下の範囲内である。ここまでの状態が図6に記載される。

[0053] イオン注入による結晶欠陥がエピタキシャル成長時に拡散し、n型バッ

ァ層 1 7 内に広がることで、ドリフト層のライフタイムが低下し、ボディダイオード通電時の通電劣化が抑制される。

[0054] 次に、この p 型エピタキシャル層 2 2 の表面を研磨することにより、p 型エピタキシャル層 2 2 を S J トレンチ 2 4 内部に残すことによって、p 型カラム領域 3 と n 型カラム領域 4 から構成される並列 p n 構造 2 1 を形成する。S J トレンチ 2 4 内部の p 型エピタキシャル層 2 2 が p 型カラム領域 3 となり、p 型カラム領域 3 に挟まれた n 型ドリフト層 2 の領域が n 型カラム領域 4 となる。図 7 において 2 → 4 とあるのはその意味である。ここまでの状態が図 7 に記載される。

[0055] 次に、イオン注入により第 1 p⁺型ベース領域 1 4 を形成した後、n 型ドリフト層 2 のおもて面側に、窒素原子をドーピングしながら炭化珪素でできた、下部の n 型高濃度領域 5 a をエピタキシャル成長させる。次に、選択的なイオン注入により下部の第 2 p⁺型ベース領域 1 5 a を形成する。さらにその上に、窒素原子をドーピングしながら炭化珪素でできた、上部の n 型高濃度領域 5 b をエピタキシャル成長させる。次に、選択的なイオン注入により上部の第 2 p⁺型ベース領域 1 5 b を形成する。下部の n 型高濃度領域 5 a と上部の n 型高濃度領域 5 b が n 型高濃度領域 5 を形成する。また下部の第 2 p⁺型ベース領域 1 5 a と上部の第 2 p⁺型ベース領域 1 5 b が第 2 p⁺型ベース領域 1 5 を形成する。

[0056] 次に、n 型高濃度領域 5 の表面上に、アルミニウム等の p 型不純物をドーピングした p 型ベース層 6 を形成する。次に、p 型ベース層 6 の表面上に、フォトリソグラフィによって所定の開口部を有するイオン注入用マスクを例えば酸化膜で形成する。この開口部にリン (P) 等の n 型の不純物をイオン注入し、p 型ベース層 6 の表面の一部に n⁺型ソース領域 7 を形成する。次に、n⁺型ソース領域 7 の形成に用いたイオン注入用マスクを除去し、同様の方法で、所定の開口部を有するイオン注入用マスクを形成し、p 型ベース層 6 の表面の一部にアルミニウム等の p 型の不純物をイオン注入し、p⁺型コンタクト領域 8 を形成してもよい。p⁺型コンタクト領域 8 の不純物濃度は、p 型

ベース層 6 の不純物濃度より高くなるように設定する。

[0057] 次に、1700℃程度の不活性ガス雰囲気中で熱処理（アニール）を行い、第1 p⁺型ベース領域 14、第2 p⁺型ベース領域 1、n⁺型ソース領域 7、p⁺型コンタクト領域 8 等の活性化処理を実施する。なお、上述したように1回の熱処理によって各イオン注入領域をまとめて活性化させてもよいし、イオン注入を行うたびに熱処理を行って活性化させてもよい。

[0058] 次に、p型ベース層 6 の表面上に、フォトリソグラフィによって所定の開口部を有するトレンチ形成用マスクを例えば酸化膜で形成する。次に、ドライエッチングによってp型ベース層 6 を貫通し、n型高濃度領域 5 に達するトレンチ 16 を形成する。トレンチ 16 の底部はn型高濃度領域 5 に形成された第1 p⁺型ベース領域 14 に達してもよい。次に、トレンチ形成用マスクを除去する。ここまでの状態が図 8 に記載される。

[0059] 次に、n⁺型ソース領域 7 の表面と、トレンチ 16 の底部および側壁と、に沿ってゲート絶縁膜 9 を形成する。このゲート絶縁膜 9 は、酸素雰囲気中において1000℃程度の温度の熱酸化によって形成してもよい。また、このゲート絶縁膜 9 は高温酸化（High Temperature Oxide : HTO）等のような化学反応によって堆積する方法で形成してもよい。

[0060] 次に、ゲート絶縁膜 9 上に、例えばリン原子がドーピングされた多結晶シリコン層を設ける。この多結晶シリコン層はトレンチ 16 内を埋めるように形成してもよい。この多結晶シリコン層をフォトリソグラフィによりパターニングし、トレンチ 16 内部に残すことによって、ゲート電極 10 を形成する。

[0061] 次に、ゲート絶縁膜 9 およびゲート電極 10 を覆うように、例えばリンガラスを1 μm程度の厚さで成膜し、層間絶縁膜 11 を形成する。次に、層間絶縁膜 11 を覆うように、チタン（Ti）または窒化チタン（TiN）からなるバリアメタル（不図示）を形成してもよい。層間絶縁膜 11 およびゲート絶縁膜 9 をフォトリソグラフィによりパターニングし、n⁺型ソース領域 7 を露出させたコンタクトホールを形成する。p⁺型コンタクト領域 8 を形成し

た場合、 n^+ 型ソース領域 7 および n^+ 型ソース領域 7 を露出させたコンタクトホールを形成する。

[0062] 次に、コンタクトホール内および層間絶縁膜 11 上に導電性の膜（不図示）を設ける。この導電性の膜を選択的に除去してコンタクトホール内にのみ導電性の膜を残し、 n^+ 型ソース領域 7 と導電性の膜とを接触させる。 p^+ 型コンタクト領域 8 を形成した場合、 n^+ 型ソース領域 7 および p^+ 型コンタクト領域 8 と導電性の膜とを接触させる。導電性の膜は、例えばニッケルシリサイドとしてもよい。次に、アルミニウム等のソース電極 12 を設ける。

[0063] 次に、 n^+ 型炭化珪素半導体基板 1 の第 2 主面上に、ニッケル等の裏面電極を設ける。この後、 1000°C 程度の不活性ガス雰囲気中で熱処理を行って、 n^+ 型炭化珪素半導体基板 1 とオーミック接合するドレイン電極 18 を形成する。

[0064] 次に、例えばスパッタ法によって、炭化珪素半導体基体のおもて面のソース電極 12 上および層間絶縁膜 11 の上部に、端子をはんだ付けするためのソース電極パッド（不図示）となる電極パッドを堆積する。以上のようにして、図 1 に示す超接合炭化珪素半導体装置が完成する。

[0065] なお、図 1 ではトレンチ構造の MOSFET を例にとったが、トレンチ 16 を形成しないプレーナ構造の MOSFET の場合は、以下のように変更すればよい。すなわち、 p 型ベース層 6 の表面領域の一部に、 n 型ウェル領域を形成し、炭化珪素半導体基体のおもて面側を熱酸化し、ゲート絶縁膜 9 を形成し、 p 型ベース層 6 および p 型ベース層 6 の表面に形成された各領域をゲート絶縁膜 9 で覆い、ゲート絶縁膜 9 上に、ゲート電極 10 として、多結晶シリコン層を形成し、多結晶シリコン層をパターニングして選択的に除去し、 p 型ベース層 6 の n^+ 型ソース領域 7 と n 型ウェル領域に挟まれた部分上に多結晶シリコン層を残し、ゲート電極 7 を覆うように、層間絶縁膜 11 を形成する。

[0066] 図 9 は、実施の形態にかかる SJ-MOSFET の p 型領域の A_1 濃度プロファイルをシミュレーション（モンテカルロ法）した結果を示すグラフで

ある。図9において、横軸は、 p^+ 型コンタクト領域8の表面からの深さを示し、単位は μm である。縦軸は、 $A I$ の不純物濃度を示し、単位は、 cm^{-3} である。図9に示すように、 p 型カラム領域3と p 型領域19の境目で、 $A I$ の不純物濃度が $2 \times 10^{15} / cm^3$ 程度まで急激に減少する濃度スパイクが入っている。つまり、この境界で、 $A I$ の不純物濃度は、 p 型領域19の最大 $A I$ 濃度（この例では約 $8 \times 10^{16} / cm^3$ ）の $1 / 10$ 以下になる領域を有する。これは実施の形態にかかる $S J-M O S F E T$ の製造方法に伴う構造上の特徴であり、トレンチ底にイオン注入した際に、トレンチ底の最表面の濃度がイオン注入飛程の影響で低くなっているためである。 p 型カラム領域3と p 型領域19の不純物濃度は同程度で $1 \times 10^{16} / cm^3$ 以上 $1 \times 10^{17} / cm^3$ 以下である。

[0067] 図10は、実施の形態にかかる $S J-M O S F E T$ の p 型領域の $A I$ 、 P 濃度プロファイルをシミュレーションした結果を示すグラフである。図10において、横軸は、 p^+ 型コンタクト領域8の表面からの深さを示し、単位は μm である。縦軸は、 $A I$ 、 P の不純物濃度を示し、単位は、 cm^{-3} である。図10に示すように、 p 型カラム領域3と p 型領域19の境目で、 $A I$ の不純物濃度が $2 \times 10^{15} / cm^3$ 程度まで急激に減少する濃度スパイクが入っている。つまり、図10でも図9と同様に p 型カラム領域3と p 型領域19の境界で、 p 型領域19の最大 $A I$ 濃度（この例では約 $1 \times 10^{17} / cm^3$ ）の $1 / 10$ 以下になる領域がある。 p 型領域19の少なくとも一部に $A I$ と P の両方が注入されている領域が存在する。

[0068] また、 p 型カラム領域3の補償濃度と p 型領域19の不純物濃度は同程度で $1 \times 10^{16} / cm^3$ 以上 $1 \times 10^{17} / cm^3$ 以下である。イオン注入時の結晶構造の破壊を防ぐため、イオン注入された元素の合計の最大濃度は $2 \times 10^{17} / cm^3$ 以下であることが好ましい。図10は、 P の例であるが、 N の場合も同様である。

[0069] 図11は、実施の形態にかかる $S J-M O S F E T$ の p 型領域の $A I$ 、 $A r$ 濃度プロファイルをシミュレーションした結果を示すグラフである。図1

1において、横軸は、 p^+ 型コンタクト領域8の表面からの深さを示し、単位は μm である。縦軸は、 A_I 、 A_r の不純物濃度を示し、単位は、 cm^{-3} である。図11に示すように、 p 型カラム領域3と p 型領域19の境目で、 A_I の不純物濃度が $2 \times 10^{15} / cm^3$ 程度まで急激に減少する濃度スパイクが入っている。つまり、図11でも図9と同様に p 型カラム領域3と p 型領域19の境界で、 p 型領域19の最大 A_I 濃度（この例では約 $8 \times 10^{16} / cm^3$ ）の $1/10$ 以下になる領域がある。 p 型領域19の少なくとも一部に A_I と A_r の両方が注入されている領域が存在する。

[0070] また、 p 型カラム領域3と p 型領域19の不純物濃度は同程度で $1 \times 10^{16} / cm^3$ 以上 $1 \times 10^{17} / cm^3$ 以下である。イオン注入時の結晶構造の破壊を防ぐため、イオン注入された元素の合計の最大濃度は $2 \times 10^{17} / cm^3$ 以下であることが好ましい。図11は、 A_r の例であるが、他の不活性元素（ Ne ， Kr ， Xe ）の場合も同様である。

[0071] 以上、説明したように、実施の形態にかかる超接合炭化珪素半導体装置および超接合炭化珪素半導体装置の製造方法によれば、 SJ トレンチ形成後に、 SJ トレンチ底に、 p 型の不純物等のイオン注入が行われ、ドリフト層にイオン注入による欠陥が導入される。この結晶欠陥が、 p 型エピタキシャル層のエピタキシャル成長時に拡散し、ドリフト層の少なくとも一部に広がることで、ドリフト層のライフタイムを低下させることができる。このため、ボディダイオード通電時の通電劣化を抑制することができる。 SJ トレンチ底に、 p 型の不純物等をイオン注入することによる構造上の特徴は、 p 型カラム領域3と p 型領域19の境目で、 A_I の不純物濃度が、 p 型領域19の最大 A_I 濃度の $1/10$ 以下になる濃度スパイクに対応づけられる。

[0072] 更にボディダイオードの通電劣化の抑制を詳細に説明すると以下の通りである。イオン注入により形成された p 型領域19の結晶欠陥は、隣接する n 型バッファ層17や n 型カラム領域4にも拡散し、それらの領域のキャリアライフタイムを短くする。ボディダイオードの通電劣化の主たる原因は、少数キャリアである正孔が n^+ 型炭化珪素基板1に到達して一定以上の密度に

なった際に、電子と再結合した際のエネルギーによって n^+ 型炭化珪素基板1に残存する積層欠陥（基底面転位）が拡大することにある。ボディダイオードの通電時に n 型カラム領域4に多量の少数キャリア（正孔）が注入された場合であっても、 n 型バッファ層17や n 型カラム領域4のキャリアライフタイムが短くなっている領域があると、少数キャリア（正孔）の n^+ 型炭化珪素基板1への到達が抑制される。これにより n^+ 型炭化珪素基板1からの積層欠陥の拡大を抑制できる。

[0073] 以上において本開示では、炭化珪素でできた炭化珪素基板の主面を（0001）面とし当該（0001）面上にMOSを構成した場合を例に説明したが、これに限らず、ワイドバンドギャップ半導体、基板主面の面方位などを種々変更可能である。また、本開示の実施の形態では、トレンチ型MOSFETを例に説明したが、これに限らず、プレーナ型MOSFETなどのMOS型半導体装置など様々な構成の半導体装置に適用可能である。また図1では、ドリフト層64をバルクドリフト層61とSJ構造62で構成するいわゆるセミSJ構造を例示した。これに代えてバルクドリフト層61を省略し、 p 型領域19の底面が n^+ 型炭化珪素基板1に接するフルSJ構造を採用してもよい。

産業上の利用可能性

[0074] 以上のように、本開示にかかる超接合炭化珪素半導体装置および超接合炭化珪素半導体装置の製造方法は、電力変換装置や種々の産業用機械などの電源装置などに使用される高耐圧半導体装置に有用である。

符号の説明

- [0075]
- 1 n^+ 型炭化珪素基板
 - 2 n 型ドリフト層
 - 3 p 型カラム領域
 - 4 n 型カラム領域
 - 5 n 型高濃度領域
 - 6 p 型ベース層

- 7 n⁺型ソース領域
- 8 p⁺型コンタクト領域
- 9 ゲート絶縁膜
- 10 ゲート電極
- 11 層間絶縁膜
- 12 ソース電極
- 14 第1 p⁺型ベース領域
- 15 第2 p⁺型ベース領域
- 16 トレンチ
- 17 n型バッファ層
- 18 ドレイン電極
- 19 p型領域
- 21 並列 p n 構造
- 22 p型エピタキシャル層
- 23 SiO₂マスク
- 24 S J トレンチ
- 50 S J - M O S F E T
- 61 バルクドリフト層
- 62 S J 構造
- 63 M O S 構造
- 64 ドリフト層
- 126 積層欠陥

請求の範囲

[請求項1]

第1導電型の炭化珪素半導体基板と、

前記炭化珪素半導体基板のおもて面に設けられた第1導電型の第1半導体層と、

前記第1半導体層の、前記炭化珪素半導体基板側に対して反対側の表面に設けられた、第1導電型の第1カラム領域と第2導電型の第2カラム領域とが前記おもて面に平行な面において繰り返し交互に配置された並列p-n領域と、

前記並列p-n領域の、前記炭化珪素半導体基板側に対して反対側の表面に設けられた第2導電型の第2半導体層と、

前記第2半導体層の内部に選択的に設けられた前記第1半導体層よりも不純物濃度の高い第1導電型の第1半導体領域と、

前記第2半導体層の一部と前記第1半導体領域の一部に接するゲート絶縁膜を介して設けられたゲート電極と、

前記第1半導体領域および前記第2半導体層に接する第1電極と、

前記炭化珪素半導体基板の裏面に設けられた第2電極と、

を備え、

前記第2カラム領域の底面に、前記第2カラム領域と接し、第2導電型の不純物が添加された第2導電型の第2半導体領域が前記第1半導体層内に設けられ、

前記第2半導体領域と前記第2カラム領域の境界において、前記第2導電型の不純物の濃度は、前記第2半導体領域の前記第2導電型の不純物の最大濃度に対して、 $1/10$ 以下に減少する濃度スパイクを有することを特徴とする超接合炭化珪素半導体装置。

[請求項2]

前記第2半導体領域は、前記第1半導体層に、前記第2導電型の不純物、前記第2導電型の不純物と第1導電型の不純物、または前記第2導電型の不純物と希ガス元素を注入した領域であることを特徴とする請求項1に記載の超接合炭化珪素半導体装置。

- [請求項3] 前記第2導電型の不純物は、アルミニウムまたはホウ素であり、
前記第1導電型の不純物は、リンまたは窒素であり、
前記希ガス元素は、ネオン、アルゴン、クリプトンまたはキセノンであることを特徴とする請求項2に記載の超接合炭化珪素半導体装置。
- [請求項4] 前記第2半導体領域は、補償濃度が $1 \times 10^{16} / \text{cm}^3$ 以上 $1 \times 10^{17} / \text{cm}^3$ 以下の範囲内であり、注入された元素の合計の最大濃度は $2 \times 10^{17} / \text{cm}^3$ 以下であることを特徴とする請求項1に記載の超接合炭化珪素半導体装置。
- [請求項5] 前記第2半導体領域は、厚みが $0.1 \mu\text{m}$ 以上 $1 \mu\text{m}$ 以下の範囲内であることを特徴とする請求項1に記載の超接合炭化珪素半導体装置。
- [請求項6] 前記ゲート絶縁膜を介して設けられた前記ゲート電極が、前記第1半導体領域および前記第2半導体層を貫通して前記第1半導体層に達するトレンチの内部に設けられることを特徴とする請求項1に記載の超接合炭化珪素半導体装置。
- [請求項7] 第1導電型の炭化珪素半導体基板のおもて面に第1導電型の第1半導体層を形成する第1工程と、
前記第1半導体層の、前記炭化珪素半導体基板側に対して反対側の表面から、前記炭化珪素半導体基板に達しないSJTレンチを形成する第2工程と、
前記SJTレンチの底に、不純物をイオン注入することにより、第2導電型の第2半導体領域を形成する第3工程と、
前記SJTレンチを埋め込むように第2導電型の第3半導体層をエピタキシャル成長させる第4工程と、
前記第3半導体層の表面を研磨し、前記第3半導体層を前記SJTレンチ内部に残すことにより、前記第1半導体層の、前記炭化珪素半導体基板側に対して反対側の表面に、第1導電型の第1カラム領域と

第2導電型の第2カラム領域とが前記おもて面に平行な面において繰り返し交互に配置された並列p n領域を形成する第5工程と、

前記並列p n領域の、前記炭化珪素半導体基板側に対して反対側の表面に第2導電型の第2半導体層を形成する第6工程と、

前記第2半導体層の内部に選択的に前記第1半導体層よりも不純物濃度の高い第1導電型の第1半導体領域を形成する第7工程と、

前記第2半導体層の一部と前記第1半導体領域の一部に接するゲート絶縁膜を介してゲート電極を形成する第8工程と、

前記第1半導体領域および前記第2半導体層に接する第1電極を形成する第9工程と、

前記炭化珪素半導体基板の裏面に第2電極を形成する第10工程と、

を含むことを特徴とする超接合炭化珪素半導体装置の製造方法。

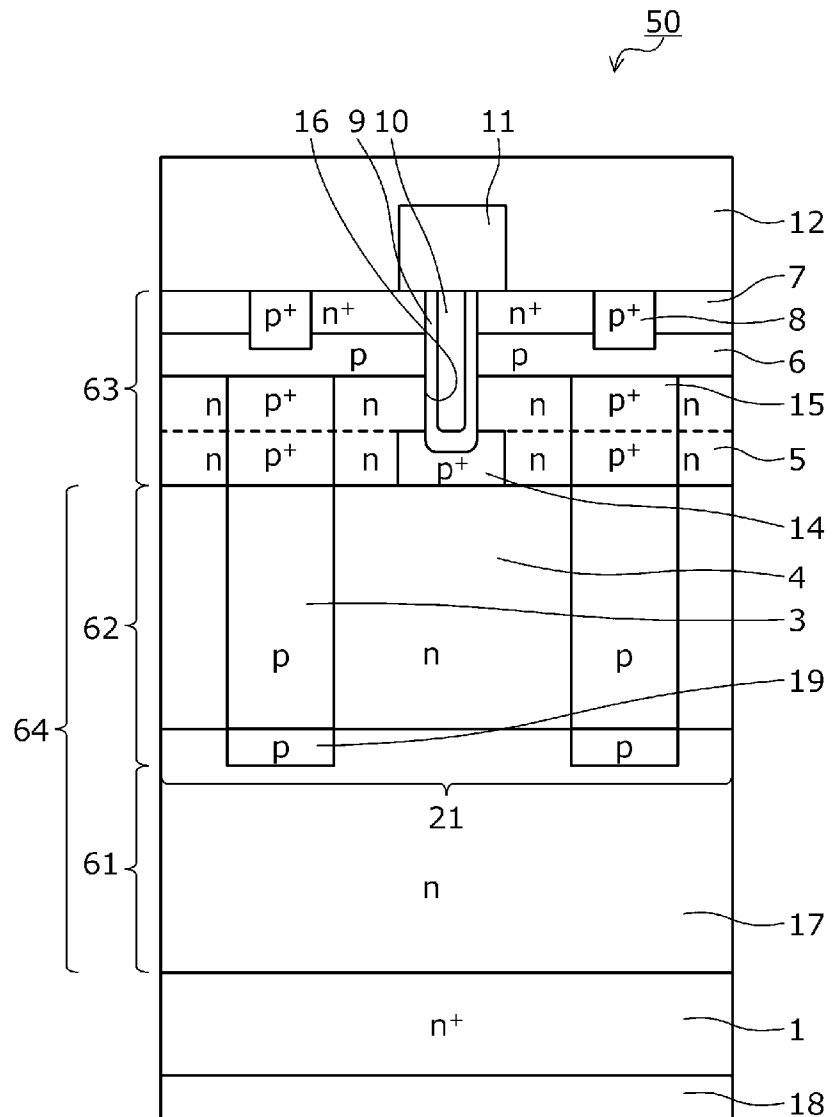
[請求項8]

前記不純物は、第2導電型の不純物、第2導電型の不純物と第1導電型の不純物または第2導電型の不純物と希ガス元素であることを特徴とする請求項7に記載の超接合炭化珪素半導体装置の製造方法。

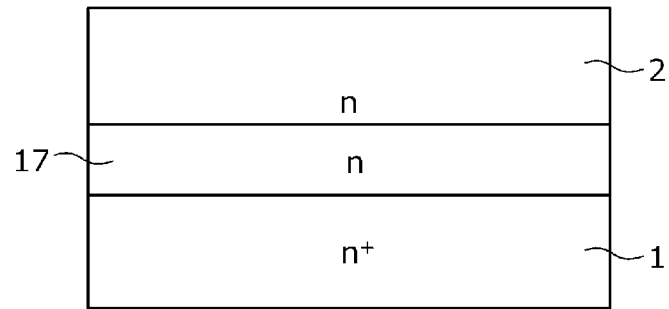
[請求項9]

前記第8工程は、前記第1半導体領域および前記第2半導体層を貫通して、前記第1半導体層に達するトレンチを形成し、前記トレンチの内部にゲート絶縁膜を介してゲート電極を形成することを特徴とする請求項7に記載の超接合炭化珪素半導体装置の製造方法。

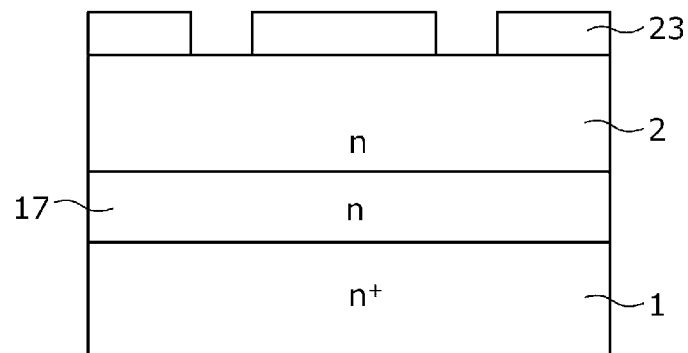
[図1]



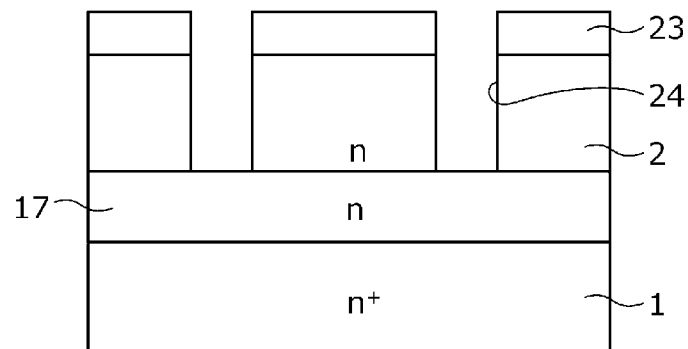
[図2]



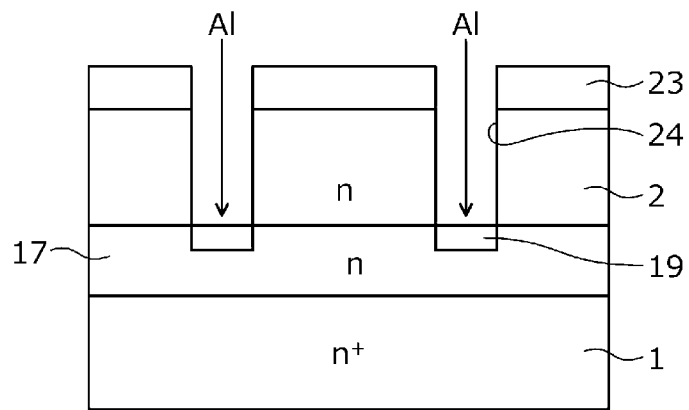
[図3]



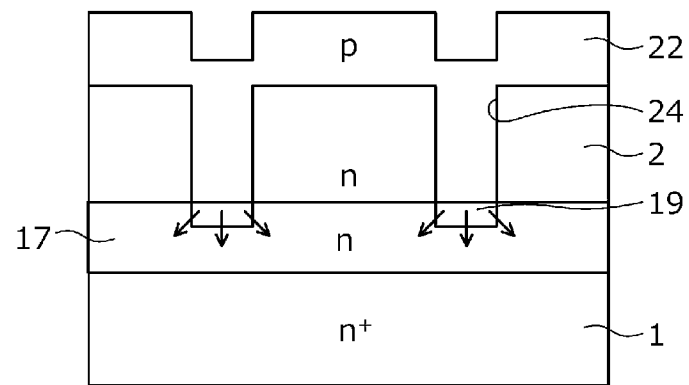
[図4]



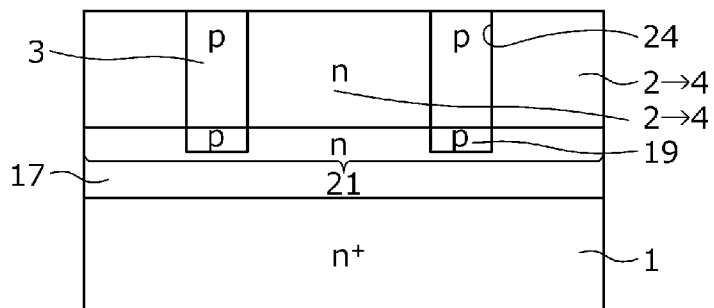
[図5]



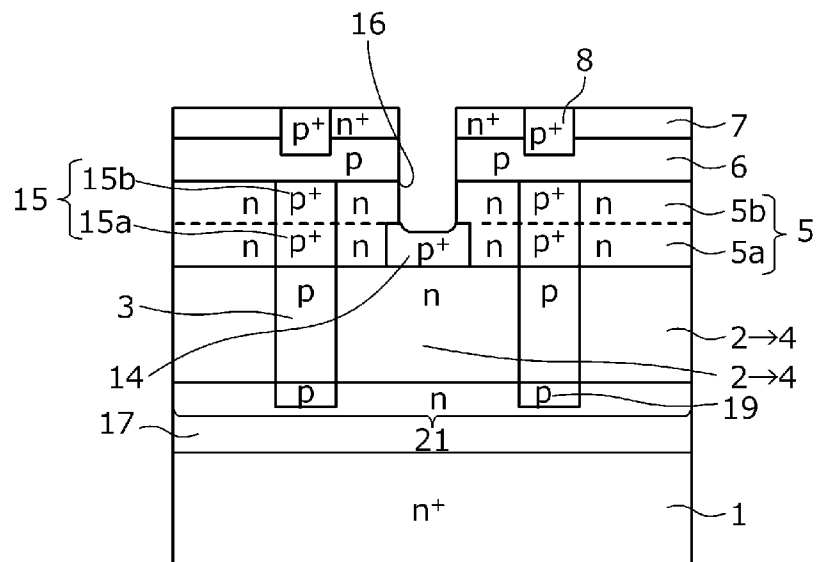
[図6]



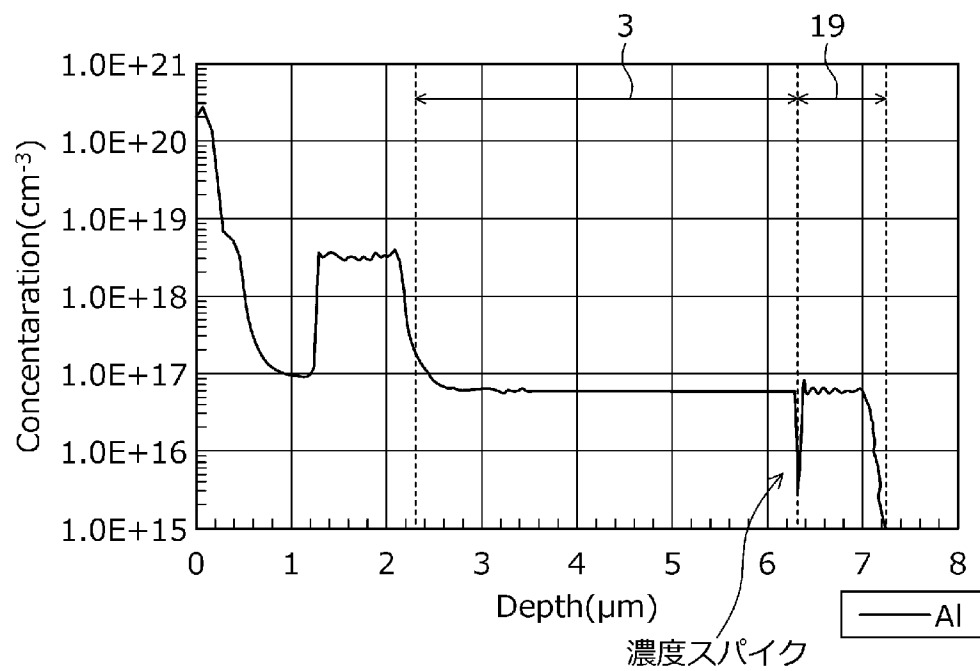
[図7]



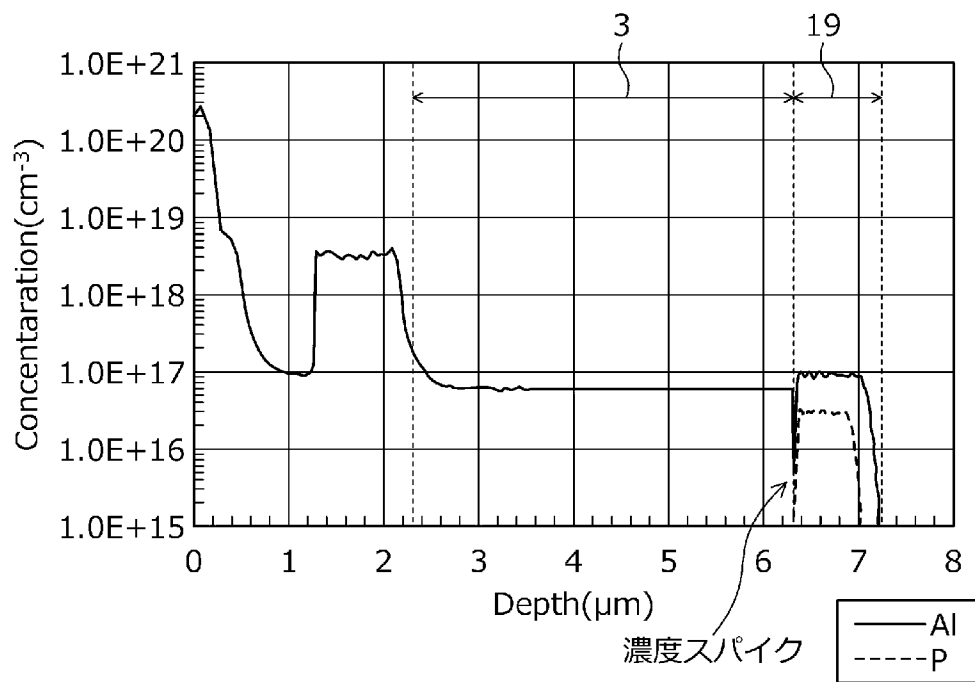
[図8]



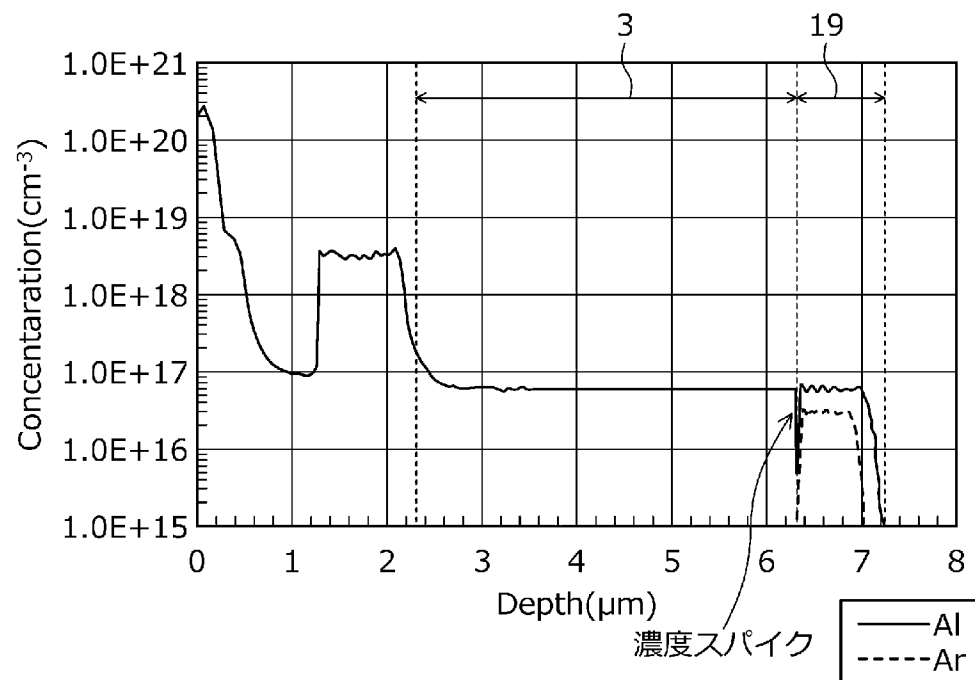
[図9]



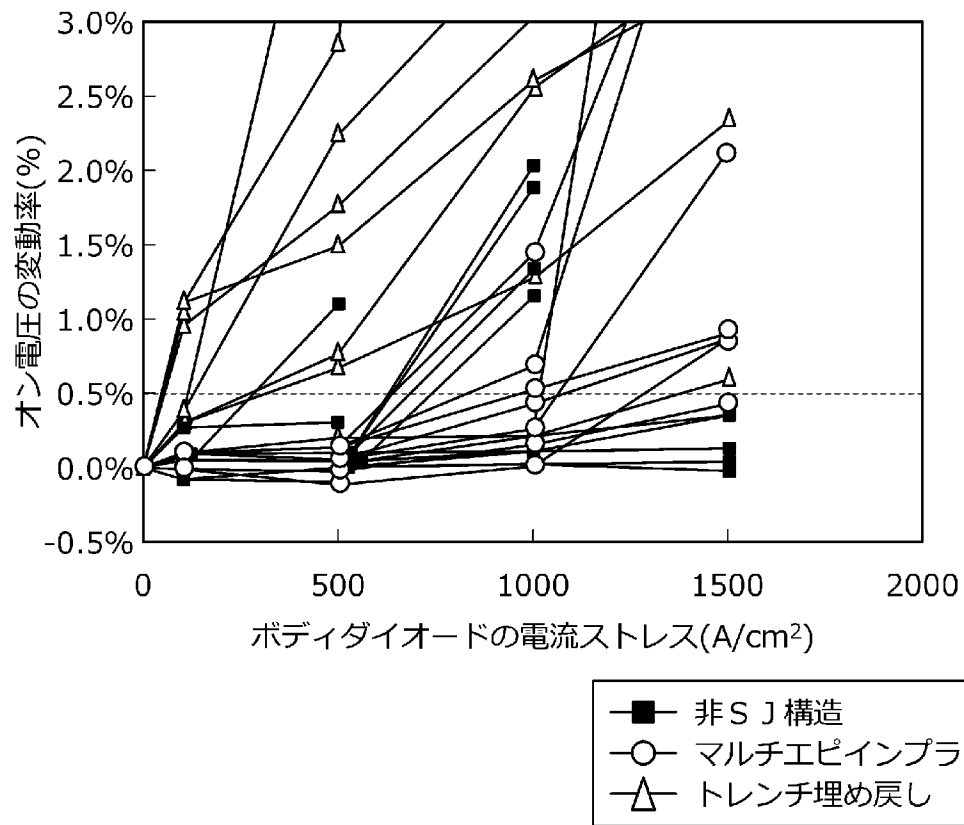
[図10]



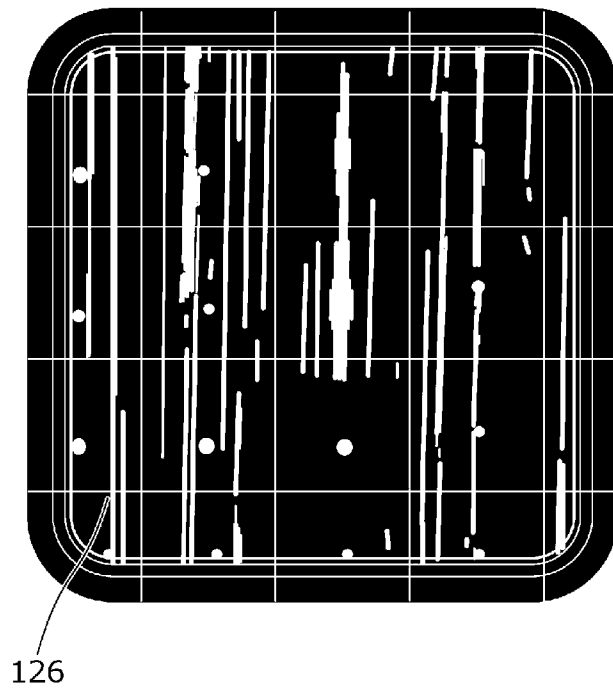
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/037282

A. CLASSIFICATION OF SUBJECT MATTER H10D 30/66 (2025.01)i; H01L 21/265 (2006.01)i; H10D 30/01 (2025.01)i; H10D 62/10 (2025.01)i FI: H01L29/78 652H; H01L29/78 652T; H01L29/78 653A; H01L29/78 652J; H01L29/78 658H; H01L21/265 R; H01L29/78 658A; H01L29/78 658E; H01L29/06 301D; H01L29/06 301V According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L29/78; H01L21/265; H01L21/336; H01L29/06; H01L29/12 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2023-139377 A (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) 04 October 2023 (2023-10-04) entire text, all drawings	1-9
A	JP 2013-102111 A (ROHM CO., LTD.) 23 May 2013 (2013-05-23) entire text, all drawings	1-9
A	JP 2020-47623 A (KABUSHIKI KAISHA TOSHIBA) 26 March 2020 (2020-03-26) entire text, all drawings	1-9
A	WO 2023/157972 A1 (FUJI ELECTRIC CO., LTD.) 24 August 2023 (2023-08-24) entire text, all drawings	1-9
A	WO 2019/087424 A1 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) 09 May 2019 (2019-05-09) entire text, all drawings	1-9
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 12 December 2024		Date of mailing of the international search report 24 December 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/037282

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2019/130513 A1 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) 04 July 2019 (2019-07-04) entire text, all drawings	1-9

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/037282

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2023-139377	A	04 October 2023	US	2023/0317842	A1	
JP	2013-102111	A	23 May 2013	US	2013/0134478	A1	
JP	2020-47623	A	26 March 2020	US	2020/0091335	A1	
				CN	110911471	A	
WO	2023/157972	A1	24 August 2023	CN	118511283	A	
WO	2019/087424	A1	09 May 2019	US	2020/0020536	A1	
WO	2019/130513	A1	04 July 2019	US	2020/0119187	A1	
				CN	110462839	A	
				TW	201941425	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H10D 30/66(2025.01)i; H01L 21/265(2006.01)i; H10D 30/01(2025.01)i; H10D 62/10(2025.01)i
FI: H01L29/78 652H; H01L29/78 652T; H01L29/78 653A; H01L29/78 652J; H01L29/78 658H; H01L21/265 R;
H01L29/78 658A; H01L29/78 658E; H01L29/06 301D; H01L29/06 301V

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L29/78; H01L21/265; H01L21/336; H01L29/06; H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年
日本国公開実用新案公報1971-2024年
日本国実用新案登録公報1996-2024年
日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2023-139377 A（国立研究開発法人産業技術総合研究所）04.10.2023（2023-10-04） 全文，全文	1-9
A	JP 2013-102111 A（ローム株式会社）23.05.2013（2013-05-23） 全文，全文	1-9
A	JP 2020-47623 A（株式会社東芝）26.03.2020（2020-03-26） 全文，全文	1-9
A	WO 2023/157972 A1（富士電機株式会社）24.08.2023（2023-08-24） 全文，全文	1-9
A	WO 2019/087424 A1（新電元工業株式会社）09.05.2019（2019-05-09） 全文，全文	1-9
A	WO 2019/130513 A1（新電元工業株式会社）04.07.2019（2019-07-04） 全文，全文	1-9

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日
12.12.2024

国際調査報告の発送日
24.12.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

市川 武宜 5F 4056

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/037282

引用文献			公表日	パテントファミリー文献			公表日
JP	2023-139377	A	04.10.2023	US	2023/0317842	A1	
JP	2013-102111	A	23.05.2013	US	2013/0134478	A1	
JP	2020-47623	A	26.03.2020	US	2020/0091335	A1	
				CN	110911471	A	
WO	2023/157972	A1	24.08.2023	CN	118511283	A	
WO	2019/087424	A1	09.05.2019	US	2020/0020536	A1	
WO	2019/130513	A1	04.07.2019	US	2020/0119187	A1	
				CN	110462839	A	
				TW	201941425	A	