



[12] 发明专利说明书

[21] ZL 专利号 99123467.7

[45] 授权公告日 2004 年 6 月 16 日

[11] 授权公告号 CN 1154227C

[22] 申请日 1999. 11. 11 [21] 申请号 99123467.7

[30] 优先权

[32] 1998. 11. 18 [33] US [31] 09/195754

[71] 专利权人 朗迅科技公司

地址 美国新泽西州

[72] 发明人 罗伯特·伊万·迈尔

审查员 田 竞

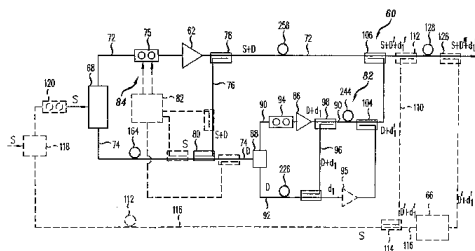
[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所
代理人 蒋世迅

权利要求书 4 页 说明书 17 页 附图 3 页

[54] 发明名称 嵌套前馈失真减小系统

[57] 摘要

一种减小主信号路径上来自放大器的失真的嵌套前馈失真减小系统，使用一个嵌套前馈装置用于校正放大器，以减小由该校正放大器产生的失真。在减小来自校正放大器的失真以及逐级使用更高质量的校正放大器时，该嵌套前馈装置产生来自放大器的失真的一个改进的、更稳定的表示，由此减轻了在产生带减小的失真的放大的信号时可变的增益和/或相位控制的需要。



1. 一种减小放大信号中的失真的方法，所述方法其特征在于：
 - 将一个信号分路到一个主信号路径和一个前馈路径；
 - 放大来自所述主信号路径的所述信号以在所述主信号路径上产生带失真的所述放大的信号；
 - 获得带所述失真的所述放大信号的一部分；
 - 将带所述失真的所述放大信号的所述部分与来自所述前馈路径的所述信号合并，以提供所述前馈路径上的所述失真；
 - 将所述前馈路径上的所述失真分路到一个校正路径和一个嵌套前馈路径；
 - 放大所述校正路径上的所述失真，以在所述校正路径上产生带二次失真的放大的失真；
 - 获得带有所述二次失真的所述放大失真的一部分；
 - 将带所述二次失真的所述放大失真的所述部分与来自所述嵌套前馈路径的所述失真合并，以提供所述嵌套前馈路径上的所述二次失真；
 - 将所述二次失真分路到一个第二校正路径和一个第二嵌套前馈路径；
 - 放大所述第二校正路径上的所述二次失真，以在所述第二校正路径上产生带三次失真的所述放大的二次失真；
 - 获得带所述三次失真的所述放大的二次失真的一部分；
 - 将带所述三次失真的所述放大的二次失真的所述部分与所述第二嵌套前馈路径上的所述二次失真合并，以提供所述第二嵌套前馈路径上的所述三次失真；
 - 前馈所述三次失真，以与所述第二校正路径上的所述三次失真合并并且减小所述第二校正路径上的所述三次失真；
 - 将所述第二校正路径上的所述放大的二次失真与所述校正路径上的所述放大的二次失真合并，以减小所述校正路径上的所述二次

失真；和

将带有来自所述校正路径的减小的二次失真的所述失真与所述主信号路径上的所述失真合并。

2. 根据权利要求 1 所述的方法，其特征在于：

使用固定的相位和幅值调节，调节带所述二次失真的所述失真的所述部分与所述嵌套前馈路径上的所述失真之间的相对相位和幅值。

3. 根据权利要求 2 所述的方法，其特征在于：

使用固定的相位和幅值调节，调节带所述失真的所述放大信号的所述部分与所述前馈路径上的所述信号之间的相对相位和幅值。

4. 根据权利要求 1 所述的方法，其特征在于：

使用固定的相位和幅值调节，调节带所述三次失真的所述放大的二次失真的所述部分与所述第二嵌套前馈路径上的所述二次失真信号之间的相对相位和幅值。

5. 根据权利要求 1 所述的方法，其特征在于，所述前馈包括：放大所述第二嵌套前馈路径上的所述三次失真。

6. 一种失真减小系统，其特征在于：

第一分路装置，用于接收一个信号并且提供所述信号到一个主信号路径和一个前馈路径；

一个主放大器，在所述主信号路径上，用于放大来自所述主信号路径的所述信号以在所述主信号路径上产生带失真的所述放大的信号；

一个耦合装置，在所述主信号路径上，用于提供带所述失真的所述放大的信号的一部分到第一耦合路径；

一个合并装置，在所述前馈路径上，用于将带所述失真的所述放大的信号的所述部分与来自所述前馈路径的所述信号合并，以提供所述前馈路径上的所述失真；

第二分路装置，用于接收所述前馈路径上的所述失真并且提供所述失真到一个校正路径和一个嵌套前馈路径；

一个校正放大器，在所述校正路径上，用于放大所述校正路径上的所述失真，以在所述校正路径上产生带二次失真的放大的失真；

一个耦合装置，在所述校正路径上，提供带所述二次失真的所述放大的失真的一部分到一个嵌套耦合路径；

一个第二合并装置，在所述嵌套前馈路径上，用于将带所述二次失真的所述放大的失真的所述部分与来自所述嵌套前馈路径的所述失真合并，以提供所述嵌套前馈路径上的所述二次失真；

一个嵌套前馈回路，包括：

一个第三分路装置，用于接收所述嵌套前馈路径上的所述二次失真并且提供所述二次失真到一个第二校正路径和一个第二嵌套前馈路径；

一个第二校正放大器，在所述第二校正路径上，用于放大所述第二校正路径上的所述二次失真，以在所述校正路径上产生带三次失真的放大的二次失真；

一个耦合装置，在所述第二校正路径上，提供带所述三次失真的所述放大的二次失真的一部分到第二嵌套耦合路径；

一个合并装置，在所述第二嵌套前馈路径上，用于将带有来自所述第二嵌套耦合路径的所述三次失真的所述放大的二次失真的所述部分与来自所述第二嵌套前馈路径的所述二次失真合并，以提供所述第二嵌套前馈路径上的所述三次失真；

一个第三校正放大器，在所述第二嵌套前馈路径上，放大所述三次失真；

一个第四合并装置，在所述第二校正路径上，将所述第二校正路径上带所述三次失真的所述放大的二次失真与所述第二嵌套前馈路径上的所述三次失真合并，以减小来自所述第二校正路径的所述三次失真；

一个第五合并装置，在所述校正路径上，将所述校正路径上带二次失真的所述放大的失真与所述第二校正路径上来自所述

合并装置的所述二次失真合并，以减小所述校正路径上的所述二次失真；和

所述主信号路径上的第三合并装置，用于将来自所述校正路径的所述放大的失真与所述主信号路径上的所述失真合并，以提供所述主信号路径上的所述减小的失真。

7. 根据权利要求6所述的系统，其特征在于：

一个增益和相位调节器，用于在所校正路径上带第二失真的所述放大的失真与所述前馈路径上的所述失真之间提供固定的相对相位和增益调节。

8. 根据权利要求7所述的系统，其特征在于：

第三增益和相位调节器，用于在所述第二校正路径上带三次失真的所述放大的第二失真与所述第二嵌套前馈路径上的所述第二失真之间提供固定的相对相位和增益调节。

嵌套前馈失真减小系统

技术领域:

本发明涉及放大器并且尤其涉及用于放大器的一种嵌套前馈失真减小系统。

背景技术:

放大器通常在一个信号上加上不希望有的失真，产生的输出信号包括失真或非线性分量以及输入信号分量。该失真包括加到该信号上或对该信号有不利影响的任何干扰信号。因此有必要发明能够基本消除或显著减小由放大器产生的失真的技术。

前馈校正通常用于现代放大器中，以改进放大器对不同输入模式的线性。前馈校正的实质是处理由放大器产生的失真，例如互调（IMD）分量，使得在最后的叠加点处消除失真。由于输入信号模式以及合成的失真位置的不可预见性，一些前馈方案在主信号路径上注入一个已知信号，即导频信号，与放大过程产生的失真一起传输。通过设计前馈失真减小电路以探测和减小该导频信号，失真也被减小了。

图1公开了一种前馈校正电路10，它能够使用一个导频信号以减小由RF放大器12产生的失真。信号例如一个载波信号被加到分路器14。分路器14复制或产生位于主信号路径16和前馈路径18上的信号的一个模拟表示。分路器14是称为回路#1的前馈回路的一部分，回路#1除了分路器14以外，还包括增益和相位电路20、耦合器22、RF放大器12、延迟电路24以及耦合器26和28。主路径16上的信号被加到增益和相位电路20。增益和相位电路20的输出与导频信号被加到耦合器22。典型地，导频信号的幅值比信号的幅值小得多（例如小30dB），使得不会影响放大器12的工作。耦合器22的输出被加到放大器12，放大器12的输出包括放大的信号、放大的导频信号以及由放大器12产生的失真信号。放大器的输出的一部分从耦合器26引出，并且通过耦合路径30在耦合器28处与信号（路

径 18 上的信号) 的延迟形式合并。路径 18 上的信号已经经历了由延迟电路 24 提供的足够的延迟, 使得这样的信号与通过路径 30 在耦合器 28 处出现的信号经历了相同的延迟。

增益和相位电路 20 通过控制路径 32 由控制信号控制以调节信号的增益和相位, 使得通过路径 30 在耦合器 28 处出现的信号与耦合器 28 处的延迟信号基本反相(幅值相同但相位相差 180°)。在增益和相位电路 20 的控制路径 32 上出现的控制信号以众所周知的方式如使用探测电路从点 A 处的信号导出。探测电路探测信号的众所周知的电信号特性例如幅值、相位和频率。因此, 加到耦合器 28 的信号基本相互补偿, 在点 A 处留下导频信号和由放大器 12 产生的失真。因而, 回路#1 是一个前馈回路, 用于在点 A 处隔离导频信号和由放大器 12 产生的失真信号。

在点 A 处出现的信号(导频信号和失真信号)被馈入增益和相位电路 34, 增益和相位电路 34 的输出馈入主校正放大器 36, 主校正放大器 36 的输出馈入耦合器 38。放大器 12 的输出信号(信号、导频信号和失真信号)的一部分馈入延迟电路 40, 延迟电路 40 的输出馈入耦合器 38。延迟电路 40 使得来自放大器 12 的输出并加到耦合器 38 的信号与来自放大器 36 的输出并加到耦合器 38 的信号经历基本相同的延迟。

导频信号用于获得有关主信号路径 16 中失真补偿程度的信息。该信息是通过探测导频信号的众所周知的电信号特性, 例如该导频信号的幅值、频谱成分、相位响应而获得的。例如, 耦合器 38 处补偿后的导频信号的幅值能够显示失真补偿的程度。如果该导频信号的幅值在耦合器 38 后很小, 则失真的幅值也很小。探测电路 42, 例如连接到一个对数探测器的混频器(或其它已知的探测电路), 将探测该导频信号, 并且利用该信息产生控制信号到路径 46 上, 以使增益和相位电路 34 修改点 A 处的导频信号, 使得主路径 16 上耦合器 38 处的导频信号与前馈路径 18 上耦合器 38 处的导频信号基本反相(幅值相同但相位相差 180°)。耦合器 38 处的相应的导频信号和

失真信号分别相互基本补偿，在系统的输出处留下信号（或信号的放大形式）。因此，包括耦合器 26、耦合器 28、增益和相位电路 34、放大器 36、耦合器 38 和延迟电路 40 的回路#2 是一个前馈回路，它利用从导频信号获得的信息基本补偿由放大器 12 产生的失真。

但是，在实际系统中，很少有失真和导频信号的完全补偿。前馈失真减小系统要求严格的工作容限，例如，为实现 IMD 中 30dB 的减小，典型的前馈校正系统可能要求+或-0.1dB 的频率平坦响应（工作频带上的幅值偏差）以及+或-1 度的相位线性（工作频带上关于直线的相位偏差）。获得这样的精度很困难。在使用导频信号的前馈失真减小信号中，由于导频信号的补偿以及导频信号幅值相对于输出信号幅值，前馈失真减小系统的输出处的导频信号的幅值典型地较小。因而，探测系统输出处的导频信号很困难。为了改进该失真减小系统的输出处导频信号的探测，一些方案被开发，以在合适的位置产生导频信号以及改进探测和控制。这些方案典型地增加了系统的成本。

无导频前馈失真减小方案被开发以消除导频信号，由此不再需要导频产生、探测和控制电路，例如耦合器 22 和导频探测电路 42。但是，无导频前馈减小系统在其输出处无法探测一个已知的导频信号以补偿变化的工作条件。代替在耦合器 38 处探测导频信号以改进补偿的是，无导频前馈系统能够利用增益和相位控制电路 54 响应来自耦合器 56 和 58 的输入，以产生进入增益和相位电路 34 的增益和相位控制信号。相应地，增益和相位电路 34 提供可变的相位和/或增益调节，为前馈路径 18 上的失真保持合适的增益和/或相位，以改进耦合器 38 处主信号路径 16 的失真的减小。该增益和相位控制电路增加了成本和复杂性，并且实现失真的足够减小很困难。例如，校正放大器 36 产生带二次失真的放大的失真，注入主信号路径 16。

需要一个失真减小系统，能够提供足够的失真减小，同时减少与其它失真减小系统有关的任何问题的。

发明内容：

本发明包括一个嵌套前馈失真减小系统，它在减小主信号路径

上来自一个主放大器的失真时，使用一个嵌套前馈装置用于该校正放大器以减小由该校正放大器产生的失真。在减小来自该校正放大器的失真以及逐级使用更高质量的校正放大器时，该嵌套前馈装置产生来自该主放大器的失真的一个改进的、更稳定的表示，由此减轻了在生产带有减小的失真的放大的信号时可变增益和/或相位控制的需要。

例如，前馈失真减小系统接收一个将在主信号路径上放大的信号，并且产生进入该主信号路径和一个前馈路径的信号的模拟表示。主信号路径上的信号被加到主放大器，该主放大器的输出包括放大的信号以及由主放大器产生的失真信号。主放大器的输出的一部分被放在一个耦合路径上并且与前馈路径上的信号的延迟形式合并，以将主放大器产生的失真隔离到前馈路径。前馈路径上的失真被馈入一个嵌套前馈装置。该嵌套前馈装置向主校正放大器提供该失真，该主校正放大器放自主放大器的失真并产生二次失真。嵌套前馈装置使用一个更小的、更高质量的第二校正放大器以产生来自该主放大器的失真的一个改进的、更稳定的表示，从而减小来自该校正放大器的二次失真。通过使用来自该主放大器的失真的一个改进的、更稳定的表示以减小主信号路径上的失真，该嵌套前馈失真减小系统提供改进的失真减小并且减轻了相位和/或增益控制的需要。使用连续的嵌套前馈装置提供了来自该主放大器的失真的愈加稳定和更精确的表示。

在一个示范的嵌套前馈装置中，前馈路径上的失真被分路到一个主校正路径和一个嵌套前馈路径。主校正路径上的失真信号馈入主校正放大器，主校正放大器产生带有由主校正放大器产生的二次失真的一个放大的失真信号。主校正放大器的输出的一部分被放在一个耦合路径上并且与第二前馈路径上的失真的延迟形式合并，以将该主校正放大器产生的二次失真隔离到第二前馈路径。第二前馈路径上的二次失真通过一个第二校正放大器前馈，以减小主校正路径上来自主校正放大器的二次失真。带有减小的二次失真的放大的

失真信号被用于提供主信号路径上来自主放大器的失真的改进的减小。第二校正放大器的质量控制着具有嵌套前馈失真减小系统的前馈失真减小系统中的失真减小量。

使用具有比主校正放大器更高质量的第二校正放大器的这种嵌套前馈装置，减少了在第二校正路径与嵌套的前馈路径上的失真之间和/或主信号路径与前馈路径上的信号之间使用相对可变的增益和/或相位控制的需要。因为固定前馈失真减小系统的工作由嵌套的、更高质量的校正放大器的工作所控制，所以能够使用固定的增益和/或相位控制。由于校正放大器处理较小的功率水平，该校正放大器产生输入信号的更线性的表示并且对温度更稳定，因此它能够具有更高的质量。同样地，嵌套前馈装置产生来自主放大器的失真的一个稳定的、较小失真的表示，并且该失真的较小失真的表示能够用于减小主信号路径上的失真。连续的嵌套前馈装置能够用于进一步改进嵌套前馈失真减小系统的性能和/或进一步减少使用可变增益和/或相位控制的需要。用于第二校正放大器的第二嵌套前馈装置可以嵌套在第一嵌套前馈装置中。第二嵌套前馈装置使用比第二校正放大器更小且质量更高的第三校正放大器，以减小来自该第二校正放大器的二次失真。同样地，第三校正放大器控制着失真减小系统的失真减小性能。因为该第三校正放大器更小，所以不影响系统的总效率。因为第三校正放大器质量更高且更稳定，所以有前馈失真减小系统可以是固定的并且不要求可变增益和/或相位控制。

根据本发明一个方面，这里提供一种减小放大信号中的失真的方法，所述方法其特征在于：将一个信号分路到一个主信号路径和一个前馈路径；放大来自所述主信号路径的所述信号以在所述主信号路径上产生带失真的所述放大的信号；获得带所述失真的所述放大信号的一部分；将带所述失真的所述放大信号的所述部分与来自所述前馈路径的所述信号合并，以提供所述前馈路径上的所述失真；将所述前馈路径上的所述失真分路到一个校正路径和一个嵌套前馈路径；放大所述校正路径上的所述失真，以在所述校正路径上产生带二次失真的放大的失真；获得带有所述二次失真的所述放大失真的一部分；将带所述二次失真的所述放大失真的所述部分与来自所述嵌套前馈路径的所述失真合并，以提供所述嵌套前馈路径上

的所述二次失真；将所述二次失真分路到一个第二校正路径和一个第二嵌套前馈路径；放大所述第二校正路径上的所述二次失真，以在所述第二校正路径上产生带三次失真的所述放大的二次失真；获得带所述三次失真的所述放大的二次失真的一部分；将带所述三次失真的所述放大的二次失真的所述部分与所述第二嵌套前馈路径上的所述二次失真合并，以提供所述第二嵌套前馈路径上的所述三次失真；前馈所述三次失真，以与所述第二校正路径上的所述三次失真合并并且减小所述第二校正路径上的所述三次失真；将所述第二校正路径上的所述放大的二次失真与所述校正路径上的所述放大的二次失真合并，以减小所述校正路径上的所述二次失真；和将带有来自所述校正路径的减小的二次失真的所述失真与所述主信号路径上的所述失真合并。

根据本发明另一个方面，这里提供一种失真减小系统，其特征在于：第一分路装置，用于接收一个信号并且提供所述信号到一个主信号路径和一个前馈路径；一个主放大器，在所述主信号路径上，用于放大来自所述主信号路径的所述信号以在所述主信号路径上产生带失真的所述放大的信号；一个耦合装置，在所述主信号路径上，用于提供带所述失真的所述放大的信号的一部分到第一耦合路径；一个合并装置，在所述前馈路径上，用于将带所述失真的所述放大的信号的所述部分与来自所述前馈路径的所述信号合并，以提供所述前馈路径上的所述失真；第二分路装置，用于接收所述前馈路径上的所述失真并且提供所述失真到一个校正路径和一个嵌套前馈路径；一个校正放大器，在所述校正路径上，用于放大所述校正路径上的所述失真，以在所述校正路径上产生带二次失真的放大的失真；一个耦合装置，在所述校正路径上，提供带所述二次失真的所述放大的失真的一部分到一个嵌套耦合路径；一个第二合并装置，在所述嵌套前馈路径上，用于将带所述二次失真的所述放大的失真的所述部分与来自所述嵌套前馈路径的所述失真合并，以提供所述嵌套前馈路径上的所述二次失真；一个嵌套前馈回路，包括：一个第三分路装置，用于接收所述嵌套前馈路径上的所述二次失真并且提供所述二次失真到一个第二校正路径和一个第二嵌套前馈路径；一个第二校正放大器，在所述第二校正路径上，用于放大所

述第二校正路径上的所述二次失真，以在所述校正路径上产生带三次失真的放大的二次失真；一个耦合装置，在所述第二校正路径上，提供带所述三次失真的所述放大的二次失真的一部分到第二嵌套耦合路径；一个合并装置，在所述第二嵌套前馈路径上，用于将带有来自所述第二嵌套耦合路径的所述三次失真的所述放大的二次失真的所述部分与来自所述第二嵌套前馈路径的所述二次失真合并，以提供所述第二嵌套前馈路径上的所述三次失真；一个第三校正放大器，在所述第二嵌套前馈路径上，放大所述三次失真；一个第四合并装置，在所述第二校正路径上，将所述第二校正路径上带所述三次失真的所述放大的二次失真与所述第二嵌套前馈路径上的所述三次失真合并，以减小来自所述第二校正路径的所述三次失真；一个第五合并装置，在所述校正路径上，将所述校正路径上带二次失真的所述放大的失真与来自所述第二校正路径上来自所述合并装置的所述二次失真合并，以减小所述校正路径上的所述二次失真；和所述主信号路径上的第三合并装置，用于将来自所述校正路径的所述放大的失真与来自所述主信号路径上的所述失真合并，以提供所述主信号路径上的所述减小的失真。

附图说明：

阅读以下详细描述并且参考附图，本发明的其它方面和优点可以更明显。其中：

图 1 是用于 RF 放大器的现有技术前馈失真减小方案的方框图；

图 2 显示根据本发明的原理使用嵌套前馈装置的前馈失真减小系统的一般方框图；以及

图 3 显示根据本发明的原理使用嵌套前馈装置的前馈失真减小系统的一个特殊实施例。

具体实施方式：

下面描述了根据本发明的原理的嵌套前馈失真减小系统的一个

说明性实施例。图 2 显示嵌套前馈失真减小系统 60 的一般方框图，该嵌套前馈失真减小系统是固定的并且不需要使用可变的相位和/或增益控制以减小来自 RF 放大器 62 的输出的失真。前馈失真减小系统 60 显示作为包括虚线中的第二前馈减小级 66 的一个多级无导频前馈减小系统中的第一级，这可以与本公开的益处一起被一个普通的熟练技术人员理解。尽管嵌套前馈失真减小系统被描述为固定的，但是在某些实施例的第二级 66 中、系统 60 与级 66 之间或系统 60 中，可以改变信号的增益和相位以改进补偿。

前馈失真减小系统 60 从分路器 68 接收将被放大的信号 S，并且在主信号路径 72 和前馈路径 74 上产生信号 S 的一个模拟表示。主信号路径 72 上的信号 S 被加到增益和相位电路 75。增益和相位电路 75 的输出被加到放大器 62，放大器 62 的输出包括带有由放大器 62 产生的失真 D 的放大的信号 S。放大器 62 的输出 S 和 D 的一部分被耦合器 78 放在耦合路径 76 上，并且在耦合器 80 处与路径 74 上的信号 S 的延迟形式合并，以隔离由放大器 62 产生的失真 D。

在本实施例中，增益和相位电路 75 用一个固定的量调节主路径 72 上的信号的幅值和相位。其它实施例可以用相位和增益控制器 82 控制该相位和增益电路。在增益和相位电路 75 的控制路径 84 上出现的控制信号源自耦合路径 76 上放大的信号 S 和 D 的部分和路径 74 上的信号 S 的延迟形式和/或源自耦合器 80 的输出。相位和增益电路 75 在放大器 62 之前调节主信号路径 72 上的信号 S 的幅值和相位，使得耦合器 80 处的放大的信号 S 和 D 与路径 74 上延迟信号 S 基本反相（幅值相同但相位相差 180° ）。同样地，合并的信号补偿以隔离失真 D。因为合并信号 S 的补偿改进了，所以前馈失真减小改进了耦合器 80 的输出处第二路径 74 上的失真 D 的隔离。前馈失真系统 60 通过嵌套前馈装置 82，将路径 72 上的失真 D 与来自嵌套前馈装置 82 的失真 D 的表示合并，使路径 74 上的隔离的失真 D 前馈，以减小主信号路径 72 上的失真 D，嵌套前馈装置 82 给失真 D 的表示增加了最小的失真。

在本实施例中，耦合器 80 的输出被加到用于主校正放大器 86 的嵌套前馈装置 82 上。前馈路径 74 上的失真 D 通过分路器 88 被分路到校正路径 90 和第二前馈路径 92 上。在校正路径 90 上，失真 D 被加到增益和相位调节器 94，增益和相位调节器 94 调节信号 D 的幅值和相位。在本实施例中，相位和增益调节器 94 可以是固定的，因为嵌套前馈装置 82 使用了第二校正装置 95，它使得在校正路径 90 上获得了信号 D 的稳定的和线性的表示。其它实施例能够如上述用于相位和增益电路 75 一样，提供控制信号以调节相位和增益电路 94 的增益和相位。

增益和相位调节器 94 的输出被加到主校正放大器 86，主校正放大器 86 的输出包括放大的信号 D 和由主校正放大器 86 产生的失真信号 $d1$ 。校正放大器 86 的输出 D 和 $d1$ 的一部分被耦合器 98 放在嵌套耦合路径 96 上，并且在耦合器 100 处与第二前馈路径 92 上信号 D 的延迟形式合并，以隔离由主校正放大器 86 产生的失真 $d1$ 。

前馈装置 82 将第二前馈路径 92 上的隔离的失真 $d1$ 通过第二校正放大器装置 95 前馈到耦合器 104。第二校正放大器装置 95 可以简单的是一个第二校正放大器。或者，装置 95 可以是包括第二校正放大器和第三校正放大器以减小由第二校正放大器产生的任何失真的一个第二嵌套前馈装置。使用嵌套前馈装置使得可以使用更小的、更稳定的和/或更线性的放大器作为控制前馈失真减小系统 60 的性能的嵌套校正放大器。同样地，在合并信号之间可以进行固定的相对相位和/或增益调节，因为系统 60 的工作被更稳定的更高质量的、嵌套的校正放大器所控制。如果主放大器和/或主校正放大器由于变化的工作条件如变化的温度、信号强度或信号频率而产生更大的失真，则嵌套前馈装置将通过继续产生失真的一个精确表示而使失真连续减小。

在耦合器 104 处，第二前馈路径上的二次失真 $d1$ 与校正路径 90 上带 $d1$ 的失真 D 的延迟形式合并，以减小校正路径 90 上的失真 $d1$ 。装置 82 使得加到耦合器 104 的信号 $d1$ 的相应部分相消合并，以在

耦合器 104 的输出处产生带有减小的失真 $d1'$ 的放大的失真 D 。带有减小的失真 $d1'$ 的失真 D 被前馈到耦合器 106，在此带有 $d1'$ 的失真 D 与带有失真 D 的信号 S 的延迟形式合并，以减小主信号路径 72 上来自自主放大器 62 的失真。因为来自校正放大器 86 的失真 $d1'$ 已经被减小了，所以来自主信号路径 72 的失真 D 的减小被改进了。

在某些实施例中，嵌套前馈失真减小系统 60 可以用于一个具有多个前馈减小级的失真减小系统中，以累积减小来自前级输出的失真。例如，嵌套前馈失真减小系统 60 可以作为第一级，产生带有减小的失真 D' 和 $d1'$ 的信号 S 。第二前馈减小级 66 通过耦合路径 110 从嵌套前馈减小级 64 接收减小的失真 D' 和 $d1'$ 作为输入信号。耦合器 112 使带有减小的失真 D' 和 $d1'$ 的信号 S 的一部分与从主信号路径 72 耦合到耦合路径 110。耦合器 114 从耦合路径 110 接收带有失真 D' 和 $d1'$ 的信号 S ，并且使来自耦合路径 110 的信号 S 和失真 D' 和 $d1'$ 与路径 116 上来自分路器 118 的延迟的信号 S 合并。在本实施例中，分路器 118 接收信号 S 并且将信号 S 的几种形式提供给在嵌套前馈系统 60 的分路器 68 之前的相位和增益调节器 120 和路径 116。路径 116 上的信号 S 被延迟电路 122 延迟。路径 116 上的信号 S 经历了由延迟电路 122 提供的足够的延迟，使得信号 S 与通过路径 110 在耦合器 114 处出现的信号 S 经历了相同的延迟。耦合器 114 使来自第二耦合路径 102 的信号 S 与来自路径 116 的信号 S 相消合并，并且隔离通向第二前馈级 66 的路径 116 上来自嵌套前馈系统 60 的残余失真 D' 和 $d1'$ 。

在本实施例中，增益和相位调节器 120 是固定的，但是实施例可以使用一个相位和增益控制器，在放大器 62 之前将由增益和相位电路 120 提供的增益和相位调节给信号 S ，使得耦合器 114 处放大的信号 S 、 D' 和 $d1'$ 与路径 116 上的延迟信号 S 基本反相（幅值相同但相位相差 180° ）。在一些实施例中，增益和相位控制电路为增益和相位电路 120 提供控制信号，控制信号源自耦合路径 110 上放大的信号 S 、 D' 和 $d1'$ 的部分及路径 116 上信号 S 的延迟形式。因为合

并信号之间保持所需的幅值和相位关系（例如，合并信号具有相同的幅值和 180 度的相位差），所以合并信号 S 足够补偿以隔离耦合器 114 处的失真 D' 和 $d1'$ 。在其它实施例中，增益和相位控制电路可以是一个对数探测器或一个零电路。在这样一个实施例中，耦合器在耦合器 114 的输出之后产生信号的采样到对数探测器，对数探测器产生一个显示该信号幅值的信号。零电路试图减小来自对数探测器的信号，以改进信号的补偿并且通过提供控制信号到相位和增益调节器 120 来在耦合器 114 之后隔离失真 D' 和 $d1'$ 。

在本实施例中，第二前馈装置 66 和任何附加前馈级（没有显示）都可以象上述嵌套第一前馈系统 60 那样工作，或者简单地作为一个放大器。同样地，第二前馈级 66 产生减小的失真 D' 和 $d1'$ 的一个形式。失真 D' 和 $d1'$ （象第二前馈级 66 中由放大器（没有显示）引入的任何较小的失真信号一样）被前馈，以进一步减小耦合器 126 处来自放大的信号 S 的失真 D' 和 $d1'$ 。耦合器 126 将来自第二前馈级 66 的失真信号 D' 和 $d1'$ 与主信号路径 72 上带失真 D' 和 $d1'$ 的信号 S 的延迟形式相合并，以进一步减小由嵌套前馈系统 60 产生的失真 D' 和 $d1'$ 。带失真 D' 和 $d1'$ 的信号 S 被馈入延迟电路 128，延迟电路 128 使得从耦合器 112 的输出加到耦合器 126 的信号经历基本相同的延迟。

图 3 显示使用连续的嵌套前馈装置 142 和 144 的一个嵌套前馈失真减小系统 140 的详细的实施。将由主放大器 146 放大的信号 S 被嵌套前馈系统 140 接收，分路器 148 复制或产生信号 S 的模拟表示进入导向主放大器 146 的主信号路径 150 以及进入导向嵌套前馈装置 142 和 144 的前馈路径 152。在本实施例的主路径 150 上，信号被加到增益和相位调节器 156，增益和相位调节器 156 调节主路径 72 上的信号 S 的相位和增益。在本实施例中，嵌套前馈系统不要求控制相位和增益电路以提供变化的增益和相位。而是，增益和相位电路 156 向主路径 150 上的信号 S 提供固定的增益和相位调节。

增益和相位调节器 156 的输出被加到放大器 146，放大器 146 的

输出包括放大的信号 S 和失真信号 D，例如由放大器 146 产生的三级 IMD。放大器 146 的输出的一部分从耦合器 158 引出并且被放在耦合路径 160 上。耦合路径 160 上带 D 的信号 S 在耦合器 162 处与前馈路径 152 上的信号 S 的延迟形式合并。路径 152 上的信号 S 已经经历了由延迟电路 164 提供的足够的延迟，使得该信号 S 与通过路径 160 在耦合器 162 处出现的信号 S 经历相同的延迟。增益和相位电路 156 提供调节主路径 150 上信号 S 的幅值和/或相位的固定的增益和相位调节，使得通过路径 160 在耦合器 162 处出现的信号 S 与耦合器 162 处延迟的信号 S 基本反相（幅值相同但相位相差 180° ）。通常，合并信号之间 179 到 181 度的相位差以及 + 或 -0.1dB 的幅值差可以实现 30dB 的补偿， 175 - 185 度的相位差和 2dB 的幅值差可以提供几乎 20dB 的补偿。

在本实施例中，一个残余信号 S 可能出现在耦合器 162 的输出处（与失真 D 一起），残余信号 S（漏信号 S）与来自路径 170 的信号 S 在耦合器 166 处进行了改进的合并。例如，在耦合器 162 之后，一些漏信号 S 可能残留在耦合器 162 之后的路径 152 上。同样地，耦合器 168 将在耦合器 162 之前来自路径 152 的信号 S 的一部分耦合到耦合路径 170 上。相位和增益电路 172 调节来自耦合器 162 的输出的带失真 D 的残余信号 S 的相位和幅值，相位和增益电路 174 调节耦合路径 170 上信号 S 的相位和幅值。相位和增益电路 172 和 174 分别调节来自耦合器 162 的信号 S 及耦合路径 170 上信号 S 的幅值和相位，以改进来自耦合器 162 的输出的残余信号 S 的减小。由相位和增益电路 172 输出的残余信号 S 与耦合路径 170 上的信号 S 相消合并。耦合器 166 处的合并使得任何残余信号 S 都是来自路径 152 的信号 S 而不是来自耦合路径 160 的信号 S。同样地，耦合器 166 提供失真 D 作为路径 152 上的主信号，任何残余信号 S 可以与失真信号 D 一起被前馈，以与主信号路径 150 上放大的信号 S 相长合并。

耦合器 166 的输出被加到嵌套前馈装置 142。嵌套前馈装置 142 包括分路器 178，分路器 178 接收失真 D，并且在校正路径 180 和嵌

套前馈路径 182 上产生失真 D 的模拟表示。校正路径 180 上失真 D 的相位和幅值由相位和增益电路 184 调节。在本实施例中，相位和增益电路 184 向校正路径 180 上的失真 D 提供固定的增益和相位调节。增益和相位调节器 184 的输出被加到校正放大器 188，校正放大器 188 的输出包括放大的信号 D 和由校正放大器 188 产生的失真信号 d1。

校正放大器 188 的输出的一部分从耦合器 190 引出并且被放在嵌套耦合路径 192 上。耦合路径 192 上带 d1 的信号 D 在耦合器 194 处与嵌套前馈路径 182 上信号 D 的延迟形式合并。路径 182 上的信号 D 经历了由延迟电路 196 提供的足够的延迟，使得该信号 D 与通过路径 192 在耦合器 194 处出现的信号 D 经历相同的延迟。增益和相位电路 184 提供调节校正路径 180 上的信号 D 的幅值和/或相位的固定的增益和相位调节，使得通过路径 192 在耦合器 194 处出现的信号 D 与路径 182 上耦合器 194 处延迟的信号 D 基本反相（幅值相同但相位相差 180° ）。同样地，来自校正放大器 188 的失真 d1 在耦合器 194 的输出处被隔离。通常，合并信号之间 179 到 181 度的相位差以及 $+或-0.1\text{dB}$ 的幅值差可以实现 30dB 的补偿， $175-185$ 度的相位差和 2dB 的幅值差可以提供几乎 20dB 的补偿。

在本实施例中，一个残余信号 D 可能出现在耦合器 194 的输出处（与失真 d1 一起），并且通过相位和增益电路 206 和 208、耦合器 202 及路径 204，残余信号 D（漏信号 D）与来自嵌套前馈路径 182 的信号 D 在耦合器 198 处进行了改进的合并。如上对于耦合器 166 处合并的描述，耦合器 198 处的合并使得任何残余信号 D 都是来自路径 182 的信号 D 而不是来自耦合路径 192 的失真 D。同样地，耦合器 198 提供失真 d1 作为路径 182 上的主信号，任何残余信号 D 可以与失真信号 D 一起被前馈，以与主校正路径 180 上的放大的信号 D 相长合并。

耦合器 198 的输出被加到第二嵌套前馈装置 144。第二嵌套前馈装置 144 包括分路器 210，分路器 210 接收失真 d1，并且在第二校

正路径 212 和第二嵌套前馈路径 214 上产生失真 d_1 的模拟表示。第二校正路径 212 上失真 d_1 的相位和幅值由相位和增益电路 216 调节。在本实施例中，相位和增益电路 216 向第二校正路径 212 上的失真 d_1 提供固定的增益和相位调节。增益和相位调节器 216 的输出被加到第二校正放大器 218，第二校正放大器 218 的输出包括放大的信号 d_1 和由第二校正放大器 218 产生的失真信号 d_2 。

第二校正放大器 218 的输出的一部分从耦合器 220 引出并且被放在第二嵌套耦合路径 222 上。第二嵌套耦合路径 222 上的失真 d_1 和 d_2 在耦合器 224 处与第二前馈路径 214 上信号 d_1 的延迟形式合并，由此在耦合器 224 的输出处留下来自第二校正放大器 218 的失真 d_2 。路径 214 上的信号 d_1 经历了由延迟电路 226 提供的足够的延迟，使得该信号 d_1 与通过路径 222 在耦合器 224 处出现的带 d_2 的信号 d_1 经历相同的延迟。增益和相位电路 216 提供调节第二校正路径 212 上信号 d_1 的幅值和/或相位的固定的增益和相位调节，使得通过路径 222 在耦合器 224 处出现的信号 d_1 与耦合器 224 处延迟的信号 d_1 基本反相（幅值相同但相位相差 180° ）。

在本实施例中，一个残余信号 d_1 可能出现在耦合器 224 的输出处（与失真 d_2 一起），并且通过相位和增益电路 236 和 238、耦合器 232 及路径 234，残余信号 d_1 （漏信号 d_1 ）与来自路径 214 的信号 d_1 在耦合器 230 处进行了改进的合并。如上对于耦合器 166 处合并的描述，耦合器 230 处的合并使得任何残余信号 d_1 都是来自路径 214 的信号 d_1 而不是来自耦合路径 222 的信号 d_1 。同样地，耦合器 230 提供失真 d_2 作为路径 214 上的主信号，任何残余信号 d_1 可以与失真 d_2 一起被前馈，以与第二校正路径 212 上带有来自第二校正放大器的 d_2 的 d_1 相长合并。

耦合器 230 的输出被加到校正放大器装置 240，校正放大器装置 240 显示为一个第三校正放大器 240，但是在某个实施例中可以是一个第三嵌套前馈装置。第三校正放大器 240 放大失真 d_2 并且向耦合器 242 提供失真 d_2 。耦合器 242 使来自第三校正放大器 240 的放大

的失真 d_2 与第二校正路径上带有来自第二校正放大器 218 的 d_2 的失真 d_1 的延迟形式相合并，以减小第二校正路径 212 上由第二校正放大器 218 产生的失真 d_2 。来自耦合器 220 的带 d_2 的失真 d_1 被馈入延迟电路 244，延迟电路 244 使得来自耦合器 220 的输出的带 d_2 的信号 d_1 与进入耦合器 242 的信号 d_2 经历大约相同的延迟。皮秒级的延迟差可以提供信号的适当合并。耦合器 242 使来自耦合器 220 的带 d_2 的失真 d_1 与失真 d_2 相消合并，以产生带有减小的失真 d_2' 的信号 d_1 。

带有减小的失真 d_2' 的信号 d_1 从耦合器 242 输出到耦合器 248。耦合器 248 使来自耦合器 242 的带 d_2' 的失真 d_1 与来自耦合器 190 的带 d_1 的失真 D 的延迟形式合并，以减小校正路径 180 上由校正放大器 188 产生的失真 d_1 。来自耦合器 190 的带 d_1 的失真 D 被馈入延迟电路 252，延迟电路 252 使得来自耦合器 190 的输出的带 d_1 的信号 D 与进入耦合器 248 的带 d_2' 的信号 d_1 经历大约相同的延迟。耦合器 248 使来自耦合器 242 的带 d_2' 的失真 d_1 与带 d_1 的失真 D 相消合并，以产生带有减小的失真 d_1' 和 d_2' 的信号 D 。

在主信号路径 150 上耦合器 158 的输出处，来自放大器 146 的信号（带失真 D 的放大的信号 S ）的一部分被馈入延迟电路 258，延迟电路 258 的输出被馈入耦合器 260。延迟电路 258 使得被加到耦合器 260 的来自放大器 146 的输出的带 D 的信号 S 与加到耦合器 260 的带 d_1' 和 d_2' 的信号 D 经历相同的延迟。耦合器 260 使来自耦合器 248 的带 d_1' 和 d_2' 的失真 D 与来自放大器 146 的带 D 的信号 S 相消合并，以产生具有减小的失真 D' 、 d_1' 和 d_2' 的信号 S 。

因而，嵌套前馈系统在产生所需的信号 S 时提供改进的失真减小，因为在来自放大器的失真 D 被减小之前，来自校正放大器 188 和 218 的失真 d_1 和 d_2 就被减小了。同样地，来自耦合器 248 的输出的失真 D 、 d_1' 和 d_2' 表示来自放大器 146 的失真 D 具有较小的失真增加。失真 d_1 和 d_2 变得逐渐不重要，因为对于每个嵌套前馈装置，校正放大器可以更小且质量更高，由此产生更小的失真。例

如，主放大器 146 可以是一个 100 瓦特、AB 类放大器，它不是一直在线性工作区工作，这样会产生失真。校正放大器 188 可以是一个 10 瓦特、AB 类放大器，第二校正放大器 218 是一个 1 瓦特、AB 类放大器。第三校正放大器 240 可以是 0.1 瓦特、A 类温度稳定放大器，一直工作在其线性区域，并且由此几乎不产生失真。由于这些连续的嵌套前馈装置，第三校正放大器 240 的工作特性控制着该嵌套前馈失真减小系统的工作。由于第三校正放大器 240 相对不产生失真，因此由少量的来自第二校正放大器 218 的失真 d_2 引起的失真也被减小了，由此改进了来自校正放大器 188 的失真 d_1 的减小，并且在嵌套前馈装置 142 的输出处留下失真 D 的改进的表示。主信号路径 150 上失真 D 在耦合器 260 处与失真 D 的改进表示相合并，得到了改进的失真减小。

此外，因为稳定的、更高质量的第三校正放大器 240 控制着整个嵌套前馈失真减小系统的工作特性，所以系统可以是固定的。同样地，不需要导频信号，也不需要相应的导频探测电路和导频控制。另外，不要求控制相位和增益电路的相位和增益调节以改进前馈路径上失真信号的隔离或减小来自主路径或校正路径上的失真。而是，使用测试点 (TP) 262 来监视嵌套前馈系统 140 中的各点，以最初设置该增益和相位电路。一旦设置完毕，由该增益和相位电路提供的增益和相位调节就固定了。系统 140 可以是固定的，因为即使工作条件改变，稳定的第三校正放大器仍控制着系统 140 的工作特性。例如，即使温度变化使校正放大器 188 和 218 产生更大的失真 d_1 和 d_2 ，但是第三校正放大器 240 仍保持线性并且仍使失真 d_2 减小，由此使失真 d_1 也减小并且由此使失真 D 也将减小。

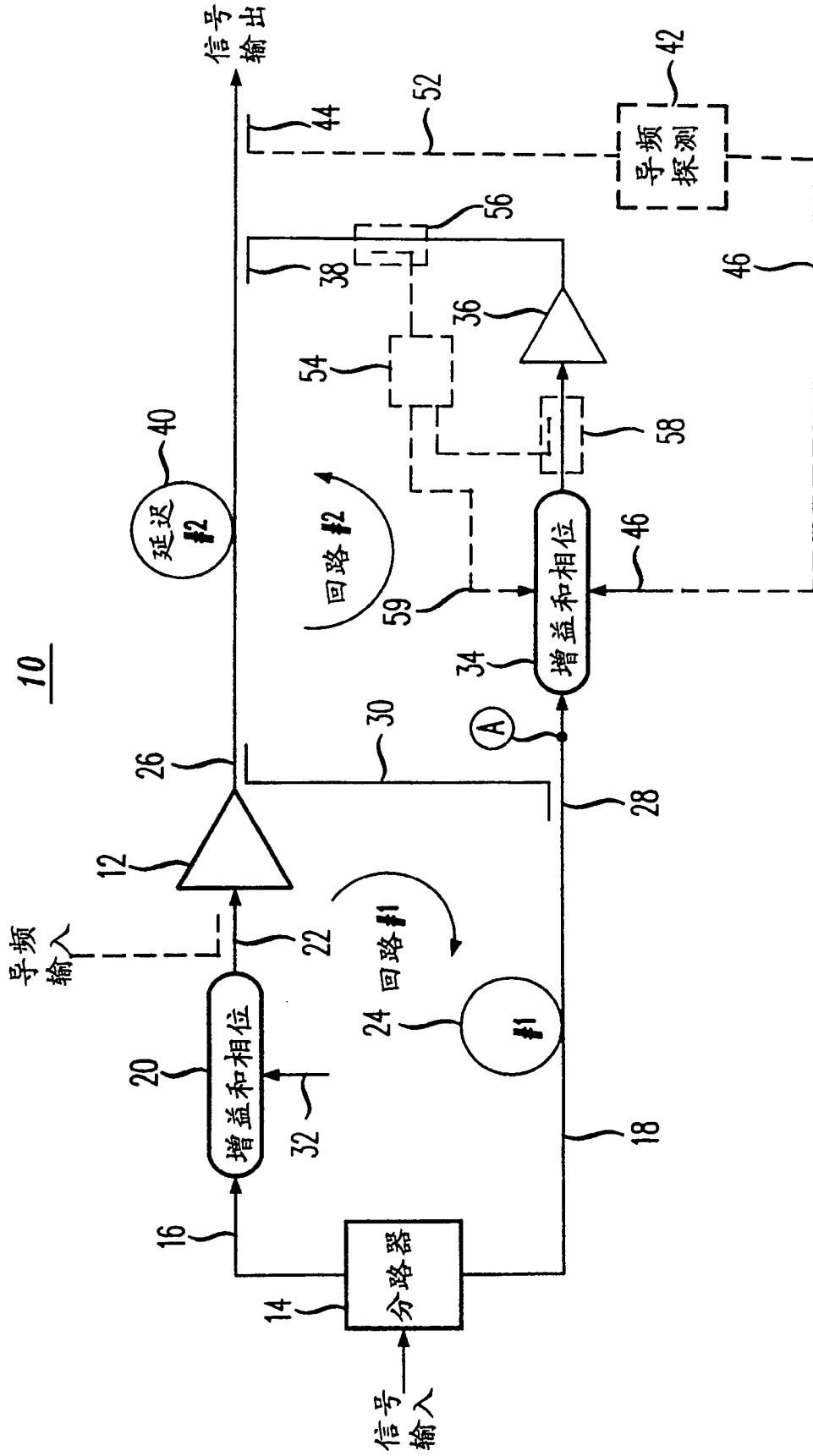
除了上述实施例，也可以根据本发明的原理改变嵌套前馈失真减小系统的配置，省略和/或增加部件和/或使用所述系统的变型或一部分。例如，图 3 使用耦合路径 170、204 和 234 提供改进的合并以分别消除耦合器 166、198 和 230 处的破坏性的漏信号。根据应用，可以不使用这些耦合路径、附加的耦合路径和/或不同的耦合路径装

置。另外，本系统被描述为使用耦合器，但是也可以使用能够从单个输入产生两个或多个信号的其它装置，如 3dB 分路器、定向耦合器、合并耦合器及其它耦合、信号分路或采样装置。从两个或多个输入产生单个输出的其它合并装置例如加法器也可以使用。

嵌套前馈失真减小系统被描述为具有固定的增益和相位调节，但是根据实施例，增益和/或相位调节器可以是固定的和/或可变的，并且它们在前馈装置中的位置也可以改变。例如，增益和相位电路 156、184 或 216 的位置可以分别变换到路径 152、182 或 214 上。同样地，各延迟电路 164、196 或 226 可以改变，并且/或者延迟电路 164、196 或 226 的延迟分别补偿或者延迟电路 164、196 或 226 的位置分别变换到路径 150、180 或 212 上。延迟的实施可以使用无源装置例如无源滤波器、传输线（同轴电缆、微波传输带或带状线），或者有源装置例如放大器、有源滤波器、数字延迟或光纤，但是有源装置不引入失真。

前馈系统被进一步描述为使用分立部件的不同配置，但是应该理解到，前馈系统及其部分可以应用一个普通的熟练技术人员借助本公开能理解的特殊的集成电路、软件驱动处理电路、固件或分立部件的其它装置来实现。此外，为了便于讨论，嵌套前馈失真减小系统参考信号 S 、放大的信号 S 、失真信号 D 、 $d1$ 和 $d2$ 、各放大的失真 D 、 $d1$ 和 $d2$ 以及减小的失真 D' 、 $d1'$ 和 $d2'$ 来描述。应当理解到可以使用各种信号的不同符号、参考和描述。以上选用的名称只是便于说明。以上所述仅是举例说明本发明的原理的应用。熟练的技术人员可以容易地认识到，可以对本发明有这些及各种其它的变型、装置和方法，而不用严格遵循这里所举例或描述的示范性应用，也不用偏离本发明的精神和范围。

图1
10



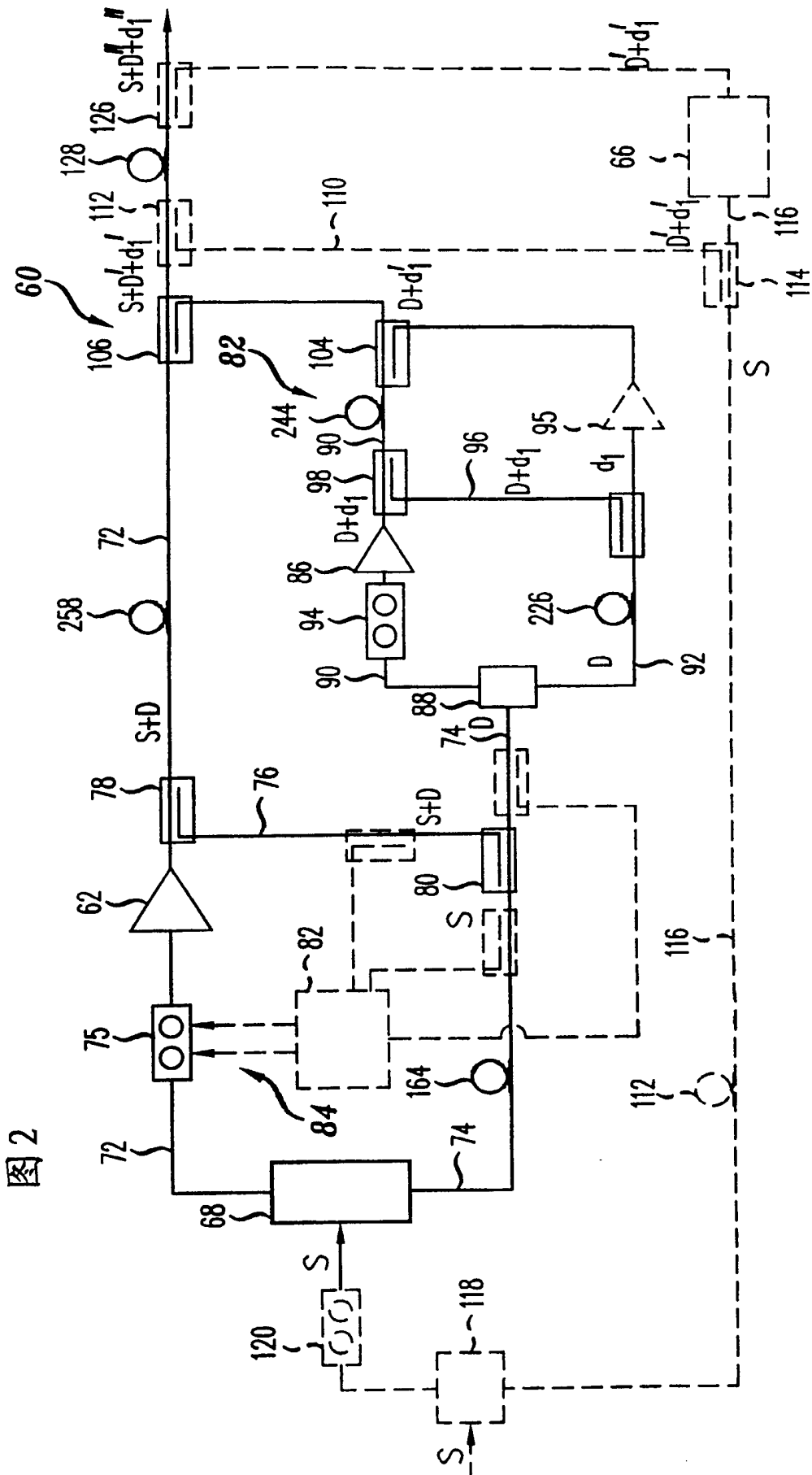


图2

