

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2012-514319

(P2012-514319A)

(43) 公表日 平成24年6月21日(2012.6.21)

(51) Int.Cl.

H01L 23/522 (2006.01)
H01L 21/768 (2006.01)

F 1

H01L 21/90

B

テーマコード(参考)

5FO33

審査請求 未請求 予備審査請求 未請求 (全 21 頁)

(21) 出願番号 特願2011-542726 (P2011-542726)
 (86) (22) 出願日 平成21年12月29日 (2009.12.29)
 (85) 翻訳文提出日 平成23年8月25日 (2011.8.25)
 (86) 國際出願番号 PCT/EP2009/009308
 (87) 國際公開番号 WO2010/076019
 (87) 國際公開日 平成22年7月8日 (2010.7.8)
 (31) 優先権主張番号 102008063430.1
 (32) 優先日 平成20年12月31日 (2008.12.31)
 (33) 優先権主張国 ドイツ(DE)
 (31) 優先権主張番号 12/634,216
 (32) 優先日 平成21年12月9日 (2009.12.9)
 (33) 優先権主張国 米国(US)

(71) 出願人 591016172
 アドバンスト・マイクロ・ディバイシズ・
 インコーポレイテッド
 ADVANCED MICRO DEVI
 CES INCORPORATED
 アメリカ合衆国、94088-3453
 カリフォルニア州、サンノゼ、ビイ・
 オウ・ボックス・3453、ワン・エイ・
 エム・ディ・プレイス、メイル・ストップ
 ・68 (番地なし)
 (74) 代理人 100108833
 弁理士 早川 裕司
 (72) 発明者 フランク フォイステル
 ドイツ、O1159 ドレスデン、アム
 ロスセイラー バッハ 21
 最終頁に続く

(54) 【発明の名称】特別に先細りされた遷移ピアを備えた半導体デバイスのメタライゼーションシステム

(57) 【要約】

【解決手段】

半導体デバイスのメタライゼーションシステムにおいて、対応するエッティングシーケンスを修正することによって、増大された程度の先細りを伴う遷移ピアを設けることができる。例えば、ピア開口を形成するためのレジストマスクが、対応するマスク開口の横方向サイズを増大するために、1回又は数回侵食されてよい。明白な程度の先細りにより、ピア開口及びそれに接続される幅広の溝を共通的に充填するための後続の電気化学的堆積プロセスの間、強化された堆積条件が達成され得る。

【選択図】図 2 a

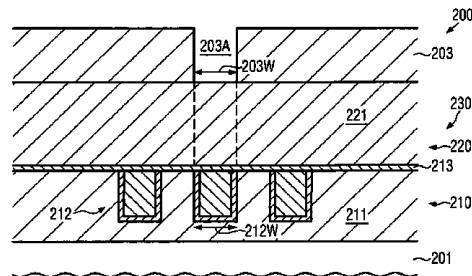


FIG. 2a

【特許請求の範囲】**【請求項 1】**

半導体デバイスの第1のメタライゼーション層の誘電体材質内に形成されることになるビアの底部での目標横方向サイズに対応する第1の横方向サイズを有するマスク開口を備えたエッチングマスクを前記誘電体材質の上方に形成することと、

前記第1の横方向サイズを有する前記マスク開口に基き前記誘電体材質内で第1の深さまで延びるようにビア開口を形成することと、

前記マスク開口が第2の横方向サイズを有するように前記マスク開口を増大させることと、

前記第2の横方向サイズを有する前記マスク開口に基き第2の深さまで延びるように前記ビア開口を増大させることと、

前記誘電体材質内において前記ビア開口の上方に前記ビア開口に接続するように溝を形成することと、

前記ビア開口及び前記溝を金属含有材質で共通に充填することとを備えた方法であって、

前記ビア開口は前記第1のメタライゼーション層の下方に位置する第2のメタライゼーション層の金属領域まで延びる方法。

【請求項 2】

前記マスク開口が第3の横方向サイズを有するように前記マスク開口を増大させることと、前記第3の横方向サイズを有する前記マスク開口に基き第3の深さまで延びるように前記ビア開口を増大させることとを更に備えた請求項1の方法。

【請求項 3】

前記マスク開口の横方向サイズを増大させることは、前記エッチングマスクをレジストマスクとして設けることと、レジスト除去プロセスを実行することとを備えている請求項1の方法。

【請求項 4】

前記溝を形成することは、前記誘電体材質と少なくとも前記第2の深さまで延びている前記ビア開口との上方に溝エッチングマスクを形成することと、エッチングプロセスを実行して前記溝を得ると共に前記ビア開口の深さを増大させることとを備えている請求項1の方法。

【請求項 5】

前記ビア開口を増大させることは、前記エッチングマスクに基きエッチングプロセスを実行することと、前記誘電体材質の下方に形成されるエッティング層を用いることによって前記エッティングプロセスを制御することとを更に備えている請求項1の方法。

【請求項 6】

前記目標横方向サイズは前記金属領域の幅に概ね等しいかそれよりも小さい請求項1の方法。

【請求項 7】

前記第1の深さまで延びている前記ビア開口は前記溝を形成することに先立ち形成される請求項1の方法。

【請求項 8】

前記溝は前記ビア開口を形成することに先立ち形成される請求項1の方法。

【請求項 9】

前記第1の深さは前記ビア開口の最終的な深さの概ね30パーセントである請求項1の方法。

【請求項 10】

前記目標横方向サイズは概ね100ナノメートル以下である請求項1の方法。

【請求項 11】

第1の深さまで延び且つ第1の横方向サイズを有するビア開口を半導体デバイスの第1のメタライゼーション層の誘電体材質内に形成することと、

10

20

30

40

50

前記ピア開口の側壁上にスペーサ要素を形成することと、
前記第1のメタライゼーション層の下方に形成される第2のメタライゼーション層の金属領域まで延びるように前記ピア開口の深さを増大させることとを備えた方法。

【請求項12】

前記ピア開口を形成することは、マスク開口を有するエッチングマスクを形成することと、前記エッチングマスクに基き前記誘電体材質内へエッチングすることと、前記エッチングマスクを除去することとを備えている請求項11の方法。

【請求項13】

前記スペーサ要素を形成することは、スペーサ層を堆積させることと、前記ピア開口の底部の目標幅を規定するように前記スペーサ層をエッチングすることとを備えている請求項12の方法。
10

【請求項14】

前記スペーサ層を堆積させるのに先立ちエッチング停止層を形成することを更に備えた請求項13の方法。

【請求項15】

前記ピア開口の前記深さを増大させることは、前記スペーサ要素の材質と前記誘電体材質とを同様の除去速度で除去することとを備えている請求項11の方法。

【請求項16】

前記誘電体材質内で前記ピア開口の上方に溝を形成することを更に備え、前記ピア開口は前記溝に接続される請求項11の方法。
20

【請求項17】

前記溝は前記ピア開口の前記深さを増大させながら形成される請求項16の方法。

【請求項18】

基板の上方に形成され、第1の幅を有する金属線を備えている第1のメタライゼーション層と、

前記第1のメタライゼーション層の下方に形成され、前記第1の幅よりも小さい第2の幅を有する第2の金属線を備えている第2のメタライゼーション層と、

前記第1の金属線から前記第2の金属線へ延びるピアとを備えた半導体デバイスであつて、

前記ピアは前記第1の金属線での第1の横方向寸法と前記第2の金属線での第2の横方向寸法とを有しており、前記第2の横方向寸法は前記第1の横方向寸法の概ね60パーセント以下である半導体デバイス。
30

【請求項19】

前記第2の横方向寸法は概ね100ナノメートル(nm)以下である請求項18の半導体デバイス。

【請求項20】

前記第2の横方向寸法は前記第1の横方向寸法の概ね40パーセント以下である請求項18の半導体デバイス。

【請求項21】

前記第1の幅は前記第2の幅の少なくとも2倍である請求項18の半導体デバイス。
40

【発明の詳細な説明】

【技術分野】

【0001】

概して、本開示は進歩的な集積回路のような微細構造に関し、更に特定的には、密集した狭い金属線に遷移ピア(transition vias)によって接続される幅広の金属線を備えた銅ベースのメタライゼーション層(metallization layers)のような伝導性構造に関する。

【背景技術】

【0002】

集積回路のような最新の微細構造の製造においては、微細構造要素の形状サイズを着実に減少させてこれらの構造の機能性を高めるための絶え間ない努力がなされている。例え
50

ば最新の集積回路においては、電界効果トランジスタのチャネル長のような最小形状サイズはディープサブミクロンの範囲に達しており、それにより速度及び / 又は電力消費及び / 又は機能の多様性に関するこれらの回路の性能が高まっている。新しい回路の世代ごとに個々の回路要素のサイズが減少して例えばトランジスタ要素のスイッチング速度が向上するにつれて、個々の回路要素を電気的に接続する相互接続線のための利用可能なフロアスペースもまた減少する。その結果、これらの相互接続線の寸法もまた、利用可能なフロアスペース量の減少及び単位ダイ面積あたりに設けられる回路要素の数の増大を補償するために減少させられることとなり、その理由は、必要とされる相互接続の数が典型的には回路要素の数よりも急速に増大する点にある。それ故に、メタライゼーション層とも称される複数の積み重ねられた「配線(wiring)」層が一般的には設けられ、この場合、1つのメタライゼーション層の個々の金属線はその上層又は下層のメタライゼーション層の個々の金属線にいわゆるビア(vias)によって接続される。複数のメタライゼーション層を設けているにもかかわらず、相互接続線の減少させられた寸法は、例えば最新のCPU、メモリチップ、ASIC(特定用途向けIC)等の著しい複雑さに適合する必要がある。

【0003】

従って、 $0.05 \mu m$ そしてそれより小さい臨界寸法を有するトランジスタ要素を含む高度な集積回路は、単位面積あたりのかなりの数の回路要素に起因して比較的多数のメタライゼーション層を設けているにもかかわらず、個々の相互接続構造内で cm^2 あたり最大で数 kA の著しく増大した電流密度で典型的には動作することとなろう。このため、アルミニウムのような十分に確立された材質は銅及び銅合金に代替されてきており、これらはアルミニウムと比較して、著しく高い電流密度においても極めて低い電気抵抗率及びエレクトロマイグレーション(electromigration)に対する改善された耐性を有する材料である。微細構造及び集積回路の製造に銅を導入することは、二酸化シリコン及び多くの低 k 誘電体材質に拡散し易いという銅の特性に帰属する複数の深刻な問題を伴い、低 k 誘電体材質は、複雑なメタライゼーション層における寄生容量を低減するために典型的に銅と組み合わせて用いられる。必要な密着性を提供し且つ敏感なデバイス領域への銅原子の不所望な拡散を避けるために、銅と銅ベースの相互接続構造が埋め込まれる誘電体材質との間にバリア層を設けることが通常は必要とされる。シリコン窒化物は銅原子の拡散を効果的に防ぐ誘電体材質ではあるが、シリコン窒化物は適度に高い誘電率を示しそれにより近隣の銅線の寄生容量を増大させて許容し得ない信号伝搬遅延をもたらす可能性があるので、層間誘電体材質としてシリコン窒化物を選択することは望ましいとは言えない。それ故に、必要な機械的安定性をも銅に与える薄い伝導性バリア層が、バルク銅を周囲の誘電体材質から分離するように通常は形成されて、それにより銅の誘電体材質中への拡散を低減するとともに、酸素、フッ素等の望まれていない種の銅中への拡散を低減している。更に、伝導性バリア層はまた、銅との間の高度に安定な界面を提供し、それにより界面での顕著な物質移行の蓋然性を低減することができ、その界面は、電流誘起の材質拡散を容易にするであろう拡散経路の増大を考慮すると、典型的には臨界的な領域である。現在のところ、タンタル、チタン、タンゲステン、並びにそれらの窒素及びシリコンとの化合物等が伝導性バリア層のための望ましい候補であり、この場合、バリア層は、拡散の抑制及び密着特性に関する要求を満たすように異なる組成の2以上のサブ層を備えていることがある。

【0004】

銅をアルミニウムとは有意に異ならせている他の特性は、銅は化学的及び物理的気相堆積技術によっては容易には大量に堆積させることができないので、一般にダマシン又は象眼技術(damascene or inlaid technique)と称される処理戦略を必要とするという事実である。ダマシンプロセスにおいては先ず誘電体層が形成され、この誘電体層は次いで、後に銅で充填される溝(trench)及び / 又はビアを含むようにパターニングされ、ここでは前述したように銅で充填するのに先立ち伝導性バリア層が溝及びビアの側壁上に形成される。溝及びビアへのバルク銅材料の堆積は、通常はウエット化学的堆積プロセス、例えば電気メッキや無電解メッキによって達成され、従ってアスペクト比が5以上で直径が $0.3 \mu m$ あるいはそれ未満のビアを、 $0.1 \mu m$ 乃至数 μm の範囲の幅を有する溝とともに確

10

20

30

40

50

実際に充填することが求められる。銅のための電気化学的堆積プロセスは、電子回路基板製造の分野では十分に確立されている。しかし、半導体デバイスにおける金属領域の寸法に対して、高アスペクト比のビアをボイドフリー充填することは極めて複雑で困難な作業であり、最終的に得られる銅ベースの相互接続構造の特性は、プロセスパラメータ、材質、及び対象となる構造の形状(geometry)に大きく依存する。相互接続構造の基本的な形状は設計要求によって実質的に決定され、従って所与の微細構造に対して大きくは変更されないであろうから、銅微細構造の伝導性バリア層及び非伝導性バリア層のような材質の影響並びに相互接続構造の特性に対するそれらの相互作用を推測及び制御して、高い歩留まりと要求される製品信頼性の両方を保証することが極めて重要である。

【0005】

10

メタライゼーションシステムの高い製造歩留まり及び優れた信頼性を得るために加えて、考慮中の製造プロセスの高い全体的な処理能力に基き製造歩留まり及び信頼性を達成することも重要である。例えば、所謂デュアルダマシンプロセスがしばしば用いられ、このプロセスにおいては、ビア開口及び対応する溝が共通の堆積シーケンスにおいて充填され、それにより優れたプロセス効率がもたらされる。洗練されたメタライゼーションシステムの複雑なレイアウトに起因して、2つの隣接するメタライゼーション層の金属線は大きく異なる横方向サイズを有していることがあり、その理由は、一方の層の金属線は対応する相互接続構造の適度に高いパッキング密度に適合させられる必要があるであろう一方で、隣接するメタライゼーション層内の溝は高い電流駆動能力をもたらす必要があるであろうところにある。この場合、増大させられた幅を伴う金属線と顕著に小さい幅を有する金属線との間の垂直相互接続は、大幅に減少させられた幅を有する溝に対応するビアに基いて確立される必要があるであろう。しかし、デュアルダマシン戦略に従う製造レジームは、対応する溝及びビアの顕著に異なる横方向の幅に起因して、銅材質の堆積に際して著しい不規則性をもたらすことがある、これを更に詳細に図1a及び図1bを参照して説明する。

20

【0006】

30

図1aは複雑なメタライゼーションシステム130が基板101の上方に形成されることになる製造段階での半導体デバイス100の断面図を模式的に示している。基板101はトランジスタ等のような多数の回路要素を備えているであろうし、洗練された応用が考慮されている場合には、これらの回路要素は概ね50nm以下の設計寸法に基いて形成されるであろう。便宜上、そのような回路要素はいずれも図1aには図示されていない。メタライゼーションシステム130は、複数のメタライゼーション層のうちの任意の層を代表するメタライゼーション層110を備えており、ここでは、対応するメタライゼーション層の数は、デバイス100の回路の複雑さに依存するであろう。例えば、メタライゼーション層110は誘電体材質111を備えており、誘電体材質111は、隣接する複数の金属線112の間の寄生容量を低減するために低k誘電体材質を含むことがあり、これらの金属線112は、少なくとも図1aに示された部分においては、全体的なレイアウトによって必要とされるであろう密集した金属線を代表し得る。例えば金属線112は、概ね100nm以下の幅112Wを有しているであろうし、そして同様に、隣接する2つの金属線112の間の距離は同じようなオーダであろう。既に論じられたように、必要となる上述したような銅の閉じ込め及びエレクトロマイグレーション性能をもたらすために、金属線は、伝導性バリア材質112Bと組み合わせられた銅材質に基いて形成され得る。また、電気的キャップ(electric cap)又はエッチング停止層113が誘電体材質111及び金属線112上に典型的には設けられ、ここでは、キャップ層113もまた、全体的なプロセス戦略に応じて、銅の閉じ込め及び金属線112との優れた界面特性をもたらすことができる。更に、層110の上方にはメタライゼーション層120が形成され、メタライゼーション層120は、対応する誘電体材質121内に形成された溝121T及びビア開口121Vを備えている。例えば、誘電体材質121は、寄生容量等に関する要求に応じて低k誘電体材質又は任意の他の誘電体材質を代表し得る。溝121Tは、メタライゼーション層120内で必要になるであろう顕著な電流駆動能力を提供するために、著しく大

40

50

きな幅 1 2 1 W を有しているであろう。一方、ビア開口 1 2 1 V は、対応する幅 1 2 1 U がメタライゼーション層 1 1 0 内の金属線 1 1 2 の幅 1 1 2 W に実質的に対応するよう 10 に、金属線 1 1 2 の 1 つに接続するであろう。図 1 a に示される半導体デバイス 1 0 0 は、十分に確立された製造技術に基いて形成され得る。例えば、デバイス 1 0 0 のデバイスレベル内に任意の回路要素(図示せず)を設けた後、それら回路要素に接続し且つメタライゼーションシステム 1 3 0 をその上に形成するためのプラットフォームを提供するよう 20 に、適切なコンタクト構造が設けられるであろう。その後、メタライゼーション層 1 2 0 を参照してこれから説明するようなプロセス技術に基いて、1 つ以上のメタライゼーション層が形成されるであろう。このようにメタライゼーション層 1 1 0 を形成しそしてシリコンカーバイド、窒素含有シリコンカーバイド等のような 1 つ以上の材質をもたらすための CVD(化学的気相堆積)等のような十分に確立された堆積技術に基いてキャップ層 1 1 3 を堆積させた後、誘電体材質が堆積させられる。この目的のために、材質 1 2 1 の組成に応じて任意の適切な堆積技術が用いられ得る。その後、設計寸法に従ってビア開口 1 2 1 V 及び溝 1 2 1 T を形成するために、種々のプロセス戦略が典型的には用いられる。例え 30 ば、所謂「ビア先トレーニチ後(via first-trench last)」手法においては、レジストマスクのようなエッチングマスクを設け、そして誘電体材質 1 2 1 を指定の深さまで又はエッチング停止層 1 1 3 まで下に向かってエッチングすることによって、ビア開口 1 2 1 V が形成され得る。次いで、溝に対する対応するエッチングマスクが洗練されたリソグラフィ技術に基いて形成されるであろうし、ここでは、エッチング停止層 1 1 3 まで下方に延びる場合におけるビア開口 1 2 1 V を少なくとも部分的に充填するために、必要に応じて対応する平坦化材質が先ず堆積させられるかもしない。その後、溝 1 2 1 T を得るよう 30 に更なるエッチングプロセスが実行されそしてエッチングマスクが除去される一方で、ビア開口 1 2 1 V が金属線 1 1 2 内へまで拡張し得るようにエッチング停止層 1 1 3 もまた開口させられる。その後、伝導性バリア材質の堆積によってデバイス 1 0 0 を準備するために、任意の必要な製造プロセスが実行され得る。例えば、バリア材質 1 2 2 B が、例え 40 ば層状堆積(strata deposition)に基くタンタル / タンタル窒化物層積層物等の形態で堆積させられる。また、溝 1 2 1 T 及びビア 1 2 1 V を銅材質で充填するための後続の電気化学的堆積プロセスを強化するために、種材質(図示せず)が堆積させられ得る。広い溝 1 2 1 T 及び狭いビア 1 2 1 V による洗練されたデバイス形状(device geometries)に起因して、溝 1 2 1 T 及びビア 1 2 1 V 内の露出させられた部分をバリア材質 1 2 2 B で確実に覆うために、対応する堆積パラメータが適切に選択される必要があるであろうことが理解されるべきである。

【 0 0 0 7 】

図 1 b は銅材質を堆積させるための電気化学的堆積プロセスにさらされたときの半導体デバイス 1 0 0 を模式的に示している。前述したように、優れたプロセス効率性を考慮すると、溝 1 2 1 T 及びビア 1 2 1 V は、相互に関連するパターニングプロセスにおいて形成されるであろうし、そしてそれらを充填することは、共通の堆積プロセス 1 0 2 に基いて達成されるであろう。しかし、銅材質の本来的に極めて複雑な電気化学的堆積による洗練されたデバイス形状(topography)は、ボイド 1 2 2 C のような堆積不規則性をもたらすことがあり、結果として得られるメタライゼーションシステム 1 3 0 の顕著な歩留まり悪化及び信頼性の低下の一因になり得る。即ち、銅材質 1 2 2 A の電気化学的堆積は、電気メッキ技術における適切なパルス反転レジーム(pulse reverse regime)との組み合わせにおいて下から上への充填挙動(bottom to top fill behavior)を得るために、洗練された添加剤を含む高度に複雑な電解質溶液に基いているであろう。しかし、溝 1 2 1 T 及びビア 1 2 1 V の横方向寸法の著しい違いに起因して、ビア開口 1 2 1 V の早すぎる「閉鎖(closure)」が、対応する不規則性 1 2 2 C をもたらす可能性がある。

【 0 0 0 8 】

幾つかの従来の戦略においては、ビア 1 2 1 V の「到達区域(landing area)」の増大された横方向サイズを提供すべく金属線 1 1 2 の特定の部分での面積の増大がもたらされるように、メタライゼーション層 1 1 0 のレイアウトを再設計することによって、堆積関連

10

20

30

40

50

の不規則性 122C を生成する蓋然性が低下させられるかもしれない。しかし、対応する再設計は概して、メタライゼーションシステム 130 内の全体的なパッキング密度を低下させるであろう。

【発明の概要】

【発明が解決しようとする課題】

【0009】

上述した状況に鑑み、本開示は、大きく異なる幅の隣接するメタライゼーション層内に設けられた金属線を接続することができる一方で、上で特定した 1 つ以上の問題の影響を回避し又は少なくとも低減することができる技術及び半導体デバイスに関連している。

10

【課題を解決するための手段】

【0010】

概して本開示は、減少させられた横方向寸法の金属線の近傍ではビア開口の所望の減少させられた横方向の幅を得ることができる一方で開口の幅は容易に増大させることができるように、明白な程度の先細り(tapering)を導入することによって、幅広の溝の表面形状(surface topography)及び、減少させられた横方向サイズの金属線に接続されるビア開口が「緩和され(relaxed)」得る技術及び半導体デバイスを提供する。その結果、明白な先細りを有するビア開口と幅広の溝とを充填するための共通の堆積プロセスに課せられる任意の制約は、従来的にはパッケージング密度の低下をもたらし得る専用の設計戦略を必要とすることなしに、大幅に緩和され得る。ここに開示される幾つかの例示的な側面においては、ビアの明白な先細りは、パターニングシーケンスの間に少なくとも 1 回レジストマスク内の対応するマスク開口を増大させることにより誘電体材質内のビア開口を形成するためのエッチングシーケンスを修正することによって達成され得る。例えば、第 1 のエッチングステップを実行した後にレジストマスクは「侵食され(eroded)」てよく、そしてその後にマスク開口の増大された横方向の幅に基いて更なるエッチングステップが実行されてよい。必要であれば、結果としてのビア開口の実質的に漸進的な先細り(gradual tapering)を得るために、更なるエッチングステップが先行のマスク侵食プロセスと共に実行されてよい。ここに開示される他の例示的な側面においては、ビア開口を形成するためのエッチングプロセスは、ビア開口の第 1 の部分を形成するために適切に設計された最初のエッチングマスクに基いて実行されてよい一方、ビア開口の残りの深さはスペーサ要素に基いて得られてよく、スペーサ要素もまた、最終的に得られるビア開口の明白な先細りをもたらすことができる。

20

【0011】

ここに開示される 1 つの例示的な方法は、半導体デバイスの第 1 のメタライゼーション層の誘電体材質の上方に形成することを備えており、ここでは、エッチングマスクは、誘電体材質内に形成されることになるビアの底部での目標横方向サイズに対応する第 1 の横方向サイズを有するマスク開口を備えている。方法は更に、誘電体材質内で第 1 の深さまで延びるようにビア開口を形成するために、第 1 の横方向サイズを有するマスク開口に基きビア開口を形成することを備えている。その後、マスク開口はその第 2 の横方向サイズを得るように増大させられ、そして第 2 の横方向サイズを有するマスク開口に基き第 2 の深さまで延びるようにビア開口が増大させられる。方法は更に、誘電体材質内においてビア開口の上方にビア開口に接続するように溝を形成することを備えている。最後に、方法はビア開口及び溝を金属含有材質で共通に充填することを備えており、ここでは、ビア開口は第 1 のメタライゼーション層の下方に位置する第 2 のメタライゼーション層の金属領域まで延びる。

30

【0012】

ここに開示される更なる例示的な方法は、ビア開口を半導体デバイスの第 1 のメタライゼーション層の誘電体材質内に形成することを備えており、ここでは、ビア開口は第 1 の深さまで延び且つ第 1 の横方向サイズを有している。追加的に、スペーサ要素がビア開口の側壁上に形成され、そしてビア開口の深さは、第 1 のメタライゼーション層の下方に形成される第 2 のメタライゼーション層の金属領域まで延びるように増大させられる。

40

50

【0013】

ここに開示される1つの例示的な半導体デバイスは、基板の上方に形成される第1のメタライゼーション層を備えており、ここでは、第1のメタライゼーション層は、第1の幅を有する金属線を備えている。半導体デバイスは更に、第1のメタライゼーション層の下方に形成される第2のメタライゼーション層を備えており、第2のメタライゼーション層は、第1の幅よりも小さい第2の幅を有する第2の金属線を備えている。追加的に、半導体デバイスは、第1の金属線から第2の金属線へ延びるビアを備えており、ビアは第1の金属線での第1の横方向寸法と第2の金属線での第2の横方向寸法とを有しており、ここでは、第2の横方向寸法は第1の横方向寸法の概ね60パーセント以下である。

【図面の簡単な説明】

10

【0014】

ここに開示される主題の更なる実施形態は、添付の特許請求の範囲において画定されており、また添付の図面を参照したときに以下の詳細な説明と共に更に明らかになろう。

【0015】

【図1a】図1aは従来のプロセス戦略に基きメタライゼーションシステムを形成する場合における種々の製造段階の間の洗練された半導体デバイスの模式的な断面図（その1）である。

【図1b】図1bは従来のプロセス戦略に基きメタライゼーションシステムを形成する場合における種々の製造段階の間の洗練された半導体デバイスの模式的な断面図（その2）である。

20

【図2a】図2aは例示的な実施形態に従い明白な先細りを有するビアが狭い金属線を幅広の金属線に接続するメタライゼーションシステムを形成する場合における種々の製造段階の間の半導体デバイスの模式的な断面図（その1）である。

【図2b】図2bは例示的な実施形態に従い明白な先細りを有するビアが狭い金属線を幅広の金属線に接続するメタライゼーションシステムを形成する場合における種々の製造段階の間の半導体デバイスの模式的な断面図（その2）である。

20

【図2c】図2cは例示的な実施形態に従い明白な先細りを有するビアが狭い金属線を幅広の金属線に接続するメタライゼーションシステムを形成する場合における種々の製造段階の間の半導体デバイスの模式的な断面図（その3）である。

【図2d】図2dは例示的な実施形態に従い明白な先細りを有するビアが狭い金属線を幅広の金属線に接続するメタライゼーションシステムを形成する場合における種々の製造段階の間の半導体デバイスの模式的な断面図（その4）である。

30

【図2e】図2eは例示的な実施形態に従い明白な先細りを有するビアが狭い金属線を幅広の金属線に接続するメタライゼーションシステムを形成する場合における種々の製造段階の間の半導体デバイスの模式的な断面図（その5）である。

【図2f】図2fは例示的な実施形態に従い明白な先細りを有するビアが狭い金属線を幅広の金属線に接続するメタライゼーションシステムを形成する場合における種々の製造段階の間の半導体デバイスの模式的な断面図（その6）である。

40

【図2g】図2gは更なる例示的な実施形態に従いパターニングシーケンスにおいて追加的なスペーサ要素を設けることによってビア開口の明白な先細りが達成され得る種々の製造段階の間の半導体デバイスの模式的な断面図（その1）である。

【図2h】図2hは更なる例示的な実施形態に従いパターニングシーケンスにおいて追加的なスペーサ要素を設けることによってビア開口の明白な先細りが達成され得る種々の製造段階の間の半導体デバイスの模式的な断面図（その2）である。

【図2i】図2iは更なる例示的な実施形態に従いパターニングシーケンスにおいて追加的なスペーサ要素を設けることによってビア開口の明白な先細りが達成され得る種々の製造段階の間の半導体デバイスの模式的な断面図（その3）である。

【発明を実施するための形態】

【0016】

以下の詳細な説明と共に図面に示される実施形態を参照してここに開示される主題が説

50

明されるが、以下の詳細な説明及び図面は本開示を特定の例示的に開示されている実施形態に限定することを意図するものではなく、むしろ説明されている例示的な実施形態は単に本開示の種々の側面を例証しているにすぎず、本開示の範囲は添付の特許請求の範囲によって画定されていることが理解されるべきである。

【0017】

概して、本開示は、堆積関連の不規則性を生成する蓋然性を低下させた状態でビア開口及び対応する金属線の溝を充填するための共通の堆積プロセスの間に強化されたデバイス形状(device geometry)を提供するために、ビアの底部幅は狭い金属線の設計幅に適合させられ得る一方でビアの頂部は大幅に増大された横方向寸法を有し得るように、隣接するメタライゼーション層の狭い金属線と幅広の金属線の間の相互接続が、明白な先細りを有するビアに基いて達成され得る製造技術及び対応する半導体デバイスに関連している。その結果、狭い金属線に接続される増大された「到達(landing)」区域を特別に設ける必要なしに、遷移ビアとも称されることがある明白な先細りの対応するビアが提供され得るので、複雑なメタライゼーションシステムを提供するに際して高いパッキング密度及び優れた設計柔軟性をもたらすことができる。幾つかの例示的な実施形態では、遷移ビアの明白な先細りは、レジストマスクに基きビア開口をパターニングするためのエッチングシーケンスを実行することによって達成することができ、レジストマスクは、マスク開口の最初の横方向のサイズが全体的なエッチングシーケンスの更なる進行の間に増大され得るように、例えば1つ以上の材質除去プロセスを実行することによって段階的に修正されてよい。他の例示的な実施形態においては、誘電体材質内にビア開口を形成するためのエッチングシーケンスは、ビア開口の頂部での所望の横方向サイズで開始されてよく、そしてビア底部に対する所望の減少させられた目標寸法は、スペーサ要素に基いて得ることができ、スペーサ要素は、全体的なパターニングシーケンスの中間段階で形成されてよい。従って、更なるパターニングプロセスの間、スペーサ要素もまた除去されてよく、その結果、スペーサの対応する構造が誘電体材質内に移され得るので、この場合にもまた対応する先細り構造がもたらされ得る。従って、全体的なプロセス複雑性の過度の要因になることなしに、共通の堆積プロセスに先立ち優れたデバイス形状を提供することができる一方で、狭い金属線に対して特別に設計される増大された横方向寸法のコンタクト区域を回避することもできる。その結果、数百ナノメートル以上の幅を有する金属線が、電気化学的堆積プロセスに基き、洗練された応用において概ね100 nmの幅、そしてそれより大幅に小さい幅を有する下層のメタライゼーション層の金属線と確実に接続され得る。一方で、本開示は上述した特定の範囲内の寸法を有する金属線を伴う洗練されたメタライゼーションシステムとの関連において特に効果的であるが、ここに開示される原理は、任意の他のそれほど臨界的ではないメタライゼーションシステムにも適用可能であることが理解されるべきである。従って、明細書又は添付の特許請求の範囲において特に制限が明示的に記載されている場合を除き、本開示は任意の特定のデバイス寸法によって制限されるものと考えられるべきではない。

【0018】

図2a～2iを参照して、更なる例示的な実施形態をより詳細に以下に説明し、適切であれば図1a及び図1bもまた参考されることがある。

【0019】

図2aは基板201を備えた半導体デバイス200の断面図を模式的に示しており、基板201の上方にはメタライゼーションシステム230が形成され得る。メタライゼーションシステム230は任意の数のメタライゼーション層を備えていてよく、ここでは便宜上、第1のメタライゼーション層220及び第2のメタライゼーション層210が図2aに示されている。例えば幾つかの例示的な実施形態では、メタライゼーションシステム230は洗練された半導体デバイスの相互接続構造を代表していてよく、その半導体デバイスにおいては、回路要素(図示せず)は概ね50 nm以下の臨界寸法を有していてよい。半導体デバイス100を参照して前述したように、メタライゼーションシステム230の下方に位置していてよい適切な半導体材質の内部及び上方には、対応する回路要素が形成

10

20

30

40

50

されていてよい。また、メタライゼーション層 210, 220 は同様の構造を有していてよく、図 1 a 及び 1 b を参照して説明したデバイス 100 の層 110, 120 について論じられたとおりである。例えばメタライゼーション層 210 は、低 k 誘電体材質等のような誘電体材質 211 を備えていてよく、誘電体材質 211 内には、少なくとも図 2 a に示されるデバイス部分においては「狭ピッチ(narrow pitch)」の金属線を代表し得る金属線 212 が埋め込まれていてよい。即ち、金属線 212 は、メタライゼーション層 210 の臨界寸法を代表し得る幅 212W を有していてよく、洗練された応用においては、臨界寸法は概ね 100 nm 以下である。しかし、他の例示的な実施形態においては、金属線 212 は、全体的な設計規則及び考慮中のメタライゼーションレベルに応じて、より大きな幅を有していてよいことが理解されるべきである。また、エッチング停止層 213、例えばシリコン窒化物層、シリコンカーバイド、窒素豊富シリコンカーバイド層、又は他の適切な材質が、適切なエッチング停止能力を有するように、そして必要であれば前述したように銅閉じ込め特性に有効なように設けられていてよい。図示される製造段階においては、メタライゼーション層 220 はパターニングされていない誘電体材質 221 の形態で設けられてよく、誘電体材質 221 は、その内部に幅広の金属線を少なくとも密集した金属線 212 の上方に形成するために必要な任意の適切な組成を有していてよい。更に、図示される製造段階においては、例えばレジストマスクの形態にあるエッチングマスク 203 が誘電体材質 221 の上方に設けられてよく、エッチングマスク 203 は、誘電体材質 221 内に形成されることになるビア開口の目標横方向寸法に対応する横方向寸法 203W を有するマスク開口 203A を備えている。即ち、幅 203W は対応するビア開口の底でのその幅に実質的に一致していてよく、それにより、破線で示されるように、任意の隣接する金属線 212 に干渉することなしに、金属線 212 の 1 つへの確実な接続を可能にしている。例えば幅 203W は、金属線 212 の対応する幅 212W に実質的に等しいか又はそれよりも小さくてよい。

10

20

30

40

50

【0020】

図 2 a に示される半導体デバイス 200 は、半導体デバイス 100 を参照して説明したようなプロセス技術に基いて形成することができる。従って幾つかの例示的な実施形態では、従来のプロセスとの高度な互換性が達成され得る。例えば、エッチングマスク 203 は十分に確立されたプロセス技術に基いて形成することができるが、ここでは、図 1 b に示される不規則性 122C のような任意の堆積関連の不規則性を抑えるためにしばしば用いられることがある横方向サイズが増大された付加的な層を必要とすることなしに、マスク開口 203A は幅 212W に対応するように設計されてよい。

【0021】

図 2 b はエッチング環境 204 に曝露されるときの半導体デバイス 200 を模式的に示しており、エッチング環境 204 は、十分に確立されたエッチングレシピに基いて作り出されるエッチング環境を代表していてよい。従って、エッチングプロセス 204 の間、層 221 の材質が高度に異方性の様態で除去されてよく、それにより、マスク開口 203A の横方向サイズに実質的に対応する横方向サイズを有するビア開口 221V が得られる。幾つかの例示的な実施形態では、エッチングプロセス 204 は、ビア開口 221V の深さ 221D がビア開口 221V の最終的な深さ、即ち誘電体材質 221 の厚みの概ね 3 分の 1 又はそれよりも小さくなり得るように制御されてよい。エッチングプロセス 204 の対応する制御は、材質 221 に対する除去速度を決定すること及びエッチングプロセス 204 のプロセス時間を適切に調節することによって容易に達成することができる。

【0022】

図 2 c は材質除去プロセス 205A の間ににおける半導体デバイス 200 を模式的に示しており、材質除去プロセス 205A はエッチングマスク 203 の材質を除去するように設計される。例えば、プロセス 205A は酸素種を用いるプラズマ支援プロセスとして実行されてよい一方で、他の場合には、任意の他の適切なプラズマ支援エッチング環境が用いられてよく、そのエッチング環境においては、誘電体材質 221 のかなりの部分を除去することなしに有機材質を除去することができる。更に他の例示的な実施形態においては、

プロセス 205A は、十分に確立された選択的エッティング薬品に基いて実行され得るウエット化学的レジスト除去プロセスを含んでいてよい。その結果、プロセス 205A の間、最初のエッティングマスク 203 は侵食され、それにより、幅 203E で示されるように開口 203A の横方向サイズを増大させることができる。増大された横方向幅 203E は、プロセス 205A のエッティング環境におけるエッティングマスク 203 の材質の除去速度を決定すること及びエッティング時間を制御することによって、効果的に調節され得ることが理解されるべきである。誘電体材質 221 に対するエッティングプロセス 205A の選択性に起因して、ビア開口 221V の最初の横方向幅は、少なくともその底では実質的に維持され得る。

【0023】

10

図 2d は更なるエッティングステップ 204B の間ににおける半導体デバイス 200 を模式的に示しており、エッティングステップ 204B は、層 221 の材質がエッティングマスク 203 に対して選択的に除去され得るように、プロセス 204A (図 2b 参照) と同じエッティングレシピに基いて行うことができる。幅 203E の増大に起因して、ビア開口 221V の幅もまたその上端で増大するであろう一方で、深さもまた 221E で示されるように増大するが、底部幅は最初の幅 103W (図 2c 参照) に実質的に対応しているであろう。幾つかの例示的な実施形態では、エッティングプロセス 204B の異方性はプロセス 204A と比較してそれほど明白ではないであろうから、異なる横方向の幅 203W 及び 203E (図 2c 参照) に起因する角又は段差の顕著な「丸まり(rounding)」が得られ、それにより、図 2d に示されるように、多かれ少なかれ先細りの構造が得られる。

20

【0024】

図 2e は更なる例示的な実施形態に従う半導体デバイス 200 を模式的に示しており、その実施形態においては、必要な変化の程度(degree of graduation)及び先細りの程度に応じて図 2c 及び 2d のプロセス 205A、204B を 1 回以上繰り返すことによって、更に明白な程度の先細りを達成することができる。例えば、図示されるように、デバイス 200 は更なるレジスト侵食プロセス 205B に曝されてよく、それによりマスク開口 203A の更に増大した横方向サイズ 203F を得ることができる。この目的のために、プロセス 205A (図 2c 参照) に対して説明したのと同一の又は同等のプロセスレシピが用いられてよい。

【0025】

30

図 2f はビア 221V の深さを更に増大させるために更なるエッティングプロセス 204C に曝されるときの半導体デバイス 200 を模式的に示しており、図示される実施形態においては、ビア 221V はエッティング停止層 213 にまで下方向に拡張されてよい。しかし、全体的なプロセス戦略に応じてビア 221V の任意の他の深さが選択され得ることが理解されるべきである。例えば、誘電体材質 221 の上部内に溝が形成されることになる場合には、ビア開口 221V を形成するための最終的なエッティングステップが、対応する溝を得るために対応するエッティングステップと共に実行されてよい。レジスト侵食 / エッティングサイクルの所望のアンバー(amber)を形成し且つビア開口 221V の所望の深さを達成した後、エッティングマスク 203 を除去することによって更なる処理が継続されて良く、このことは十分に確立されたレシピによって達成することができ、その後、ビア開口 221V の上方に形成されることになる幅広の溝の横方向サイズを規定するために、更なるエッティングマスクが形成されてよい。この目的のために、場合によっては、対応するフィルム材質が表面形状を平坦化するように堆積させられてよく、そして平坦化された表面形状に基いて十分に確立されたリソグラフィ技術を用いて対応するエッティングマスクが形成されてよい。その後、例えば半導体デバイス 100 を参照して説明したように、ビア開口 221V 及び対応する幅広の溝は共通の堆積シーケンスにおいて充填されてよい。

40

【0026】

図 2g は更なる例示的な実施形態に従う半導体デバイス 200 を模式的に示しており、その実施形態においては、スペーサ要素に基いてビア開口の明白な先細りを得ることができる。図示されるように、ビア開口 221V が、最初の幅 221J を有し且つ第 1 の深さ

50

221Dを有するように誘電体材質221内に形成されてよく、第1の深さ221Dは、例えば、ビア開口221Vの最終的な深さの概ね40%～60%を示してよい。また、図示される製造段階においては、スペーサ要素206Aがビア開口221Vの側壁上に形成されてよく、幾つかの例示的な実施形態では、スペーサ要素206Aは、誘電体材質221と同等のエッティング挙動を有する材質から構成されてよい。即ち、層221の材質を除去するように設計されたエッティングプロセスの間における除去速度は、スペーサ要素206Aの材質に対して、誘電体材質221と対比して概ねプラスマイナス10%の範囲内にあってよい。1つの例示的な実施形態では、スペーサ要素206Aは、誘電体材質221と実質的に同一な材質組成に基いて形成されてよい。このようにして、ビア開口221Vの更なるパターニングの間に、実質的に同一のエッティング挙動を達成することができる。また、図示される実施形態においては、必要であれば、全体的なプロセス要求に応じて、二酸化シリコン材質、シリコン窒化物材質等のようなエッティング停止ライナ206Bが、数nm乃至概ね10nm以上の厚みで設けられてよい。

【0027】

図2gに示される半導体デバイス200は、以下のプロセスに基いて形成され得る。誘電体材質221を堆積させた後、レジストマスクのような適切なエッティングマスクが形成されてよく、エッティングマスクは、ビア開口221Vの最初の幅221Jに対応する横方向寸法を有する開口を備えていてよい。次いで、既に論じられたような十分に確立されたレシピに基いて異方性エッティングプロセスが実行されてよく、その結果、第1の深さ221Dまで延びるビア開口221Vが得られる。その後、レジストマスクは除去されてよく、そしてスペーサ層(図示せず)が場合によってはエッティング停止ライナ206Bとの組み合わせにおいて堆積させられてよく、このことは、十分に確立された堆積技術によって達成され得る。次いで、誘電体材質221と対比したスペーサ材質のエッティング挙動の類似性により、例えばビア開口221Vを形成するためにも用いられたであろうのと同様のエッティングレシピに基いて、スペーサ材質がエッティングされてよい。その結果、スペーサ層の材質が水平デバイス部分から及びビア開口221Vの中央から除去されてよく、ここでは、エッティング停止ライナ206Bが設けられている場合にはエッティング停止ライナ206Bで又はその内部でエッティングフロントの進行を確実に停止させることができる。この場合、特定の程度の「オーバエッティング(over etching)」が適用されてよく、その結果、ビア開口221Vの上部でのスペーサ要素206Aの明白な丸まり(rounding)が得られる。その後、幾つかの例示的な実施形態では、例えば適切な選択されたウエット化学的エッティングレシピ、プラズマ支援エッティングプロセス等によって、エッティング停止ライナ206Bの露出された部分が除去されてよい。他の例示的な実施形態においては、エッティング停止ライナ206Bが維持されると共に対応する溝エッティングマスクがライナ206B上に形成されてよい。

【0028】

図2hは更に進んだ製造段階における半導体デバイス200を模式的に示している。図示されるように、エッティングマスク207が誘電体材質221の上方に形成されてよく、エッティングマスク207は、誘電体材質221の上部内に形成される溝221Tの位置及び横方向サイズを規定するために開口207Aを備えていてよい。例えば、溝221Tは、金属線212の幅212Wよりも大幅に大きいであろう幅221Wを有する幅広金属線を表してよい。幾つかの例示的な実施形態では、幅221Wは幅212Wの2倍又はそれよりも大きくてよく、それにより、前述したように増大された電流駆動能力を提供することができる。

【0029】

エッティングマスク207は十分に確立されたプロセス戦略に基いて形成することができ、そのプロセスにおいては、必要であれば、適切なフィルム材質と溝221Tの横方向の位置及びサイズに従ってレジスト材質をパターニングするためのリソグラフィプロセスを実行することによって、表面形状が平坦化されてよい。ビア開口221V(図2h参照)は必ずしも溝221Tの中央を中心としていなくてよく、従って、任意の適切な構造、

即ちビア開口 221V と溝 221T の間での空間的関係が達成され得る。その後、例えば何らかの平坦化材質が設けられている場合にはその露出させられた部分を除去し、またエッティング停止ライナ 206B (図 2g) についてもその露出させられた部分をエッティングするために、半導体デバイス 200 はエッティングシーケンスに曝されてよい。その後、エッティングマスク 207 に基いて層 221 の材質を除去するように異方性エッティングプロセス 204D が実行されてよく、ここでは、ビア開口 221V はまた、誘電体材質 221 の下部内へ「移される(transferred)」。スペーサ要素 206A の存在により、ビア開口 221V の明白な先細りが達成され、その結果、ビア開口 221V の底部での減少させられた幅 221B を金属線 212 の幅 212W に適合させることができる。一方、ビア開口 221V は、顕著に増大された幅で溝 221T 内へと終端することができ、その増大された幅は幅 221J によって最初に規定されたものであってよく、ここでは、エッティングプロセス 204D の間に追加的な角の丸まり(corner rounding)が生じるので、ビア開口 221V の上部で最終的に得られる幅を更に増大し得ることが理解されるべきである。エッティングプロセス 204D の間、エッティング停止材質 206B は両側からアタックされ得るので、つまりスペーサ 206A を次第に除去すると共に層 206B の対向側で露出させられた材質 221 の部分を更に除去することによって材質が露出させられ得るので、エッティングプロセス 204D の間にエッティング停止ライナ 206B もまた除去されるであろうことが理解されるべきである。エッティングプロセス 204D の後、金属線 212 の表面部分を露出させるために、マスク 207 が除去されてよく、またエッティング停止 213 もビア開口 221V の範囲内で除去されてよい。

10

20

30

【0030】

その結果、この場合にも、ビア開口 221V の明白な先細りを達成することができるので、伝導性バリア層を形成するための後続のプロセスシーケンスに対して大幅に強化された表面形状を提供することができ、また電気化学的堆積プロセスに基いて銅又は任意の他の高伝導性材質を充填することができる。

【0031】

図 2i は更に進んだ製造段階における半導体デバイス 200 を模式的に示している。図示されるように、幅広の金属線 222L が先細りのビア 222V の上方に形成され、ビア 222V は、幅広の金属線 222L を下層のメタライゼーション層 210 の金属線 212 の 1 つに接続している。既に示したように、幅広の金属線 222L の幅 222W は幅 212W よりも著しく大きいであろうから、金属線 222L の高駆動電流能力を提供することができる。同様に、ビア 222V の幅 222B は金属線 212 の幅 212W に実質的に一致しているであろうから、増大された横方向サイズの追加的なコンタクト区域を必要とせずに、確実な電気的接続を可能にする。一方、ビア 222V の頂部での幅 222T は底部幅 222B よりも著しく大きいであろうから、前述したように、強化された表面状態を充填プロセスの間に提供することができる。幾つかの例示的な実施形態では、底部幅 222B は頂部幅 222T の概ね 60% 以下である。

40

【0032】

図 2i に示される半導体デバイス 200 は、伝導性バリア材質 222A を形成するための十分に確立されたプロセス技術に基いて形成することができ、ここでは、対応するビア開口の明白な先細りによてもたらされる強化された表面形状もまた、全体的なプロセス均一性及び信頼性を高めることができる。その後、デバイス 100 を参照して既に説明したように、銅材質又は任意の他の高伝導性材質が電気化学的に堆積させられてよく、ここでは、底部幅 222B と比較して顕著に増大された横方向寸法 222W にもかかわらず、信頼性のある下から上への充填挙動(bottom to top fill behavior)を達成することができる。その後、例えば CMP によって任意の過剰な材質が除去されてよく、そして金属線 222L 及び誘電体材質 221 上にキャップ材質を形成することによって更なる処理が継続されてよい。続いて、任意の更なるメタライゼーション層が必要に応じて形成されてよい。

50

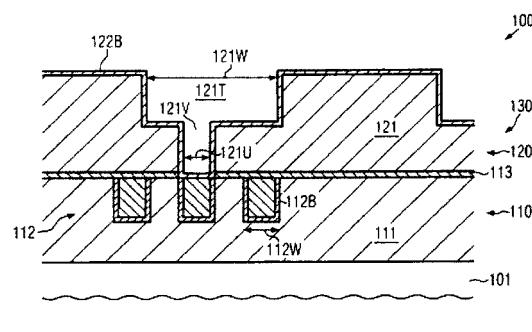
【0033】

結果として、本開示は、例えば対応するマスク開口の異なる横方向サイズに基いて2つ以上のエッチングステップを形成するようにレジストマスクを断続的に侵食することでエッチングシーケンスを修正することによって、遷移ビアの明白な先細りが達成され得る技術及び半導体デバイスを提供する。他の場合には、エッチングプロセスはビア開口の「最大」横方向サイズで開始してよく、横方向サイズは、適切に寸法を決定されたスペーサ要素に基いて、更に進行したエッチングプロセスの間に減少させられてよい。

【0034】

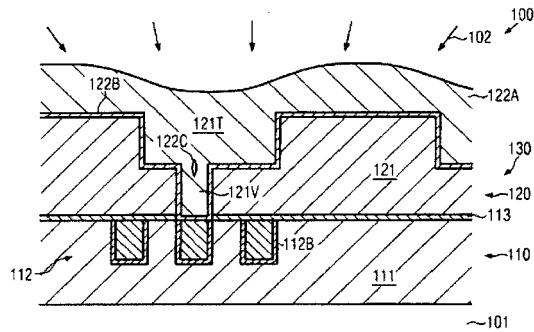
本開示の更なる修正及び変更は、この明細書を考慮することによって当業者には明白になろう。従って、明細書は、例示的なものとしてのみ解釈されるべきであり、またここに開示される原理を実施する一般的な手法を当業者に教示することを目的としている。ここに示されまた説明される形態は目下のところ望ましい実施形態として解釈されるべきことが理解されるべきである。

【図1a】



(従来技術)

【図1b】



(従来技術)

【図2a】

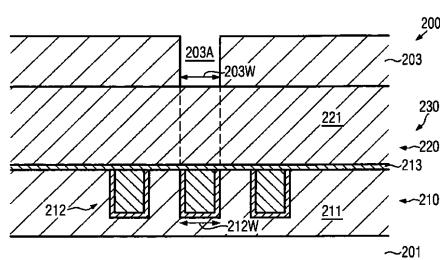


FIG. 2a

【図2b】

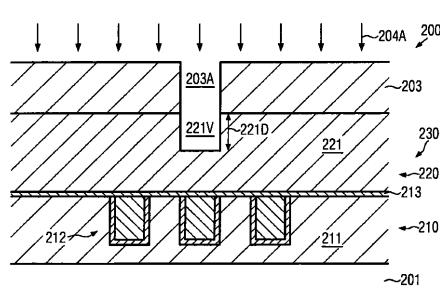


FIG. 2b

【図 2 c】

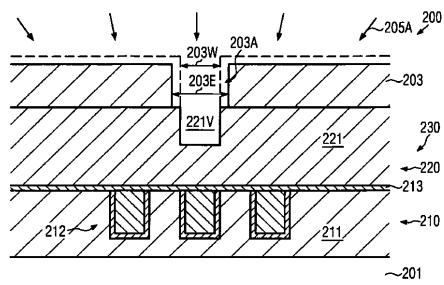


FIG. 2c

【図 2 e】

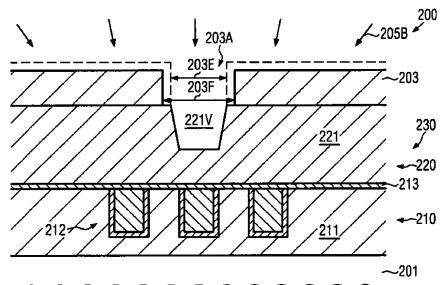


FIG. 2e

【図 2 d】

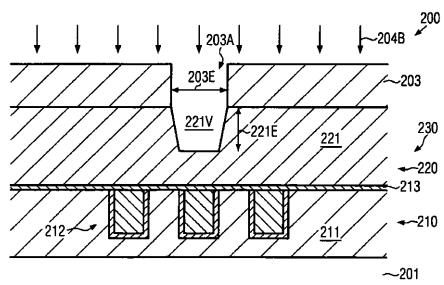


FIG. 2d

【図 2 f】

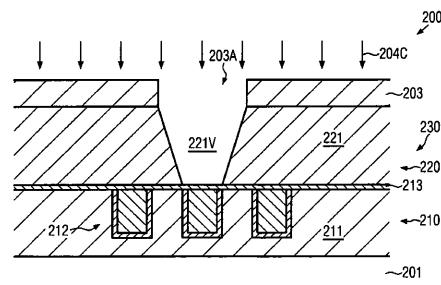


FIG. 2f

【図 2 g】

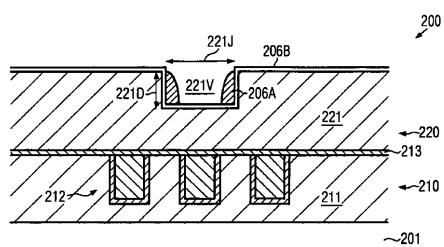


FIG. 2g

【図 2 i】

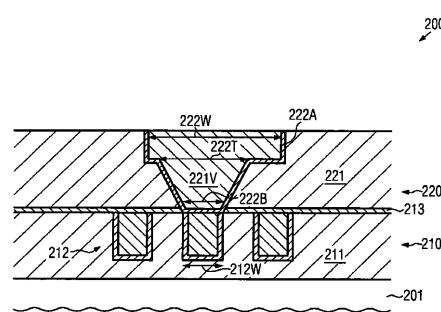


FIG. 2i

【図 2 h】

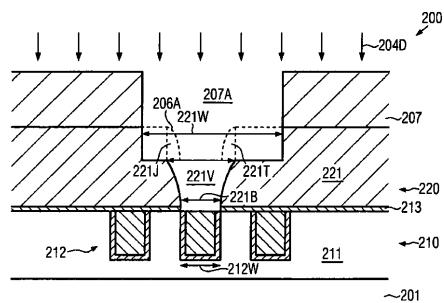


FIG. 2h

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No PCT/EP2009/009308																		
A. CLASSIFICATION OF SUBJECT MATTER INV. H01L21/768 ADD.																				
According to International Patent Classification (IPC) or to both national classification and IPC																				
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L																				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched																				
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal																				
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left; padding: 2px;">Category*</th> <th style="text-align: left; padding: 2px;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="text-align: left; padding: 2px;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="padding: 2px;">X</td> <td style="padding: 2px;">US 2006/270214 A1 (IBA YOSHIHISA [JP]) 30 November 2006 (2006-11-30) page 1, paragraph 6 - page 4, paragraph 50; figures 1-8</td> <td style="padding: 2px;">1-10, 18-21</td> </tr> <tr> <td style="padding: 2px;">A</td> <td style="padding: 2px;">US 4 698 128 A (BERGLUND ROBERT K [US] ET AL) 6 October 1987 (1987-10-06) column 4, line 7 - column 5, line 2; figures 1-6</td> <td style="padding: 2px;">2,3</td> </tr> <tr> <td style="padding: 2px;">A</td> <td style="padding: 2px;">JP 08 191062 A (SONY CORP) 23 July 1996 (1996-07-23) the whole document</td> <td style="padding: 2px;">1-10, 18-21</td> </tr> <tr> <td style="padding: 2px;">A</td> <td style="padding: 2px;">US 6 403 471 B1 (LOU CHINE-GIE [TW]) 11 June 2002 (2002-06-11) column 2, line 25 - column 4, line 44; figure 2</td> <td style="padding: 2px;">1-10, 18-21</td> </tr> <tr> <td colspan="3" style="text-align: center; padding: 2px;">-/-</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 2006/270214 A1 (IBA YOSHIHISA [JP]) 30 November 2006 (2006-11-30) page 1, paragraph 6 - page 4, paragraph 50; figures 1-8	1-10, 18-21	A	US 4 698 128 A (BERGLUND ROBERT K [US] ET AL) 6 October 1987 (1987-10-06) column 4, line 7 - column 5, line 2; figures 1-6	2,3	A	JP 08 191062 A (SONY CORP) 23 July 1996 (1996-07-23) the whole document	1-10, 18-21	A	US 6 403 471 B1 (LOU CHINE-GIE [TW]) 11 June 2002 (2002-06-11) column 2, line 25 - column 4, line 44; figure 2	1-10, 18-21	-/-		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																		
X	US 2006/270214 A1 (IBA YOSHIHISA [JP]) 30 November 2006 (2006-11-30) page 1, paragraph 6 - page 4, paragraph 50; figures 1-8	1-10, 18-21																		
A	US 4 698 128 A (BERGLUND ROBERT K [US] ET AL) 6 October 1987 (1987-10-06) column 4, line 7 - column 5, line 2; figures 1-6	2,3																		
A	JP 08 191062 A (SONY CORP) 23 July 1996 (1996-07-23) the whole document	1-10, 18-21																		
A	US 6 403 471 B1 (LOU CHINE-GIE [TW]) 11 June 2002 (2002-06-11) column 2, line 25 - column 4, line 44; figure 2	1-10, 18-21																		
-/-																				
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.																		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the International filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed																				
Date of the actual completion of the International search 1 June 2010		Date of mailing of the International search report 09/06/2010																		
Name and mailing address of the ISA/ European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Lyons, Christopher																		

INTERNATIONAL SEARCH REPORT

International application No PCT/EP2009/009308

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 440 847 B1 (LOU CHINE-GIE [TW]) 27 August 2002 (2002-08-27) column 3, line 15 – column 4, line 6; figures 1–7 -----	11-13, 16,17
X	US 2001/039114 A1 (NAKAMURA RYOICHI [JP]) 8 November 2001 (2001-11-08) page 2, paragraph 31 – page 3, paragraph 42; figures 2–10 -----	11-14,16
X	US 4 472 240 A (KAMEYAMA SHUICHI [JP]) 18 September 1984 (1984-09-18) column 6, line 60 – column 8, line 20; figures 8–9 -----	11-14

INTERNATIONAL SEARCH REPORT

International application No.	PCT/EP2009/009308
-------------------------------	-------------------

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.: because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.: because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.: because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

International Application No. PCT/EP2009 /009308

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-10, 18-21

directed to a method of forming an interconnect comprising a via opening with an etch mask whose opening is increased in size between two via etch steps and a device fabricated by this method.

2. claims: 11-17

directed to a method of forming a via opening in two etch steps with a spacer formed in the via between the two etch steps.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No PCT/EP2009/009308

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 2006270214	A1	30-11-2006	CN	1873944 A	06-12-2006
			JP	2006332503 A	07-12-2006
			KR	20060124531 A	05-12-2006
			TW	290356 B	21-11-2007
US 4698128	A	06-10-1987	EP	0268021 A2	25-05-1988
			JP	2711538 B2	10-02-1998
			JP	63173330 A	16-07-1988
JP 8191062	A	23-07-1996	JP	3427534 B2	22-07-2003
US 6403471	B1	11-06-2002	TW	424301 B	01-03-2001
US 6440847	B1	27-08-2002	NONE		
US 2001039114	A1	08-11-2001	KR	20000053408 A	25-08-2000
			TW	430943 B	21-04-2001
US 4472240	A	18-09-1984	NONE		

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,SE,SI,S,K,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PE,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72)発明者 トーマス ウェルナー

ドイツ、01468 ライヒエンベルク - モーリッツブルク、ゴムリッヒシュトラッセ 10

(72)発明者 カイ フローベルク

ドイツ、01689 ニーデラウ、ガルテンシュトラッセ 20

F ターム(参考) 5F033 HH11 HH21 HH32 JJ01 JJ11 JJ21 JJ32 KK11 MM01 MM02
MM12 MM13 NN06 NN07 NN32 PP27 PP28 QQ09 QQ21 QQ25
QQ26 QQ34 QQ37 QQ48 RR01 RR06 SS11 XX02