

Digitální fázový detektorOblast techniky

5

Vynález se týká digitálního fázového detektoru k získání informací o fázi mezi referenčním a porovnávaným taktém obsahující první prostředky pro generování signálů Start a Stop z časově po sobě následujících impulzů referenčního a porovnávaného taktu, dále obsahující čítač pro počítání impulzů čítacího taktu v časové mezeře mezi signálem Start a následujícím signálem Stop, přičemž hodnota čítače představuje míru fázového posuvu mezi referenčním a porovnávaným taktém, a obsahující druhé prostředky pro získávání informace o znaménku z porovnávaného taktu, zpožďujícího se nebo předbíhajícího se vůči referenčnímu taktu.

15 Dosavadní stav techniky

Přístroj na měření fáze, který obsahuje digitální fázový detektor výše uvedeného druhu, je znám z "N. Nessler, D. Fritz: Ein digitales Phasenmeßgerät" ELEKTRONIK 1974, sešit 9, svazek 23, strana 319 a další.

20

Z "R. Best: Theorie und Anwendungen des Phase-locked Loops", AT-Verlag Aarau, Stuttgart, 4. vydání, 1987, str. 46, obr. 31/3 je znám digitální fázový detektor, obsahující zařízení, která generují signály Start a Stop z po sobě časově následujících impulzů referenčního taktu a porovnávaného taktu, a obsahující čítač, který v časové mezeře mezi signálem Start a následujícím signálem Stop sčítá impulzy čítacího taktu, přičemž hodnota čítače představuje měřítko pro fázový posuv mezi referenčním a porovnávaným taktém.

Analogický fázový detektor, který dodává výstupní signál, označený znaménkem, je zmíněn v "Tietze/Schenk: HalbleiterSchaltungstechnik", Springer-Verlag Berlin, Heidelberg, 10. vydání, 1993, str. 962 a další. Tento výstupní signál je obdélníkový impulz, jehož šířka je proporcionalní k fázovému rozdílu, a jehož amplituda je záporná při záporném fázovém rozdílu.

Úkolem vynálezu je vytvořit s malými náklady způsob zvýšení fázového rozlišení mezi referenčním taktém a porovnávaným taktém, jakož i digitální fázový detektor k provádění tohoto způsobu.

Podstata vynálezu

40 Uvedený úkol splňuje digitální fázový detektor k získání informací o fázi mezi referenčním a porovnávaným taktém obsahující první prostředky pro generování signálů Start a Stop z časově po sobě následujících impulzů referenčního a porovnávaného taktu, dále obsahující čítač pro počítání impulzů čítacího taktu v časové mezeře mezi signálem Start a následujícím signálem Stop, přičemž hodnota čítače představuje míru fázového posuvu mezi referenčním a porovnávaným taktém, a obsahující druhé prostředky pro získávání informace o znaménku z porovnávaného taktu, zpožďujícího se nebo předbíhajícího se vůči referenčnímu taktu, podle
45 vynálezu, jehož podstatou je, že obsahuje třetí prostředky pro přičtení konstanty k hodnotě čítače a pro přiřazení informace o znaménku k výsledné hodnotě.

50 K datovému vstupu třetích prostředků je s výhodou připojeno zapojení k provedení součtu konstant.

K datovému vstupu třetích prostředků jsou s výhodou připojena zapojení pro přičtení konstanty 0,5 k hodnotě čítače tím, že na vstupu třetích prostředků budou k bity hodnoty čítače posunuty o 1 bit ve směru k vyššímu bitu, a že nejnižší bit tohoto vstupu bude mít permanentně úroveň "H".

5

Digitální fázový detektor je s výhodou uspořádán v regulačním obvodu fáze.

Digitální fázový detektor, který určuje fázový rozdíl mezi dvěma impulzy tím, že vypočte časový rozdíl mezi oběma impulzy pomocí čítacího taktu o vysoké frekvenci, má chybu kvantováním. U tohoto fázového detektoru často není vyhovující přesnost i při velmi vysoké frekvenci čítacího taktu. Díky opatřením podle vynálezu jsou podstatně zredukovány účinky chyby kvantováním na výstupní fázi regulačního obvodu fáze. Porovnávaný takt může být přesně srovnán s referenčním taktem.

15

Přehled obrázků na výkresech

Příklady provedení vynálezu jsou vysvětleny na základě obrázků, na nichž

- 20 obr. 1 znázorňuje digitální fázový detektor,
- obr. 2 časové průběhy signálů ve fázovém detektoru podle obr. 1,
- obr. 3 charakteristiku digitálního fázového detektoru bez informace o znaménku,
- obr. 4 charakteristiku digitálního fázového detektoru s informací o znaménku,
- obr. 5 charakteristiku digitálního fázového detektoru, který obsahuje v počátečním bodě skok,
- 25 obr. 6 regulační smyčku fáze spolu s digitálním fázovým detektorem, u kterého je do paměti uloženo zpracování znaménka a vytvoření skoku v počátečním bodě detekční charakteristiky,
- obr. 7 regulační smyčku fáze spolu s digitálním fázovým detektorem, u kterého je zapojením realizováno zpracování znaménka a vytvoření skoku v počátečním bodě charakteristiky.

30

Příklady provedení vynálezu

Na obr. 1 je znázorněn digitální fázový detektor, který určuje fázový rozdíl mezi impulzy referenčního taktu RT a porovnávaného taktu VT. Referenční takt RT a porovnávaný takt VT jsou přivedeny do prvního logického členu STA, který vytváří signály Start, a do druhého logického členu STO, který vytváří signály Stop. Na tyto takzvané první prostředky, které logické členy STA a STO tvoří, mohou být použity také jiné stavební prvky. První impulz vytvoří signál Start a po prvním impulzu následující druhý impulz vytvoří příslušný signál Stop, 40 nezávisle na tom, který z obou impulzů pochází od referenčního taktu RT, a který od porovnávaného taktu VT. Druhé prostředky, například logický člen VZ, poznají, který z obou taktů vyvolal momentální signál Start, zda referenční takt RT nebo porovnávaný takt VT. Logický člen VZ vyšle informaci o tom, zda se fáze porovnávaného taktu VT předbíhá nebo zpožďuje vůči referenčnímu taktu RT. Tato informace odpovídá informaci o znaménku.

45

Aby se dosáhlo dobrého časového rozlišení, je výhodné pro referenční takt RT a porovnávaný takt VT použít obdélníkové signály a pro logické členy STA a STO použít obvody, které jsou spouštěny čely těchto obdélníkových signálů.

50

Logický obvod PDL řídí s pomocí signálů Start a Stop vstup ZG čítače Z. S jeho pomocí a s pomocí čítače Z jsou sčítány impulzy čítacího taktu ZT. Výsledek se vyšle do paralelního rozhraní 1, 2, . . . k čítače Z. Fázový rozdíl mezi impulzy referenčního taktu RT a porovnávaného taktu VT je tedy předložen jako digitální hodnota čítače a může být výhodně hned zpracován, například v aritmetické jednotce, tvořící takzvané třetí prostředky MP. Aby se udržela malá

chyba kvantování, která vzniká díky digitálnímu měření, musí být frekvence čítacího taktu \underline{ZT} vysoká.

Třetí prostředky \underline{MP} , například aritmetická jednotka, kterou může být mikroprocesor, signální procesor nebo ASIC, neboli integrovaný obvod pro specifické použití, ovlivňují řízení a zpracování informací pomocí fázového detektoru. Je-li hodnota čítače zavedena do aritmetické jednotky, tvořící třetí prostředky \underline{MP} , aritmetická jednotka vyšle logickému obvodu \underline{PDL} signál \underline{MPF} . Ten potom vynuluje čítač \underline{Z} a logický člen \underline{VZ} a pomocí impulsu Start a Stop začne ve vstupu \underline{ZG} čítače \underline{Z} a v čítači \underline{Z} nový sčítací cyklus. Je-li cyklus ukončen a hodnota čítače \underline{Z} je na paralelním rozhraní čítače \underline{Z} , logický obvod \underline{PDL} vyšle do aritmetické jednotky, tvořící třetí prostředky \underline{MP} , signál \underline{PDF} , aby načetla hodnotu čítače \underline{Z} a informaci o znaménku. Tímto způsobem je v periodických odstupech s periodou referenčního taktu \underline{RT} určován fázový rozdíl mezi impulzy referenčního taktu \underline{RT} a porovnávaného taktu \underline{VT} .

Časový průběh signálů digitálního fázového detektoru je zobrazen na obr. 2. \underline{RT} označuje referenční takt \underline{RT} , který má dobu \underline{PRT} periody a \underline{VT} porovnávaný takt \underline{VT} . Fáze referenčního taktu \underline{RT} se předbíhá oproti fázi porovnávaného taktu \underline{VT} a vyvolává proto signál Start (v prvním logickém členu \underline{STA} (obr. 1)). Impulz porovnávaného taktu \underline{VT} vyvolává signál Stop. Informace o tom, že se impulz referenčního taktu \underline{RT} předbíhá před impulzem porovnávaného taktu \underline{VT} , může být interpretována jako informace \underline{Vt} o znaménku a je v tomto příkladu provedení označena záporným \underline{neg} .

Mezi signály Start a Stop existuje časová mezera \underline{ZF} , ve které vstup \underline{ZG} čítače \underline{Z} a čítač \underline{Z} (obr. 1) počítají impulzy čítacího taktu \underline{ZT} . Výsledkem je hodnota \underline{ZW} čítače \underline{Z} . Fáze načítávání hodnoty \underline{ZW} čítače \underline{Z} je na obr. 2 zobrazena ve tvaru schodů \underline{TS} .

Signál Stop, zde pocházející z porovnávaného taktu \underline{VT} , vytvoří v logickém obvodu \underline{PDL} (obr. 1) signál \underline{PDF} , který přiměje aritmetickou jednotku, tvořící třetí prostředky \underline{MP} , k načtení hodnoty \underline{ZW} čítače \underline{Z} . Je-li aritmetická jednotka hotova s načítáním hodnoty \underline{ZW} čítače \underline{Z} a se zpracováním informace, vydá signál \underline{MPF} do logického obvodu \underline{PDL} . Signál \underline{MPF} přiměje logický obvod \underline{PDL} k vynulování hodnoty \underline{ZW} čítače \underline{Z} a informace \underline{Vt} o znaménku. Po časové prodlevě \underline{ZL} je aritmetická jednotka, tvořící třetí prostředky \underline{MP} , připravena pro nový početní cyklus.

Na obr. 2 znázorněný časový průběh signálů představuje jen příklad. Signály \underline{PDF} a \underline{MPF} proto mohou také následovat například později.

Hodnota \underline{ZW} čítače \underline{Z} je ve vztahu ke kvantovanému fázovému rozdílu \underline{PHI} , jak je znázorněno na obr. 3.

V diagramu na obr. 4 je započtena informace \underline{Vt} o znaménku k vypočtené hodnotě \underline{RW} , takže jsou definovány také záporné fázové rozdíly. To může být realizováno v aritmetické jednotce, tvořící třetí prostředky \underline{MP} (obr. 1), například vynásobením hodnoty \underline{ZW} čítače \underline{Z} informací \underline{Vt} o znaménku.

Vypočtená hodnota \underline{RW} jako funkce fázového rozdílu \underline{PHI} představuje charakteristiku fázového detektoru. Z funkce na obr. 4 se dá vyčíst, že výpočetní hodnotě $\underline{RW} = 0$ odpovídá rozsah fázového rozdílu \underline{PHI} od -1 do 1.

V diagramu na obr. 5 je znázorněna charakteristika digitálního fázového detektoru, která má skok v bodě, v němž fázový rozdíl $\underline{PHI} = 0$. Fázový detektor s touto charakteristikou se dá s výhodou vložit do regulačního obvodu fáze, aby se znatelně zredukovaly účinky kvantovacích kroků digitálního fázového detektoru na porovnávaný takt \underline{VT} . Díky skoku v bodě, v němž se fázový rozdíl $\underline{PHI} = 0$, je fázový šum digitálního fázového detektoru (vyvolaný kvantováním)

podstatně zmenšen, jelikož i při nejmenších fázových rozdílech \underline{PHI} je vypočtená hodnota \underline{RW} větší nebo menší než nula. Informace \underline{Vt} o znaménku řekne, zda se fáze porovnávaného taktu \underline{VT} předbíhá nebo zpožďuje za referenčním taktom \underline{RT} . I při malých fázových rozdílech \underline{PHI} to vytváří pro regulační obvod fáze informaci o tom, jestli musí být zvýšena nebo snížena frekvence porovnávaného taktu \underline{VT} . Pomocí tohoto opatření se dosáhne velmi dobré fázové synchronizace.

Charakteristika z obr. 5 může být odvozena z charakteristiky na obr. 3 tím, že se k ní nejprve přičte číselná hodnota, například 0,5, a takto dosažený výsledek je pak vynásoben znaménkem. Charakteristika z obr. 5, procházející počátkem, z něj může být také posunuta. To umožňuje například regulační obvod fáze, který porovnávaný takt \underline{VT} nastaví na fázový posuv, který není nulový, vůči referenčnímu taktu \underline{RT} . Proto se nejprve od hodnoty \underline{ZW} čítače \underline{Z} odečte konstanta, která odpovídá fázovému posuvu, poté se přičte 0,5 a vynásobí se znaménkem.

Na obr. 6 je znázorněn regulační obvod fáze spolu s digitálním fázovým detektorem $\underline{PD1}$, digitálně-analogovým převodníkem \underline{DA} , nastavitelným oscilátorem \underline{VCO} a s děličem \underline{FT} frekvence. Dělič \underline{FT} frekvence ovlivňuje výstupní takt \underline{AT} , který je odlišný od referenčního taktu \underline{RT} .

Fázový detektor $\underline{PD1}$ odpovídá fázovému detektoru, popsanému podle obr. 1. Aritmetická jednotka, tvořící třetí prostředky \underline{MP} , registruje v periodických odstupech hodnotu \underline{ZW} čítače \underline{Z} a informaci \underline{Vt} o znaménku logického členu \underline{VZ} . Tato data aritmetická jednotka zpracuje pomocí programu, aby se vytvořila detekční charakteristika podle obr. 5. Na základě detekční charakteristiky aritmetická jednotka řídí oscilátor \underline{VCO} , aby se mohl doladovat porovnávaný takt \underline{VT} .

Na obr. 7 je znázorněn regulační obvod fáze spolu s dalším fázovým detektorem $\underline{PD2}$. Hodnota \underline{ZW} čítače \underline{Z} a informace \underline{Vt} o znaménku logického členu \underline{VZ} jsou spojeny s aritmetickou jednotkou \underline{MP} tím způsobem, že v aritmetické jednotce, tvořící třetí prostředky \underline{MP} , odpadají početní úkony na vytvoření charakteristiky digitálního fázového detektoru. Proto se k bity 1, 2, . . . k hodnoty \underline{ZW} čítače \underline{Z} načítají na vstupu aritmetické jednotky v místech 2, 3, . . . , k + 1 a vstupní vedení nejnižšího bitu 1 je permanentně nastaveno na úroveň \underline{H} (vysokou). To ve dvojkové soustavě odpovídá v čítači \underline{Z} přičtení hodnoty 0,5. Informace \underline{Vt} o znaménku je spojena se vstupním bitem datového vstupu, příslušejícím znaménku.

PATENTOVÉ NÁROKY

1. Digitální fázový detektor k získání informací o fázi mezi referenčním a porovnávaným taktom obsahující první prostředky pro generování signálů Start a Stop z časově po sobě následujících impulzů referenčního a porovnávaného taktu, dále obsahující čítač pro počítání impulzů čítacího taktu v časové mezeře mezi signálem Start a následujícím signálem Stop, přičemž hodnota čítače představuje míru fázového posuvu mezi referenčním a porovnávaným taktom, a obsahující druhé prostředky pro získávání informace o znaménku z porovnávaného taktu, zpožďujícího se nebo předbíhajícího se vůči referenčnímu taktu, **v y z n a č u j í c í s e t í m**, že obsahuje třetí prostředky (MP) pro přičtení konstanty k hodnotě (ZW) čítače (Z) a pro přiřazení informace o znaménku k výsledné hodnotě.

2. Digitální fázový detektor podle nároku 1, **v y z n a č u j í c í s e t í m**, že k datovému vstupu třetích prostředků (MP) je připojeno zapojení k provedení součtu konstant.

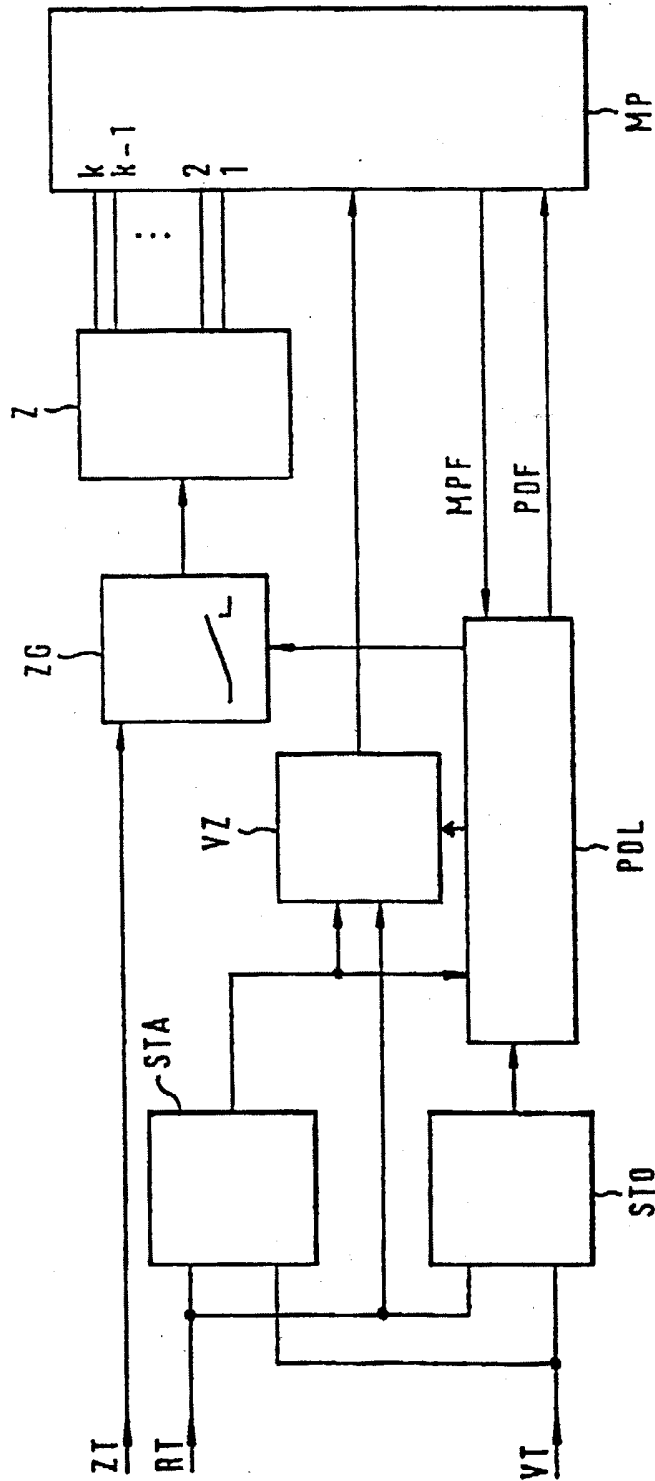
3. Digitální fázový detektor podle nároku 1 nebo 2, **vyznačující se tím**, že k datovému vstupu třetích prostředků (MP) jsou připojena zapojení pro přičtení konstanty 0,5 k hodnotě čítače posunutím k bitů hodnoty čítače na vstupu třetích prostředků (MP) o 1 bit ve směru k vyššímu bitu, a že nejnižší bit tohoto vstupu bude mít trvale úroveň "H".

5

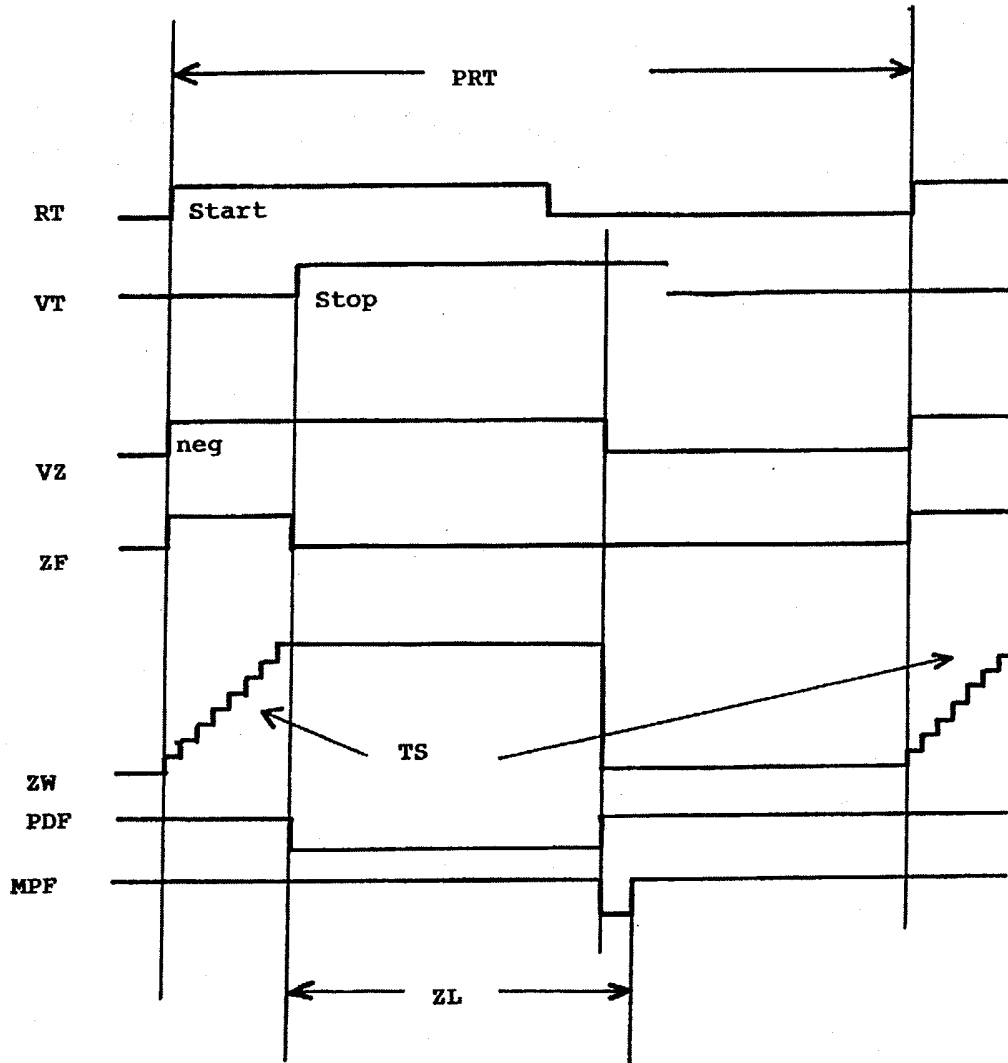
4. Digitální fázový detektor podle jednoho z předcházejících nároků, **vyznačující se tím**, že je uspořádán v regulačním obvodu fáze.

10

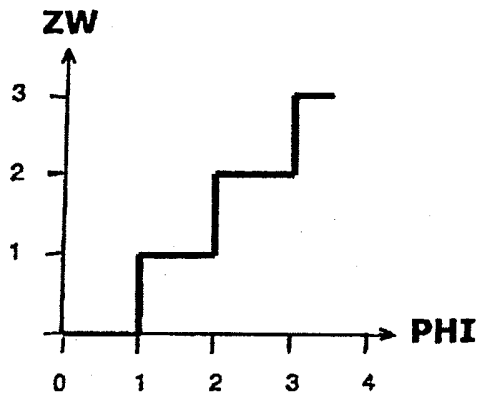
5 výkresů



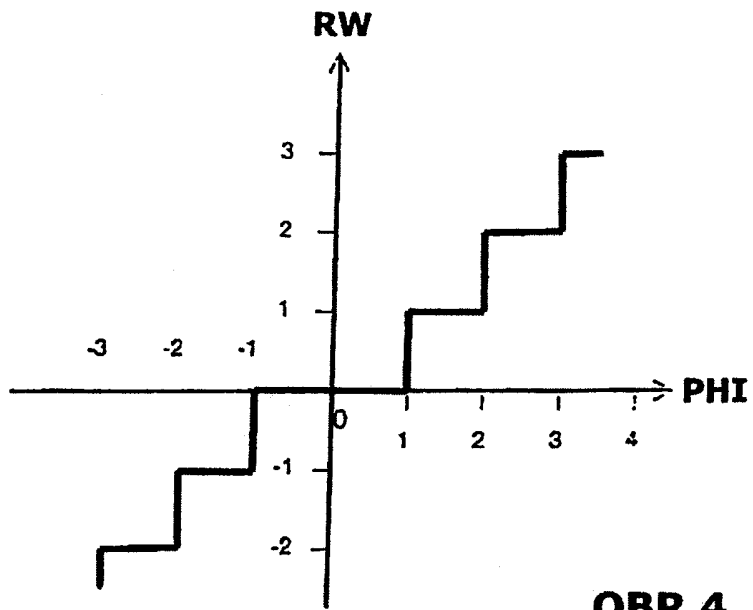
obr. 1



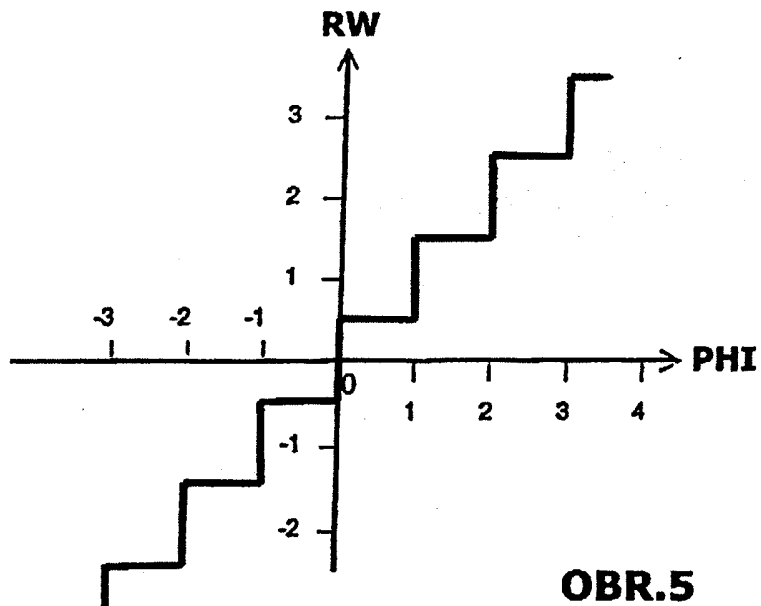
OBR. 2



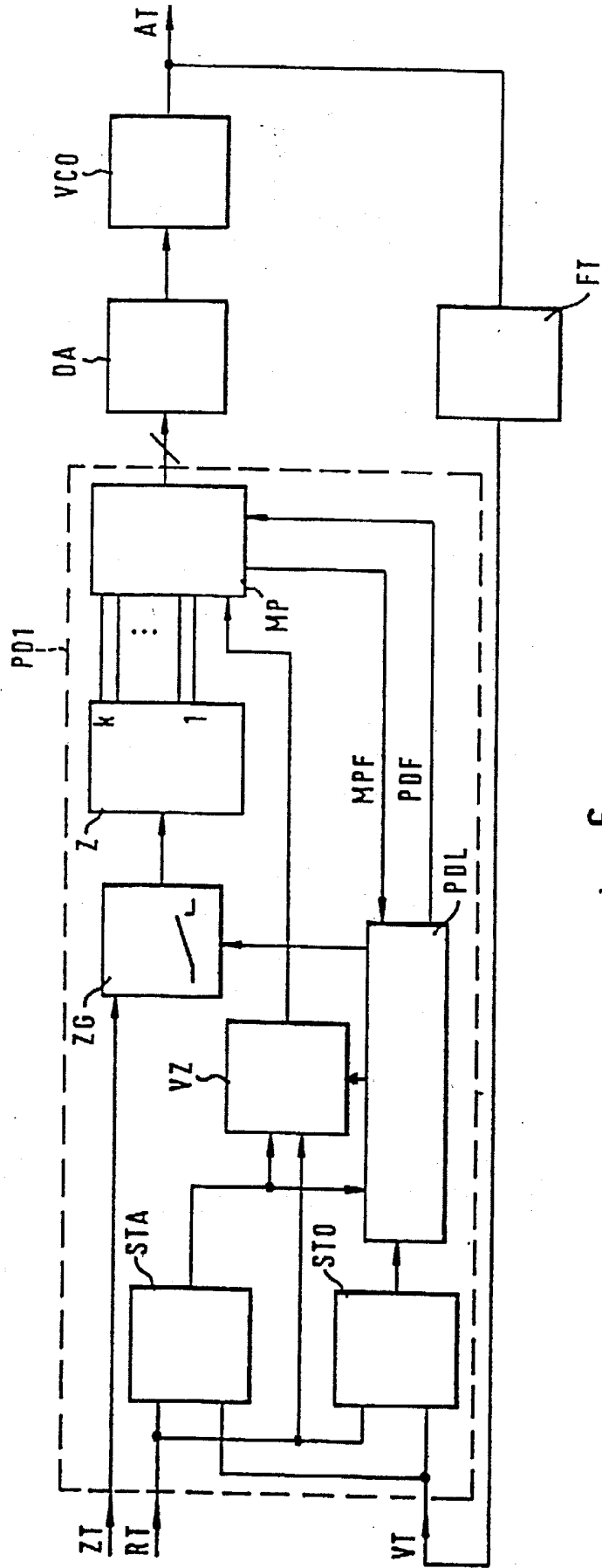
OBR.3



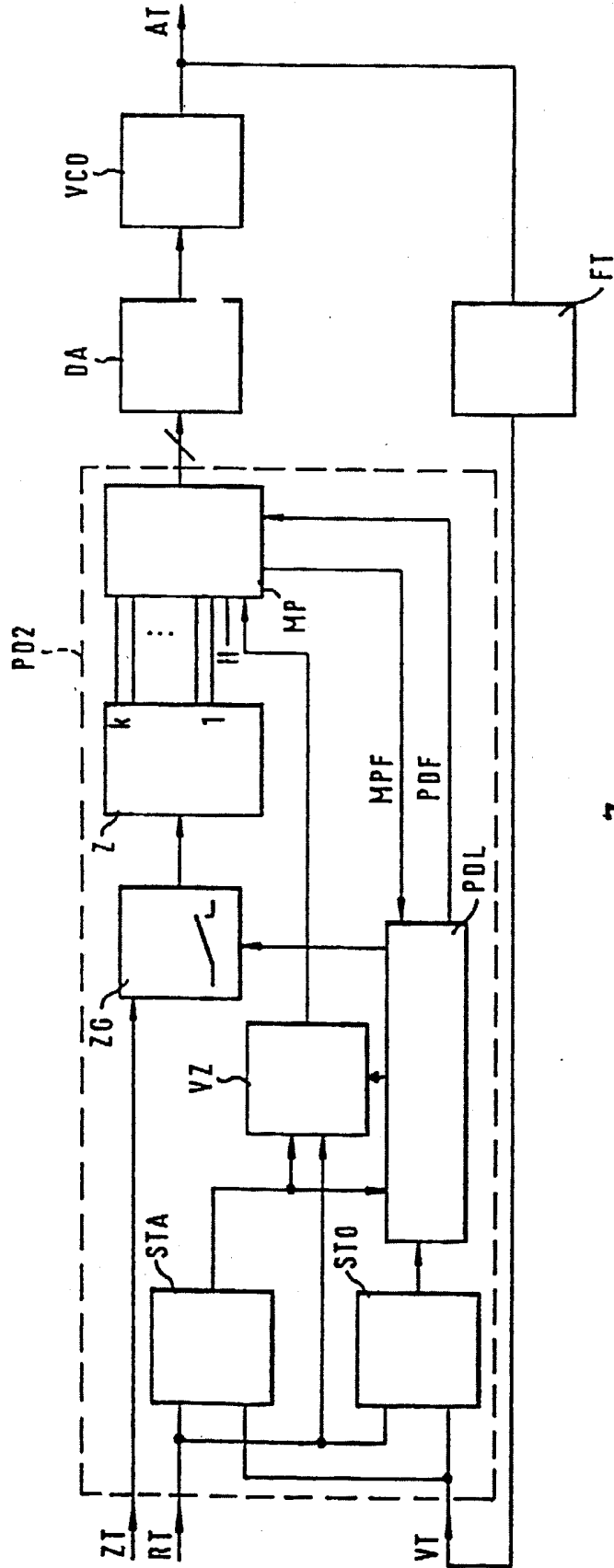
OBR.4



OBR.5



obr. 6



Konec dokumentu

obr. 7