

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5172671号
(P5172671)

(45) 発行日 平成25年3月27日(2013.3.27)

(24) 登録日 平成25年1月11日(2013.1.11)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 7 N

H O 1 L 21/8234 (2006.01)

H O 1 L 27/06 1 0 2 A

H O 1 L 27/06 (2006.01)

H O 1 L 27/08 3 3 1 E

H O 1 L 27/08 (2006.01)

H O 1 L 27/08 1 0 2 C

H O 1 L 27/088 (2006.01)

H O 1 L 29/78 6 1 3 A

請求項の数 6 (全 12 頁) 最終頁に続く

(21) 出願番号 特願2008-522791 (P2008-522791)
 (86) (22) 出願日 平成18年6月26日(2006.6.26)
 (65) 公表番号 特表2009-502042 (P2009-502042A)
 (43) 公表日 平成21年1月22日(2009.1.22)
 (86) 国際出願番号 PCT/US2006/024701
 (87) 国際公開番号 W02007/011496
 (87) 国際公開日 平成19年1月25日(2007.1.25)
 審査請求日 平成21年2月20日(2009.2.20)
 (31) 優先権主張番号 11/160,999
 (32) 優先日 平成17年7月19日(2005.7.19)
 (33) 優先権主張国 米国(US)

(73) 特許権者 390009531
 インターナショナル・ビジネス・マシーンズ・コーポレーション
 INTERNATIONAL BUSINESS MACHINES CORPORATION
 アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
 (74) 代理人 100108501
 弁理士 上野 剛史
 (74) 代理人 100112690
 弁理士 太佐 種一
 (74) 代理人 100091568
 弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】デュアルゲートCMOS構造体を製造する方法、キャパシタ、及び、デュアルゲート・キャパシタ

(57) 【特許請求の範囲】

【請求項1】

デュアルゲートCMOS構造体を製造する方法であって、
 絶縁層内に埋め込まれた第1プレートを形成するステップと、
 前記絶縁層の上方に、前記第1プレートに電気的に対応する第2プレートを形成するステップと、
 前記第1プレートと前記第2プレートとの間にシリコン層を形成するステップと、
 前記シリコン層の部分をエッチングして前記第1プレート及び前記第2プレートに対応するシリコン・アイランドを形成するステップと、
 前記シリコン・アイランドの部分をドーピングして拡散領域を形成するステップと、
 前記シリコン・アイランドと前記第2プレートとの間に、ゲート誘電体層を形成するステップと
 を含み、
 前記シリコン・アイランド上に形成された拡散領域を用いて、前記第1プレート及び前記シリコン・アイランドの両側に接続された第1端子を形成するステップと、
 前記第2プレートに接続された第2端子を形成するステップと
 をさらに含む、前記方法。

【請求項2】

デュアルゲートCMOS構造体を製造する方法であって、
 絶縁層内に埋め込まれた第1プレートを形成するステップと、

10

20

前記絶縁層の上方に、前記第 1 プレートに電気的に対応する第 2 プレートを形成するステップと、

前記第 1 プレートと前記第 2 プレートとの間にシリコン層を形成するステップと、

前記シリコン層の部分をエッチングして前記第 1 プレート及び前記第 2 プレートに対応するシリコン・アイランドを形成するステップと、

前記シリコン・アイランドの部分をドーピングして拡散領域を形成するステップと、

前記シリコン・アイランドと前記第 2 プレートとの間に、ゲート誘電体層を形成するステップと

を含み、

前記拡散領域において前記シリコン・アイランドの両側に接続された第 1 端子を形成するステップと、 10

前記第 1 プレート及び前記第 2 プレートに接続された第 2 端子を形成するステップとをさらに含む、前記方法。

【請求項 3】

埋め込み絶縁体層及び前記絶縁体層上のデバイス層を有する基板上に形成されたキャパシタであって、

埋め込み絶縁体層内に形成された下部プレートと、

第 1 のキャパシタ誘電体を形成するために前記下部プレート上に形成された前記埋め込み絶縁体層の部分と、

前記第 1 のキャパシタ誘電体上に形成されたデバイス層の部分であって、前記デバイス層の前記部分は拡散領域を含む、デバイス層の部分と、 20

前記デバイス層の前記部分上に形成された第 2 のキャパシタ誘電体と、

前記第 2 のキャパシタ誘電体上に形成された上部プレートと

を備えるキャパシタであって、前記拡散領域を短絡させるために、前記少なくとも下部プレート及び前記拡散領域に接続された第 1 端子と、

前記少なくとも 1 つの上部プレートに接続された第 2 端子と

をさらに備える、前記キャパシタ。

【請求項 4】

埋め込み絶縁体層及び前記絶縁体層上のデバイス層を有する基板上に形成されたキャパシタであって、 30

埋め込み絶縁体層内に形成された下部プレートと、

第 1 のキャパシタ誘電体を形成するために前記下部プレート上に形成された前記埋め込み絶縁体層の部分と、

前記第 1 のキャパシタ誘電体上に形成されたデバイス層の部分であって、前記デバイス層の前記部分は拡散領域を含む、デバイス層の部分と、

前記デバイス層の前記部分上に形成された第 2 のキャパシタ誘電体と、

前記第 2 のキャパシタ誘電体上に形成された上部プレートと

を備えるキャパシタであって、前記拡散領域に接続された第 1 端子と、

前記少なくとも 1 つの上部プレート及び前記少なくとも 1 つの下部プレートに接続された第 2 端子と 40

をさらに備える、前記キャパシタ。

【請求項 5】

埋め込み絶縁体層内に形成された少なくとも 1 つのバックプレートと、

前記埋め込み絶縁体層の上方に形成された少なくとも 1 つのフロントプレートと、

前記少なくとも 1 つのフロントプレートと前記少なくとも 1 つのバックプレートとの間に形成された誘電体層と、

前記少なくとも 1 つのフロントプレートとバックプレートとの間に分離アイランドとして形成されたデバイス層の部分であって、前記デバイスの前記部分は前記少なくとも 1 つのバックプレートに隣接してドーピングされた拡散領域を含む、デバイスの部分と

を備え、

前記誘電体層は、前記少なくとも1つのバックプレートと前記分離アイランドとの間に形成されたバックゲート誘電体、及び、前記分離アイランドと前記少なくとも1つのフロントプレートとの間に形成されたフロントゲート誘電体であり、
前記拡散領域を短絡させるために、前記少なくともバックプレート及び前記拡散領域に接続された第1端子と、
前記少なくとも1つのフロントプレートに接続された第2端子と
をさらに備える、デュアルゲート・キャパシタ。

【請求項6】

埋め込み絶縁体層内に形成された少なくとも1つのバックプレートと、
前記埋め込み絶縁体層の上方に形成された少なくとも1つのフロントプレートと、
前記少なくとも1つのフロントプレートと前記少なくとも1つのバックプレートとの間に形成された誘電体層と、
前記少なくとも1つのフロントプレートとバックプレートとの間に分離アイランドとして形成されたデバイス層の部分であって、前記デバイスの前記部分は前記少なくとも1つのバックプレートに隣接してドーパされた拡散領域を含む、デバイスの部分と
を備え、
前記誘電体層は、前記少なくとも1つのバックプレートと前記分離アイランドとの間に形成されたバックゲート誘電体、及び、前記分離アイランドと前記少なくとも1つのフロントプレートとの間に形成されたフロントゲート誘電体であり、
前記拡散領域に接続された第1端子と、
前記少なくとも1つのフロントプレート及び前記少なくとも1つのバックプレートに接続された第2端子と
をさらに備える、デュアルゲート・キャパシタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体デバイスに関し、より具体的には、極薄SOIベースのデュアルゲートCMOSキャパシタ及び製造方法に関する。

【背景技術】

【0002】

従来のMOS（金属酸化物半導体）キャパシタは、平行板キャパシタとしてモデル化することができる。このタイプの構造体においては、1つのプレートは、金属又は高濃度にドーパされた多結晶シリコン（「ポリ」）で作製することができ、1つのプレートは、半導体（例えば、MOSキャパシタが高い順方向バイアスを受けるときに形成される反転層）で作製することができる。例えば、 SiO_2 又は「酸化物」のような絶縁体を用いて2つのプレートを分離することができる。大きくスケールアップされた極薄SOI（シリコン・オン・インシュレータ）デバイスにおいては、MOSトランジスタの性能を改善するために、ソース及びドレイン領域の下にある、例えば酸化物のような絶縁層が、薄くされる。このことはより高速なトランジスタをもたらすが、より薄いチャネル領域及びドーパントの固溶度により、チャネル内に配置することができる活性ドーパントの量が制限される。このことにより、キャパシタにおいて有効な直列抵抗が極めて大きくなる。このことは、回路の観点から多くの問題を引き起こすことがある。

【0003】

より具体的には、極薄SOI MOSデバイスにおいて、nMOSトランジスタのn-チャネルFETは、p型シリコンで作製され、pMOSトランジスタのp-チャネルFETは、n型シリコンで作製される。高濃度にドーパされたソース及びドレイン領域は、前述のチャネル領域に接触するための電極を提供する。SOI MOSデバイスにおいては、チャネルの下に酸化物領域が形成される。酸化物領域は、基板からデバイスのソース、ドレイン及びチャネル領域を電氣的に絶縁する。有意量の電荷キャリアがチャネルを流れてソースからドレインに流れることができるときの、チャネルのMOS閾値電圧すなわち

10

20

30

40

50

ゲート電位は、ゲートの仕事関数、任意のチャネル・ドーパント及びトランジスタ構造体の寸法などの要因によって決定される。しかしながら、特定の条件下では、SOI MOSデバイスにおける低い可動チャネル電荷は、大きい実効抵抗（等価直列抵抗（ESR））を有することがある。この大きいESRは、キャパシタの性能に大きな影響を与える。例えば、キャパシタの実効抵抗の増大は、キャパシタの周波数特性を悪化させることになる。

【0004】

MOS構造体のより詳細なモデルは、垂直型ゲート・誘電体・基板のゲート「スタック」を、例えば、線形の酸化膜容量と非線形のチャネル容量のような2つの直列接続のキャパシタに分解する。一例として、ゲートにおける電圧がN型MOS構造体において強い負である場合には、正孔は、誘電体・基板の界面に引きつけられ、そこに蓄積する。蓄積のレジームにおいて、MOSキャパシタは、ほぼ線形キャパシタとして働く。他方、N型MOS構造体においてゲート電圧が正にされる場合には、表面は可動正孔が空乏化し、露出されたドーパント・イオンを有する空乏化領域を形成する。空乏電荷量はゲート誘電体の下の電位にほぼ指数的に依存するため、空乏容量は非線形である。しかしながら、ゲート電圧がさらに高くなると、ソース端子とチャネルとの間の電位障壁が静電的により低くなり、チャネルが、ソースからの可動電子であふれる。例えば、NFETチャネルがn型になり、同じようにPFETチャネルがp型になるなどの、表面付近のシリコンの反転を示すのは、チャネル内の電子の存在である。

【0005】

極薄SOIデバイスにおいては、ゲートの下にあるシリコン領域の下部が埋め込み酸化物によって制限されるというトランジスタのスケーリング規則のために、ゲートスタックの下にあるシリコン領域の深さは、非常に薄くされる。固溶度の限界値付近のチャネル・ドーピング・レベルにおいてさえ、ゲートによって誘起された空乏領域は、ゲートからバック酸化物まで延び、可動キャリアが空乏化された（「完全に空乏化された」）領域を形成する。

【0006】

可動電子（反転電荷）の数が空乏領域（空乏電荷）内の露出したドーパント・イオンの数よりずっと少ないとき、弱反転が生じる。他方、反転電荷が空乏電荷を大きく超えるとき、強反転が生じる。また、反転電荷と空乏電荷が同等であるときの条件として、強反転と中反転の間の移行を定めることができる。ゲートの下方のチャネル領域が強く反転するとき、ゲート電荷は、主として反転層の電荷によって相殺される。反転層の電荷が支配する電圧は、閾値電圧 V_t と呼ばれ、 V_{t0} は、ソース電圧がゼロに等しいときの閾値電圧を示す。

【0007】

SOI MOS技術において、SOIチャネル領域（シリコン本体とも呼ばれる）への外部バイアスの印加による、幾つかの動作モードが存在する。シリコン本体は、埋め込みバック酸化物によって基板から分離される。この場合、すなわち浮遊する本体の場合、本体の電位は、ソース及びドレインからのダイオード接合電流、ドレイン付近の衝突イオン化、ゲートの漏れ、パイボラ効果、並びにゲート、ソース、ドレイン及び本体のデバイスの電気端子への容量結合を含む、多くの物理的要因によって制御される。SOI本体の電位は、ソースの電位に対して定めることができ、かつ、通常の動作中、ソースの電位に対して、大きい順方向バイアスをかけることができる。外部の電位がSOI本体に印加される場合には（本体コンタクトと呼ばれる）、本体の電位は、外部の電位と、外部の本体コンタクトとSOI本体との間の抵抗とにより制約される。しかしながら、完全に空乏化される程度までスケーリングされたシリコン本体を有する極薄SOIデバイスの場合、外部抵抗を高くすることができるため、本体コンタクトが作用しないことに留意されたい。

【0008】

上述の極薄SOI MOSデバイスの延長が、デュアルゲートSOI MOSトランジスタである。この構造体において、バック酸化物は、バック酸化物の下方の領域が本体に

10

20

30

40

50

無視し得ない電場をかけ、バック酸化物に隣接した反転層又は蓄積層の形成が可能になる程度まで薄層化された。第2のゲート電極がバック酸化物の中又はその下に配置されたとき、デュアルゲート・デバイスのSOI MOSトランジスタが形成される。さらに、第2のゲート電極（バックゲート）は、典型的には、基板、ソース、ドレイン及びトップゲート（フロントゲート）などの他の導電性素子から分離される。

【発明の開示】

【発明が解決しようとする課題】

【0009】

SOI又はバルク（非SOI）のような従来技術のMOSプロセス技術において、反転又は蓄積レジームでバイアスがかけられた通常のMOSトランジスタを用いることにより、著しい余分なプロセス段階なしで、意図的なキャパシタ回路素子を形成することができる。このことにより、通常のMOSゲート酸化物の使用による、相対的に一定の高価値キャパシタが与えられる。これらのキャパシタは、減結合キャパシタとして、又はアナログ用途におけるリアクタンス素子として機能することができる。しかしながら、デュアルゲート極薄SOIにおいては、このように形成された意図的な容量素子は、何らかの動作範囲において完全に空乏化された本体によって支配される寄生抵抗を含むことがあり、回路設計素子としての有用性が低減する。しかしながら、デュアルゲートSOIは極薄シングルゲートSOI技術に優る特定の性能上の利点を有するので、従来の回路設計技術及び最先端の回路設計技術は、依然として意図的な容量素子に対する必要性を有する。従って、意図的な容量回路素子を、寄生抵抗が低く、高容量を有し、製造が容易なデュアルゲート技術に導入することが望ましい。

【課題を解決するための手段】

【0010】

本発明の第1の態様において、デュアルゲートCMOS構造体を製造する方法は、絶縁層に第1プレート形成するステップと、絶縁層の上方に第1プレートに電気的に対応する第2プレート形成するステップとを含む。この方法はさらに、第1プレートと第2プレートとの間に分離構造体を準備するステップを含む。

【0011】

本発明の別の態様において、デュアルゲートCMOS構造体を製造する方法は、絶縁層内に少なくとも1つのバックプレート（バックゲート）を形成するステップと、絶縁層の上方に、少なくとも1つのバックプレートに対応する少なくとも1つのフロントプレート（フロントゲート）を形成するステップとを含む。この方法はさらに、少なくとも1つのバックプレートと少なくとも1つのフロントプレートとの間に誘電体を準備するステップを含む。

【0012】

本発明のさらに別の態様において、埋め込み絶縁体層及び絶縁体層上のデバイス層とを有する基板上に形成されたキャパシタが、埋め込み絶縁体層内に形成された下部プレート（下部ゲート）を含む。埋め込み絶縁体層の一部分が下部プレート上に形成され、第1のキャパシタ誘電体を形成する。デバイス層の一部分が第1のキャパシタ誘電体上に形成され、第2のキャパシタ誘電体がデバイス層の一部分の上に形成される。上部プレート（上部ゲート）が第2のキャパシタ誘電体上に形成される。

【0013】

別の態様において、本発明は、埋め込み絶縁体層内に形成された少なくとも1つのバックゲートと、埋め込み絶縁体層の上方に形成された少なくとも1つのフロントゲートとを有するデュアルゲート・キャパシタを含む。誘電体層は、少なくとも1つのフロントゲートと少なくとも1つのバックゲートとの間に形成される。拡散領域が、少なくとも1つのバックゲートに隣接してドーピングされる。

【発明を実施するための最良の形態】

【0014】

本発明は、CMOS構造体に向けられ、より具体的には、スケールングされたデュアル

10

20

30

40

50

ゲートSOIにおける、低抵抗で高価値のキャパシタ及び製造方法に向けられる。本発明のデュアルゲート・デバイス及び製造方法を用いることによって、機能が向上した極薄SOIキャパシタが達成される。一例として、1つの用途において、高周波作動の際の直列抵抗を低くすることができ、他の用途において、単位面積当たりの高容量を達成することができる。

【0015】

本発明によると、スケーリングされたデュアルゲートSOI技術に基づいて、必要に応じて、4つの別個のCMOSキャパシタ構造体を同時に製造することができる、すなわち、異なる配線構造体を有する初期構造体を実質的に同じプロセスで形成し、所望の結果を得ることができる。1つの用途において、2つの構造体は、直列抵抗が無視できるほど減少した状態で、フロントゲートとバックゲートとの間に高容量を直接与えるように設計される。別の構造体においては、例えば、互いに電氣的に接続されたフロントゲート及びバックゲートの両方を用いて、直列抵抗が低減した状態で高容量が与えられ、活性シリコンが反転も蓄積もされず、よって、2つのプレートの上に、完全に空乏化されたチャネル領域を通して、容量素子を垂直方向に提供される。

【0016】

図1は、本発明による初期構造体を示す。この構造体において、いずれかの従来の方法を用いて、基板102上に酸化物又は誘電体層100を形成することができる。1つのこのような従来の方法は、酸化物層100を有する別のウェハ（図示せず）を、ファン・デル・ワールス（van der Waals）力によって基板に接合する、ウェハ接合を含むことができる。基板ウェハ102は、シリコン、ゲルマニウム、又は他の容易に知られる材料からなることができ、製造プロセスのために、厚さが約500ミクロンであることが好ましい。薄いシリコン層104が、酸化物層100の表面上に形成される。一実施形態において、シリコン層104は、約50 から400 までの厚さであり、本発明により他の寸法も考慮される。図1は、全ての実施形態を近接した状態で示すが、これは用途のための要件ではなく、1つ又は複数の実施形態を、チップ領域の周りの任意の位置に配置することができる。

【0017】

層100、102を接合する前に、酸化物層内に1つ又は複数のバックゲート106a - 106d（プレートとしても知られる）が形成される。特定の用途のために設計された配線構造体に応じて、類似した又は異なるキャパシタを形成するために、各々のバックゲート106a - 106dを用い得ることを理解すべきである。例えば、図1に示される実施形態においては、領域a - dにおいて、それぞれ4つのバックゲート106a - 106dが形成される。さらに、同じく所望の用途に応じて、4つより多い又は4つより少ないバックゲートを形成することもできる。従って、バックゲート106a - 106dの説明は例示的なものであり、本発明の特徴を制限するものと考えべきでないことを理解すべきである。

【0018】

バックゲート106a - 106dを形成する際に、全てが当業者には周知のものである従来の標準的なリソグラフィ及びエッチング・プロセスを含むプロセス段階を用いることができる。例えば、特定の用途において、プロセスは、反応性イオン・エッチング（RIE）と組み合わせて用いられるブロックマスクを含むことができる。実施において、バックゲート106a - 106dは、ポリシリコンとしてもよく、例えば、リン、ホウ素、又はヒ素を用いて従来の方法でドーピングしてもよい。また、実施形態においては、バックゲート106a - 106dの断面は、いずれの大きいゲート抵抗も最小にするような寸法にされる。本発明によって他の限界寸法も考慮されるが、例えば、バックゲート106a - 106dの高さは、約1000 から2000 までとすることができる。酸化物層100の上面とバックゲート106a - 106dとの間に約10 から100 までの空間が設けられる。この距離は、バックゲート酸化物又は誘電体層と呼ぶことのできる領域の境界を定め、直接トンネル電流のようないずれの電位寄生効果も最小にするような大きさにす

ることができる。

【0019】

図2は、本発明による更なる処理段階を表す。図2において、シリコン層104は、従来のプロセスを用いてエッチングにより取り去られる。例えば、図2は、チャネル、ドレイン及びソース領域を含むことができる各々の分離したキャパシタ素子を定めるために用いられる活性領域マスクを例証する。1つの用途において、活性領域マスクは、「a」、「b」及び「c」として表される領域の上に配置される。次に、シリコン分離プロセスにおいて構造体がエッチングされ、シリコン本体又はアイランド104a、104b及び104cがもたらされる。領域「d」においては、シリコン層104を完全にエッチングすることができる。

10

【0020】

次に、ゲート酸化物又は誘電体層108a、108b、108cが、それぞれシリコン本体104a、104b及び104c上に熱成長又は堆積される。1つの実施形態においては、ゲート酸化物層108a、108b、108cは、バックゲート106a-106dとシリコン層104との間の酸化物層100の間隔に類似した、約10 から100 までの厚さに形成される。この酸化物層を用いて、本発明の実際のキャパシタを形成することができる。

【0021】

図3は、図2の構造体上に堆積されるゲート材料110（例えば、ポリシリコン）を示す。この材料110は、下記に説明される次のステップを用いて、フロントゲートを形成するために用いられる。ゲート材料110は、高濃度に（例えば、 10^{20} cm^{-3} ）ドーピングすることができるが、必ずしもバックゲート106a-106bで用いられたものと同じドーパント種である必要はない。ポリシリコンの空乏効果を最小にするために、リン、ホウ素、又はヒ素のような高いドーパント・レベルの種が用いられる。ポリシリコン材料110の寸法に関する考慮事項も、バックゲート106a-106cのものと実質的に同じである。本発明によって他の限界寸法も考慮されるが、例えば、ポリ材料110の断面は、例えば、約1000 から2000 までのような、いずれの大きいゲート抵抗も最小にするような寸法にされる。

20

【0022】

図4は、フロントゲート110a-110dを形成するための、例示的なパターン付け及びエッチング・プロセスを例証する。1つのプロセスにおいて、部分「d」のフロントゲート110dの形成は、残りのフロントゲート110a-110cのものとは別個に形成することができる。これは、シリコン層104及び次の酸化物層がこの領域の上に形成されないため、フロントゲート110dがより深くエッチングされるためである。一例においては、フロントゲート110a-110cを形成するプロセスの間、領域「d」の上に保護マスクを配置することができる。同様に、フロントゲート110dの形成中、領域「a」、「b」、「c」の上に保護マスクを配置することができる。これらのプロセスは、当業者に周知であるため、本発明の完全な理解のために、ここで更なる説明は必要とされない。

30

【0023】

図5は、スペーサ、ソース及びドレイン領域、並びにシリサイドの形成を含む、幾つかの処理段階を示す。図5の例示においては、領域「a」についてのCMOS構造体だけが示されるが、部分「a」に関して説明されるプロセスは、領域「b」、「c」及び「d」における構造体の形成にも等しく適用可能であることを理解すべきである。従って、図5の例示的な説明は、図6-図10に示される構造体のいずれかの上へのソース、ドレイン、側壁の形成、及びシリサイドの形成のために用いることができる。

40

【0024】

一例として、領域「a」を参照すると、ソース領域112₁及びドレイン領域112₂が、任意の従来の方法でシリコン本体内に形成される。分離領域105が、ソース領域112₁及びドレイン領域112₂に隣接している。スペーサ114が、フロントゲート1

50

10 a 及びフロント酸化層 108 a の側壁上に形成され、それぞれドーピングされたソース領域 112₁ 及びドレイン領域 112₂ まで延びる。リン、ホウ素、又はヒ素を用いて、これらの領域をドーピングすることができ、好ましくは、ソース及びドレインについて 1×10^{20} 粒子 / cm^3 の範囲をもたすが、典型的には、デュアルゲート MOS キャパシタが含まれる従来のトランジスタ・プロセスの一部とすることができる、ハ口注入部又は延長注入部のような他のドーピングされた領域についてはより低いレベルである。フロントゲート 110 a の上面に加えて、ドーピングされたソース領域 112₁ 及びドレイン領域 112₂ における露出されたシリコン層上にシリサイド層 116 が形成される。シリサイド及びスペーサの形成は、当業者には周知である。

【0025】

図6 - 図9は、図1 - 図5を参照して説明された異なる構造体「a」乃至「d」の配線図の平面図を示す。図6においては、部分「a」について説明された製造プロセスに対応する、デュアルゲート FET キャパシタが示される。図6の FET キャパシタにおいて、第1のワイヤ「A」は、フロントゲート 110 a に接触し、キャパシタの第1端子を形成する。第2のワイヤ「B」は、シリコン層の両側に加えて、バックゲート 106 a に接触し、キャパシタの第2端子を形成する。従って、この構造体においては、キャパシタは、「A」電極から、構造体を通して「B」電極まで形成され、互いに短絡したソース及びドレインをもたす。代替的に、「B」電極がバックゲートからなり、「A」端子がフロントゲートにつながれた拡張領域からなるように、バックゲート及びフロントゲートの役割を逆にすることができる。

【0026】

図7は、図1 - 図5の領域「b」内に形成された構造体を用いるデュアルゲート・キャパシタであり、配線図がここに示される。図7の高密度キャパシタにおいては、第1のワイヤ「A」は、シリコン層の拡散領域の両側に接触し、キャパシタの第1端子を形成する。第2のワイヤ「B」は、フロントゲート 110 b 及びバックゲート 106 b に接触し、キャパシタの第2端子を形成する。従って、この構造体において、ワイヤ「A」は、シリコンの2つの側をつなぎ合わせ、ワイヤ「B」は、フロントゲート 110 b 及びバックゲート 106 b をつなぎ合わせる。フロントチャネル電荷領域及びバックチャネル電荷領域が互いに電氣的に機能するために、図7のデバイスは、図6のデバイスのように増大した容量を提供する。

【0027】

図6及び図7のキャパシタ構造体においては、フロントゲート 106 a とバックゲート 110 a のちょうど間の薄い誘電体層（これらのデュアルゲート・キャパシタを含む従来の MOS トランジスタ・プロセスと潜在的に共有されるプロセス段階）のために、高容量が可能である。また、シリコンの外縁部（拡散部）がワイヤ「B」によって互いに結合されるので、構造体の上部は、従来の MOS FET と同様に見える。この場合、上部酸化層 108 a の下に反転層を形成することができる。すなわち、デュアルゲート型構造体は、両方のデバイスが、酸化層 108 a の下方に反転チャネルの形態を有することを可能にする。

【0028】

また、シリコンの上にフロントゲートが形成され、フロントゲートとは電氣的に異なる電位で外部に配線された2つの拡散部が存在するので、蓄積又は拡散効果が生じることもある。このように、この配線図により理解されるべきであるように、「B」ワイヤの電位が、拡散部に対してフロントゲート又はバックゲートの閾値電圧より高い場合には、反転層が形成され、ワイヤ「B」の電位が拡散電位に対して十分に低いバイアスを有する場合には、キャパシタ酸化層の一方又は両方の下方に蓄積層が生じる。p 型デバイス及び n 型デバイスにおいて、反対のバイアス結果が生じることが認識される。

【0029】

図8は、図1 - 図5の領域「c」内に形成された構造体を用いるデュアルゲート・キャパシタであり、配線図がここに示される。図8の配線構造体において、第1のワイヤ「A

10

20

30

40

50

」は、フロントゲート 1 1 0 c に接触し、キャパシタの第 1 端子を形成する。第 2 のワイヤ「B」は、バックゲート 1 0 6 c に接触し、キャパシタの第 2 端子を形成する。高電位（例えば、V d d）が、シリコン層の両側（拡散部）に接触する。電氣的な観点から、図 8 の薄い本体構造体は、完全に空乏化され、例えば、フロントゲート 1 1 0 c からバックゲート 1 0 6 c までなど、「A」から「B」まで構造体を実質的に貫通するフィールド・ラインを有する。図 8 のデュアルゲート・キャパシタは、高周波作動（図 9 のものに類似した）の際に低い直列抵抗を提供する。

【 0 0 3 0 】

図 8 のデバイスにおいては、ゲート上の電位が拡散電位を超えないため、反転層を形成することができない。反転層は、外部の拡散電位の 1 つに対して、ゲート電位が M O S F E T 閾値より上であり、ソース及びドレインであるキャリアのソースが存在するときに形成可能である。しかしながら、このことは、抵抗問題のために望ましくは。拡散部上の電位が高く、「A」及び「B」上の電位がその電位より下で作動されるので、図 8 のデバイスにおいては、この現象が削除される。また、ゲート端子が低すぎる場合、蓄積は生じ得るが、高い拡散電位と蓄積が生じるバイアスとの間におよそ 1 . 2 ボルト（又はバンドギャップ電位）が存在するため、図 8 のデバイスは作動されず、蓄積は生じないと推定される。

【 0 0 3 1 】

図 9 は、図 1 - 図 5 の領域「c」内に形成された構造体を用いるゲートキャパシタであり、配線図がここに示される。図 9 のキャパシタにおいて、第 1 のワイヤ「A」は、フロントゲート 1 1 0 d に接触し、キャパシタの第 1 端子を形成する。第 2 のワイヤ「B」は、バックゲート 1 0 6 d に接触し、キャパシタの第 2 端子を形成する。図 9 のデバイスは、高周波作動の際の低い直列抵抗と、バック酸化物の厚さのスケーリングに基づいた単位面積当たりの高容量とを提供する。

【 0 0 3 2 】

図 1 0 は、図 6 - 図 9 のそれぞれの構造体の側面図を示す。第 1 のワイヤ「A」及び第 2 のワイヤ「B」は、図 6 - 図 9 に示されるデバイスのそれぞれの端子を示す。図 1 0 はまた、それぞれ図 6 - 図 9 に示され、説明されるデバイスを表す領域「a」、「b」、「c」、「d」を明白に示す。この例証において、2 つの誘電体又は酸化物層は、フロントゲート 1 1 0 a - 1 1 0 c 及びバックゲート 1 0 6 a - 1 0 6 c を分離する。フロントゲート又はバックゲートのいずれかを直接通る、寄生抵抗への寄与は、漏れ電流を最小にするように適切な酸化物の厚さを選択することによって制御される。

【 0 0 3 3 】

例示的な実施形態に本発明を説明したが、当業者であれば、本発明は、変更を加えて、かつ、添付の特許請求の範囲及び精神で実施できることを理解するであろう。

【図面の簡単な説明】

【 0 0 3 4 】

【図 1】本発明によるデバイスを製造する際のステップを示す。

【図 2】本発明によるデバイスを製造する際のステップを示す。

【図 3】本発明によるデバイスを製造する際のステップを示す。

【図 4】本発明によるデバイスを製造する際のステップを示す。

【図 5】本発明によるデバイスを製造する際のステップを示す。

【図 6】本発明のステップに従って製造される、本発明の異なる構造体の平面図又は配線図を示す。

【図 7】本発明のステップに従って製造される、本発明の異なる構造体の平面図又は配線図を示す。

【図 8】本発明のステップに従って製造される、本発明の異なる構造体の平面図又は配線図を示す。

【図 9】本発明のステップに従って製造される、本発明の異なる構造体の平面図又は配線図を示す。

10

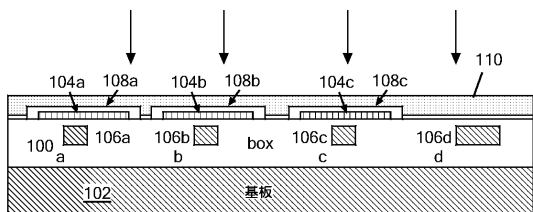
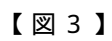
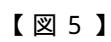
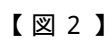
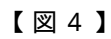
20

30

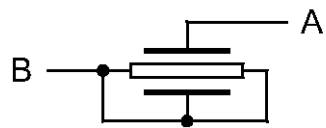
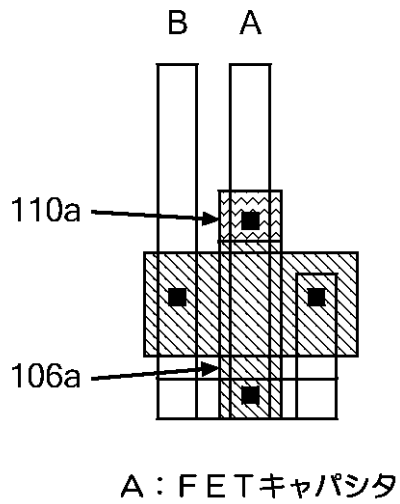
40

50

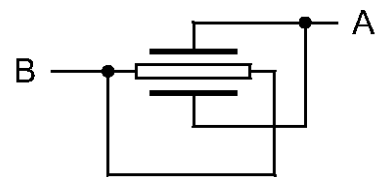
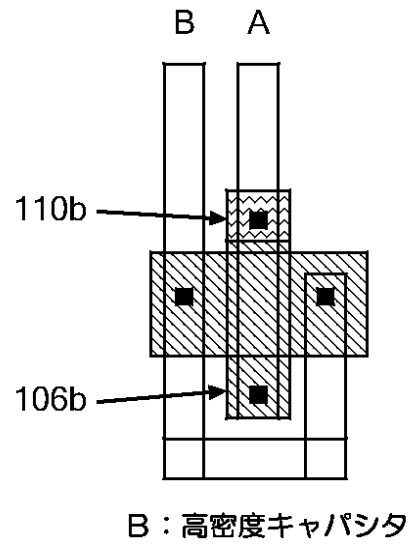
【 図 1 】



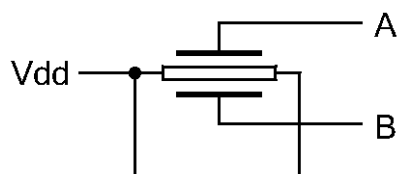
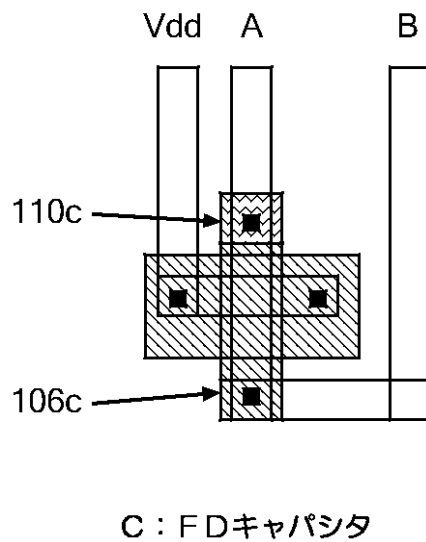
【図 6】



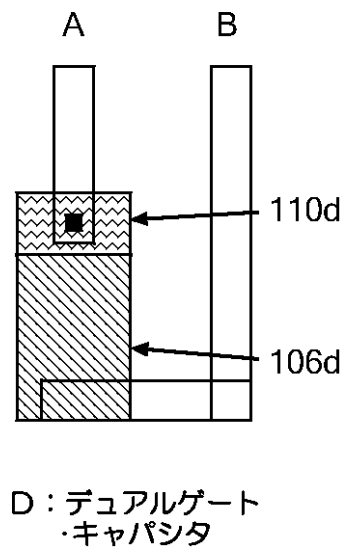
【図 7】



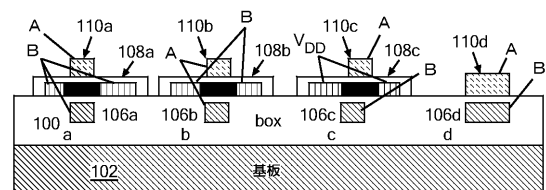
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/336 (2006.01) H 0 1 L 29/78 6 1 7 V
H 0 1 L 21/822 (2006.01) H 0 1 L 27/04 C
H 0 1 L 27/04 (2006.01)

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 ブライアント、アンドレス

アメリカ合衆国 0 5 4 0 1 バーモント州 バーリントン ハワード・ストリート 1 1 8

(72)発明者 ノーワーク、エドワード、ジェイ

アメリカ合衆国 0 5 4 5 2 バーモント州 エセックス・ジャンクション ウィンドリッジ・ロード 8

(72)発明者 ウィリアムズ、リチャード、キュー

アメリカ合衆国 0 5 4 5 2 バーモント州 エセックス・ジャンクション ピーチャム・レーン 2 0

審査官 大橋 達也

(56)参考文献 特開 2 0 0 2 - 3 1 4 0 9 1 (J P , A)

特開 2 0 0 1 - 1 6 8 3 3 8 (J P , A)

特開平 0 6 - 1 8 1 3 1 2 (J P , A)

特開平 0 5 - 2 1 8 3 2 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 29/786

H01L 21/336

H01L 21/822

H01L 21/8234

H01L 27/04

H01L 27/06

H01L 27/08

H01L 27/088