

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5200700号  
(P5200700)

(45) 発行日 平成25年6月5日(2013.6.5)

(24) 登録日 平成25年2月22日(2013.2.22)

(51) Int.Cl.		F I	
<b>G02F</b>	<b>1/167</b>	<b>(2006.01)</b>	G02F 1/167
<b>G09G</b>	<b>3/34</b>	<b>(2006.01)</b>	G09G 3/34 C
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G 3/20 624B
			G09G 3/20 641G
			G09G 3/20 642K

請求項の数 8 (全 24 頁) 最終頁に続く

(21) 出願番号	特願2008-173536 (P2008-173536)	(73) 特許権者	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成20年7月2日(2008.7.2)	(74) 代理人	100064908 弁理士 志賀 正武
(65) 公開番号	特開2010-14882 (P2010-14882A)	(74) 代理人	100140774 弁理士 大浪 一徳
(43) 公開日	平成22年1月21日(2010.1.21)	(72) 発明者	村山 哲朗 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
審査請求日	平成23年6月17日(2011.6.17)	(72) 発明者	下平 泰裕 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 電気泳動表示装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

電気泳動粒子を含む電気泳動素子を挾持して対向する第1基板及び第2基板と、前記電気泳動素子を含む画素を複数備えた表示部と、前記第2基板の前記電気泳動素子側に形成された共通電極と、前記第1基板及び第2基板のいずれかに形成された第1の制御線及び第2の制御線と、を有する電気泳動表示装置であって、

前記画素は、画素スイッチング素子と、前記画素スイッチング素子に接続されたメモリ回路と、前記メモリ回路に接続されたスイッチ回路と、前記スイッチ回路に接続され、前記共通電極と対向して配置された第1の画素電極及び第2の画素電極と、を備えており、

前記スイッチ回路は、前記メモリ回路の出力信号により前記第1の制御線と前記第1の画素電極との導通を制御する第1のスイッチと、前記メモリ回路の出力信号により前記第2の制御線と前記第2の画素電極との導通を制御する第2のスイッチと、を含むことを特徴とする電気泳動表示装置。

【請求項2】

前記画素に、前記第1及び第2の画素電極がそれぞれ複数設けられていることを特徴とする請求項1に記載の電気泳動表示装置。

【請求項3】

前記画素に、同数の複数の前記第1及び第2の画素電極が設けられていることを特徴とする請求項1に記載の電気泳動表示装置。

【請求項4】

隣接する２つの前記画素の境界部分において、一方の前記画素の１つの前記第１の画素電極と、他方の前記画素の１つの前記第２の画素電極とが隣接して配置されていることを特徴とする請求項３に記載の電気泳動表示装置。

【請求項５】

隣接する２つの前記画素の境界部分において、一方の前記画素の１つの前記第１の画素電極と、他方の前記画素の１つの前記第１の画素電極とが隣接して配置されていることを特徴とする請求項３に記載の電気泳動表示装置。

【請求項６】

前記画素に、前記第１及び第２の画素電極がそれぞれ２つずつ設けられており、前記第１の画素電極と前記第２の電極とが、前記画素内で互い違いに平面配置されていることを特徴とする請求項３から５のいずれか１項に記載の電気泳動表示装置。

10

【請求項７】

画像表示動作時に、同一の前記画素を構成する前記第１及び第２の電極のうち少なくとも一方の電極が、ハイインピーダンス状態とされることを特徴とする請求項１から６のいずれか１項に記載の電気泳動表示装置。

【請求項８】

請求項１から７のいずれか１項に記載の電気泳動表示装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

20

【０００１】

本発明は、電気泳動表示装置及び電子機器に関するものである。

【背景技術】

【０００２】

アクティブマトリクス型の電気泳動表示装置として、画素内にスイッチング用トランジスタとメモリ回路（ＳＲＡＭ；Static Random Access Memory）とを備えたものが知られている（特許文献１参照）。さらに本出願人は、メモリ回路に加えて画素内にスイッチ回路を設けた電気泳動表示装置を提案した（特許文献２参照）。

【特許文献１】特開２００３－８４３１４号公報

【特許文献２】特願２００７－２９５９９６

30

【発明の開示】

【発明が解決しようとする課題】

【０００３】

図１６（ａ）は、特許文献２に記載された構成を具備した電気泳動表示装置５００における画素５４０の回路構成図であり、図１６（ｂ）は、電気泳動表示装置５００の表示部５０５の概略断面図である。

図１６（ａ）に示すように、画素５４０は、選択トランジスタ４１と、ラッチ回路７０と、スイッチ回路５８０と、画素電極３５と、電気泳動素子３２と、共通電極３７とを備えている。また画素５４０には、走査線６６と、データ線６８と、高電位電源線５０と、低電位電源線４９と、第１の制御線９１と、第２の制御線９２とが接続されている。

40

図１６（ｂ）に示すように、電気泳動表示装置５００の表示部５０５には、複数の画素電極３５Ａ、３５Ｂが配置されており、画素電極３５Ａ、３５Ｂの双方と対向する共通電極３７との間に、マイクロカプセル２０を有する電気泳動素子３２が挟持されている。マイクロカプセル２０と画素電極３５Ａ、３５Ｂとは、接着剤層３３を介して接着されている。

なお、図１６に示す回路素子や電極、電気泳動素子などの詳細については、後段の実施の形態において図２等を参照して詳細に説明している。

【０００４】

特許文献２記載の電気泳動表示装置５００では、ラッチ回路７０に保持された電圧によりスイッチ回路５８０を制御し、スイッチ回路５８０を介して２つの制御線９１、９２の

50

いずれかと画素電極 35 とを接続し、画素電極 35 に電位 (S1 又は S2) を入力する構成であった。かかる電気泳動表示装置 500 によれば、第 1 及び第 2 の制御線 91、92 の電位を制御することで、中間階調の表示や表示部の部分書き換えが可能であり、また画素間のリーク電流を低減できるという利点があった。

【0005】

しかし、電気泳動表示装置のさらなる高機能化、低消費電力化を図る上では、特許文献 2 記載の電気泳動表示装置においても以下の (1) ~ (3) に示す課題があった。

【0006】

(1) 電気泳動表示装置 500 では、白表示の画素と黒表示の画素との境界を明瞭に表示することができるが、画素の配列方向に対して斜め方向に延びる直線や曲線を表示した場合に、ジャギー (階段状のギザギザ) が目立って視認されるという課題があった。この点、電気泳動表示装置 500 では、後段の (3) において詳述するように、表示部の部分書き換えが可能であるため、白黒の境界部に中間階調の表示領域を設けることによりアンチエイリアス処理を行うことが可能であった。しかしこのような駆動方法では、中間階調を表示するための画像データを画素に転送する必要があるため、ドライバの駆動による消費電流の増大や、表示が完了するまでの時間が長くなるという課題があった。

【0007】

(2) 電気泳動表示装置 500 に限らず、マイクロカプセル方式の電気泳動表示装置では、画素間リーク電流による消費電力の上昇が問題となっていた。具体的には、図 16 (b) に示すように、黒表示の画素 540A と、白表示の画素 540B とが隣り合って配置されていると、ハイレベル電位 VH (例えば 15V) である画素電極 35A と、ローレベル電位 VL (例えば 0V) である画素電極 35B との間に横方向 (基板面方向) の電界 E が形成される。この電界 E によって、マイクロカプセルと画素電極とを接着している接着剤層 33 のわずかな水分の影響により画素間リーク電流が発生していた。そして、かかる画素間リーク電流によって消費電力が大きくなるという課題があった。

【0008】

また、わずかな水分などの影響によりリーク電流が生じるということは、画素電極 35 と接着剤層 33 との間において電気化学的反応が生じる可能性を示す。すなわち、画素電極 35 の信頼性を損なうイオン性マイグレーションや腐食が発生してしまうおそれがあった。画素電極の形成材料に金、白金などの貴金属を用いれば信頼性は向上するが、貴金属を用いることはコストの増大、製造工程の複雑化を招くため、信頼性を高めながら製造コストを抑制することが困難であった。

【0009】

(3) 電気泳動表示装置 500 において部分書き換え駆動を行うには、表示を変化させない画素 540 において画素電極 35 と接続されている第 1 の制御線 91 又は第 2 の制御線 92 をハイインピーダンス状態とする。

図 17 及び図 18 は、部分書き換え駆動に関する説明図である。図 17 (a) は、電気泳動表示装置 500 に備えられた表示部 505 の平面構造を示す説明図、図 17 (b) は、図 17 (a) の画素 540A ~ 540D の断面構造を示す説明図である。図 18 は、図 17 (a) の画素 540A、540E、540F の回路構成を示す説明図である。

なお、図 17 及び図 18 に示す各構成要素については、後段の実施の形態において詳細に説明している。また、符号に付した「A」~「F」の添字は、複数の画素 540 とそれらの構成要素を相互に識別するために付したもので、他意はない。

【0010】

電気泳動表示装置 500 において、1つの画素 540A のみを書き換える場合には、図 17 に示すように、書き換え対象の画素 540A の画素電極 35A と第 1 の制御線 91 とをスイッチ回路 580A を介して電氣的に接続し、表示を維持する画素 540B ~ 540 の画素電極 35B ~ 35F と第 2 の制御線 92 とを、それぞれスイッチ回路 580B ~ 580F を介して電氣的に接続する。そして、第 1 の制御線 91 にハイレベル電位 VH (例えば 15V) を供給する一方、第 2 の制御線 92 をハイインピーダンス状態とし、共通電

10

20

30

40

50

極 37 にローレベル電位  $V_L$  (例えば 0 V) を入力する。

【0011】

そうすると、画素 540A では、ハイレベル電位  $V_H$  の画素電極 35A と、ローレベル電位  $V_L$  の共通電極 37 との電位差により電気泳動素子 32 が駆動されて黒表示となる。一方、その他の画素 540B ~ 540F では、画素電極 35B ~ 35F がハイインピーダンス状態であるために共通電極 37 との間に電位差が生じず、表示が維持される。

【0012】

上記の部分書き換え駆動では、画素電極 35B ~ 35F がハイインピーダンス状態とされた画素 540B ~ 540F の表示は変化しないはずであるが、実際にはコントラストが低下してしまうという問題があった。

先の(2)に記載のように、マイクロカプセル方式の電気泳動表示装置では、接着剤層 33 を介した画素間リークが発生する。そのため、図 17 及び図 18 に示すように、部分書き換え駆動においても書き換え対象の画素 540A の画素電極 35A と、画素電極 35A に隣接する画素電極 35B、35E との間に画素間リーク電流  $L_k$  が発生する。これにより、表示を維持する画素 540B、540E の画素電極 35B、35E にリークによる電位が入力される。

【0013】

そうすると、画素 540B ~ 540E の画素電極 35B ~ 35F は第 2 の制御線 92 を介して互いに電氣的に接続されているため、画素電極 35B、35E の電位が、それらに隣接する他の画素電極 35C、35F 等にも供給される。そして、このように画素電極 35B ~ 35F に電位が入力された状態で、共通電極 37 に例えばローレベル電位  $V_L$  を入力して画像表示動作を行うと、画素 540B ~ 540F の表示までもが変化してしまい、表示部 505 全体のコントラストが低下してしまう。

【0014】

本発明は、上記従来技術の問題点に鑑み成されたものであって、輪郭が滑らかに表現された表示が可能であり、好ましくはリーク電流の発生も抑制できる電気泳動表示装置を提供することを目的の一つとする。

【課題を解決するための手段】

【0015】

本発明の電気泳動表示装置は、上記課題を解決するために、電気泳動粒子を含む電気泳動素子を挟持して対向する第 1 基板及び第 2 基板と、前記電気泳動素子を含む画素を複数備えた表示部と、前記第 2 基板の前記電気泳動素子側に形成された共通電極と、前記第 1 基板及び第 2 基板のいずれかに形成された第 1 の制御線及び第 2 の制御線と、を有する電気泳動表示装置であって、前記画素は、画素スイッチング素子と、前記画素スイッチング素子に接続されたメモリ回路と、前記メモリ回路に接続されたスイッチ回路と、前記スイッチ回路に接続され、前記共通電極と対向して配置された第 1 の画素電極及び第 2 の画素電極と、を備えており、前記スイッチ回路は、前記メモリ回路の出力信号により前記第 1 の制御線と前記第 1 の画素電極との導通を制御する第 1 のスイッチと、前記メモリ回路の出力信号により前記第 2 の制御線と前記第 2 の画素電極との導通を制御する第 2 のスイッチと、を含むことを特徴とする。

【0016】

この構成によれば、画像表示動作において、第 1 のスイッチを介して第 1 の制御線に接続された第 1 の画素電極の電位と、第 2 のスイッチを介して第 2 の制御線に接続された第 2 の画素電極の電位の少なくとも一方を、第 1 又は第 2 のスイッチにより電氣的に切断されたハイインピーダンス状態とすることができる。

画素電極がハイインピーダンス状態とされた画素内の領域では、原理上は電気泳動素子は駆動されないが、実際には、画素間リークが発生するため、電位を入力された画素電極との間で電荷の移動が生じる。そうすると、ハイインピーダンス状態とされた第 1 又は第 2 の画素電極の電位は、その周囲に存在する電位を入力された第 1 又は第 2 の画素電極の電位に応じた電位となる。

10

20

30

40

50

## 【0017】

例えば、ハイインピーダンス状態の画素電極の周囲にハイレベル電位の画素電極が多く配置されていれば、このハイインピーダンス状態の画素電極の電位はハイレベル電位に近い中間の電位（ハイレベル電位の50～100%）となる。逆に周囲にローレベル電位の画素電極が多く配置されていれば、このハイインピーダンス状態の画素電極の電位はローレベル電位に近い中間の電位（ハイレベル電位の0～50%）となる。

そして、上記のようにハイインピーダンス状態の画素電極がハイレベル電位とローレベル電位との中間の電位となる結果、かかる画素電極上の電気泳動素子は、画素電極の電位に応じた中間階調で表示される。例えば、画素電極の電位がハイレベル電位の80%程度であれば、その画素電極上の領域は濃いグレイの中間調表示となり、20%程度であれば、その画素電極上の領域は薄いグレイの中間調表示となる。

10

## 【0018】

したがって、本発明に係る電気泳動表示装置では、階調の異なる画素からなる領域の境界において、上記の中間調表示の領域が形成されるため、自然とアンチエイリアス処理を施された画像が表示されることとなる。よって本発明によれば、輪郭が滑らかに表現された表示を得ることができる。

## 【0019】

前記画素に、前記第1及び第2の画素電極がそれぞれ複数設けられていることが好ましい。

このような構成とすることで、画素がより多くのサブ画素に分割されるので、画像の輪郭における解像度が実質的に向上することとなり、より高品位の表示を得ることができる。また、分割数を多くすることで、第1の画素電極と第2の画素電極との境界線長が短くなり、また、電位の異なる画素電極同士の距離が長くなるので、リーク電流を低減することができる。

20

## 【0020】

前記画素に、同数の複数の前記第1及び第2の画素電極が設けられていることが好ましい。

このような構成とすることで、第1の画素電極の合計面積と第2の画素電極の合計面積を容易に同一とすることができるので、両者の面積の差異によって画素ごとに反射率が異なってしまうのを防止することができる。

30

## 【0021】

隣接する2つの前記画素の境界部分において、一方の前記画素の1つの前記第1の画素電極と、他方の前記画素の1つの前記第2の画素電極とが隣接して配置されていることが好ましい。

このような構成とすれば、階調の異なる画素の境界において電位の異なる第1の画素電極と第2の画素電極とが隣り合って配置されるので、画像の輪郭が直線状である部分において輪郭がぼけてしまうのを防止することができる。

## 【0022】

隣接する2つの前記画素の境界部分において、一方の前記画素の1つの前記第1の画素電極と、他方の前記画素の1つの前記第1の画素電極とが隣接して配置されていることがより好ましい。

40

このような構成とすることで、画像の輪郭をより滑らかに表現することができるようになる。また、部分書き換え駆動におけるコントラスト低下の問題も生じない電気泳動表示装置とすることができる。

## 【0023】

前記画素に、前記第1及び第2の画素電極がそれぞれ2つずつ設けられており、前記第1の画素電極と前記第2の電極とが、前記画素内で互い違いに平面配置されていることが好ましい。

このような構成とすることで、各々の画素における表示の偏りを防止することができ、また、ハイインピーダンス状態の画素電極に対する電荷の流入も均一になる。

50

## 【 0 0 2 4 】

本発明の電気泳動表示装置は、画像表示動作時に、同一の前記画素を構成する前記第1及び第2の電極のうち少なくとも一方の電極が、ハイインピーダンス状態とされることを特徴とする。かかる構成によっても、本発明の電気泳動表示装置を特定することができる。

## 【 0 0 2 5 】

次に、本発明の電子機器は、上記の電気泳動表示装置を備えたことを特徴とする。

この構成によれば、輪郭の滑らかな高品位の表示が可能な表示手段を具備した電子機器を提供することができる。

## 【 発明を実施するための最良の形態 】

10

## 【 0 0 2 6 】

以下、図面を用いて本発明の一実施形態であるアクティブマトリクス方式の電気泳動表示装置について説明する。

なお、本実施形態は、本発明の一態様を示すものであり、この発明を限定するものではなく、本発明の技術的思想の範囲内で任意に変更可能である。また、以下の図面においては、各構成をわかりやすくするために、実際の構造とは縮尺や数等を異ならせて表示する場合がある。

## 【 0 0 2 7 】

図1は、実施形態に係る電気泳動表示装置100の概略構成図である。

電気泳動表示装置100は、複数の画素40がマトリクス状に配列された表示部5を備えている。表示部5の周辺には、走査線駆動回路61、データ線駆動回路62、コントローラ(制御部)63、及び共通電源変調回路64が配置されている。走査線駆動回路61、データ線駆動回路62、及び共通電源変調回路64は、それぞれコントローラ63と接続されている。コントローラ63は、上位装置から供給される画像データや同期信号に基づき、上記の回路を総合的に制御する。

20

## 【 0 0 2 8 】

表示部5には走査線駆動回路61から延びる複数の走査線66と、データ線駆動回路62から延びる複数のデータ線68とが形成されており、これらの交差位置に対応して画素40が設けられている。

## 【 0 0 2 9 】

30

走査線駆動回路61は、m本の走査線66(Y1、Y2、...、Ym)を介して各々の画素40に接続されており、コントローラ63の制御のもと、1行目からm行目までの走査線66を順次選択する。走査線駆動回路61は、選択した走査線66を介して、画素40に設けられた選択トランジスタ41(図2参照)にオンタイミングを規定する選択信号を供給する。

## 【 0 0 3 0 】

データ線駆動回路62は、n本のデータ線68(X1、X2、...、Xn)を介して各々の画素40に接続されており、コントローラ63の制御のもと、画素40の各々に対応する1ビットの画素データを規定する画像信号を画素40に供給する。

なお、本実施形態では、画素データ「0」を規定する場合にはローレベル(L)の画像信号を画素40に供給し、画素データ「1」を規定する場合はハイレベル(H)の画像信号を画素40に供給するものとする。

40

## 【 0 0 3 1 】

表示部5にはまた、共通電源変調回路64から延びる5本のグローバル配線(低電位電源線49、高電位電源線50、共通電極配線55、第1の制御線91、及び第2の制御線92)が設けられており、それぞれの配線は画素40と接続されている。共通電源変調回路64は、コントローラ63の制御のもと、上記の配線の各々に供給すべき各種信号を生成する一方、これら各配線の電氣的な接続及び切断(ハイインピーダンス化)を行う。

## 【 0 0 3 2 】

図2は、画素40の回路構成図である。

50

画素40には、選択トランジスタ41（画素スイッチング素子）と、ラッチ回路（メモリ回路）70と、スイッチ回路80と、電気泳動素子32と、第1の画素電極351と、第2の画素電極352と、対向電極としての共通電極37とが設けられている。これらの素子を取り囲むように、走査線66、データ線68、低電位電源線49、高電位電源線50、第1の制御線91、及び第2の制御線92が配置されている。画素40は、ラッチ回路70により画像信号を電位として保持するSRAM（Static Random Access Memory）方式の構成である。

**【0033】**

上記素子のうち、選択トランジスタ41、ラッチ回路70、スイッチ回路80、第1及び第2の画素電極351、352から構成される部分を画素回路とも呼ぶ。この画素回路及び共通電極37と、第1の制御線91、第2の制御線92を含むグローバル配線は、走査線駆動回路61、データ線駆動回路62、及び共通電源変調回路64により駆動される。

10

**【0034】**

選択トランジスタ41は、N-MOS（Negative Metal Oxide Semiconductor）トランジスタからなる画素スイッチング素子である。選択トランジスタ41のゲート端子は走査線66に接続され、ソース端子はデータ線68に接続され、ドレイン端子はラッチ回路70のデータ入力端子N1に接続されている。

**【0035】**

ラッチ回路70は、転送インバータ70tと帰還インバータ70fとを備えている。転送インバータ70t及び帰還インバータ70fはいずれもC-MOSインバータである。転送インバータ70tと帰還インバータ70fとは、互いの入力端子に他方の出力端子が接続されたループ構造を成しており、それぞれのインバータには、高電位電源端子PHを介して接続された高電位電源線50から高電位の電源電圧が供給され、低電位電源端子PLを介して接続された低電位電源線49から低電位の電源電圧が供給される。

20

**【0036】**

転送インバータ70tは、それぞれのドレイン端子をデータ出力端子N2に接続されたP-MOS（Positive Metal Oxide Semiconductor）トランジスタ71とN-MOSトランジスタ72とを有している。P-MOSトランジスタ71のソース端子は高電位電源端子PHに接続され、N-MOSトランジスタ72のソース端子は低電位電源端子PLに接続されている。P-MOSトランジスタ71及びN-MOSトランジスタ72のゲート端子（転送インバータ70tの入力端子）は、データ入力端子N1（帰還インバータ70fの出力端子）と接続されている。

30

**【0037】**

帰還インバータ70fは、それぞれのドレイン端子をデータ入力端子N1に接続されたP-MOSトランジスタ73とN-MOSトランジスタ74とを有している。P-MOSトランジスタ73及びN-MOSトランジスタ74のゲート端子（帰還インバータ70fの入力端子）は、データ出力端子N2（転送インバータ70tの出力端子）と接続されている。

**【0038】**

上記構成のラッチ回路70において、ハイレベル（H）の画像信号（画素データ「1」）が記憶されると、ラッチ回路70のデータ出力端子N2からローレベル（L）の信号が出力される。一方、ラッチ回路70にローレベル（L）の画像信号（画素データ「0」）が記憶されると、データ出力端子N2からハイレベル（H）の信号が出力される。

40

**【0039】**

ラッチ回路70のデータ入力端子N1及びデータ出力端子N2は、スイッチ回路80と接続されている。さらにスイッチ回路80は、第1及び第2の画素電極351、352と、第1及び第2の制御線91、92とにそれぞれ接続されている。スイッチ回路80は、第1のトランスミッションゲートTG1（第1のスイッチ）と、第2のトランスミッションゲートTG2（第2のスイッチ）とを備えて構成されている。

50

## 【 0 0 4 0 】

第1のトランスマッションゲートTG1は、P-MOSトランジスタ81とN-MOSトランジスタ82とからなる。P-MOSトランジスタ81及びN-MOSトランジスタ82のソース端子は第1の制御線91に接続され、P-MOSトランジスタ81及びN-MOSトランジスタ82のドレイン端子は第1の画素電極351に接続されている。P-MOSトランジスタ81のゲート端子は、ラッチ回路70のデータ入力端子N1に接続され、N-MOSトランジスタ82のゲート端子は、ラッチ回路70のデータ出力端子N2に接続されている。

## 【 0 0 4 1 】

第2のトランスマッションゲートTG2は、P-MOSトランジスタ83とN-MOSトランジスタ84とからなる。P-MOSトランジスタ83及びN-MOSトランジスタ84のソース端子は第2の制御線92に接続され、P-MOSトランジスタ83及びN-MOSトランジスタ84のドレイン端子は、第2の画素電極352に接続されている。P-MOSトランジスタ83のゲート端子は、ラッチ回路70のデータ出力端子N2に接続され、N-MOSトランジスタ84のゲート端子は、ラッチ回路70のデータ入力端子N1に接続されている。

## 【 0 0 4 2 】

ここで、ラッチ回路70にローレベル(L)の画像信号(画素データ「0」)が記憶され、データ出力端子N2からハイレベル(H)の信号が出力された場合、第1のトランスマッションゲートTG1がオン状態となって第1の制御線91と第1の画素電極351とが電氣的に接続され、第1の制御線91の電位S1が第1の画素電極351に入力される。このとき、第2のトランスマッションゲートTG2は、ラッチ回路70の出力信号によりオフ状態とされるため、第2の画素電極352はハイインピーダンス状態となる。

## 【 0 0 4 3 】

一方、ラッチ回路70にハイレベル(H)の画像信号(画素データ「1」)が記憶され、データ出力端子N2からローレベル(L)の信号が出力された場合、第2のトランスマッションゲートTG2がオン状態となり、第2の制御線92の電位S2が第2の画素電極352に入力される。このとき、第1のトランスマッションゲートTG1はオフ状態であり、第1の画素電極351はハイインピーダンス状態となる。

## 【 0 0 4 4 】

このように、画素40では、ラッチ回路70に記憶された画像信号に基づいて、第1のトランスマッションゲートTG1と第2のトランスマッションゲートTG2とが排他的に動作し、第1の画素電極351と第2の画素電極352のうち一方の画素電極のみが対応する制御線と接続され、他方の画素電極はハイインピーダンス状態とされる。

## 【 0 0 4 5 】

図3は、表示部5における第1及び第2の画素電極351、352と、走査線66及びデータ線68の平面配置を示す図である。図4は、図3に示すA-A'線に沿う位置における電気泳動表示装置100の部分断面図である。

## 【 0 0 4 6 】

図3に示すように、表示部5には、複数の画素40がマトリクス状に配列されており、隣接する画素40の境界領域に走査線66及びデータ線68が延在している。各々の画素40には、2つの第1の画素電極351(351a、351b)と、2つの第2の画素電極352(352a、352b)とが、互い違いに正方配置されている。すなわち、略正方形の画素40の平面領域において、略正方形の第1の画素電極351aと第1の画素電極351bとが対角位置に配置され、第2の画素電極352aと第2の画素電極352bとが他の対角位置に配置されている。本実施形態の場合、表示部5において隣り合う画素40同士で、同じ種類の画素電極同士(第1の画素電極351同士、第2の画素電極352同士)が隣り合わないよう規則的に配列されている。

## 【 0 0 4 7 】

画素40内に配置された第1の画素電極351a、351bは、いずれも図2に示した

10

20

30

40

50

第1のトランスミッションゲートTG1に接続されている。また、第2の画素電極352a、352bは、いずれも第2のトランスミッションゲートTG2に接続されている。

すなわち、画素40は、一方の対角線方向に配置された2つの第1の画素電極351a、351bにそれぞれ対応する2つの第1のサブ画素と、他方の対角線方向に配置された2つの第2の画素電極352a、352bにそれぞれ対応する2つの第2のサブ画素とを有する。

#### 【0048】

図4に示すように、電気泳動表示装置100は、素子基板30（第1基板）と対向基板31（第2基板）との間に、複数のマイクロカプセル20を配列してなる電気泳動素子32を挟持した構成を備えている。表示部5において、素子基板30の電気泳動素子32側には、第1の画素電極351a（351）と第2の画素電極352a（352）とが交互に配列されており、電気泳動素子32は接着剤層33を介して第1の画素電極351及び第2の画素電極352と接着されている。

10

#### 【0049】

素子基板30は、ガラスやプラスチック等からなる基板であり、画像表示面とは反対側に配置されるため透明なものでなくてもよい。素子基板30上には、図1や図2に示した走査線66、データ線68、選択トランジスタ41、ラッチ回路70、スイッチ回路80などを含む回路層34が形成されており、回路層34上に、第1及び第2の画素電極351、352が形成されている。第1及び第2の画素電極351、352は、Cu箔上にニッケルめっきと金めっきとをこの順で積層したものや、Al、ITO（インジウム錫酸化物）などにより形成される。

20

#### 【0050】

一方、対向基板31はガラスやプラスチック等からなる基板であり、画像表示側に配置されるため透明基板とされる。対向基板31の電気泳動素子32側には複数の画素電極351、352と対向する平面形状の共通電極（対向電極）37が形成されており、共通電極37上に電気泳動素子32が設けられている。共通電極37は、MgAg、ITO、IZO（インジウム・亜鉛酸化物）などから形成された透明電極である。

#### 【0051】

なお、電気泳動素子32は、あらかじめ対向基板31側に形成され、接着剤層33までを含めた電気泳動シートとして取り扱われるのが一般的である。製造工程において、電気泳動シートは接着剤層33の表面に保護用の剥離シートが貼り付けられた状態で取り扱われる。そして、別途製造された素子基板30（第1及び第2の画素電極351、352や各種回路などが形成されている）に対して、剥離シートを剥がした当該電気泳動シートを貼り付けることによって、表示部5を形成する。このため、接着剤層33は第1及び第2の画素電極351、352側のみに存在することになる。

30

#### 【0052】

マイクロカプセル20は、例えば50 $\mu$ m程度の粒径を有しており、内部に分散媒21と、複数の白色粒子（電気泳動粒子）27と、複数の黒色粒子（電気泳動粒子）26とを封入した球状体である。マイクロカプセル20は、図4に示すように共通電極37と、第1及び第2の画素電極351、352とに挟持されている。1つの画素40内に複数のマイクロカプセル20が含まれていてもよく、1つのマイクロカプセル20の平面領域内に複数の画素40が含まれていてもよい。

40

#### 【0053】

マイクロカプセル20の外殻部（壁膜）は、ポリメタクリル酸メチル、ポリメタクリル酸エチルなどのアクリル樹脂、ユリア樹脂、アラビアガムなどの透光性を持つ高分子樹脂などを用いて形成される。

分散媒21は、白色粒子27と黒色粒子26とをマイクロカプセル20内に分散させる液体である。分散媒21としては、水、アルコール系溶媒（メタノール、エタノール、イソプロパノール、ブタノール、オクタノール、メチルセルソルブなど）、エステル類（酢酸エチル、酢酸ブチルなど）、ケトン類（アセトン、メチルエチルケトン、メチルイソブ

50

チルケトンなど)、脂肪族炭化水素(ペンタン、ヘキサン、オクタンなど)、脂環式炭化水素(シクロヘキサン、メチルシクロヘキサンなど)、芳香族炭化水素(ベンゼン、トルエン、長鎖アルキル基を有するベンゼン類(キシレン、ヘキシルベンゼン、ヘプチルベンゼン、オクチルベンゼン、ノニルベンゼン、デシルベンゼン、ウンデシルベンゼン、ドデシルベンゼン、トリデシルベンゼン、テトラデシルベンゼンなど))、ハロゲン化炭化水素(塩化メチレン、クロロホルム、四塩化炭素、1,2-ジクロロエタンなど)、カルボン酸塩などを例示することができ、その他の油類であってもよい。これらの物質は単独又は混合物として用いることができ、さらに界面活性剤などを配合してもよい。

#### 【0054】

白色粒子27は、例えば、二酸化チタン、亜鉛華、三酸化アンチモン等の白色顔料からなる粒子(高分子あるいはコロイド)であり、例えば負に帯電されて用いられる。黒色粒子26は、例えば、アニリンブラック、カーボンブラック等の黒色顔料からなる粒子(高分子あるいはコロイド)であり、例えば正に帯電されて用いられる。

これらの顔料には、必要に応じ、電解質、界面活性剤、金属石鹸、樹脂、ゴム、油、ワニス、コンパウンドなどの粒子からなる荷電制御剤、チタン系カップリング剤、アルミニウム系カップリング剤、シラン系カップリング剤等の分散剤、潤滑剤、安定化剤などを添加することができる。

また、黒色粒子26及び白色粒子27に代えて、例えば赤色、緑色、青色などの顔料を用いてもよい。かかる構成によれば、表示部5に赤色、緑色、青色などを表示することができる。

#### 【0055】

次に、図5は、表示部5の平面構造を示す作用説明図である。図6は、図5に示すB-B'線に沿う位置における断面構造を画素回路とともに示す説明図である。

なお、図5及び図6において、各部の符号の添字「A」「B」「C」「D」は、それらの構成要素が画素40A~40Dのいずれに属するのかを明確に識別するために付したものである。

#### 【0056】

図5には、表示部5に配列された画素40のうち、2行2列に配置された4つの画素40A~40Dが示されている。画素40A~40Dのうち、3つの画素40A~40Cは黒表示、画素40Dは白表示されている。

#### 【0057】

ここで、画素40における画像表示動作について、図6を参照しつつ説明する。

図5に示す表示状態を得るには、まず、画素40のラッチ回路70に画像信号(画像データ)を記憶させる(画像信号入力ステップ)。図6に示す画素40C、40Dの場合、画素40Cのラッチ回路70Cには、選択トランジスタ41Cを介してデータ線68からローレベル(L)の画像信号が入力され、電位として記憶される。画素40Dのラッチ回路70Dには、ハイレベル(H)の画像信号が入力され、電位として記憶される。

なお、画像信号入力ステップでは、ラッチ回路70C、70Dに画像信号を書き込み、保持することができる電圧で画素回路を動作させればよい。したがって、例えば、画像信号入力ステップにおける画像信号のハイレベル電位を2~5V、ローレベル電位を0Vとし、高電位電源線50の電位V<sub>dd</sub>を2~5V、低電位電源線49の電位V<sub>ss</sub>を0Vとする。

#### 【0058】

ラッチ回路70C、70Dに対して画像信号を書き込んだならば、電気泳動素子32を駆動して画像を表示させる動作を実行する(画像表示ステップ)。

かかるステップでは、第1の制御線91及び第2の制御線92と共通電極37とに、画像表示用の電位を供給する。具体的には、第1の制御線91の電位S<sub>1</sub>がハイレベル電位V<sub>H</sub>(例えば10~15V)とされ、第2の制御線92の電位S<sub>2</sub>がローレベル電位V<sub>L</sub>(例えば0V)とされる。共通電極37には、ハイレベル電位V<sub>H</sub>とローレベル電位V<sub>L</sub>とを所定周期で繰り返す矩形波状のパルスが入力される。

また、第1及び第2の画素電極351、352に画像表示用の電位 $V_H$ 、 $V_L$ を供給するために、ラッチ回路70C、70Dの電源電圧が引き上げられる。すなわち、高電位電源線50の電位 $V_{dd}$ がハイレベル電位 $V_H$ に引き上げられ、低電位電源線49の電位 $V_{ss}$ はローレベル電位 $V_L$ とされる。

【0059】

ローレベル(L)の画像信号を保持しているラッチ回路70Cのデータ出力端子N2からは、ハイレベル(H)の電位( $V_{dd}$ )が出力され、データ入力端子N1からはローレベル(L)の電位( $V_{ss}$ )が出力されている。これにより、画素40Cでは、第1のトランスマッションゲートTG1Cがオン状態となって第1の画素電極351aC(及び351bC)に第1の制御線91の電位S1(ハイレベル電位 $V_H$ )が入力される。また、第2のトランスマッションゲートTG2Cはオフ状態であるから、第2の画素電極352aC(及び352bC)はハイインピーダンス状態となる。

10

【0060】

そうすると、共通電極37の電位 $V_{com}$ がローレベル電位 $V_L$ である期間に、第1の画素電極351aC、351bCと共通電極37との間に電界が形成され、かかる電界によって電気泳動素子32が駆動される。これにより、図5(a)に示すように、第1の画素電極351aC、351bCに対応する第1のサブ画素が黒表示される。また、画素40A、40Bも上記と同様の動作により、第1の画素電極351に対応する第1のサブ画素が黒表示される。

【0061】

20

一方、画素40Dでは、ハイレベル(H)の画像信号を保持しているラッチ回路70Dのデータ出力端子N2からローレベル(L)の電位( $V_{ss}$ )が出力され、データ入力端子N1からハイレベル(H)の電位( $V_{dd}$ )が出力されている。これにより、第2のトランスマッションゲートTG2Dがオン状態となって第2の画素電極352aD(及び352bD)に第2の制御線92の電位S2(ローレベル電位 $V_L$ )が入力される。また、第1のトランスマッションゲートTG1Dはオフ状態であるから、第1の画素電極351aD(及び351bD)はハイインピーダンス状態となる。

【0062】

そうすると、共通電極37の電位 $V_{com}$ がハイレベル電位 $V_H$ である期間に、第2の画素電極352aD、352bDと共通電極37との間に電界が形成され、かかる電界によって電気泳動素子32が駆動される。これにより、図5(a)に示すように、第2の画素電極352aD、352bDに対応する第2のサブ画素が白表示される。

30

【0063】

以上の動作により、図5(a)に示すように、画素40A~40Dの一部のサブ画素を黒表示又は白表示することができる。

ここで、それぞれの画素40A~40Dには、電位が入力された第1の画素電極351又は第2の画素電極352と、ハイインピーダンス状態の第1の画素電極351又は第2の画素電極352が存在する。そして、マイクロカプセル20と第1及び第2の画素電極351、352を接着している接着剤層33には、マイクロカプセル20に印加する電圧の損失を少なくするために、さほど抵抗の低い接着剤が使用されている。そのため、図5(a)に示すように、電位が入力された第1の画素電極351又は第2の画素電極352と、ハイインピーダンス状態の第1の画素電極351又は第2の画素電極352との間に、画素間リーク電流 $L_k$ が発生する。

40

【0064】

具体的には、画素40Cの第2の画素電極352aCは、電位S1(ハイレベル電位 $V_H$ )が入力された第1の画素電極351(351bA、351aC、351bC)に三方を囲まれており、それらの第1の画素電極351から電荷が流入する。そのため、ハイインピーダンス状態の第2の画素電極352aCも、ハイレベル電位 $V_H$ に近い高電位となる。また、第2の画素電極352bCも、同様に画素間リークによってハイレベル電位 $V_H$ に近い高電位となる。これにより、第2の画素電極352aC、352bCに対応する

50

第2のサブ画素においても電気泳動素子32が駆動され、図5(b)に示すように、第1の画素電極351aC、351bCに対応する第1のサブ画素と同様に黒表示される。したがって、画素40Cを構成する第1及び第2のサブ画素はいずれも黒表示されることとなる。

【0065】

一方、画素40Dでは、第2の画素電極352aD、352bDがローレベル電位VLであるため、ハイインピーダンス状態の第1の画素電極351aD、351bDから、隣接する第2の画素電極352aD、352bDに向かってリーク電流が流れる。そのため、第1の画素電極351aD、351bDは、ローレベル電位VLに近い低電位となる。これにより、第1の画素電極351aD、351bDに対応する第1のサブ画素において

10

【0066】

なお、ハイインピーダンス状態の第1及び第2の画素電極351、352の電位は、それらに隣接する第1及び第2の画素電極351、352の電位に応じて異なる電位となる。例えば、画素40Cにおいて、ハイレベル電位VHの第1の画素電極351aC、351bCにのみ囲まれた第2の画素電極352bCは、ハイレベル電位VHとほぼ同等の電位となる。また、画素40Dでは、ローレベル電位VLの第2の画素電極352aD、352bDにのみ隣接している第1の画素電極351bDの電位が、ローレベル電位VLと

20

したがって、黒表示の画素40が連続する領域では、第1のサブ画素と第2のサブ画素とがほぼ同等の反射率の黒表示となり、白表示の画素40が連続する領域では、第1のサブ画素と第2のサブ画素とがほぼ同等の反射率の白表示となる。

【0067】

一方、画素40Cの第1の画素電極351aC、第2の画素電極352aC、及び画素40Dの第1の画素電極351aD、第2の画素電極352aDが属する行(上から3行目)では、ハイインピーダンス状態の第2の画素電極352aCと第1の画素電極351aDとが、ハイレベル電位VHの第1の画素電極351aCと、ローレベル電位VLの第2の画素電極352aDとの間に配置されている。この場合、第2の画素電極352aC

30

【0068】

具体的には、ハイレベル電位VHの第1の画素電極351aCと隣接する第2の画素電極352aCは比較的高い中間電位となり、ローレベル電位VLの第2の画素電極352aDと隣接する第1の画素電極351aDは比較的低い中間電位となる。したがって、第2の画素電極352aCに対応する第2のサブ画素は濃いグレイの中間調表示となり、第1の画素電極351aDに対応する第1のサブ画素は薄いグレイの中間調表示となる。

【0069】

次に、図7は、画像データと、画素の電位状態と、表示画像との対応関係を示す説明図

40

である。図7(a)は、表示部5に転送される画像データDを、表示部5に対応させたマトリクス状の配列(9行6列)で概念的に示す図である。同図において、マトリクス状に配置された正方形のマス目が、個々の画素40に入力される画素データに対応する。黒表示に対応する画素データDp[0](ローレベルの画像信号)は黒塗りのマス目、白表示に対応する画素データDp[1](ハイレベルの画像信号)は白抜きのマス目として表示している。

【0070】

図7(a)に示す画像データDを用いて上述した画像表示動作を実行すると、表示部5に配列された第1及び第2の画素電極351、352の電位は、図7(b)に示すような

50

状態となる。図7(b)では、図7(a)に対応する態様(9行6列)で画素40が配列されている。各々の画素40には、2つの第1の画素電極351と、2つの第2の画素電極352とが、互い違いに配置されている。

#### 【0071】

図7(b)中、黒塗りのマス目は、ハイレベル電位V<sub>H</sub>が入力された第1の画素電極351に対応する第1のサブ画素(黒表示されたサブ画素)である。また、白抜きのマス目は、ローレベル電位V<sub>L</sub>が入力された第2の画素電極352に対応する第2のサブ画素(白表示されたサブ画素)である。さらに、数値が書き込まれたマス目は、ハイインピーダンス状態の第1及び第2の画素電極351、352に対応するサブ画素である。また、マス目に書き込まれた数値は、そのサブ画素に対応する第1及び第2の画素電極351、352の電位レベルを示すものであり、「100」がハイレベル電位V<sub>H</sub>、「0」がローレベル電位V<sub>L</sub>に対応する。

10

#### 【0072】

図7(b)に示すように、表示部5に配列された第1及び第2の画素電極351、352は、入力された画像データD(画素データD<sub>p</sub>[0]、D<sub>p</sub>[1])の分布に応じて、ローレベル電位V<sub>L</sub>、ハイレベル電位V<sub>H</sub>、あるいはローレベル電位V<sub>L</sub>とハイレベル電位V<sub>H</sub>の間の電位となる。例えば、三方を黒表示の第1のサブ画素に囲まれたハイインピーダンス状態の第2のサブ画素では、その第2の画素電極352の電位はハイレベル電位V<sub>H</sub>の80%程度となる。逆に、三方を白表示の第2のサブ画素に囲まれたハイインピーダンス状態の第1のサブ画素では、その第1の画素電極351の電位はハイレベル電位V<sub>H</sub>の20%程度となる。

20

#### 【0073】

図7(c)は、図7(a)、(b)に対応する表示部5の表示状態を示す図である。

図7(c)に示すように、黒表示の画素40が連続して配置された図示左上側の領域では、第1の画素電極351のみに第1の制御線91の電位S<sub>1</sub>が入力されているにもかかわらず、第1及び第2のサブ画素がいずれも黒表示される。また、白表示の画素40が連続して配置された図示右下側の領域では、第2の画素電極352にのみ第2の制御線92の電位S<sub>2</sub>が入力されているにもかかわらず、第1及び第2のサブ画素がいずれも白表示される。

30

#### 【0074】

そして、黒表示された画素40と白表示された画素40とが隣接する領域では、図7(b)に示したように、ハイインピーダンス状態の第1及び第2の画素電極351、352の電位が、ローレベル電位V<sub>L</sub>とハイレベル電位V<sub>H</sub>の間の電位となるため、画素電極の電位に応じた濃淡のグレイ表示となる。これにより、図7(a)と図7(c)とを比較すれば明らかなように、黒表示の画素40からなる領域と白表示の画素40からなる領域との斜め方向に延びる境界がアンチエイリアス処理され、ジャギー(階段状のギザギザ)が緩和された滑らかな表示となる。

#### 【0075】

(第2の画素配置)

上記実施の形態では、図3に示したように、第1及び第2の画素電極351、352が同一の態様で配置された画素40が規則的に配列されている場合(第1の画素配置)について説明したが、本発明に係る電気泳動表示装置では、他の画素配置も適用することができる。図8は、電気泳動表示装置100における第2の画素配置を示す平面図である。

40

#### 【0076】

図8には、表示部5に配列された画素40のうち、4つの画素40a~40dを取り出して示している。画素40a~40dは、いずれも2つの第1の画素電極351a、351b(第1のサブ画素)と、2つの第2の画素電極352a、352b(第2のサブ画素)とを互い違いに配置している点では共通する。しかし、画素40a、40dと、画素40b、40cとでは、画素内における第1の画素電極351a、351b、及び第2の画素電極352a、352bの配置が異なっている。

50

## 【 0 0 7 7 】

具体的には、画素 4 0 a、4 0 d では、図示の左上と右下とを結ぶ方向に沿った対角位置に第 1 の画素電極 3 5 1 a、3 5 1 b が配置されているのに対して、画素 4 0 b、4 0 c では、図示右上と左下とを結ぶ方向に沿った対角位置に、第 1 の画素電極 3 5 1 a、3 5 1 b が配置されている。

これにより、隣り合う画素 4 0 a と画素 4 0 b とは、画素境界で折り返した配置になっており、画素間の境界において同じ種類の画素電極同士が隣り合うように配置されている。つまり、画素 4 0 a の第 2 の画素電極 3 5 2 a と、画素 4 0 b の第 2 の画素電極 3 5 2 a とが隣り合って配置され、画素 4 0 a の第 1 の画素電極 3 5 1 b と画素 4 0 b の第 1 の画素電極 3 5 1 b とが隣り合って配置されている。

10

## 【 0 0 7 8 】

さらに、図示上下方向で隣り合う画素 4 0 a と画素 4 0 c も同様の配置関係とされている。すなわち、画素 4 0 a の第 2 の画素電極 3 5 2 b と、画素 4 0 c の第 2 の画素電極 3 5 2 b とが隣り合って配置され、画素 4 0 a の第 1 の画素電極 3 5 1 b と、画素 4 0 c の第 1 の画素電極 3 5 1 b とが隣り合って配置されている。

## 【 0 0 7 9 】

図 9 は、図 8 に示す画素配置を用いた場合における、画像データと、画素の電位状態と、表示画像との対応関係を示す説明図であって、先の図 7 に対応する図である。

図 9 ( a ) には、図 7 ( a ) と同様の画像データ D が示されている。図 9 ( a ) に示す画像データ D を用いて画像表示動作を実行すると、表示部 5 に配列された第 1 及び第 2 の画素電極 3 5 1、3 5 2 の電位は、図 9 ( b ) に示すような状態となる。

20

## 【 0 0 8 0 】

図 9 ( b ) における表示方法は、図 7 ( b ) と共通である。

図 8 に示す画素配置では、画素 4 0 同士の境界部分において、同じ種類のサブ画素が隣り合って配置されているため、図 9 ( b ) において、画素データ  $D_p[0]$  が連続する領域では、第 1 の画素電極 3 5 1 に対応する黒表示の第 1 のサブ画素 (黒塗りのマス目) 同士が隣り合って配置され、画素データ  $D_p[1]$  が連続する領域では、第 2 の画素電極 3 5 2 に対応する白表示の第 2 のサブ画素 (白塗りのサブ画素) 同士が隣り合って配置されている。

そして、黒表示の画素 4 0 と白表示の画素 4 0 とが隣接する領域では、黒表示の第 1 のサブ画素と、白表示の第 2 のサブ画素とが隣り合って配置されることはなく、それらのサブ画素の間には、画素電極がハイインピーダンス状態である第 1 又は第 2 のサブ画素が介在している。

30

## 【 0 0 8 1 】

図 9 ( c ) は、図 9 ( a )、( b ) に対応する表示部 5 の表示状態を示す図である。

図 9 ( c ) に示すように、黒表示の画素 4 0 が連続して配置された図示左上側の領域は、第 1 の画素電極 3 5 1 のみに第 1 の制御線 9 1 の電位  $S_1$  が入力されているにもかかわらず、第 1 及び第 2 のサブ画素がいずれも黒表示される。また、白表示の画素 4 0 が連続して配置された図示右下側の領域では、第 2 の画素電極 3 5 2 にのみ第 2 の制御線 9 2 の電位  $S_2$  が入力されているにもかかわらず、第 1 及び第 2 のサブ画素がいずれも白表示される。

40

## 【 0 0 8 2 】

そして、黒表示された画素 4 0 と白表示された画素 4 0 とが隣接する領域では、図 9 ( b ) に示したように、ハイインピーダンス状態の第 1 及び第 2 の画素電極 3 5 1、3 5 2 の電位が、ローレベル電位  $V_L$  とハイレベル電位  $V_H$  の間の電位となるため、画素電極の電位に応じた濃淡のグレイ表示となる。これにより、黒表示の画素 4 0 からなる領域と白表示の画素 4 0 からなる領域との斜め方向に延びる境界がアンチエイリアス処理され、ジャギー (階段状のギザギザ) が緩和された滑らかな表示となる。

## 【 0 0 8 3 】

以上に説明した第 2 の画素配置の場合には、先に記載のように、黒表示の第 1 のサブ画

50

素と白表示の第2のサブ画素との間に、画素電極がハイインピーダンス状態である第1又は第2のサブ画素が必ず介在する。そのため、黒表示と白表示との境界領域に、かならず中間階調（グレイ表示）の第1又は第2のサブ画素が配置されることになる。したがって、第1の画素配置を採用した場合と比べても、ジャギーが目立たない滑らかな表示を得ることができる。

【0084】

なお、第2の画素配置では、黒表示と白表示の境界に必ずグレイ表示のサブ画素が配置されるため、画素配列に対して斜め方向に延びる輪郭の表示品質は向上するが、その一方で、画素配列に沿った方向（行方向及び列方向）に延びる画像の輪郭がぼけてしまう。この輪郭のぼけは、表示部5を高精細化することで目立たなくなるので、表示部5が低解像度である場合には、画像の輪郭が比較的明確に表示される第1の画素配置を採用し、高解像度である場合には第2の画素配置を採用するとよい。

10

【0085】

このように、本実施形態の電気泳動表示装置100によれば、表示部5への中間階調の画像データの転送などを実行することなく、通常の画像表示動作を行うのみで、輪郭がアンチエイリアス処理された表示を得ることができる。

【0086】

次に、電気泳動表示装置100におけるリーク電流について、図10を参照しつつ説明する。

図10(a)は、図3に示した第1の画素配置を採用した場合のリーク電流の説明図である。図10(b)は、図8に示した第2の画素配置を採用した場合のリーク電流の説明図である。図10(c)は、図17に示した従来の電気泳動表示装置500におけるリーク電流の説明図である。

20

【0087】

まず、図10(c)に示す従来の電気泳動表示装置の場合、黒表示の画素540aと、白表示の画素540bとが隣接している場合に、画素540aの画素電極35aから画素540bの画素電極35bに向かう画素間リーク電流 $L_k$ （リーク電流）が発生するのは、先に説明した通りである。この場合において、画素間リーク電流 $L_k$ の経路は1つであり、画素電極35a、35bとマイクロカプセル20とを接着している接着剤層33を抵抗 $R_o$ とみなすことができる。

30

【0088】

これに対して、図10(a)に示す第1の画素配置を採用した電気泳動表示装置100では、画素40a及び画素40bが、それぞれ4つのサブ画素に分割されている。画素40aでは、第1の画素電極351a、351bにのみ第1の制御線91の電位 $S_1$ （ハイレベル電位 $V_H$ ）が入力されている。画素40bでは、第2の画素電極352a、352bにのみ第2の制御線92の電位 $S_2$ （ローレベル電位 $V_L$ ）が入力されている。

【0089】

図10(a)に示す画素40aと画素40bとの画素間リークは、各々の画素がサブ画素に分割されているため、以下の複数の経路をたどるリーク電流となる。

(1) 画素40aの第1の画素電極351bから画素40bの第2の画素電極352aへの画素間リーク

40

(2) 画素40aの第1の画素電極351bから、画素40aの第2の画素電極352bと画素40bの第1の画素電極351aとを経由して、画素40bの第2の画素電極352aに達する画素間リーク

(3) 画素40aの第1の画素電極351bから、画素40aの第2の画素電極352bと画素40bの第1の画素電極351aとを経由して、画素40bの第2の画素電極352bに達する画素間リーク

(4) 画素40aの第1の画素電極351aから、画素40aの第2の画素電極352bと画素40bの第1の画素電極351aとを経由して、画素40bの第2の画素電極352aに達する画素間リーク

50

(5) 画素40aの第1の画素電極351aから、画素40aの第2の画素電極352bと画素40bの第1の画素電極351aとを經由して、画素40bの第2の画素電極352bに達する画素間リーク

【0090】

まず、リーク経路(1)については、電位の異なる画素電極同士が隣り合っているが、画素40aの第1の画素電極351b(ハイレベル電位VH)と、画素40bの第2の画素電極352a(ローレベル電位VL)との境界の長さは、図10(c)の画素電極35a、35bの境界の長さの半分以下である。これにより、リーク電流の経路が狭くなり、その分だけリーク電流は低下する。

【0091】

次に、リーク経路(2)~(5)では、ハイレベル電位VHである画素40aの第1の画素電極351a、351bから、ローレベル電位VLである画素40bの第2の画素電極352a、352bに達する間に、ハイインピーダンス状態である画素40aの第2の画素電極352bと、画素40bの第1の画素電極351aを經由する。そうすると、画素電極の境界を通過するごとに接着剤層33の抵抗Rが負荷されるため、リーク経路全体での抵抗が大きくなり、ローレベル電位VLである画素40bの第2の画素電極352a、352bに流れ込むリーク電流が少なくなる。

【0092】

このように、本発明に係る電気泳動表示装置100では、画素40を複数のサブ画素に分割したことに伴って画素間リーク電流Lkの経路が増える。しかしその一方で、1つのリーク経路当たりの電流量が大幅に少なくなるため、全体としてのリーク電流量は、図10(c)に示す従来の構成よりも少なくなり、従来の80%程度にまで低減される。したがって、本実施形態の電気泳動表示装置100によれば、表示部5における電力消費を抑えることができる。

【0093】

次に、図10(b)に示す第2の画素配置の場合には、以下のようなリーク経路となる。

(1) 画素40aの第1の画素電極351bから、画素40bの第1の画素電極351bを經由して画素40bの第2の画素電極352aに達する画素間リーク

(2) 画素40aの第1の画素電極351bから、画素40bの第1の画素電極351bを經由して画素40bの第2の画素電極352bに達する画素間リーク

(3) 画素40aの第1の画素電極351bから、画素40aの第2の画素電極352bを經由して、画素40bの第2の画素電極352bに達する画素間リーク

(4) 画素40aの第1の画素電極351aから、画素40aの第2の画素電極352bを經由して、画素40bの第2の画素電極352bに達する画素間リーク

【0094】

このように、第2の画素配置を採用した電気泳動表示装置100では、リーク経路の数自体が第1の画素配置の場合よりも少なくなる。また、図10(b)に示す第2の画素配置では、ハイレベル電位VHである画素40aの第1の画素電極351a、351bと、ローレベル電位VLである画素40bの第2の画素電極352a、352bとが隣り合わないよう配置されている。したがって、リーク経路(1)~(4)は、必ず、画素電極がハイインピーダンス状態であるサブ画素を經由する高抵抗の経路となる。

このように、第2の画素配置を採用するならば、図10(a)に示す第1の画素配置を採用した場合よりもさらにリーク電流を低減することができ、従来の70%程度にまで低減することができる。

【0095】

また、本実施形態の電気泳動表示装置100では、部分書き換え駆動時のコントラスト低下も防止することができる。すなわち、上述したように、第1の画素配置、第2の画素配置のいずれにおいても、従来の電気泳動表示装置500に比してリーク電流は小さくなるので、表示を変化させない画素40に対する電荷の供給が低減される。したがって、画

10

20

30

40

50

面全体のコントラストが変化することを抑制することができる。

【0096】

さらに、第2の画素配置を採用している場合には、部分書き換え駆動時のコントラスト低下をより効果的に防止することができる。以下、図11及び図12を参照して詳細に説明する。

図11は、部分書き換え駆動時の表示部5の電位状態を示す説明図である。図12は、コントラスト低下の抑制に関する作用説明図である。

【0097】

図11には、表示部5の画素40のうち、3行2列に配置された6つの画素40a～40fが示されている。画素40a～40fのうち、図示左上端に位置する画素40aが書き換え対象の画素であり、その他の画素40b～40fは、表示を維持する画素である。

10

【0098】

図11に示すように、書き換え対象の画素40aでは、第1の画素電極351a、351bに第1の制御線91の電位S1（ハイレベル電位VH）が入力されており、第2の画素電極352a、352bはハイインピーダンス状態である。一方、表示を維持する画素40b～40fでは、第1の画素電極351a、351b、及び第2の画素電極352a、352bの双方がハイインピーダンス状態である。そして、かかる電位状態において、共通電極37にローレベル電位VL（あるいはハイレベル電位VHとローレベル電位VLとを繰り返すパルス）を入力することで、画素40aのみを選択的に黒表示させることができる。

20

【0099】

図11に示す状態では、画素40aの第1の画素電極351a、351bにのみ電位S1（ハイレベル電位VH）が入力されているため、画素間リーク電流Lkは、これらの第1の画素電極351a、351bと、それらに隣接する第1又は第2の画素電極との間で発生する。

図11に示す第2の画素配置では、画素40の境界を挟んで第1の画素電極351同士、第2の画素電極352同士が配置されている。そうすると、第2の画素配置においては、書き換え対象の画素40a内において、ハイレベル電位VHである第1の画素電極351a、351bとハイインピーダンス状態の第2の画素電極352a、352bが隣接するのはもちろんであるが、画素40aの第1の画素電極351bに隣接する画素40bの第1の画素電極351b、及び画素40cの第1の画素電極351bもハイインピーダンス状態となる。

30

【0100】

ここで、図12には、上記の画素間リーク電流Lkの経路が画素40a～40cの画素回路とともに示されている。

図12に示すように、画素間リーク電流Lkは、画素40aの第1の画素電極351bから、それぞれ画素40bの第1の画素電極351b、画素40cの第1の画素電極351bに向かって流れる。しかし、画素40b及び画素40cでは、それぞれの第1の画素電極351bに接続された第1のトランスマッションゲートTG1b、TG1cがオフ状態となっているため、第1の画素電極351bに流入した電荷は第1のトランスマッションゲートTG1b、TG1cで遮断され、グローバル配線である第1の制御線91に流れ込むことはない。

40

【0101】

このように、電気泳動表示装置100において第2の画素配置を採用するならば、書き換え対象の画素40aから隣り合う画素40b、40cに向かって流れるリーク電流が、グローバル配線である第1の制御線91又は第2の制御線92に流れ込むことがなくなる。したがって、部分書き換え駆動において表示を維持する画素40のコントラストが変化することがなくなり、高画質の表示を得ることができる。

【0102】

なお、上記実施の形態では、画素40を4つのサブ画素に分割した構成について説明し

50

たが、本発明の技術範囲は構成に限定されるものではない。例えば、画素40を6分割（3つの第1のサブ画素と3つの第2のサブ画素）してもよく、9分割（4つ又は5つの第1のサブ画素と、5つ又は4つの第2のサブ画素）してもよい。分割数を多くするほど、アンチエイリアス処理の効果が大きくなり、より滑らかな表示を得ることができる。

#### 【0103】

さらに、画素40を5つ以上に多分割する場合において、画素40内における第1及び第2のサブ画素の配列については、画素40内で互い違いに配置することが好ましいが、これに限らず任意の配列を採用することができる。

#### 【0104】

また、画素40を多分割する場合において、図3に示した第1の画素配置、あるいは図8に示した第2の画素配置を採用するに際しては、隣り合う画素40の境界部分に面する第1の画素電極351と第2の画素電極352の配置にのみ着目すればよい。すなわち、第1の画素配置を採用する場合には、隣り合う画素40の境界を挟んで第1の画素電極351と第2の画素電極352とを配置すればよく、第2の画素配置を採用する場合には、隣り合う画素40の境界を挟んで第1の画素電極351同士、第2の画素電極352同士を配置すればよい。画素40の境界と接しない第1及び第2の画素電極351、352については、任意に配置することができる。

#### 【0105】

（電子機器）

次に、上記各実施形態の電気泳動表示装置100を、電子機器に適用した場合について説明する。

図13は、腕時計1000の正面図である。腕時計1000は、時計ケース1002と、時計ケース1002に連結された一对のバンド1003とを備えている。

時計ケース1002の正面には、上記実施形態の電気泳動表示装置100からなる表示部1005と、秒針1021と、分針1022と、時計針1023とが設けられている。時計ケース1002の側面には、操作子としての竜頭1010と操作ボタン1011とが設けられている。竜頭1010は、ケース内部に設けられる巻真（図示は省略）に連結されており、巻真と一体となって多段階（例えば2段階）で押し引き自在、かつ、回転自在に設けられている。表示部1005では、背景となる画像、日付や時間などの文字列、あるいは秒針、分針、時計針などを表示することができる。

#### 【0106】

図14は電子ペーパー1100の構成を示す斜視図である。電子ペーパー1100は、上記実施形態の電気泳動表示装置100を表示領域1101に備えている。電子ペーパー1100は可撓性を有し、従来の紙と同様の質感及び柔軟性を有する書き換え可能なシートからなる本体1102を備えて構成されている。

#### 【0107】

図15は、電子ノート1200の構成を示す斜視図である。電子ノート1200は、上記の電子ペーパー1100が複数枚束ねられ、カバー1201に挟まれているものである。カバー1201は、例えば外部の装置から送られる表示データを入力する図示は省略の表示データ入力手段を備える。これにより、その表示データに応じて、電子ペーパーが束ねられた状態のまま、表示内容の変更や更新を行うことができる。

#### 【0108】

以上の腕時計1000、電子ペーパー1100、及び電子ノート1200によれば、本発明に係る電気泳動表示装置100が採用されているので、輪郭の滑らかな高品位の表示が可能であり、また省電力性にも優れた表示部を備えた電子機器となる。

なお、上記の電子機器は、本発明に係る電子機器を例示するものであって、本発明の技術範囲を限定するものではない。例えば、携帯電話、携帯用オーディオ機器などの電子機器の表示部にも、本発明に係る電気泳動表示装置は好適に用いることができる。

#### 【図面の簡単な説明】

#### 【0109】

10

20

30

40

50

- 【図 1】実施形態に係る電気泳動表示装置の概略構成図。  
 【図 2】画素の回路構成図。  
 【図 3】画素電極等の平面配置（第 1 の画素配置）を示す説明図。  
 【図 4】図 3 に示す A - A' 線に沿う部分断面図。  
 【図 5】表示部の平面構造を示す作用説明図。  
 【図 6】図 5 に示す B - B' 線に沿う断面構造を画素回路とともに示す説明図。  
 【図 7】画像データと、画素の電位状態と、表示画像との対応関係を示す説明図。  
 【図 8】第 2 の画素配置を示す平面図。  
 【図 9】画像データと、画素の電位状態と、表示画像との対応関係を示す説明図。  
 【図 10】リーク電流の説明図。  
 【図 11】部分書き換え駆動時の表示部の電位状態を示す説明図。  
 【図 12】コントラスト低下の抑制に関する作用説明図。  
 【図 13】電子機器の一例である腕時計を示す図。  
 【図 14】電子機器の一例である電子ペーパーを示す図。  
 【図 15】電子機器の一例である電子ノートを示す図。  
 【図 16】従来の電気泳動表示装置を示す図。  
 【図 17】従来の電気泳動表示装置における部分書き換え駆動の説明図。  
 【図 18】従来の電気泳動表示装置におけるコントラスト低下に関する説明図。

10

## 【符号の説明】

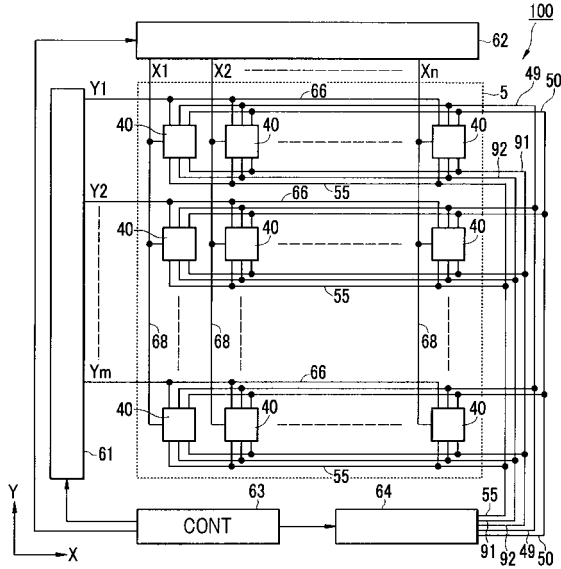
## 【 0 1 1 0 】

20

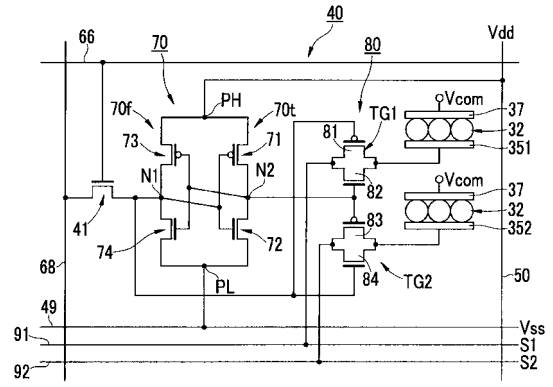
1 0 0 電気泳動表示装置、2 0 マイクロカプセル、3 0 素子基板（第 1 基板）、  
 3 1 対向基板（第 2 基板）、3 2 電気泳動素子、3 3 接着剤層、3 7 共通電極、  
 4 0, 4 0 A, 4 0 B, 4 0 C, 4 0 D, 4 0 a, 4 0 b, 4 0 c, 4 0 d, 4 0 e, 4  
 0 f 画素、4 1 選択トランジスタ（画素スイッチング素子）、4 9 低電位電源線、  
 5 0 高電位電源線、5 5 共通電極配線、6 1 走査線駆動回路、6 2 データ線駆動  
 回路、6 3 コントローラ、6 4 共通電源変調回路、6 6 走査線、6 8 データ線、  
 7 0, 7 0 C, 7 0 D ラッチ回路（メモリ回路）、9 1 第 1 の制御線、9 2 第 2 の  
 制御線、3 5 1, 3 5 1 a, 3 5 1 b, 3 5 1 a C, 3 5 1 a D, 3 5 1 b C, 3 5 1 b  
 D 第 1 の画素電極、3 5 2, 3 5 2 a, 3 5 2 b, 3 5 2 a C, 3 5 2 a D, 3 5 2 b  
 C, 3 5 2 b D 第 2 の画素電極、T G 1, T G 1 C, T G 1 D, T G 1 a, T G 1 b,  
 T G 1 c 第 1 のトランスマッションゲート（第 1 のスイッチ）、T G 2, T G 2 C, T  
 G 2 D, T G 2 a, T G 2 b, T G 2 c 第 2 のトランスマッションゲート（第 2 のスイ  
 ッチ）

30

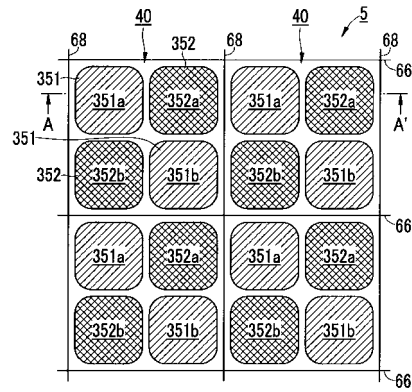
【 図 1 】



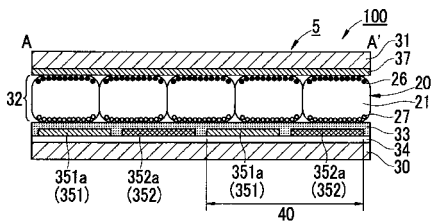
【 図 2 】



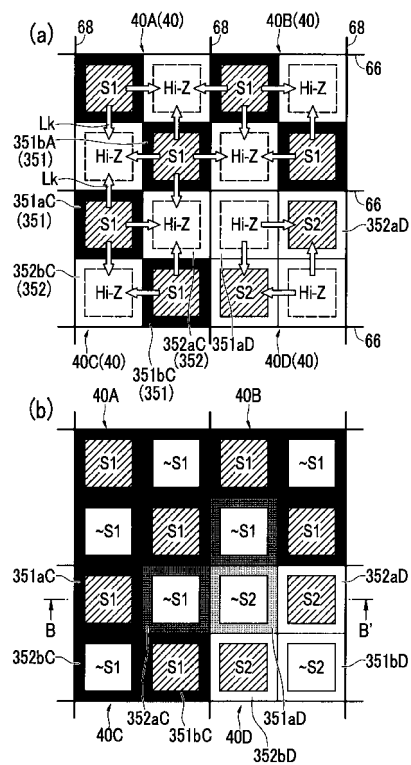
【 図 3 】



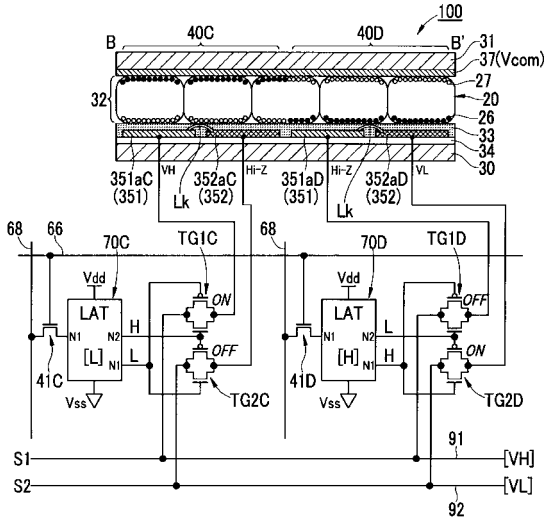
【 図 4 】



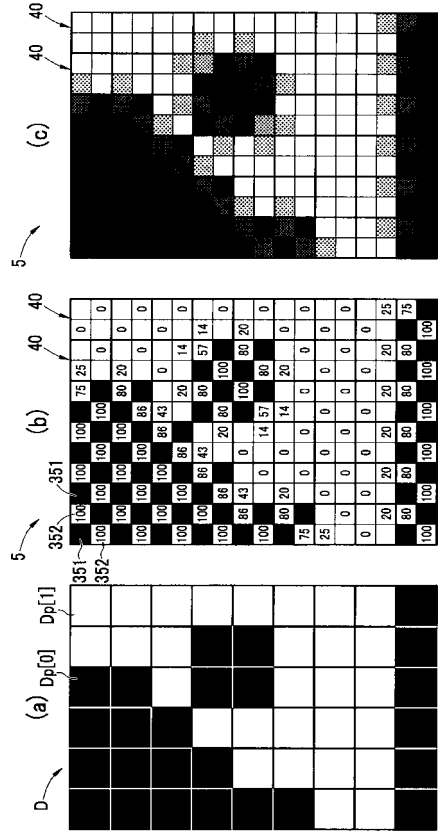
【 図 5 】



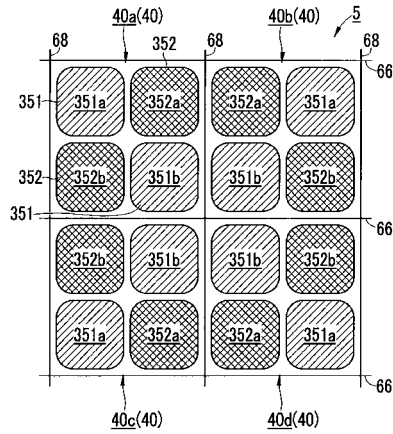
【 図 6 】



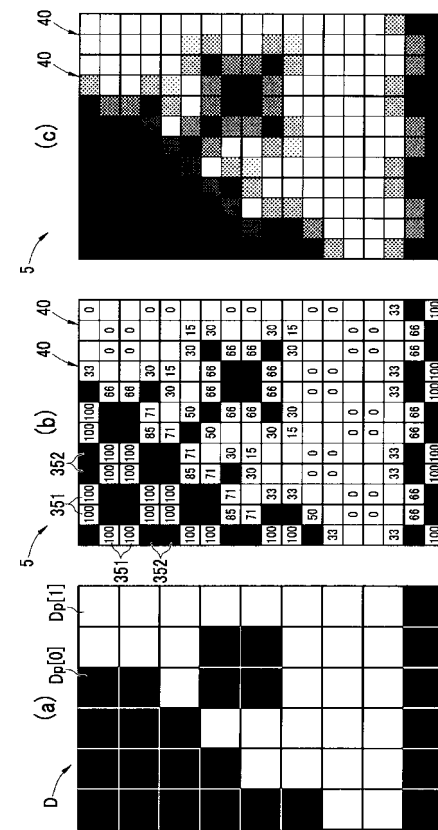
【 図 7 】



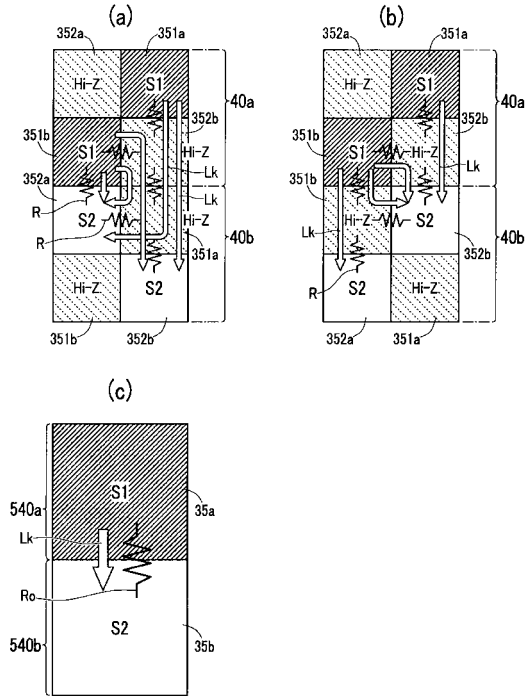
【 図 8 】



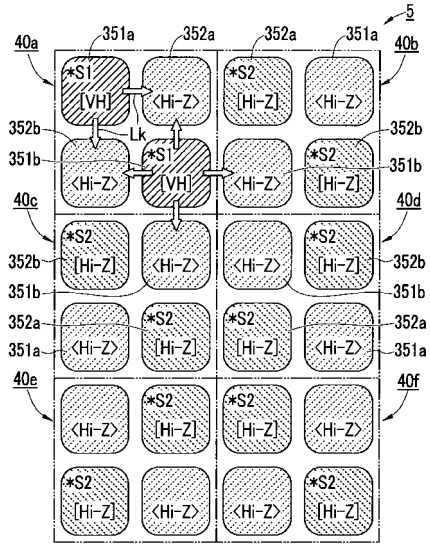
【 図 9 】



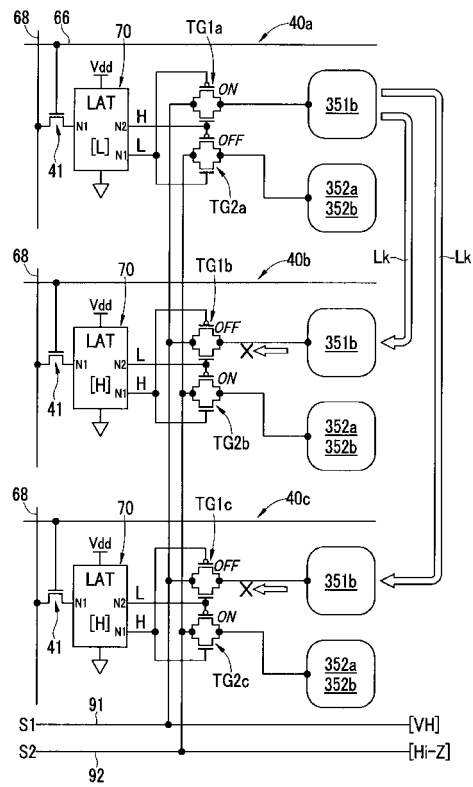
【図10】



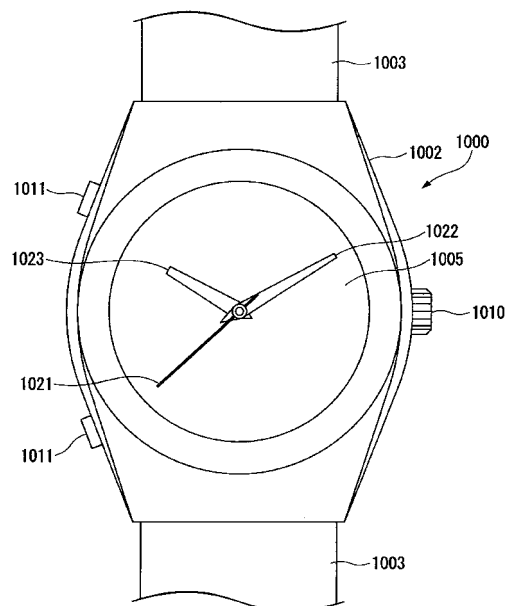
【図11】



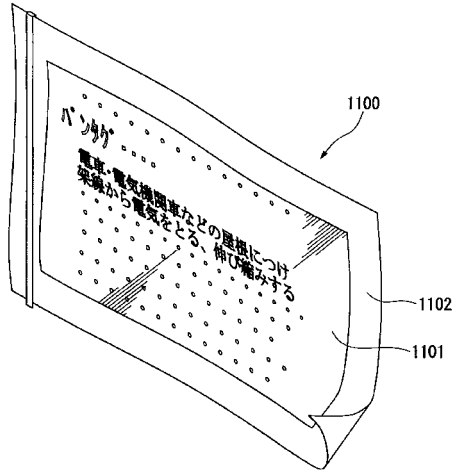
【図12】



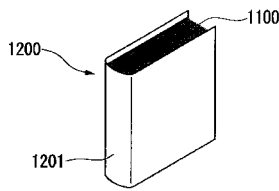
【図13】



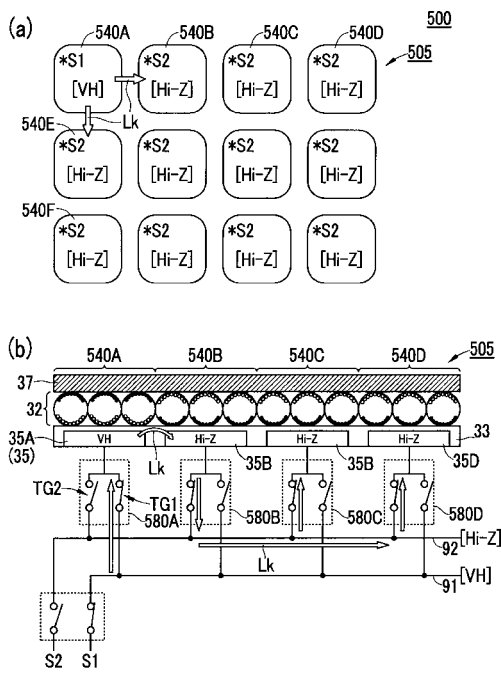
【 図 1 4 】



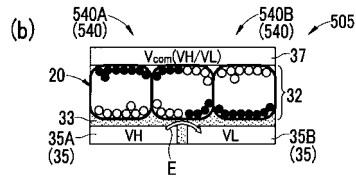
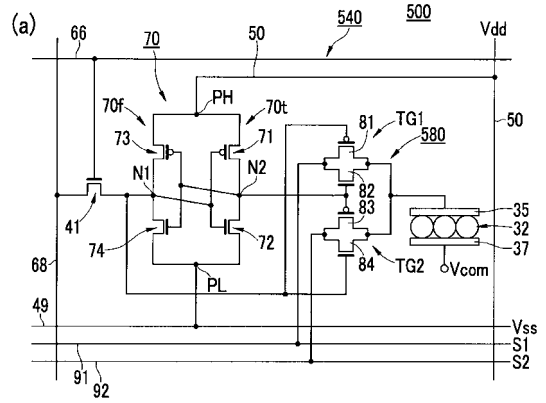
【 図 1 5 】



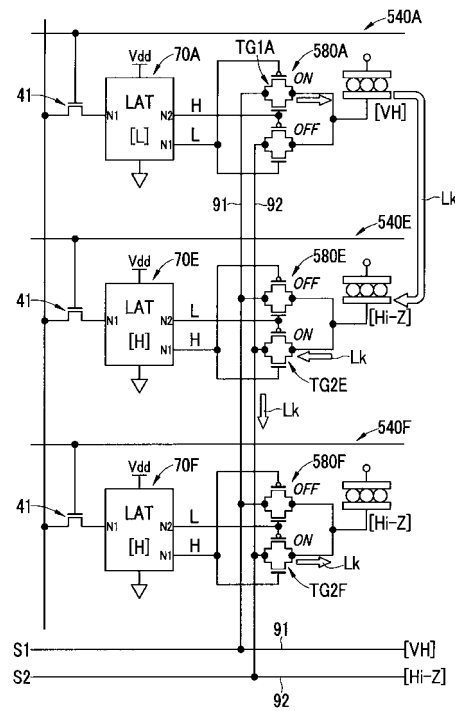
【 図 1 7 】



【 図 1 6 】



【 図 1 8 】



---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 1 1 A  
G 0 9 G 3/20 6 2 1 F  
G 0 9 G 3/20 6 2 1 D  
G 0 9 G 3/20 6 1 1 D  
G 0 9 G 3/20 6 4 2 E

(72)発明者 前田 浩  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 小濱 健太

(56)参考文献 特開2007-003607(JP,A)  
特開2002-297102(JP,A)  
特開2001-22315(JP,A)  
特開2002-91397(JP,A)  
特開昭59-67592(JP,A)  
特開昭8-286170(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F 1 / 1 6 7  
G 0 2 F 1 / 1 3 6 8  
G 0 2 F 1 / 1 3 3