(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月27日(27.01.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/019155 A1

(51) 国際特許分類:
H01L 21/768 (2006.01) *H01L 27/146* (2006.01)
H01L 23/532 (2006.01) *H04N 5/369* (2011.01)
H01L 21/3205 (2006.01)

(21) 国際出願番号： PCT/JP2021/026036

(22) 国際出願日： 2021年7月9日(09.07.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2020-124021 2020年7月20日(20.07.2020) JP

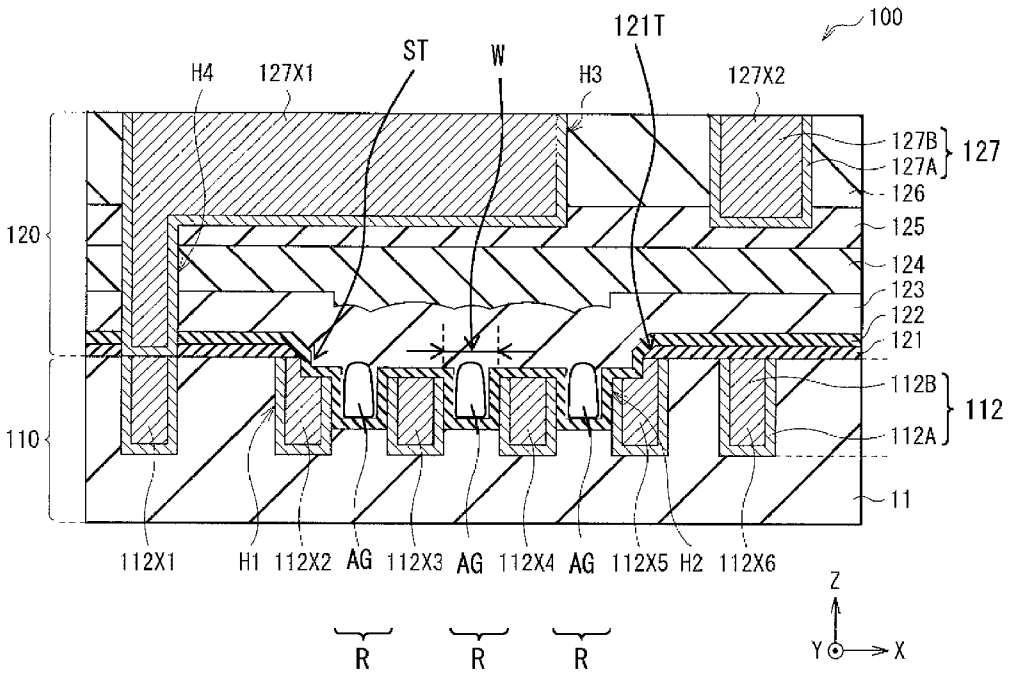
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 橋口 日出登 (**HASHIGUCHI, Hideto**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 三橋 生枝 (**MITSUHASHI, Ikue**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人つばさ国際特許事務所 (**TSUBASA PATENT PROFESSIONAL CORPORATION**); 〒1600022 東京都新宿区新宿１丁目１５番９号さわだビル３階 Tokyo (JP).

(54) **Title:** WIRING STRUCTURE, METHOD FOR MANUFACTURING SAME, AND IMAGING DEVICE

(54) 発明の名称： 配線構造およびその製造方法、ならびに撮像装置



(57) **Abstract:** Provided is a wiring structure having excellent operational reliability. This wiring structure has: a plurality of wires each extending in a first direction and aligned in a second direction perpendicular to the first direction; and a first insulating film which covers the plurality of wires and includes a void which is present in a gap region sandwiched between a plurality of wires adjacent to each other in the second direction. Here, the void has a cross-sectional shape defined by a contour line composed of only a single curve, or has a cross-sectional shape which is composed of at least

WO 2022/019155 A1

[続葉有]

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

one curve and at least one straight line which are connected at two or more connection sections, and which is defined by a contour line in which intersection angles at the connection sections between the curved lines, between the straight lines, or between the curves and straight lines are at least 90°.

(57) 要約:動作信頼性に優れる配線構造を提供する。この配線構造は、第１の方向にそれぞれ延在すると共に第１の方向と直交する第２の方向に並ぶ複数の配線と、それら複数の配線を覆い、第２の方向において隣り合う複数の配線に挟まれた間隙領域に存在する空隙を含む第１の絶縁膜とを有する。ここで、空隙は、一の曲線のみからなる輪郭線により画定される断面形状を有し、または、２以上の連結部において連結された１以上の曲線と１以上の直線とからなり、連結部における曲線同士、直線同士、もしくは曲線と直線との交わる角度が９０°以上である輪郭線により画定される断面形状を有する。

明　細　書

発明の名称 ： 配線構造およびその製造方法、ならびに撮像装置

技術分野

[0001]　本開示は、例えば、配線間に空隙を有する配線構造およびこれを備えた撮像装置、ならびに配線構造の製造方法に関する。

背景技術

[0002]　撮像装置では、半導体集積回路素子の微細化に伴い、素子間および素子内を結ぶ複数の配線同士の間隔が狭くなってきている。複数の配線同士の間隔が狭まることにより、配線間の容量が増大する。そこで、例えば、特許文献１の半導体装置では、配線間に空隙（エアギャップ）を形成して配線間の容量を低減させるようにしている。

先行技術文献

特許文献

[0003] 特許文献1：特開２００８－１９３１０４号公報

発明の概要

[0004]　ところで、複数の配線を有する配線構造、およびそれを備えた撮像装置においては、長期に亘って高い動作信頼性を有することが求められる。このため、動作信頼性に優れる配線構造および撮像装置、ならびに配線構造の製造方法を提供することが望ましい。

[0005]　本開示の一実施形態としての配線構造は、第１の方向にそれぞれ延在すると共に第１の方向と直交する第２の方向に並ぶ複数の配線と、それら複数の配線を覆い、第２の方向において隣り合う複数の配線に挟まれた間隙領域に存在する空隙を含む第１の絶縁膜とを有する。ここで、空隙は、一の曲線のみからなる輪郭線により画定される断面形状を有し、または、２以上の連結部において連結された１以上の曲線と１以上の直線とからなり、連結部における曲線同士、直線同士、もしくは曲線と直線との交わる角度が９０°以上である輪郭線により画定される断面形状を有する。

図面の簡単な説明

[0006] [図1A]本開示の実施の形態に係る配線構造の垂直方向の断面構成の一例を表す模式図である。

[図1B]図１Ａに示した配線構造の断面構成の一部を拡大して表した模式図である。

[図2A]図１Ａに示した配線構造の水平方向の断面構成の一例を表す模式図である。

[図2B]図１Ａに示した配線構造の水平方向の断面構成の他の例を表す模式図である。

[図3A]図１に示した配線構造の製造過程の一例を表す断面模式図である。

[図3B]図３Ａに続く製造過程の一例を表す断面模式図である。

[図3C]図３Ｂに続く製造過程の一例を表す断面模式図である。

[図3D]図３Ｃに続く製造過程の一例を表す断面模式図である。

[図3E]図３Ｄに続く製造過程の一例を表す断面模式図である。

[図3F]図３Ｅに続く製造過程の一例を表す断面模式図である。

[図3G]図３Ｆに続く製造過程の一例を表す断面模式図である。

[図3H]図３Ｇに続く製造過程の一例を表す断面模式図である。

[図4]本開示の実施の形態に係る撮像素子の垂直方向の断面構成の一例を表す図である。

[図5]図４に示した撮像素子の概略構成の一例を表す図である。

[図6]図４に示した撮像素子に図１に示した配線構造を適用した図である。

[図7]図５に示したセンサ画素および読み出し回路の一例を表す図である。

[図8]図５に示したセンサ画素および読み出し回路の一例を表す図である。

[図9]図５に示したセンサ画素および読み出し回路の一例を表す図である。

[図10]図５に示したセンサ画素および読み出し回路の一例を表す図である。

[図11]複数の読み出し回路と複数の垂直信号線との接続態様の一例を表す図である。

[図12]図４に示した撮像素子の水平方向の断面構成の一例を表す図である。

[図13]図４に示した撮像素子の水平方向の断面構成の一例を表す図である。

[図14]図４に示した撮像素子の水平面内での配線レイアウトの一例を表す図である。

[図15]図４に示した撮像素子の水平面内での配線レイアウトの一例を表す図である。

[図16]図４に示した撮像素子の水平面内での配線レイアウトの一例を表す図である。

[図17]図４に示した撮像素子の水平面内での配線レイアウトの一例を表す図である。

[図18A]図４に示した撮像素子の製造過程の一例を表す図である。

[図18B]図１８Ａに続く製造過程の一例を表す図である。

[図18C]図１８Ｂに続く製造過程の一例を表す図である。

[図18D]図１８Ｃに続く製造過程の一例を表す図である。

[図18E]図１８Ｄに続く製造過程の一例を表す図である。

[図18F]図１８Ｅに続く製造過程の一例を表す図である。

[図18G]図１８Ｆに続く製造過程の一例を表す図である。

[図19A]本開示の変形例１に係る配線構造の製造工程の一例を表す断面模式図である。

[図19B]図１９Ａに続く製造過程の一例を表す断面模式図である。

[図19C]図１９Ｂに続く製造過程の一例を表す断面模式図である。

[図19D]図１９Ｃに続く製造過程の一例を表す断面模式図である。

[図19E]図１９Ｄに続く製造過程の一例を表す断面模式図である。

[図20A]本開示の変形例２に係る配線構造の製造工程の一例を表す断面模式図である。

[図20B]図２０Ａに続く製造過程の一例を表す断面模式図である。

[図20C]図２０Ｂに続く製造過程の一例を表す断面模式図である。

[図20D]図２０Ｃに続く製造過程の一例を表す断面模式図である。

[図20E]図２０Ｄに続く製造過程の一例を表す断面模式図である。

[図21A]本開示の変形例３に係る配線構造の製造工程の一例を表す断面模式図である。

[図21B]図２１Ａに続く製造過程の一例を表す断面模式図である。

[図21C]図２１Ｂに続く製造過程の一例を表す断面模式図である。

[図21D]図２１Ｃの一部を拡大した拡大断面模式図である。

[図22]本開示の変形例４に係る撮像素子の垂直方向の断面構成の一例を表す図である。

[図23]本開示の変形例５に係る撮像素子の垂直方向の断面構成の一例を表す図である。

[図24]本開示の変形例６に係る撮像素子の水平方向の断面構成の一例を表す図である。

[図25]本開示の変形例６に係る撮像素子の水平方向の断面構成の他の例を表す図である。

[図26]本開示の変形例７に係る撮像素子の水平方向の断面構成の一例を表す図である。

[図27]本開示の変形例８に係る撮像素子の水平方向の断面構成の一例を表す図である。

[図28]本開示の変形例９に係る撮像素子の水平方向の断面構成の一例を表す図である。

[図29]本開示の変形例９に係る撮像素子の水平方向の断面構成の他の例を表す図である。

[図30]本開示の変形例９に係る撮像素子の水平方向の断面構成の他の例を表す図である。

[図31]本開示の変形例１０に係る撮像素子に撮像素子の回路構成の一例を表す図である。

[図32]本開示の変形例１１に係る図３１の撮像素子を３つの基板を積層して構成した例を表す図である。

[図33]本開示の変形例１２に係るロジック回路を、センサ画素の設けられた

基板と、読み出し回路の設けられた基板とに分けて形成した例を表す図である。

[図34]本開示の変形例１３に係るロジック回路を、第３基板に形成した例を表す図である。

[図35]上記実施の形態およびその変形例に係る撮像素子を備えた撮像システムの概略構成の一例を表す図である。

[図36]図３５の撮像システムにおける撮像手順の一例を表す図である。

[図37]非積層型の固体撮像素子および本開示に係る技術を適用し得る積層型の固体撮像素子の構成例の概要を示す図である。

[図38]積層型の固体撮像素子の第１の構成例を示す断面図である。

[図39]積層型の固体撮像素子の第２の構成例を示す断面図である。

[図40]積層型の固体撮像素子の第３の構成例を示す断面図である。

[図41]本開示に係る技術を適用し得る積層型の固体撮像素子の他の構成例を示す断面図である。

[図42]車両制御システムの概略的な構成の一例を示すブロック図である。

[図43]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

[図44]内視鏡手術システムの概略的な構成の一例を示す図である。

[図45]カメラヘッド及びＣＣＵの機能構成の一例を示すブロック図である。

[図46A]本開示の変形例１４としての空隙の断面形状を拡大して表した模式図である。

[図46B]本開示の変形例１５としての空隙の断面形状を拡大して表した模式図である。

[図46C]本開示の変形例１６としての空隙の断面形状を拡大して表した模式図である。

[図46D]本開示の変形例１７としての空隙の断面形状を拡大して表した模式図である。

[図46E]本開示の変形例１８としての空隙の断面形状を拡大して表した模式図である。

[図46F]本開示の変形例１９としての空隙の断面形状を拡大して表した模式図である。

[図46G]本開示の変形例２０としての空隙の断面形状を拡大して表した模式図である。

[図46H]本開示の変形例２１としての空隙の断面形状を拡大して表した模式図である。

[図46I]本開示の変形例２２としての空隙の断面形状を拡大して表した模式図である。

[図46J]本開示の変形例２３としての空隙の断面形状を拡大して表した模式図である。

[図46K]本開示の変形例２４としての空隙の断面形状を拡大して表した模式図である。

[図46L]本開示の変形例２５としての空隙の断面形状を拡大して表した模式図である。

[図46M]本開示の変形例２６としての空隙の断面形状を拡大して表した模式図である。

[図46N]本開示の変形例２７としての空隙の断面形状を拡大して表した模式図である。

[図47]参考例としての配線構造の垂直方向の断面構成の一例を表す模式図である。

発明を実施するための形態

[0007] 高集積化された配線構造においては、複数の配線同士の間隔が狭まることにより、配線間の容量が増大する。配線間の容量の増大は、半導体装置やそれを搭載したデバイスにおける信号遅延を招き、処理動作の高速化および消費電力の低減を図るうえで妨げとなるおそれがある。そこで、配線間の容量を低減するための手法として、配線同士に挟まれた間隙領域にエアギャップを含む絶縁膜を設けることが挙げられる。ところが、絶縁膜にエアギャップが含まれることで、構造上の安定性の低下が懸念される。そのような背景か

ら、本出願は、長期信頼性に優れる配線構造および撮像装置、ならびに配線構造の製造方法を提供することを目的としている。

[0008] 以下、本開示における一実施形態について、図面を参照して詳細に説明する。以下の説明は本開示の一具体例であって、本開示は以下の態様に限定されるものではない。また、本開示は、各図に示す各構成要素の配置や寸法、寸法比等についても、それらに限定されるものではない。なお、説明する順序は、下記の通りである。

１．実施の形態（第１の方向にそれぞれ延在するとともに第２の方向において隣り合う複数の配線の金属膜の側面を覆うバリアメタル層の一部を除去するようにした配線構造およびそれを備えた撮像素子の例）

１－１．配線構造の構成

１－２．配線構造の製造方法

１－３．撮像素子の構成

１－４．撮像素子の製造方法

１－５．作用・効果

２．変形例

２－１．変形例１（配線構造の製造方法の第１変形例。）

２－２．変形例２（配線構造の製造方法の第１変形例。）

２－３．変形例３（配線構造の製造方法の第３変形例。）

２－４．変形例４（平面型転送ゲートを用いた例）

２－５．変形例５（パネル外縁でＣｕ－Ｃｕ接合を用いた例）

２－６．変形例６（センサ画素と読み出し回路との間にオフセットを設けた例）

２－７．変形例７（読み出し回路の設けられたシリコン基板が島状となっている例）

２－８．変形例８（読み出し回路の設けられたシリコン基板が島状となっている例）

２－９．変形例９（ＦＤを８つのセンサ画素で共有した例）

２－１０．変形例１０（カラム信号処理回路を一般的なカラムＡＤＣ回路で構成した例）

２－１１．変形例１１（撮像装置を、７つの基板を積層して構成した例）

２－１２．変形例１２（ロジック回路を第１基板、第２基板に設けた例）

２－１３．変形例１３（ロジック回路を第７基板に設けた例）

３．適用例

４．応用例

[0009] ＜１．一実施の形態＞

［１．１　配線構造１００の構成］

図１Ａは、本開示の一実施の形態に係る配線構造１００の垂直方向の断面構成の一例を模式的に表したものである。図１Ｂは、図１Ａに示した配線構造１００における垂直方向の断面構成の一部を拡大して表したものである。図２Ａは、図１Ａに示した配線構造１００の水平方向の断面構成の一例を模式的に表したものである。図２Ｂは、図１Ａに示した配線構造１００の水平方向の断面構成の他の例を模式的に表したものである。図１Ａは、図２Ａに示したＩ－Ｉ線に沿った矢視方向の断面を表している。配線構造１００は、例えば、複数の配線層が積層された多層配線構造を有し、例えば、後述する撮像素子１に適用可能である。

[0010] 本実施の形態の配線構造１００は、例えばケイ素（Ｓｉ）基板等の上に、第１層１１０と第２層１２０とが順に積層された構成を有する。第１層１１０は、第１の方向（例えばＹ軸方向）に延伸する複数の配線１１２Ｘ（１１２Ｘ１～１１２Ｘ６）を含む配線層１１２を有する。第２層１２０は、配線層１１２に積層された絶縁膜１２３と、その絶縁膜１２３を覆い、例えば平坦な表面を含む絶縁膜１２４とを有している。絶縁膜１２３は、第１の方向と直交する第２の方向（Ｘ軸方向）において隣り合う複数の配線１１２Ｘに挟まれた間隙領域Ｒに存在する空隙ＡＧを含んでいる。

[0011] 絶縁膜１２３は、例えば、隣り合う配線１１２Ｘ２と配線１１２Ｘ３との間、配線１１２Ｘ３と配線１１２Ｘ４との間、および配線１１２Ｘ４と配線１１２Ｘ５との間に、それぞれ空隙ＡＧを形成している。さらに、複数の配線１１２Ｘ１～１１２Ｘ６の少なくとも一部（例えば、図１では、配線１１２Ｘ１～１１２Ｘ４）と正対する位置には、絶縁膜１２３および絶縁膜１２４を挟むようにして、導電膜１２７（具体的には、導電膜１２７Ｘ１）が設けられている。導電膜１２７は、例えば、空隙ＡＧが形成された空隙形成領域１００Ｘの上方に設けられた導電膜１２７Ｘ１と、空隙ＡＧが形成されていない配線（例えば、配線１１２Ｘ６）の上方に設けられた導電膜１２７Ｘ２とを有する。

[0012] 第１層１１０では、複数の配線１１２Ｘ（１１２Ｘ１～１１２Ｘ６）が絶縁膜１１１に埋め込まれるように形成されている。絶縁膜１１１は、例えば、３．０以下の比誘電率（ｋ）を有する低誘電率材料（Ｌｏｗ－ｋ材料）を用いて形成されている。具体的には、絶縁膜１１１の材料としては、例えば、ＳｉＯＣ、ＳｉＯＣＨ、ポーラスシリカ、ＳｉＯＦ、無機ＳＯＧ、有機ＳＯＧおよびポリアリルエーテル等の有機高分子等が挙げられる。

[0013] 配線層１１２における配線１１２Ｘ１～１１２Ｘ６は、例えばＹ軸方向にそれぞれ延在し、Ｘ軸方向に隣り合うように配列されている。配線１１２Ｘ１～１１２Ｘ６は、例えば、絶縁膜１１１に設けられた凹部Ｈ１に埋め込み形成されており、例えば、凹部Ｈ１の側面および底面に沿って形成されたバリアメタル層１１２Ａと、凹部Ｈ１を充填するようにバリアメタル層１１２Ａ上に形成された金属膜１１２Ｂとから構成されている。金属膜１１２Ｂは、第１の金属を含む高導電性材料からなる導線である。第１の金属としては、例えば銅（Ｃｕ），タングステン（Ｗ）またはアルミニウム（ＡｌＩ）等の低抵抗金属が挙げられる。バリアメタル層１１２Ａは、金属膜１１２Ｂを構成する第１の金属の拡散を抑止するものである。バリアメタル層１１２Ａは、例えば、チタン（Ｔｉ）またはタンタル（Ｔａ）などの第２の金属を含む材料からなる。より具体的には、バリアメタル層１１２Ａの構成材料として

は、例えば、ＴｉもしくはＴａの単体、またはそれらの窒化物、酸化物もしくは合金等が挙げられる。さらには、ルテニウム（Ｒｕ）やニオブ（Ｎｂ）などを用いてバリアメタル層１１２Ａを構成してもよい。なお、配線１１２Ｘ２～１１２Ｘ５における金属膜１１２Ｂの側面１１２Ｗの一部がバリアメタル層１１２Ａに覆われずに絶縁膜１２２により覆われている。また、配線１１２Ｘ２および配線１１２Ｘ５における各金属膜１１２Ｂの上面には、凹部Ｈ２を形成する際に生じる段差部ＳＴがそれぞれ形成されている。それらの段差部ＳＴは絶縁膜１２２により覆われている。また、金属膜１１２Ｂの導電率は、バリアメタル層１１２Ａの導電率よりも高いことが望ましい。

[0014] 第１層１１０には、さらに、隣り合う配線の間、具体的には、例えば、配線１１２Ｘ２と配線１１２Ｘ３との間の絶縁膜１１１、配線１１２Ｘ３と配線１１２Ｘ４との間の絶縁膜１１１、および配線１１２Ｘ４と配線１１２Ｘ５との間の絶縁膜１１１に、凹部Ｈ２がそれぞれ設けられている。

[0015] 第２層１２０は、複数の絶縁膜１２１～１２６が積層されると共に、例えば、最上層の絶縁膜１２６に導電膜１２７が埋め込み形成されている。具体的には、第１層１１０側から順に、絶縁膜１２１、絶縁膜１２２、絶縁膜１２３、絶縁膜１２４、絶縁膜１２５および絶縁膜１２６がこの順に積層されている。配線１１２Ｘ２と配線１１２Ｘ３との間、配線１１２Ｘ３と配線１１２Ｘ４、および配線１１２Ｘ４と配線１１２Ｘ５との間に各々設けられた凹部Ｈ２は、いずれも絶縁膜１２３によって閉塞されている。これにより、配線１１２Ｘ２と配線１１２Ｘ３との間、配線１１２Ｘ３と配線１１２Ｘ４との間、および配線１１２Ｘ４と配線１１２Ｘ５との間には、それぞれ、並走する配線１１２Ｘ間の容量を低下させる空隙ＡＧが形成されている。空隙ＡＧは、例えば、図２Ａおよび図２Ｂに示した空隙形成領域１００Ｘにおいて、配線１１２Ｘ２と配線１１２Ｘ３との間、配線１１２Ｘ３と配線１１２Ｘ４との間、および配線１１２Ｘ４と配線１１２Ｘ５との間の間隙領域Ｒのうちの一部または全部に亘って形成されている。

[0016] 絶縁膜１２１は、配線１１２Ｘ１～１１２Ｘ６の構成元素である第１の金

属（例えば、銅（Ｃｕ））が配線１１２Ｘ１～１１２Ｘ６の周囲に拡散するのを防ぐものである。絶縁膜１２１は、絶縁膜１１１を覆うように設けられている。絶縁膜１２１は、さらに、配線１１２Ｘ２の上面の一部および配線１１２Ｘ５の上面の一部を覆うように設けられていてもよい。ただし、凹部Ｈ２には絶縁膜１２１が設けられていない。絶縁膜１２１は、厚さ方向であるＺ軸方向において間隙領域Ｒを含む領域と対応する位置に開口を形成する開口縁１２１Ｋを含んでいる。開口縁１２１Ｋは、Ｚ軸方向において配線１１２Ｘから遠ざかるほど開口の面積が拡大するように、Ｚ軸方向に対して傾斜した端面１２１Ｔを含んでいる。すなわち、端面１２１Ｔは、絶縁膜１２１が延在するＸＹ面に対して９０°未満の角度θをなすように傾斜した順テーパ面となっている。図１Ａおよび図１Ｂに示した例では、開口縁１２１Ｋは、Ｚ軸方向において配線１１２Ｘ２および配線１１２Ｘ５と対応する位置にあり、端面１２１Ｔは、配線１１２Ｘ２および配線１１２Ｘ５にそれぞれ形成された段差部ＳＴの表面と連続する傾斜面となっている。なお、端面１２１Ｔは曲面であってもよい。絶縁膜１２１は、例えば、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）またはSiC_xN_y等を用いて形成されている。

[0017] 絶縁膜１２２は、絶縁膜１２１と同様に、配線１１２Ｘ２～１１２Ｘ６の構成元素である第１の金属（例えば、銅（Ｃｕ））が配線１１２Ｘ２～１１２Ｘ６の周囲に拡散するのを防ぐものである。絶縁膜１２２は、絶縁膜１２１および配線１１２Ｘ２～１１２Ｘ６の上に設けられ、さらに、凹部Ｈ２の側面および底面を覆うように延在形成されている。また、絶縁膜１２２は、配線１１２Ｘ２～１１２Ｘ５における金属膜１１２Ｂの一部と接するように設けられている。絶縁膜１２２は、上記のように、銅（Ｃｕ）の拡散を防ぐ絶縁材料を、段差被覆性に優れた製法を用いることで形成することができる。具体的には、絶縁膜１２２は、例えば、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）またはSiC_xN_y等を、例えば、ＡＬＤ（Atomic Layer Deposition）法を用いて形成されている。

[0018] 絶縁膜１２３は、絶縁膜１２２上に設けられると共に、凹部Ｈ２内に形成された空隙ＡＧを含んでいる。絶縁膜１２３は、被覆性が低く、例えば、比誘電率（ｋ）が３．０以下のＬｏｗ－ｋ材料を用いて形成されている。具体的には、絶縁膜１３２Ａの材料としては、例えば、ＳｉＯＣ、ＳｉＯＣＨ、ポーラスシリカ、ＳｉＯＦ、無機ＳＯＧ、有機ＳＯＧおよびポリアリルエーテル等の有機高分子等が挙げられる。

[0019] 空隙ＡＧは、例えば２以上の連結部において連結された１以上の曲線と１以上の直線とからなる輪郭線ＯＬにより画定される断面形状を有している。輪郭線ＯＬは、連結部における曲線同士、直線同士、もしくは曲線と直線との交わる角度が９０°以上となるように構成されている。すなわち空隙ＡＧは、例えば厚さ方向であるＺ軸に沿った断面において、屈曲部分を含まない輪郭線ＯＬにより画定される断面形状を有している。例えば図１Ａおよび図１Ｂに例示された空隙ＡＧは、１つの曲線と１つの直線とが連結されてなる輪郭線ＯＬにより画定される断面形状を有している。空隙ＡＧの断面形状を画定する輪郭線ＯＬに含まれる曲線は、隣り合う２つの配線１１２Ｘ同士の間隔をＷとするとき、例えば（Ｗ／２０）以上の曲率半径を有するとよい。

[0020] 絶縁膜１２４は、絶縁膜１２３上に設けられ、絶縁膜１２３の、空隙ＡＧの上方の凹凸を埋め、空隙ＡＧの上方に、Ｃｕ－Ｃｕ接合等のハイブリッドボンディングを用いたデバイスの積層が可能な平坦な表面を有している。絶縁膜１２４の材料としては、例えば、絶縁膜１２３よりも研磨レートの高く、例えば、比誘電率（ｋ）が４．０付近となる材料を用いることが好ましい。このような材料としては、例えば、酸化シリコン（SiO_x），ＳｉＯＣ，ＳｉＯＦおよびＳｉＯＮ等が挙げられる。なお、絶縁膜１２４は、上記材料のいずれか１種からなる単層膜でもよいし、２種以上からなる積層膜として形成されていてもよい。

[0021] 絶縁膜１２５は、導電膜１２７を成膜した際に生じる応力による反りを低減するために設けられている。絶縁膜１２５は、例えば、ＣＶＤ(Chemical vapor deposition)法によって成膜される。絶縁膜１２５の構成材料としては

、例えば、比誘電率（ｋ）が７．０以上となる、例えば、酸化シリコン（ＳｉＯ$_x$）、窒化シリコン（ＳｉＮ$_x$）等が挙げられる。

[0022] 絶縁膜１２６は、絶縁膜１２５上に設けられ、他の部材との接合面、例えば後述する撮像素子１の第２基板２０と第３基板３０との接合面を形成するものである。絶縁膜１２６の構成材料としては、接合面の平坦化を容易とするため、例えば、絶縁膜１２３よりも研磨レートの高く、例えば、比誘電率（ｋ）が４．０付近となる材料を用いることが好ましい。このような材料としては、例えば、酸化シリコン（ＳｉＯ$_x$），ＳｉＯＣ，ＳｉＯＦおよびＳｉＯＮ等が挙げられる。なお、絶縁膜１２６は、上記材料のいずれか１種からなる単層膜でもよいし、２種以上からなる積層膜として形成されていてもよい。

[0023] 導電膜１２７は、例えば、一方向に延伸する配線１１２Ｘ１～１１２Ｘ６を有する配線層１１２の直上に設けられる配線であり、例えば、絶縁膜１２６を貫通して絶縁膜１２５に至るまで厚さ方向（Ｚ軸方向）に延びる凹部Ｈ３に埋め込み形成されている。導電膜１２７の上面の高さ位置は例えば絶縁膜１２６の上面の高さ位置とほぼ一致しており、導電膜１２７の上面と絶縁膜１２６の上面とが共通の平面を形成している。導電膜１２７は、複数の導電膜（例えば、導電膜１２７Ｘ１および導電膜１２７Ｘ２）を有し、少なくとも一部の導電膜１２７は、Ｙ軸方向に延伸すると共に、配線１１２Ｘ１～１１２Ｘ６の少なくとも一部と正対するように設けられている。一例として、図１では、導電膜１２７Ｘ１が、例えば、Ｘ軸方向において空隙ＡＧを挟んで並ぶ配線１１２Ｘ２～１１２Ｘ４と正対する位置に、例えばＹ軸方向に延在して形成されている。また、凹部Ｈ３内には、絶縁膜１２１～絶縁膜１２５を貫通し、配線１１２Ｘ１まで達する凹部Ｈ４が設けられている。導電膜１２７Ｘ１は、凹部Ｈ４内にも埋め込まれており、配線１１２Ｘ１と電気的に接続されている。

[0024] 導電膜１２７は、凹部Ｈ３および凹部Ｈ４の側面および底面に形成されたバリアメタル１２７Ａと、凹部Ｈ３および凹部Ｈ４を埋設する金属膜１２７

Ｂとから構成されている。バリアメタル１２７Ａの材料としては、例えば、チタン（Ｔｉ）もしくはタンタル（Ｔａ）の単体、またはそれらの窒化物やあるいは合金等が挙げられる。金属膜１２７Ｂの材料としては、例えば、銅（Ｃｕ），タングステン（W）またはアルミニウム（ＡＩ）等の低抵抗金属を主体とする金属材料が挙げられる。

[0025] ［１－２．配線構造１００の製造方法］

次に、図１に加えて図３Ａ～３Ｈを参照して、配線構造１００の製造方法について説明する。

[0026] まず、例えば絶縁膜１１１に配線１１２Ｘ１～１１２Ｘ６を含む配線層１１２を埋め込み形成したのち、例えばＣＭＰ（Chemical Mechanical Polishing）法を用いて表面を研磨することで第１層１１０を形成する。

[0027] 続いて、図３Ａに示したように、第１層１１０上に、例えば、ＰＶＤ（Physical Vapor Deposition）法またはＣＶＤ（Chemical Vapor Deposition）法を用いて、絶縁膜１２１を、例えば５ｎｍ～２５０ｎｍの厚みとなるように成膜する。

[0028] 次に、図３Ｂに示したように、フォトリソグラフィ技術を用いて、開口縁１３１Ｋにより画定される開口を有するレジスト膜１３１を、絶縁膜１２１上に形成する。開口縁１３１Ｋにより画定される開口は、厚さ方向（Ｚ軸方向）において配線１２１Ｘ２～配線１１２Ｘ５に対応する位置に形成する。

[0029] 続いて、図３Ｃに示したように、レジスト膜１３１を加熱することにより、厚さ方向に対して傾斜した端面１３１Ｔを形成する。これにより、開口縁１３１Ｋが、厚さ方向において絶縁膜１２１から遠ざかるほど開口の面積が拡大するように厚さ方向に対して傾斜した端面１３１Ｔを含むこととなる。

[0030] 続いて、図３Ｄに示したように、レジスト膜１３１に覆われることなく露出した絶縁膜１２１、配線１１２Ｘ２～１１２Ｘ５の一部および絶縁膜１１１を、例えばドライエッチングにより選択的に掘り下げ、間隙領域Ｒを含む領域と対応する位置に凹部Ｈ２を形成する。これにより、開口縁１２１Ｋにより画定される開口が、絶縁膜１２１のうち間隙領域Ｒを含む領域と対応す

る位置に形成される。このとき、開口縁１３１Ｋの端面１３１Ｔが厚さ方向に対して傾斜していることに起因して、開口縁１２１Ｋは、厚さ方向において配線１１２Ｘ２，１１２Ｘ５から遠ざかるほど開口が拡大するように厚さ方向に対して傾斜した端面１２１Ｔを含むように形成される。なお、端面１２１Ｔは曲面であってもよい。

[0031] 次に、レジスト膜１３１を除去したのち、図３Ｅに示したように、例えば、ＡＬＤ法を用いて、絶縁膜１２１、ならびに凹部Ｈ２に露出した配線１１２Ｘ２～１１２Ｘ５および絶縁膜１１１を被覆するように、絶縁膜１２２を例えば０．５ｎｍ～３０ｎｍの厚みで成膜する。なお、絶縁膜１２２を、ＣＶＤ法を用いて形成してもよい。

[0032] そののち、図３Ｆに示したように、例えばＣＶＤ法を用いて、例えばＳｉＯＣあるいは窒化シリコンからなる、例えば膜厚１００ｎｍ～５００ｎｍの絶縁膜１２３を成膜する。これにより、凹部Ｈ２は閉塞され、配線１１２Ｘ２と配線１１２Ｘ３との間、配線１１２Ｘ３と配線１１２Ｘ４との間、および配線１１２Ｘ４と配線１１２Ｘ５との間にそれぞれ空隙ＡＧが形成される。なお、絶縁膜１２３を例えばＣＶＤ法により成膜する際、エッチングガスの圧力、プラズマ投入電力、あるいは成膜温度などを適宜調整することにより、空隙の断面形状を画定する輪郭線に屈曲部分が形成されないようにする。

[0033] 次に、図３Ｇに示したように、絶縁膜１２３上に、例えばＣＶＤ法を用いて、例えばSiO_xからなる、膜厚２００ｎｍ～３００ｎｍの絶縁膜１２４を成膜する。そののち、図３Ｈに示したように、例えばＣＭＰ法を用いて絶縁膜１２４を研磨し、表面を平坦化する。

[0034] 次に、例えば、ＣＶＤ法を用いて、絶縁膜１２４上に絶縁膜１２５を、例えば、５０ｎｍ～５００ｎｍの厚みで成膜したのち、例えばＣＶＤ法により、絶縁膜１２５上に絶縁膜１２６を、例えば、１００ｎｍ～２μｍの厚みで成膜する。続いて、凹部Ｈ２と同様の方法を用いて、絶縁膜１２６および絶縁膜１２５の一部を例えばドライエッチングにより掘り下げることにより凹

部Ｈ３を形成したのち、凹部Ｈ３内に、絶縁膜１２１～絶縁膜１２５を貫通して配線１１２Ｘ１まで達する凹部Ｈ４を形成する。さらに、例えば、スパッタを用いて凹部Ｈ３および凹部Ｈ４の側面および底面にバリアメタル１２７Ａを成膜したのち、例えば、メッキを用いて凹部Ｈ３および凹部Ｈ４内に、金属膜１２７Ｂを成膜する。最後に、絶縁膜１２６上に形成されたバリアメタル１２７Ａおよび金属膜１２７Ｂを研磨して除去し、絶縁膜１２６の上面および導電膜１２７の上面が同一平面を構成する平坦面を形成する。以上により、図１に示した配線構造１００が完成する。

[0035] ［１－３．撮像素子１の構成］

図４は、本開示の一実施の形態に係る撮像素子１の垂直方向の断面構成の一例を表したものである。図５は、図４に示した撮像素子１の概略構成の一例を表したものである。撮像素子１は、例えば第１基板１０と、第２基板２０と、第３基板３０とが順に積層された３次元構造を有する。第１基板１０は、光電変換により電荷を生成可能なセンサ画素１２が設けられた第１半導体基板を含む。第２基板２０は、センサ画素１２から出力された電荷に基づく画素信号を出力可能な読み出し回路２２を有する半導体基板２１を含む。第３基板３０は、読み出し回路２２からの画素信号を処理するロジック回路３２を有する半導体基板３１を含む。先に説明した図１の配線構造１００は、例えば、図６に示したように、第３基板３０と接合される第２基板２０の接合面近傍の配線構造に適用され得る。

[0036] 第１基板１０は、上記のように、半導体基板１１に、光電変換を行う複数のセンサ画素１２を有している。半導体基板１１は、本開示の「第１半導体基板」の一具体例に相当する。複数のセンサ画素１２は、第１基板１０における画素領域１３内に行列状に設けられている。第２基板２０は、半導体基板２１に、センサ画素１２から出力された電荷に基づく画素信号を出力する読み出し回路２２を４つのセンサ画素１２ごとに１つずつ有している。半導体基板２１は、本開示の「第２半導体基板」の一具体例に相当する。第２基板２０は、行方向に延在する複数の画素駆動線２３と、列方向に延在する複

数の垂直信号線２４とを有している。第３基板３０は、半導体基板３１に、画素信号を処理するロジック回路３２を有している。半導体基板３１は、本開示の「第３半導体基板」の一具体例に相当する。ロジック回路３２は、例えば、垂直駆動回路３３、カラム信号処理回路３４、水平駆動回路３５およびシステム制御回路３６を有している。ロジック回路３２（具体的には水平駆動回路３５）は、センサ画素１２ごとの出力電圧Ｖｏｕｔを外部に出力する。ロジック回路３２では、例えば、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、$CoSi_2$やＮｉＳｉ等のサリサイド（Self Aligned Silicide)プロセスを用いて形成されたシリサイドからなる低抵抗領域が形成されていてもよい。

[0037] 垂直駆動回路３３は、例えば、複数のセンサ画素１２を行単位で順に選択する。カラム信号処理回路３４は、例えば、垂直駆動回路３３によって選択された行の各センサ画素１２から出力される画素信号に対して、相関二重サンプリング（Correlated Double Sampling：ＣＤＳ）処理を施す。カラム信号処理回路３４は、例えば、ＣＤＳ処理を施すことにより、画素信号の信号レベルを抽出し、各センサ画素１２の受光量に応じた画素データを保持する。水平駆動回路３５は、例えば、カラム信号処理回路３４に保持されている画素データを順次、外部に出力する。システム制御回路３６は、例えば、ロジック回路３２内の各ブロック（垂直駆動回路３３、カラム信号処理回路３４および水平駆動回路３５）の駆動を制御する。

[0038] 図７は、センサ画素１２および読み出し回路２２の一例を表したものである。以下では、図７に示したように、４つのセンサ画素１２が１つの読み出し回路２２を共有している場合について説明する。ここで、「共有」とは、４つのセンサ画素１２の出力が共通の読み出し回路２２に入力されることを指している。

[0039] 各センサ画素１２は、互いに共通の構成要素を有している。図７には、各センサ画素１２の構成要素を互いに区別するために、各センサ画素１２の構成要素の符号の末尾に識別番号（１，２，３，４）が付与されている。以下

では、各センサ画素１２の構成要素を互いに区別する必要のある場合には、各センサ画素１２の構成要素の符号の末尾に識別番号を付与するが、各センサ画素１２の構成要素を互いに区別する必要のない場合には、各センサ画素１２の構成要素の符号の末尾の識別番号を省略するものとする。

[0040] 各センサ画素１２は、例えば、フォトダイオードＰＤと、フォトダイオードＰＤと電気的に接続された転送トランジスタＴＲと、転送トランジスタＴＲを介してフォトダイオードＰＤから出力された電荷を一時的に保持するフローティングディフュージョンＦＤとを有している。フォトダイオードＰＤは、光電変換を行って受光量に応じた電荷を発生する。フォトダイオードＰＤのカソードが転送トランジスタＴＲのソースに電気的に接続されており、フォトダイオードＰＤのアノードが基準電位線（例えばグラウンド）に電気的に接続されている。転送トランジスタＴＲのドレインがフローティングディフュージョンＦＤに電気的に接続され、転送トランジスタＴＲのゲートは画素駆動線２３に電気的に接続されている。転送トランジスタＴＲは、例えば、ＣＭＯＳ（Complementary Metal Oxide Semiconductor）トランジスタである。

[0041] １つの読み出し回路２２を共有する各センサ画素１２のフローティングディフュージョンＦＤは、互いに電気的に接続されると共に、共通の読み出し回路２２の入力端に電気的に接続されている。読み出し回路２２は、例えば、リセットトランジスタＲＳＴと、選択トランジスタＳＥＬと、増幅トランジスタＡＭＰとを有している。なお、選択トランジスタＳＥＬは、必要に応じて省略してもよい。リセットトランジスタＲＳＴのソース（読み出し回路２２の入力端）がフローティングディフュージョンＦＤに電気的に接続されており、リセットトランジスタＲＳＴのドレインが電源線ＶＤＤおよび増幅トランジスタＡＭＰのドレインに電気的に接続されている。リセットトランジスタＲＳＴのゲートは画素駆動線２３に電気的に接続されている。増幅トランジスタＡＭＰのソースが選択トランジスタＳＥＬのドレインに電気的に接続されており、増幅トランジスタＡＭＰのゲートがリセットトランジスタ

ＲＳＴのソースに電気的に接続されている。選択トランジスタＳＥＬのソース（読み出し回路２２の出力端）が垂直信号線２４に電気的に接続されており、選択トランジスタＳＥＬのゲートが画素駆動線２３に電気的に接続されている。

[0042] 転送トランジスタＴＲは、転送トランジスタＴＲがオン状態となると、フォトダイオードＰＤの電荷をフローティングディフュージョンＦＤに転送する。転送トランジスタＴＲのゲート（転送ゲートＴＧ）は、例えば、図４に示したように、半導体基板１１の表面からｐウェル層４２を貫通してＰＤ４１に達する深さまで延在している。リセットトランジスタＲＳＴは、フローティングディフュージョンＦＤの電位を所定の電位にリセットする。リセットトランジスタＲＳＴがオン状態となると、フローティングディフュージョンＦＤの電位を電源線ＶＤＤの電位にリセットする。選択トランジスタＳＥＬは、読み出し回路２２からの画素信号の出力タイミングを制御する。増幅トランジスタＡＭＰは、画素信号として、フローティングディフュージョンＦＤに保持された電荷のレベルに応じた電圧の信号を生成する。増幅トランジスタＡＭＰは、ソースフォロア型のアンプを構成しており、フォトダイオードＰＤで発生した電荷のレベルに応じた電圧の画素信号を出力するものである。増幅トランジスタＡＭＰは、選択トランジスタＳＥＬがオン状態となると、フローティングディフュージョンＦＤの電位を増幅して、その電位に応じた電圧を、垂直信号線２４を介してカラム信号処理回路３４に出力する。リセットトランジスタＲＳＴ、増幅トランジスタＡＭＰおよび選択トランジスタＳＥＬは、例えば、ＣＭＯＳトランジスタである。

[0043] なお、図８に示したように、選択トランジスタＳＥＬが、電源線ＶＤＤと増幅トランジスタＡＭＰとの間に設けられていてもよい。この場合、リセットトランジスタＲＳＴのドレインが電源線ＶＤＤおよび選択トランジスタＳＥＬのドレインに電気的に接続されている。選択トランジスタＳＥＬのソースが増幅トランジスタＡＭＰのドレインに電気的に接続されており、選択トランジスタＳＥＬのゲートが画素駆動線２３に電気的に接続されている。増

幅トランジスタＡＭＰのソース（読み出し回路２２の出力端）が垂直信号線２４に電気的に接続されており、増幅トランジスタＡＭＰのゲートがリセットトランジスタＲＳＴのソースに電気的に接続されている。また、図９および図１０に示したように、ＦＤ転送トランジスタＦＤＧが、リセットトランジスタＲＳＴのソースと増幅トランジスタＡＭＰのゲートとの間に設けられていてもよい。

[0044] ＦＤ転送トランジスタＦＤＧは、変換効率を切り替える際に用いられる。一般に、暗い場所での撮影時には画素信号が小さい。Ｑ＝ＣＶに基づき、電荷電圧変換を行う際に、フローティングディフュージョンＦＤの容量（ＦＤ容量Ｃ）が大きければ、増幅トランジスタＡＭＰで電圧に変換した際のＶが小さくなってしまう。一方、明るい場所では、画素信号が大きくなるので、ＦＤ容量Ｃが大きくなければ、フローティングディフュージョンＦＤで、フォトダイオードＰＤの電荷を受けきれない。さらに、増幅トランジスタＡＭＰで電圧に変換した際のＶが大きくなりすぎないように（言い換えると、小さくなるように）、ＦＤ容量Ｃが大きくなっている必要がある。これらを踏まえると、ＦＤ転送トランジスタＦＤＧをオンにしたときには、ＦＤ転送トランジスタＦＤＧ分のゲート容量が増えるので、全体のＦＤ容量Ｃが大きくなる。一方、ＦＤ転送トランジスタＦＤＧをオフにしたときには、全体のＦＤ容量Ｃが小さくなる。このように、ＦＤ転送トランジスタＦＤＧをオンオフ切り替えることで、ＦＤ容量Ｃを可変にし、変換効率を切り替えることができる。

[0045] 図１１は、複数の読み出し回路２２と、複数の垂直信号線２４との接続態様の一例を表したものである。複数の読み出し回路２２が、垂直信号線２４の延在方向（例えば列方向）に並んで配置されている場合、複数の垂直信号線２４は、読み出し回路２２ごとに１つずつ割り当てられていてもよい。例えば、図１１に示したように、４つの読み出し回路２２が、垂直信号線２４の延在方向（例えば列方向）に並んで配置されている場合、４つの垂直信号線２４が、読み出し回路２２ごとに１つずつ割り当てられていてもよい。な

お、図１１では、各垂直信号線２４を区別するために、各垂直信号線２４の符号の末尾に識別番号（１，２，３，４）が付与されている。

[0046] 次に、撮像素子１の垂直方向の断面構成について図４を用いて説明する。撮像素子１は、上記のように、第１基板１０、第２基板２０および第３基板３０がこの順に積層された構成を有し、さらに、第１基板１０の裏面（光入射面）側に、カラーフィルタ４０および受光レンズ５０を備えている。カラーフィルタ４０および受光レンズ５０は、それぞれ、例えば、センサ画素１２ごとに１つずつ設けられている。つまり、撮像素子１は、裏面照射型の撮像素子である。

[0047] 第１基板１０は、半導体基板１１の表面（面１１Ｓ１）上に絶縁層４６を積層して構成されている。第１基板１０は、層間絶縁膜５１の一部として、絶縁層４６を有している。絶縁層４６は、半導体基板１１と、後述の半導体基板２１との間に設けられている。半導体基板１１は、シリコン基板で構成されている。半導体基板１１は、例えば、表面の一部およびその近傍に、ｐウェル層４２を有しており、それ以外の領域（ｐウェル層４２よりも深い領域）に、ｐウェル層４２とは異なる導電型のＰＤ４１を有している。ｐウェル層４２は、ｐ型の半導体領域で構成されている。ＰＤ４１は、ｐウェル層４２とは異なる導電型（具体的にはｎ型）の半導体領域で構成されている。半導体基板１１は、ｐウェル層４２内に、ｐウェル層４２とは異なる導電型（具体的にはｎ型）の半導体領域として、フローティングディフュージョンＦＤを有している。

[0048] 第１基板１０は、フォトダイオードＰＤ、転送トランジスタＴＲおよびフローティングディフュージョンＦＤをセンサ画素１２ごとに有している。第１基板１０は、半導体基板１１の面１１Ｓ１側（光入射面側とは反対側、第２基板２０側）の一部に、転送トランジスタＴＲおよびフローティングディフュージョンＦＤが設けられた構成となっている。第１基板１０は、各センサ画素１２を分離する素子分離部４３を有している。素子分離部４３は、半導体基板１１の法線方向（半導体基板１１の表面に対して垂直な方向）に延

在して形成されている。素子分離部４３は、互いに隣接する２つのセンサ画素１２の間に設けられている。素子分離部４３は、互いに隣接するセンサ画素１２同士を電気的に分離する。素子分離部４３は、例えば、酸化シリコンによって構成されている。素子分離部４３は、例えば、半導体基板１１を貫通している。第１基板１０は、例えば、さらに、素子分離部４３の側面であって、且つ、フォトダイオードＰＤ側の面に接するｐウェル層４４を有している。ｐウェル層４４は、フォトダイオードＰＤとは異なる導電型（具体的にはｐ型）の半導体領域で構成されている。第１基板１０は、例えば、さらに、半導体基板１１の裏面（面１１Ｓ２、他の面）に接する固定電荷膜４５を有している。固定電荷膜４５は、半導体基板１１の受光面側の界面準位に起因する暗電流の発生を抑制するため、負に帯電している。固定電荷膜４５は、例えば、負の固定電荷を有する絶縁膜によって形成されている。そのような絶縁膜の材料としては、例えば、酸化ハフニウム、酸化ジルコン、酸化アルミニウム、酸化チタンまたは酸化タンタルが挙げられる。固定電荷膜４５が誘起する電界により、半導体基板１１の受光面側の界面にホール蓄積層が形成される。このホール蓄積層によって、界面からの電子の発生が抑制される。カラーフィルタ４０は、半導体基板１１の裏面側に設けられている。カラーフィルタ４０は、例えば、固定電荷膜４５に接して設けられており、固定電荷膜４５を介してセンサ画素１２と対向する位置に設けられている。受光レンズ５０は、例えば、カラーフィルタ４０に接して設けられており、カラーフィルタ４０および固定電荷膜４５を介してセンサ画素１２と対向する位置に設けられている。

[0049] 第２基板２０は、半導体基板２１上に絶縁層５２を積層して構成されている。絶縁層５２は、第２基板２０は、層間絶縁膜５１の一部として、絶縁層５２を有している。絶縁層５２は、半導体基板２１と、半導体基板３１との間に設けられている。半導体基板２１は、シリコン基板で構成されている。第２基板２０は、４つのセンサ画素１２ごとに、１つの読み出し回路２２を有している。第２基板２０は、半導体基板２１の表面（第３基板３０と対向

する面２１Ｓ１、一の面）側の一部に読み出し回路２２が設けられた構成となっている。第２基板２０は、半導体基板１１の表面（面１１Ｓ１）に対して半導体基板２１の裏面（面２１Ｓ２）を向けて第１基板１０に貼り合わされている。つまり、第２基板２０は、第１基板１０に、フェイストゥーバックで貼り合わされている。第２基板２０は、さらに、半導体基板２１と同一の層内に、半導体基板２１を貫通する絶縁層５３を有している。第２基板２０は、層間絶縁膜５１の一部として、絶縁層５３を有している。絶縁層５３は、後述の貫通配線５４の側面を覆うように設けられている。

[0050] 第１基板１０および第２基板２０からなる積層体は、層間絶縁膜５１と、層間絶縁膜５１内に設けられた貫通配線５４を有している。上記積層体は、センサ画素１２ごとに、１つの貫通配線５４を有している。貫通配線５４は、半導体基板２１の法線方向に延びており、層間絶縁膜５１のうち、絶縁層５３を含む箇所を貫通して設けられている。第１基板１０および第２基板２０は、貫通配線５４によって互いに電気的に接続されている。具体的には、貫通配線５４は、フローティングディフュージョンＦＤおよび後述の接続配線５５に電気的に接続されている。

[0051] 第１基板１０および第２基板２０からなる積層体は、さらに、層間絶縁膜５１内に設けられた貫通配線４７，４８（後述の図１２参照）を有している。上記積層体は、センサ画素１２ごとに、１つの貫通配線４７と、１つの貫通配線４８とを有している。貫通配線４７，４８は、それぞれ、半導体基板２１の法線方向に延びており、層間絶縁膜５１のうち、絶縁層５３を含む箇所を貫通して設けられている。第１基板１０および第２基板２０は、貫通配線４７，４８によって互いに電気的に接続されている。具体的には、貫通配線４７は、半導体基板１１のｐウェル層４２と、第２基板２０内の配線とに電気的に接続されている。貫通配線４８は、転送ゲートＴＧおよび画素駆動線２３に電気的に接続されている。

[0052] 第２基板２０は、例えば、絶縁層５２内に、読み出し回路２２や半導体基板２１と電気的に接続された複数の接続部５９を有している。第２基板２０

は、さらに、例えば、絶縁層５２上に配線層５６を有している。配線層５６は、例えば、絶縁層５７と、絶縁層５７内に設けられた複数の画素駆動線２３および複数の垂直信号線２４を有している。配線層５６は、さらに、例えば、絶縁層５７内に複数の接続配線５５を４つのセンサ画素１２ごとに１つずつ有している。接続配線５５は、読み出し回路２２を共有する４つのセンサ画素１２に含まれるフローティングディフュージョンＦＤに電気的に接続された各貫通配線５４を互いに電気的に接続している。ここで、貫通配線５４，４８の総数は、第１基板１０に含まれるセンサ画素１２の総数よりも多く、第１基板１０に含まれるセンサ画素１２の総数の２倍となっている。また、貫通配線５４，４８，４７の総数は、第１基板１０に含まれるセンサ画素１２の総数よりも多く、第１基板１０に含まれるセンサ画素１２の総数の３倍となっている。

[0053] 配線層５６は、さらに、例えば、絶縁層５７内に複数のパッド電極５８を有している。各パッド電極５８は、例えば、Ｃｕ（銅）、タングステン（Ｗ）、ＡＩ（アルミニウム）等の金属で形成されている。各パッド電極５８は、配線層５６の表面に露出している。各パッド電極５８は、第２基板２０と第３基板３０との電気的な接続と、第２基板２０と第３基板３０との貼り合わせに用いられる。複数のパッド電極５８は、例えば、画素駆動線２３および垂直信号線２４ごとに１つずつ設けられている。ここで、パッド電極５８の総数（または、パッド電極５８とパッド電極６４（後述）との接合の総数は、例えば、第１基板１０に含まれるセンサ画素１２の総数よりも少ない。

[0054] 図６は、上記配線構造１００を、撮像素子１に適用した際の断面構成を模式的に表したものである。本実施の形態では、例えば、複数の垂直信号線２４が、上記配線構造１００における配線１１２Ｘ３および配線１１２Ｘ４に相当し、電源線ＶＳＳが、上記配線構造１００における配線１１２Ｘ２および配線１１２Ｘ５に相当する。図４では示していないが、絶縁層５７は、図６に示したように複数の絶縁膜１５１～絶縁膜１５７を含んで構成されており、そのうちの絶縁膜１５４が、互いに並走する電源線ＶＳＳと垂直信号線

２４との間および複数の垂直信号線２４の配線間に空隙Ｇを形成している。配線層５６の表面に露出している各パッド電極５８は、上記配線構造１００における導電膜１２７Ｘ１および導電膜１２７Ｘ２に相当する。

[0055] 各パッド電極５８のうち一部（パッド電極５８Ｘ１）は、グラウンド線（配線１１２Ｘ１）と電気的に接続されている。グラウンド線は、例えば、図示していないが、半導体基板１１のｐウェルやグランド（ＧＮＤ）に接続されている。これにより、パッド電極５８Ｘ１は、垂直信号線２４の積層方向に対するシールド配線として用いることができ、垂直信号線２４におけるノイズの発生を低減することが可能となる。

[0056] さらに、シールド配線として機能するパッド電極５８Ｘ１は、後述する第３基板３０側のパッド電極６４Ｘ１と接合されている。これにより、シールド配線をパッド電極５８Ｘ１単独で形成した場合と比較して、シールド配線のインピーダンスを下げることが可能となる。また、シールド配線として機能するパッド電極５８Ｘ１は、例えば、垂直信号線２４と同様に、画素領域１３を縦断するように設けられており、画素領域１３の領域端を超えた周縁近傍で終端している。

[0057] 第３基板３０は、例えば、半導体基板３１上に層間絶縁膜６１を積層して構成されている。なお、第３基板３０は、後述するように、第２基板２０に、表面側の面同士で貼り合わされていることから、第３基板３０内の構成について説明する際には、上下の説明が、図面での上下方向とは逆となっている。半導体基板３１は、シリコン基板で構成されている。第３基板３０は、半導体基板３１の表面（面３１Ｓ１）側の一部にロジック回路３２が設けられた構成となっている。第３基板３０は、さらに、例えば、層間絶縁膜６１上に配線層６２を有している。配線層６２は、例えば、絶縁層６３と、絶縁層６３内に設けられた複数のパッド電極６４（例えば、パッド電極６４Ｘ１およびパッド電極６４Ｘ２）を有している。複数のパッド電極６４は、ロジック回路３２と電気的に接続されている。各パッド電極６４は、例えば、Ｃｕ（銅）で形成されている。各パッド電極６４は、配線層６２の表面に露出

している。各パッド電極６４は、第２基板２０と第３基板３０との電気的な接続と、第２基板２０と第３基板３０との貼り合わせに用いられる。また、パッド電極６４は、必ずしも複数でなくてもよく、１つでもロジック回路３２と電気的に接続が可能である。第２基板２０および第３基板３０は、パッド電極５８，６４同士の接合によって、互いに電気的に接続されている。つまり、転送トランジスタＴＲのゲート（転送ゲートＴＧ）は、貫通配線５４と、パッド電極５８，６４とを介して、ロジック回路３２に電気的に接続されている。第３基板３０は、半導体基板２１の表面（面２１Ｓ１）側に半導体基板３１の表面（面３１Ｓ１）を向けて第２基板２０に貼り合わされている。つまり、第３基板３０は、第２基板２０に、フェイストゥーフェイスで貼り合わされている。

[0058] 図１２および図１３は、撮像素子１の水平方向の断面構成の一例を表したものである。図１２および図１３の上側の図は、図１の断面Ｓｅｃ１での断面構成の一例を表す図であり、図１２および図１３の下側の図は、図１の断面Ｓｅｃ２での断面構成の一例を表す図である。図１２には、２×２の４つのセンサ画素１２を２組、第２方向Ｈに並べた構成が例示されており、図１３には、２×２の４つのセンサ画素１２を４組、第１方向Ｖおよび第２方向Ｈに並べた構成が例示されている。なお、図１２および図１３の上側の断面図では、図１の断面Ｓｅｃ１での断面構成の一例を表す図に、半導体基板１１の表面構成の一例を表す図が重ね合わされると共に、絶縁層４６が省略されている。また、図１２および図１３の下側の断面図では、図１の断面Ｓｅｃ２での断面構成の一例を表す図に、半導体基板２１の表面構成の一例を表す図が重ね合わされている。

[0059] 図１２および図１３に示したように、複数の貫通配線５４、複数の貫通配線４８および複数の貫通配線４７は、第１基板１０の面内において第１方向Ｖ（図１２の上下方向、図１３の左右方向）に帯状に並んで配置されている。なお、図１２および図１３には、複数の貫通配線５４、複数の貫通配線４８および複数の貫通配線４７が第１方向Ｖに２列に並んで配置されている場

合が例示されている。第１方向Ｖは、マトリクス状の配置された複数のセンサ画素１２の２つの配列方向（例えば行方向および列方向）のうち一方の配列方向（例えば列方向）と平行となっている。読み出し回路２２を共有する４つのセンサ画素１２において、４つのフローティングディフュージョンＦＤは、例えば、素子分離部４３を介して互いに近接して配置されている。読み出し回路２２を共有する４つのセンサ画素１２において、４つの転送ゲートＴＧは、４つのフローティングディフュージョンＦＤを囲むように配置されており、例えば、４つの転送ゲートＴＧによって円環形状となる形状となっている。

[0060] 絶縁層５３は、第１方向Ｖに延在する複数のブロックで構成されている。半導体基板２１は、第１方向Ｖに延在すると共に、絶縁層５３を介して第１方向Ｖと直交する第２方向Ｈに並んで配置された複数の島状のブロック２１Ａで構成されている。各ブロック２１Ａには、例えば、複数組のリセットトランジスタＲＳＴ、増幅トランジスタＡＭＰおよび選択トランジスタＳＥＬが設けられている。４つのセンサ画素１２によって共有される１つの読み出し回路２２は、例えば、４つのセンサ画素１２と対向する領域内にある、リセットトランジスタＲＳＴ、増幅トランジスタＡＭＰおよび選択トランジスタＳＥＬによって構成されている。４つのセンサ画素１２によって共有される１つの読み出し回路２２は、例えば、絶縁層５３の左隣りのブロック２１Ａ内の増幅トランジスタＡＭＰと、絶縁層５３の右隣りのブロック２１Ａ内のリセットトランジスタＲＳＴおよび選択トランジスタＳＥＬとによって構成されている。

[0061] 図１４、図１５、図１６および図１７は、撮像素子１の水平面内での配線レイアウトの一例を表したものである。図１４～図１７には、４つのセンサ画素１２によって共有される１つの読み出し回路２２が４つのセンサ画素１２と対向する領域内に設けられている場合が例示されている。図１４～図１７に記載の配線は、例えば、配線層５６において互いに異なる層内に設けられている。

[0062] 互いに隣接する４つの貫通配線５４は、例えば、図１４に示したように、接続配線５５と電気的に接続されている。互いに隣接する４つの貫通配線５４は、さらに、例えば、図１４に示したように、接続配線５５および接続部５９を介して、絶縁層５３の左隣りブロック２１Ａに含まれる増幅トランジスタＡＭＰのゲートと、絶縁層５３の右隣りブロック２１Ａに含まれるリセットトランジスタＲＳＴのゲートとに電気的に接続されている。

[0063] 電源線ＶＤＤは、例えば、図１５に示したように、第２方向Ｈに並んで配置された各読み出し回路２２と対向する位置に配置されている。電源線ＶＤＤは、例えば、図１５に示したように、接続部５９を介して、第２方向Ｈに並んで配置された各読み出し回路２２の増幅トランジスタＡＭＰのドレインおよびリセットトランジスタＲＳＴのドレインに電気的に接続されている。２本の画素駆動線２３が、例えば、図１５に示したように、第２方向Ｈに並んで配置された各読み出し回路２２と対向する位置に配置されている。一方の画素駆動線２３（第２制御線）は、例えば、図１５に示したように、第２方向Ｈに並んで配置された各読み出し回路２２のリセットトランジスタＲＳＴのゲートに電気的に接続された配線ＲＳＴＧである。他方の画素駆動線２３（第３制御線）は、例えば、図１５に示したように、第２方向Ｈに並んで配置された各読み出し回路２２の選択トランジスタＳＥＬのゲートに電気的に接続された配線ＳＥＬＧである。各読み出し回路２２において、増幅トランジスタＡＭＰのソースと、選択トランジスタＳＥＬのドレインとが、例えば、図１５に示したように、配線２５を介して、互いに電気的に接続されている。

[0064] ２本の電源線ＶＳＳが、例えば、図１６に示したように、第２方向Ｈに並んで配置された各読み出し回路２２と対向する位置に配置されている。各電源線ＶＳＳは、例えば、図１６に示したように、第２方向Ｈに並んで配置された各センサ画素１２と対向する位置において、複数の貫通配線４７に電気的に接続されている。４本の画素駆動線２３が、例えば、図１６に示したように、第２方向Ｈに並んで配置された各読み出し回路２２と対向する位置に

配置されている。４本の画素駆動線２３の各々は、例えば、図１６に示したように、第２方向Ｈに並んで配置された各読み出し回路２２に対応する４つのセンサ画素１２のうちの１つのセンサ画素１２の貫通配線４８に電気的に接続された配線ＴＲＧである。つまり、４本の画素駆動線２３（第１制御線）は、第２方向Ｈに並んで配置された各センサ画素１２の転送トランジスタＴＲのゲート（転送ゲートＴＧ）に電気的に接続されている。図１６では、各配線ＴＲＧを区別するために、各配線ＴＲＧの末尾に識別子（１，２，３，４）が付与されている。

[0065] 垂直信号線２４は、例えば、図１７に示したように、第１方向Ｖに並んで配置された各読み出し回路２２と対向する位置に配置されている。垂直信号線２４（出力線）は、例えば、図１７に示したように、第１方向Ｖに並んで配置された各読み出し回路２２の出力端（増幅トランジスタＡＭＰのソース）に電気的に接続されている。

[0066] ［１－４．撮像素子１の製造方法］

次に、撮像素子１の製造方法について説明する。図１８Ａ～図１８Ｇは、撮像素子１の製造過程の一例を表したものである。

[0067] まず、半導体基板１１に、ｐウェル層４２や、素子分離部４３、ｐウェル層４４を形成する。次に、半導体基板１１に、フォトダイオードＰＤ、転送トランジスタＴＲおよびフローティングディフュージョンＦＤを形成する（図１８Ａ）。これにより、半導体基板１１に、センサ画素１２が形成される。このとき、センサ画素１２に用いる電極材料として、サリサイドプロセスによる$CoSi_2$やＮｉＳｉ等の耐熱性の低い材料を用いないことが好ましい。むしろ、センサ画素１２に用いる電極材料としては、耐熱性の高い材料を用いることが好ましい。耐熱性の高い材料としては、例えば、ポリシリコンが挙げられる。その後、半導体基板１１上に、絶縁層４６を形成する（図１８Ａ）。このようにして、第１基板１０が形成される。

[0068] 次に、第１基板１０（絶縁層４６Ｂ）上に、半導体基板２１を貼り合わせる（図１８Ｂ）。その後、必要に応じて半導体基板２１を薄肉化する。この

際、半導体基板２１の厚さを、読み出し回路２２の形成に必要な膜厚にする。半導体基板２１の厚さは、一般的には数百ｎｍ程度である。しかし、読み出し回路２２のコンセプトによっては、ＦＤ（Fully Depletion）型も可能であるので、その場合には、半導体基板２１の厚さとしては、数ｎｍ～数μｍの範囲を採り得る。

[0069] 続いて、半導体基板２１と同一の層内に、絶縁層５３を形成する（図１８Ｃ）。絶縁層５３を、例えば、フローティングディフュージョンＦＤと対向する箇所に形成する。例えば、半導体基板２１に対して、半導体基板２１を貫通するスリット（開口２１Ｈ）を形成して、半導体基板２１を複数のブロック２１Ａに分離する。その後、スリットを埋め込むように、絶縁層５３を形成する。その後、半導体基板２１の各ブロック２１Ａに、増幅トランジスタＡＭＰ等を含む読み出し回路２２を形成する（図１８Ｃ）。このとき、センサ画素１２の電極材料として、耐熱性の高い金属材料が用いられている場合には、読み出し回路２２のゲート絶縁膜を、熱酸化により形成することが可能である。

[0070] 次に、半導体基板２１上に絶縁層５２を形成する。このようにして、絶縁層４６，５２，５３からなる層間絶縁膜５１を形成する。続いて、層間絶縁膜５１に貫通孔５１Ａ，５１Ｂを形成する（図１８Ｄ）。具体的には、絶縁層５２のうち、読み出し回路２２と対向する箇所に、絶縁層５２を貫通する貫通孔５１Ｂを形成する。また、層間絶縁膜５１のうち、フローティングディフュージョンＦＤと対向する箇所（つまり、絶縁層５３と対向する箇所）に、層間絶縁膜５１を貫通する貫通孔５１Ａを形成する。

[0071] 続いて、貫通孔５１Ａ，５１Ｂに導電性材料を埋め込むことにより、貫通孔５１Ａ内に貫通配線５４を形成すると共に、貫通孔５１Ｂ内に接続部５９を形成する（図１８Ｅ）。さらに、絶縁層５２上に、貫通配線５４と接続部５９とを互いに電気的に接続する接続配線５５を形成する（図１８Ｅ）。その後、配線層５６を、絶縁層５２上に形成する（図１８Ｆ）。このようにして、第２基板２０が形成される。

[0072] 次に、第２基板２０を、半導体基板３１の表面側に半導体基板２１の表面を向けて、ロジック回路３２や配線層６２が形成された第３基板３０に貼り合わせる（図１８Ｇ）。このとき、第２基板２０のパッド電極５８と、第３基板３０のパッド電極６４とを互いに接合することにより、第２基板２０と第３基板３０とを互いに電気的に接続する。このようにして、撮像素子１が製造される。

[0073] ［１－５．配線構造１００および撮像素子１の作用・効果］

前述したように、近年、一般的な配線構造を有する半導体装置では、半導体集積回路素子の微細化に伴い、互いに平行して延在する複数の配線同士の間隔が狭くなってきており、配線間の容量（寄生容量）が増加する傾向にある。そこで、本実施の形態の配線構造１００およびこれを適用した撮像素子１では、Ｙ軸方向に延在する複数の配線１１２Ｘ（１１２Ｘ１～１１２Ｘ６）を有する配線層１１２上に、Ｘ軸方向に隣り合う配線１１２Ｘに挟まれた間隙領域Ｒにそれぞれ存在する空隙ＡＧを含む絶縁膜１２３を設けるようにした。また、複数の配線１１２Ｘが、それぞれ、第１の金属を含む金属膜１１２Ｂと、Ｙ軸方向と直交するＸＺ断面において金属膜１１２Ｂの周囲を部分的に覆い、第１の金属の拡散を抑止する第２の金属を含む材料からなるバリアメタル層１１２Ａとを有するようにした。さらに、絶縁膜１２２は、第１の金属の拡散を抑止する絶縁材料を含み、金属膜１１２Ｂの一部を覆うように設けるようにした。すなわち、本実施の形態の配線構造１００および撮像素子１では、間隙領域Ｒに空隙ＡＧを設けると共に、配線１１２Ｘのうち、導電性に優れる金属膜１１２Ｂの周囲の一部に、比較的導電性の低いバリアメタル層１１２Ａが存在しないようにしている。このような構成を有することにより、本実施の形態によれば、複数の配線１１２Ｘ同士の間に生じる寄生容量（配線間容量）を効果的に低減することができる。

[0074] ところで、例えば図４７に示した参考例としての配線構造２００のように、空隙ＡＧの断面形状を画定する輪郭線が９０°未満の角度で交差する交差点ＡＧ－Ｐを含む場合には、亀裂の発生の起点となるおそれがある。

[0075] これに対し、本実施の形態の配線構造１００では、空隙ＡＧが、例えば２以上の連結部において連結された１以上の曲線と１以上の直線とからなる輪郭線ＯＬにより画定される断面形状を有するようにした。輪郭線ＯＬでは、連結部における曲線同士、直線同士、もしくは曲線と直線との交わる角度が９０°以上となるように構成されている。すなわち空隙ＡＧは、例えば厚さ方向であるＺ軸に沿った断面において、屈曲部分を含まない輪郭線ＯＬにより画定される断面形状を有している。このため、絶縁膜１２３のうちの空隙ＡＧの周辺部分において、ある特定の箇所へ応力が集中するのを緩和することができる。このため、絶縁膜１２３のうちの空隙ＡＧの周辺での亀裂の発生を防止できる。したがって、本実施の形態の配線構造１００およびそれを備えた撮像装置によれば、優れた動作信頼性を確保することができる。

[0076] 本実施の形態の配線構造１００では、空隙ＡＧの輪郭線ＯＬに含まれる曲線が、隣り合う２つの配線１１２Ｘ同士の間隔をＷとするとき、例えば（Ｗ／２０）以上の曲率半径を有するようにした場合には、絶縁膜１２３の特定箇所への応力集中をより緩和することができ、絶縁膜１２３での亀裂の発生をより防止できる。したがって、より優れた動作信頼性を確保することができる。

[0077] さらに、本実施の形態の配線構造１００では、絶縁膜１２１が、間隙領域Ｒを含む領域と対応する位置に開口を形成する開口縁１２１Ｋを含み、その開口縁１２１Ｋが、厚さ方向において配線１１２Ｘから遠ざかるほど開口の面積が拡大するように、厚さ方向に対して傾斜した端面１２１Ｔを含むようにしている。このため、絶縁膜１２１において、間隙領域Ｒ以外の箇所に意図しないボイドが生じるのを抑制できる。このため、絶縁膜１２３およびその周辺の部分における亀裂の発生を効果的に防止できる。

[0078] これに対し、例えば図４７に示した参考例としての配線構造２００のように、絶縁膜１２１の開口縁１２１Ｋが、厚さ方向に沿って切り立った端面１２１Ｔを有する場合には、絶縁膜１２３のうち、例えば端面１２１Ｔと絶縁膜１２１の上面とが交わる角部の周辺の部分にボイドＶＤが生じやすい。そ

のようなボイドＶＤは、絶縁膜１２３およびその周辺の部分における亀裂の発生の原因となるおそれがある。

[0079] ＜２．変形例＞

［２．１　変形例１］

図１９Ａ～１９Ｅは、本開示の一実施の形態に係る第１の変形例（変形例１）としての配線構造１００の製造方法の一部の工程を段階的に表した断面図である。

[0080] 上記実施の形態の配線構造１００の製造方法では、絶縁膜１２１の上にレジスト膜１３１を直接形成するようにした。これに対し、変形例１としての配線構造１００の製造方法では、絶縁膜１２１とレジスト膜１３１との間にハードマスク１３２をさらに形成するようにする。

[0081] 変形例１としての配線構造１００の製造方法では、まず、図１９Ａに示したように、第１層１１０上に、例えばＰＶＤ法またはＣＶＤ法を用いて、絶縁膜１２１を、例えば５ｎｍ～２５０ｎｍの厚みとなるように一様に成膜する。そののち、絶縁膜１２１を覆うように、例えばＰＶＤ法またはＣＶＤ法を用いて、例えば酸化シリコン（SiO_x）、窒化シリコン（SiN_x）またはSiO_xN_yなどを含むハードマスク材料膜１３２Ｚを、例えば３０ｎｍ～２００ｎｍの厚みとなるように一様に形成する。

[0082] 次に、図１９Ｂに示したように、フォトリソグラフィ技術を用いて、開口縁１３１Ｋにより画定される開口を有するレジスト膜１３１を、ハードマスク材料膜１３２Ｚの上に形成する。開口縁１３１Ｋにより画定される開口は、厚さ方向（Ｚ軸方向）において配線１２１Ｘ２～配線１１２Ｘ５に対応する位置に形成する。

[0083] 次に、図１９Ｃに示したように、レジスト膜１３１を加熱することにより、厚さ方向に対して傾斜した端面１３１Ｔを形成する。これにより、開口縁１３１Ｋが、厚さ方向において絶縁膜１２１から遠ざかるほど開口の面積が拡大するように厚さ方向に対して傾斜した端面１３１Ｔを含むこととなる。

[0084] 次に、図１９Ｄに示したように、ハードマスク材料膜１３２Ｚのうち、レ

ジスト膜１３１に覆われることなく露出した部分をドライエッチングにより選択的に除去する。その結果、間隙領域Ｒを含む領域と対応する位置に、開口縁１３２Ｋにより画定される開口を含むハードマスク１３２が形成される。このとき、開口縁１３１Ｋの端面１３１Ｔが厚さ方向に対して傾斜していることに起因して、開口縁１３２Ｋは、厚さ方向において配線１１２Ｘ２，１１２Ｘ５から遠ざかるほど開口が拡大するように厚さ方向に対して傾斜した端面１３２Ｔを含むように形成される。なお、端面１３２Ｔは曲面であってもよい。

[0085] 続いてアッシングなどによりレジスト膜１３１を除去したのち、ハードマスク１３２に覆われることなく露出した領域の絶縁膜１２１、配線１１２Ｘ２～１１２Ｘ５の一部および絶縁膜１１１を、例えばドライエッチングにより選択的に掘り下げ、図１９Ｅに示したように、間隙領域Ｒを含む領域と対応する位置に凹部Ｈ２を形成する。これにより、開口縁１２１Ｋにより画定される開口が、絶縁膜１２１のうち間隙領域Ｒを含む領域と対応する位置に形成される。このとき、開口縁１３２Ｋの端面１３２Ｔが厚さ方向に対して傾斜していることに起因して、開口縁１２１Ｋは、厚さ方向において配線１１２Ｘ２，１１２Ｘ５から遠ざかるほど開口が拡大するように厚さ方向に対して傾斜した端面１２１Ｔを含むように形成される。なお、端面１２１Ｔは曲面であってもよい。また、凹部Ｈ２を形成する際、Ｃ４Ｆ８などのカーボンリッチなガスを適用した場合、絶縁膜１２１に端面１２１Ｔにカーボンを主成分とするエッチング反応生成物からなる再付着膜が形成されることにより、端面１２１Ｔの傾斜が維持されやすくなる。さらに、凹部Ｈ２を形成したのちに行う後処理洗浄では、カーボンなどのエッチング反応生成物に対して高い除去性能を示すが、銅および銅酸化物に対しては低い除去性能を示す薬液を選択するとよい。凹部Ｈ２に露出した配線１１２Ｘが絶縁膜１２１よりも内側に後退するのを防ぐことができるからである。

[0086] 以降、上記実施の形態の配線構造１００の製造方法と同様の手順により、図１Ａなどに示した配線構造１００が完成する。このように、変形例１とし

ての配線構造１００の製造方法によっても、上記実施の形態と同様の配線構造１００の製造を行うことができる。また、変形例１では、レジスト膜１３１を除去したのちハードマスク１３２を利用して絶縁膜１２１および絶縁膜１１１の選択的エッチングを行うようにしている。このため、上記実施の形態のようにレジスト膜１３１を利用してエッチングする場合と比較して、例えば絶縁膜１１１を垂直方向（－Ｚ方向）に掘り下げる際、ＸＹ面内方向における開口の寸法が縮小するのを抑制できる。これはハードマスク１３２の構成材料に含まれる酸素原子が寄与するものと考えられる。

[0087] ［２．２　変形例２］

図２０Ａ～２０Ｅは、本開示の一実施の形態に係る第２の変形例（変形例２）としての配線構造１００の製造方法の一部の工程を段階的に表した断面図である。

[0088] 上記実施の形態の配線構造１００の製造方法では、絶縁膜１２１の上にレジスト膜１３１を形成し、それを加熱することにより、厚さ方向に対して傾斜した端面１３１Ｔを形成するようにした。これに対し、変形例２としての配線構造１００の製造方法では、ドライエッチングの際の堆積物を利用してハードマスクの端面を傾斜させるようにする。

[0089] 変形例２としての配線構造１００の製造方法では、まず、図２０Ａに示したように、第１層１１０上に、例えばＰＶＤ法またはＣＶＤ法を用いて、絶縁膜１２１を、例えば５ｎｍ～２５０ｎｍの厚みとなるように一様に成膜する。そののち、絶縁膜１２１を覆うように、例えばＰＶＤ法を用いて、チタン（Ｔｉ）や窒化チタン（ＴｉＮ）などを含むなどを含むハードマスク材料膜１３２Ｚを、例えば５ｎｍ～１５０ｎｍの厚みとなるように一様に形成する。さらに、ハードマスク材料膜１３２Ｚを覆うように、例えばＰＶＤ法またはＣＶＤ法を用いて例えば酸化シリコン（ＳｉＯｘ）、窒化シリコン（ＳｉＮｘ）またはＳｉＯｘＮｙなどを含むハードマスク材料膜１３３Ｚを、例えば５０ｎｍ～３００ｎｍの厚みとなるように一様に形成する。

[0090] 次に、図２０Ｂに示したように、フォトリソグラフィ技術を用いて、開口

縁１３１Ｋにより画定される開口を有するレジスト膜１３１を、ハードマスク材料膜１３３Ｚの上に形成する。開口縁１３１Ｋにより画定される開口は、厚さ方向（Ｚ軸方向）において配線１２１Ｘ２～配線１１２Ｘ５に対応する位置に形成する。

[0091] 次に、図２０Ｃに示したように、ハードマスク材料膜１３３Ｚのうち、レジスト膜１３１に覆われることなく露出した部分をドライエッチングにより選択的に除去する。その結果、間隙領域Ｒを含む領域と対応する位置に、開口縁１３３Ｋにより画定される開口を含むハードマスク１３３が形成される。このとき、ハードマスク材料膜１３３Ｚをエッチングする過程でレジスト膜１３１やエッチングガスに含まれるカーボンが開口縁１３１Ｋや開口縁１３３Ｋに堆積することにより、堆積膜１３４が徐々に形成される。堆積膜１３４は、厚さ方向において配線１１２Ｘ２，１１２Ｘ５から遠ざかるほど開口が拡大するように厚さ方向に対して傾斜した端面１３４Ｔを含むように形成される。ハードマスク材料膜１３３Ｚを選択的に除去する際に堆積膜１３４が徐々に形成されるので、ハードマスク１３３における開口縁１３３Ｋは、厚さ方向に対して傾斜した端面１３３Ｔを含むように形成される。なお、堆積膜１３４を積極的に形成するため、エッチングガスとしては、C_4F_8などのカーボンリッチなものが好適である。

[0092] 次に、アッシング処理および洗浄処理を行うことにより、図２０Ｄに示したように、レジスト膜１３１および堆積膜１３４を除去する。

[0093] そののち、ハードマスク１３３を利用して、ハードマスク材料膜１３２Ｚ、絶縁膜１２１、配線１１２Ｘ２～１１２Ｘ５の一部および絶縁膜１１１を、例えばドライエッチングにより選択的に掘り下げ、図２０Ｅに示したように、間隙領域Ｒを含む領域と対応する位置に凹部Ｈ２を形成する。これにより、開口縁１２１Ｋにより画定される開口が、絶縁膜１２１のうち間隙領域Ｒを含む領域と対応する位置に形成される。このとき、開口縁１３２Ｋの端面１３２Ｔが厚さ方向に対して傾斜していることに起因して、開口縁１２１Ｋは、厚さ方向において配線１１２Ｘ２，１１２Ｘ５から遠ざかるほど開口

が拡大するように厚さ方向に対して傾斜した端面１２１Ｔを含むように形成される。なお、端面１２１Ｔは曲面であってもよい。また、凹部Ｈ２を形成する際、C_4F_8などのカーボンリッチなガスを適用した場合、絶縁膜１２１に端面１２１Ｔにカーボンを主成分とするエッチング反応生成物からなる再付着膜が形成されることにより、端面１２１Ｔの傾斜が維持されやすくなる。さらに、凹部Ｈ２を形成したのちに行う後処理洗浄では、カーボンなどのエッチング反応生成物に対して高い除去性能を示すが、銅および銅酸化物に対しては低い除去性能を示す薬液を選択するとよい。凹部Ｈ２に露出した配線１１２Ｘが絶縁膜１２１よりも内側に後退するのを防ぐことができるからである。

[0094] 以降、上記実施の形態の配線構造１００の製造方法と同様の手順により、図１Ａなどに示した配線構造１００が完成する。このように、変形例２としての配線構造１００の製造方法によっても、上記実施の形態と同様の配線構造１００の製造を行うことができる。また、今後、配線構造１００のさらなる微細化が求められるようになった場合、図３Ｃなどに示したようにレジスト膜１３１を加熱するなどして傾斜した端面１３１Ｔを形成する方法では、絶縁膜１２１の端面１２１Ｔの形状の制御が困難となったり、絶縁膜１２１の開口縁１２１Ｋの位置が所望の位置と一致するよう正確にアライメントすることが困難となったりすることが予想される。その点、変形例２としての配線構造１００の製造方法によれば、配線構造１００がさらに微細化した場合であっても自己整合的に端面１２１Ｔの形状の制御や開口縁１２１Ｋの位置合わせ制御を高い精度で行うことができる。

[0095] ［２．３　変形例３］

図２１Ａ～２１Ｃは、本開示の一実施の形態に係る第３の変形例（変形例３）としての配線構造１００の製造方法の一部の工程を段階的に表した断面図である。

[0096] 変形例３としての配線構造１００の製造方法では、ドライエッチングの際の堆積物を利用してハードマスクの端面を傾斜させるようにする。さらに、

絶縁膜１２１の開口縁１２１Ｋは、厚さ方向に対して傾斜した複数の端面１２１Ｔ１，１２１Ｔ２を含む多段形状とする。以下、図２１Ａ～図２１Ｃを参照して、変形例３としての配線構造１００の製造方法を説明する。

[0097] 変形例３としての配線構造１００の製造方法では、先に図２０Ａ～図２０Ｄを参照して説明した変形例２としての配線構造１００の製造方法と同様の手順により、絶縁膜１２１を覆うハードマスク材料膜１３２Ｚの上にハードマスク１３３を形成する。

[0098] そののち、ハードマスク１３３に覆われることなく露出したハードマスク材料膜１３２Ｚを、例えばドライエッチングにより選択的に掘り下げる。その結果、図２１Ａに示したように、間隙領域Ｒを含む領域と対応する位置に、開口縁１３２Ｋにより画定される開口を含むハードマスク１３２が形成される。

[0099] 続いて、ハードマスク１３３の開口縁１３３Ｋをエッチバック処理により後退させる。これにより、図２１Ｂに示したように、端面１３３Ｔが、ハードマスク１３３の下層であるハードマスク１３２の端面１３２Ｔよりも後退した位置に形成される。すなわち、ハードマスク１３２およびハードマスク１３３により、階段状の開口縁を含む２層構造のハードマスクが形成される。

[0100] ハードマスク１３３の開口縁１３３Ｋに対するエッチバック処理を行ったのち、ハードマスク１３２およびハードマスク１３３に覆われることなく露出した領域の絶縁膜１２１、配線１１２Ｘ２～１１２Ｘ５の一部および絶縁膜１１１を、例えばドライエッチングにより選択的に掘り下げ、図２１Ｃに示したように、間隙領域Ｒを含む領域と対応する位置に凹部Ｈ２を形成する。これにより、開口縁１２１Ｋにより画定される開口が、絶縁膜１２１のうち間隙領域Ｒを含む領域と対応する位置に形成される。このとき、ハードマスク１３２およびハードマスク１３３の開口縁が階段状に形成されていることに起因して、開口縁１２１Ｋは、図２１Ｄに拡大して示したように、端面１２１Ｔ１および端面１２１Ｔ２を含んで階段状に形成されることとなる。

なお、端面１２１Ｔ１および端面１２１Ｔ２は、いずれも、厚さ方向において配線１１２Ｘ２，１１２Ｘ５から遠ざかるほど開口が拡大するように厚さ方向に対して傾斜している。なお、端面１２１Ｔ１および端面１２１Ｔ２はそれぞれ曲面であってもよい。また、凹部Ｈ２を形成する際、C_4F_8などのカーボンリッチなガスを適用した場合、絶縁膜１２１に端面１２１Ｔにカーボンを主成分とするエッチング反応生成物からなる再付着膜が形成されることにより、端面１２１Ｔの傾斜が維持されやすくなる。さらに、凹部Ｈ２を形成したのちに行う後処理洗浄では、カーボンなどのエッチング反応生成物に対して高い除去性能を示すが、銅および銅酸化物に対しては低い除去性能を示す薬液を選択するとよい。凹部Ｈ２に露出した配線１１２Ｘが絶縁膜１２１よりも内側に後退するのを防ぐことができるからである。

[0101] 以降、上記実施の形態の配線構造１００の製造方法と同様の手順により、図１Ａなどに示した配線構造１００が完成する。このように、変形例３としての配線構造１００の製造方法によっても、上記実施の形態と同様の配線構造１００の製造を行うことができる。また、開口縁１２１Ｋを多段形状とするようにしたので、例えば変形例２のように多段形状ではなく平坦面により開口縁１２１Ｋを形成する場合と比べて、開口縁１２１Ｋの形状を制御しやすい。したがって、例えば開口縁１２１Ｋに含まれる斜面（厚さ方向に対して傾斜した面）の割合を増加させ、開口縁１２１Ｋに含まれる垂直面（厚さ方向に沿った面）の割合を減らしやすい。また、開口縁１２１Ｋを多段形状とすることで、平坦面により開口縁１２１Ｋを形成する場合と比べて、仮にボイドＶＤが発生したとしても、その寸法をより小さくすることができ、絶縁膜１２３およびその周辺の部分における亀裂の発生を効果的に防止できる。

[0102] ［２．４　変形例４］

図２２は、上記実施の形態の変形例（変形例４）に係る撮像素子（撮像素子１）の垂直方向の断面構成の一例を表したものである。本変形例では、転送トランジスタＴＲが、平面型の転送ゲートＴＧを有している。そのため、

転送ゲートＴＧは、ｐウェル層４２を貫通しておらず、半導体基板１１の表面だけに形成されている。転送トランジスタＴＲに平面型の転送ゲートＴＧが用いられる場合であっても、撮像素子１は、上記実施の形態と同様の効果を有する。

[0103] ［２．５　変形例５］

図２３は、上記実施の形態の変形例（変形例５）に係る撮像素子（撮像素子１）の垂直方向の断面構成の一例を表したものである。本変形例では、第２基板２０と第３基板３０との電気的な接続が、第１基板１０における周辺領域１４と対向する領域でなされている。周辺領域１４は、第１基板１０の額縁領域に相当しており、画素領域１３の周縁に設けられている。本変形例では、第２基板２０は、周辺領域１４と対向する領域に、複数のパッド電極５８を有しており、第３基板３０は、周辺領域１４と対向する領域に、複数のパッド電極６４を有している。第２基板２０および第３基板３０は、周辺領域１４と対向する領域に設けられたパッド電極５８，６４同士の接合によって、互いに電気的に接続されている。

[0104] このように、本変形例では、第２基板２０および第３基板３０が、周辺領域１４と対向する領域に設けられたパッド電極５８，６４同士の接合によって、互いに電気的に接続されている。これにより、画素領域１３と対向する領域で、パッド電極５８，６４同士を接合する場合と比べて、１画素あたりの面積の微細化を阻害するおそれを低減することができる。従って、上記実施の形態の効果に加えて、今までと同等のチップサイズで、１画素あたりの面積の微細化を阻害することのない３層構造の撮像素子１を提供することができる。

[0105] ［２．６　変形例６］

図２４は、上記実施の形態の変形例（変形例６）に係る撮像素子（撮像素子１）の水平方向の断面構成の一例を表したものである。図２５は、上記実施の形態の変形例（変形例６）に係る撮像素子（撮像素子１）の水平方向の断面構成の他の例を表すものである。図２４および図２５の上側の図は、図

２２の断面Ｓｅｃ１での断面構成の一変形例であり、図２３の下側の図は、図２２の断面Ｓｅｃ２での断面構成の一変形例である。なお、図２４および図２５の上側の断面図では、図２２の断面Ｓｅｃ１での断面構成の一変形例を表す図に、図２２の半導体基板１１の表面構成の一変形例を表す図が重ね合わされると共に、絶縁層４６が省略されている。また、図２４および図２５の下側の断面図では、図２２の断面Ｓｅｃ２での断面構成の一変形例を表す図に、半導体基板２１の表面構成の一変形例を表す図が重ね合わされている。

[0106] 図２４および図２５に示したように、複数の貫通配線５４、複数の貫通配線４８および複数の貫通配線４７（図中の行列状に配置された複数のドット）は、第１基板１０の面内において第１方向Ｖ（図２４および図２５の左右方向）に帯状に並んで配置されている。なお、図２４および図２５には、複数の貫通配線５４、複数の貫通配線４８および複数の貫通配線４７が第１方向Ｖに２列に並んで配置されている場合が例示されている。読み出し回路２２を共有する４つのセンサ画素１２において、４つのフローティングディフュージョンＦＤは、例えば、素子分離部４３を介して互いに近接して配置されている。読み出し回路２２を共有する４つのセンサ画素１２において、４つの転送ゲートＴＧ（ＴＧ１，ＴＧ２，ＴＧ３，ＴＧ４）は、４つのフローティングディフュージョンＦＤを囲むように配置されており、例えば、４つの転送ゲートＴＧによって円環形状となる形状となっている。

[0107] 絶縁層５３は、第１方向Ｖに延在する複数のブロックで構成されている。半導体基板２１は、第１方向Ｖに延在すると共に、絶縁層５３を介して第１方向Ｖと直交する第２方向Ｈに並んで配置された複数の島状のブロック２１Ａで構成されている。各ブロック２１Ａには、例えば、リセットトランジスタＲＳＴ、増幅トランジスタＡＭＰおよび選択トランジスタＳＥＬが設けられている。４つのセンサ画素１２によって共有される１つの読み出し回路２２は、例えば、４つのセンサ画素１２と正対して配置されておらず、第２方向Ｈにずれて配置されている。

[0108] 図２４では、４つのセンサ画素１２によって共有される１つの読み出し回路２２は、第２基板２０において、４つのセンサ画素１２と対向する領域を第２方向Ｈにずらした領域内にある、リセットトランジスタＲＳＴ、増幅トランジスタＡＭＰおよび選択トランジスタＳＥＬによって構成されている。４つのセンサ画素１２によって共有される１つの読み出し回路２２は、例えば、１つのブロック２１Ａ内の増幅トランジスタＡＭＰ、リセットトランジスタＲＳＴおよび選択トランジスタＳＥＬによって構成されている。

[0109] 図２５では、４つのセンサ画素１２によって共有される１つの読み出し回路２２は、第２基板２０において、４つのセンサ画素１２と対向する領域を第２方向Ｈにずらした領域内にある、リセットトランジスタＲＳＴ、増幅トランジスタＡＭＰ、選択トランジスタＳＥＬおよびＦＤ転送トランジスタＦＤＧによって構成されている。４つのセンサ画素１２によって共有される１つの読み出し回路２２は、例えば、１つのブロック２１Ａ内の増幅トランジスタＡＭＰ、リセットトランジスタＲＳＴ、選択トランジスタＳＥＬおよびＦＤ転送トランジスタＦＤＧによって構成されている。

[0110] 本変形例では、４つのセンサ画素１２によって共有される１つの読み出し回路２２は、例えば、４つのセンサ画素１２と正対して配置されておらず、４つのセンサ画素１２と正対する位置から第２方向Ｈにずれて配置されている。このようにした場合には、配線２５を短くすることができ、または、配線２５を省略して、増幅トランジスタＡＭＰのソースと、選択トランジスタＳＥＬのドレインとを共通の不純物領域で構成することもできる。その結果、読み出し回路２２のサイズを小さくしたり、読み出し回路２２内の他の箇所のサイズを大きくしたりすることができる。

[0111] ［２．７ 変形例７］

図２６は、上記実施の形態の変形例（変形例７）に係る撮像素子（撮像素子１）の水平方向の断面構成の一例を表したものである。図２６には、図１４の断面構成の一変形例が示されている。

[0112] 本変形例では、半導体基板２１が、絶縁層５３を介して第１方向Ｖおよび

第２方向Ｈに並んで配置された複数の島状のブロック２１Ａで構成されている。各ブロック２１Ａには、例えば、一組のリセットトランジスタＲＳＴ、増幅トランジスタＡＭＰおよび選択トランジスタＳＥＬが設けられている。このようにした場合には、互いに隣接する読み出し回路２２同士のクロストークを、絶縁層５３によって抑制することができ、再生画像上での解像度低下や混色による画質劣化を抑制することができる。

[0113] ［２．８　変形例８］

図２７は、上記実施の形態の変形例（変形例８）に係る撮像素子（撮像素子１）の水平方向の断面構成の一例を表したものである。図２７には、図２６の断面構成の一変形例が示されている。

[0114] 本変形例では、４つのセンサ画素１２によって共有される１つの読み出し回路２２が、例えば、４つのセンサ画素１２と正対して配置されておらず、第１方向Ｖにずれて配置されている。本変形例では、さらに、変形例７と同様、半導体基板２１が、絶縁層５３を介して第１方向Ｖおよび第２方向Ｈに並んで配置された複数の島状のブロック２１Ａで構成されている。各ブロック２１Ａには、例えば、一組のリセットトランジスタＲＳＴ、増幅トランジスタＡＭＰおよび選択トランジスタＳＥＬが設けられている。本変形例では、さらに、複数の貫通配線４７および複数の貫通配線５４が、第２方向Ｈにも配列されている。具体的には、複数の貫通配線４７が、ある読み出し回路２２を共有する４つの貫通配線５４と、その読み出し回路２２の第２方向Ｈに隣接する他の読み出し回路２２を共有する４つの貫通配線５４との間に配置されている。このようにした場合には、互いに隣接する読み出し回路２２同士のクロストークを、絶縁層５３および貫通配線４７によって抑制することができ、再生画像上での解像度低下や混色による画質劣化を抑制することができる。

[0115] ［２．９　変形例９］

図２８は、上記実施の形態の変形例（変形例９）に係る撮像素子（撮像素子１）の水平方向の断面構成の一例を表したものである。図２８には、図１

２の断面構成の一変形例が示されている。

[0116] 本変形例では、第１基板１０は、フォトダイオードＰＤおよび転送トランジスタＴＲをセンサ画素１２ごとに有し、フローティングディフュージョンＦＤを４つのセンサ画素１２ごとに共有している。従って、本変形例では、４つのセンサ画素１２ごとに、１つの貫通配線５４が設けられている。

[0117] マトリクス状に配置された複数のセンサ画素１２において、１つのフローティングディフュージョンＦＤを共有する４つのセンサ画素１２に対応する単位領域を、１つのセンサ画素１２分だけ第１方向Ｖにずらすことにより得られる領域に対応する４つのセンサ画素１２を、便宜的に、４つのセンサ画素１２Ａと称することとする。このとき、本変形例では、第１基板１０は、貫通配線４７を４つのセンサ画素１２Ａごとに共有している。従って、本変形例では、４つのセンサ画素１２Ａごとに、１つの貫通配線４７が設けられている。

[0118] 本変形例では、第１基板１０は、フォトダイオードＰＤおよび転送トランジスタＴＲをセンサ画素１２ごとに分離する素子分離部４３を有している。素子分離部４３は、半導体基板１１の法線方向から見て、センサ画素１２を完全には囲っておらず、フローティングディフュージョンＦＤ（貫通配線５４）の近傍と、貫通配線４７の近傍に、隙間（未形成領域）を有している。そして、その隙間によって、４つのセンサ画素１２による１つの貫通配線５４の共有や、４つのセンサ画素１２Ａによる１つの貫通配線４７の共有を可能にしている。本変形例では、第２基板２０は、フローティングディフュージョンＦＤを共有する４つのセンサ画素１２ごとに読み出し回路２２を有している。

[0119] 図２９は、本変形例に係る撮像素子１の水平方向の断面構成の他の例を表したものである。図２９には、図２６の断面構成の一変形例が示されている。本変形例では、第１基板１０は、フォトダイオードＰＤおよび転送トランジスタＴＲをセンサ画素１２ごとに有し、フローティングディフュージョンＦＤを４つのセンサ画素１２ごとに共有している。更に、第１基板１０は、

フォトダイオードＰＤおよび転送トランジスタＴＲをセンサ画素１２ごとに分離する素子分離部４３を有している。

[0120] 図３０は、本変形例に係る撮像素子１の水平方向の断面構成の他の例を表したものである。図３０には、図２７の断面構成の一変形例が示されている。本変形例では、第１基板１０は、フォトダイオードＰＤおよび転送トランジスタＴＲをセンサ画素１２ごとに有し、フローティングディフュージョンＦＤを４つのセンサ画素１２ごとに共有している。更に、第１基板１０は、フォトダイオードＰＤおよび転送トランジスタＴＲをセンサ画素１２ごとに分離する素子分離部４３を有している。

[0121] ［２．１０　変形例１０］

図３１は、上記実施の形態および変形例５～６の変形例（変形例１０）に係る撮像素子（撮像素子１）の回路構成の一例を表したものである。本変形例に係る撮像素子１は、列並列ＡＤＣ搭載のＣＭＯＳイメージセンサである。

[0122] 図３１に示すように、本変形例に係る撮像素子１は、光電変換部を含む複数のセンサ画素１２が行列状（マトリックス状）に２次元配置されてなる画素領域１３に加えて、垂直駆動回路３３、カラム信号処理回路３４、参照電圧供給部３８、水平駆動回路３５、水平出力線３７およびシステム制御回路３６を有する構成となっている。

[0123] このシステム構成において、システム制御回路３６は、マスタークロックＭＣＫに基づいて、垂直駆動回路３３、カラム信号処理回路３４、参照電圧供給部３８および水平駆動回路３５等の動作の基準となるクロック信号や制御信号等を生成し、垂直駆動回路３３、カラム信号処理回路３４、参照電圧供給部３８および水平駆動回路３５等に対して与える。

[0124] また、垂直駆動回路３３は、画素領域１３の各センサ画素１２と共に、第１基板１０形成されており、さらに、読み出し回路２２の形成されている第２基板２０にも形成される。カラム信号処理回路３４、参照電圧供給部３８、水平駆動回路３５、水平出力線３７およびシステム制御回路３６は、第３

基板３０に形成される。

[0125] センサ画素１２としては、ここでは図示を省略するが、例えば、フォトダイオードＰＤの他に、フォトダイオードＰＤで光電変換して得られる電荷をフローティングディフュージョンＦＤに転送する転送トランジスタＴＲとを有する構成のものを用いることができる。また、読み出し回路２２としては、ここでは図示を省略するが、例えば、フローティングディフュージョンＦＤの電位を制御するリセットトランジスタＲＳＴと、フローティングディフュージョンＦＤの電位に応じた信号を出力する増幅トランジスタＡＭＰと、画素選択を行うための選択トランジスタＳＥＬとを有する３トランジスタ構成のものを用いることができる。

[0126] 画素領域１３には、センサ画素１２が２次元配置されると共に、このｍ行ｎ列の画素配置に対して行毎に画素駆動線２３が配線され、列毎に垂直信号線２４が配線されている。複数の画素駆動線２３の各一端は、垂直駆動回路３３の各行に対応した各出力端に接続されている。垂直駆動回路３３は、シフトレジスタ等によって構成され、複数の画素駆動線２３を介して画素領域１３の行アドレスや行走査の制御を行う。

[0127] カラム信号処理回路３４は、例えば、画素領域１３の画素列毎、即ち、垂直信号線２４毎に設けられたＡＤＣ（アナログ－デジタル変換回路）３４－１～３４－ｍを有し、画素領域１３の各センサ画素１２から列毎に出力されるアナログ信号をデジタル信号に変換して出力する。

[0128] 参照電圧供給部３８は、時間が経過するにつれてレベルが傾斜状に変化する、いわゆるランプ（ＲＡＭＰ）波形の参照電圧Ｖｒｅｆを生成する手段として、例えばＤＡＣ（デジタル－アナログ変換回路）３８Ａを有している。なお、ランプ波形の参照電圧Ｖｒｅｆを生成する手段としては、ＤＡＣ３８Ａに限られるものではない。

[0129] ＤＡＣ３８Ａは、システム制御回路３６から与えられる制御信号ＣＳ１による制御の下に、当該システム制御回路３６から与えられるクロックＣＫに基づいてランプ波形の参照電圧Ｖｒｅｆを生成してカラム信号処理回路３４

のＡＤＣ３４－１～３４－ｍに対して供給する。

[0130] なお、ＡＤＣ３４－１～３４－ｍの各々は、センサ画素１２全ての情報を読み出すプログレッシブ走査方式での通常フレームレートモードと、通常フレームレートモード時に比べて、センサ画素１２の露光時間を１／Ｎに設定してフレームレートをＮ倍、例えば２倍に上げる高速フレームレートモードとの各動作モードに対応したＡＤ変換動作を選択的に行い得る構成となっている。この動作モードの切り替えは、システム制御回路３６から与えられる制御信号ＣＳ２，ＣＳ３による制御によって実行される。また、システム制御回路３６に対しては、外部のシステムコントローラ（図示せず）から、通常フレームレートモードと高速フレームレートモードの各動作モードとを切り替えるための指示情報が与えられる。

[0131] ＡＤＣ３４－１～３４－ｍは全て同じ構成となっており、ここでは、ＡＤＣ３４－ｍを例に挙げて説明するものとする。ＡＤＣ３４－ｍは、比較器３４Ａ、計数手段である例えばアップ／ダウンカウンタ（図中、Ｕ／ＤＣＮＴと記している）３４Ｂ、転送スイッチ３４ＣおよびメモリＳ装置３４Ｄを有する構成となっている。

[0132] 比較器３４Ａは、画素領域１３のｎ列目の各センサ画素１２から出力される信号に応じた垂直信号線２４の信号電圧Ｖｘと、参照電圧供給部３８から供給されるランプ波形の参照電圧Ｖｒｅｆとを比較し、例えば、参照電圧Ｖｒｅｆが信号電圧Ｖｘよりも大なるときに出力Ｖｃｏが“Ｈ”レベルになり、参照電圧Ｖｒｅｆが信号電圧Ｖｘ以下のときに出力Ｖｃｏが“Ｌ”レベルになる。

[0133] アップ／ダウンカウンタ３４Ｂは非同期カウンタであり、システム制御回路３６から与えられる制御信号ＣＳ２による制御の下に、システム制御回路３６からクロックＣＫがＤＡＣ１８Ａと同時に与えられ、当該クロックＣＫに同期してダウン（ＤＯＷＮ）カウントまたはアップ（ＵＰ）カウントを行うことにより、比較器３４Ａでの比較動作の開始から比較動作の終了までの比較期間を計測する。

[0134] 具体的には、通常フレームレートモードでは、１つのセンサ画素１２からの信号の読み出し動作において、１回目の読み出し動作時にダウンカウントを行うことにより１回目の読み出し時の比較時間を計測し、２回目の読み出し動作時にアップカウントを行うことにより２回目の読み出し時の比較時間を計測する。

[0135] 一方、高速フレームレートモードでは、ある行のセンサ画素１２についてのカウント結果をそのまま保持しておき、引き続き、次の行のセンサ画素１２について、前回のカウント結果から１回目の読み出し動作時にダウンカウントを行うことで１回目の読み出し時の比較時間を計測し、２回目の読み出し動作時にアップカウントを行うことで２回目の読み出し時の比較時間を計測する。

[0136] 転送スイッチ３４Ｃは、システム制御回路３６から与えられる制御信号ＣＳ３による制御の下に、通常フレームレートモードでは、ある行のセンサ画素１２についてのアップ／ダウンカウンタ３４Ｂのカウント動作が完了した時点でオン（閉）状態となって当該アップ／ダウンカウンタ３４Ｂのカウント結果をメモリ装置３４Ｄに転送する。

[0137] 一方、例えばＮ＝２の高速フレームレートでは、ある行のセンサ画素１２についてのアップ／ダウンカウンタ３４Ｂのカウント動作が完了した時点でオフ（開）状態のままであり、引き続き、次の行のセンサ画素１２についてのアップ／ダウンカウンタ３４Ｂのカウント動作が完了した時点でオン状態となって当該アップ／ダウンカウンタ３４Ｂの垂直２画素分についてのカウント結果をメモリ装置３４Ｄに転送する。

[0138] このようにして、画素領域１３の各センサ画素１２から垂直信号線２４を経由して列毎に供給されるアナログ信号が、ＡＤＣ３４－１～３４－ｍにおける比較器３４Ａおよびアップ／ダウンカウンタ３４Ｂの各動作により、Ｎビットのデジタル信号に変換されてメモリ装置３４Ｄに格納される。

[0139] 水平駆動回路３５は、シフトレジスタ等によって構成され、カラム信号処理回路３４におけるＡＤＣ３４－１～３４－ｍの列アドレスや列走査の制御

を行う。この水平駆動回路３５による制御の下に、ＡＤＣ３４－１～３４－ｍの各々でＡＤ変換されたＮビットのデジタル信号は順に水平出力線３７に読み出され、当該水平出力線３７を経由して撮像データとして出力される。

[0140] なお、本開示には直接関連しないため特に図示しないが、水平出力線３７を経由して出力される撮像データに対して各種の信号処理を施す回路等を、上記構成要素以外に設けることも可能である。

[0141] 上記構成の本変形例に係る列並列ＡＤＣ搭載の撮像素子１では、アップ／ダウンカウンタ３４Ｂのカウント結果を、転送スイッチ３４Ｃを介して選択的にメモリ装置３４Ｄに転送することができるため、アップ／ダウンカウンタ３４Ｂのカウント動作と、当該アップ／ダウンカウンタ３４Ｂのカウント結果の水平出力線３７への読み出し動作とを独立して制御することが可能である。

[0142] ［２．１１　変形例１１］

図３２は、図３１の撮像素子を３つの基板（第１基板１０，第２基板２０，第３基板３０）を積層して構成した例を表したものである。本変形例では、第１基板１０において、中央部分に、複数のセンサ画素１２を含む画素領域１３が形成されており、画素領域１３の周囲に垂直駆動回路３３が形成されている。また、第２基板２０において、中央部分に、複数の読み出し回路２２を含む読み出し回路領域１５が形成されており、読み出し回路領域１５の周囲に垂直駆動回路３３が形成されている。第３基板３０において、カラム信号処理回路３４、水平駆動回路３５、システム制御回路３６、水平出力線３７および参照電圧供給部３８が形成されている。これにより、上記実施の形態およびその変形例と同様、基板同士を電気的に接続する構造に起因して、チップサイズが大きくなったり、１画素あたりの面積の微細化を阻害したりしてしまうことがない。その結果、今までと同等のチップサイズで、１画素あたりの面積の微細化を阻害することのない３層構造の撮像素子１を提供することができる。なお、垂直駆動回路３３は、第１基板１０のみに形成されても、第２基板２０のみに形成されてもよい。

[0143] ［２．１２　変形例１２］

図３３は、上記実施の形態およびその変形例４～１１の変形例（変形例１２）に係る撮像素子（撮像素子１）の断面構成の一例を表したものである。上記実施および変形例４～１１等では、撮像素子１は、３つの基板（第１基板１０，第２基板２０，第３基板３０）を積層して構成されていた。しかしながら、本開示の撮像素子は、２つの基板（第１基板１０，第２基板２０）を積層して構成されていてもよい。このとき、ロジック回路３２は、例えば、図３３に示したように、第１基板１０と、第２基板２０とに分けて形成されていてもよい。ここで、ロジック回路３２のうち、第１基板１０側に設けられた回路３２Ａでは、高温プロセスに耐え得る材料（例えば、ｈｉｇｈ－ｋ）からなる高誘電率膜とメタルゲート電極とが積層されたゲート構造を有するトランジスタが設けられている。一方、第２基板２０側に設けられた回路３２Ｂでは、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、$CoSi_2$や$NiSi$等のサリサイド（Self Aligned Silicide）プロセスを用いて形成されたシリサイドからなる低抵抗領域２６が形成されている。シリサイドからなる低抵抗領域は、半導体基板の材料と金属との化合物で形成されている。これにより、センサ画素１２を形成する際に、熱酸化等の高温プロセスを用いることができる。また、ロジック回路３２のうち、第２基板２０側に設けられた回路３２Ｂにおいて、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、シリサイドからなる低抵抗領域２６を設けた場合には、接触抵抗を低減することができる。その結果、ロジック回路３２での演算速度を高速化することができる。

[0144] ［２．１３　変形例１３］

図３４は、上記実施の形態およびその変形例４～１１の変形例（変形例１３）に係る撮像素子１の断面構成の一変形例を表す。上記実施の形態およびその変形例４～１１に係る第３基板３０のロジック回路３２において、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、$CoSi_2$や$NiSi$等のサリサイド（Self Aligned Silicide)プロセスを用いて形成され

たシリサイドからなる低抵抗領域３９が形成されていてもよい。これにより、センサ画素１２を形成する際に、熱酸化等の高温プロセスを用いることができる。また、ロジック回路３２において、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、シリサイドからなる低抵抗領域３９を設けた場合には、接触抵抗を低減することができる。その結果、ロジック回路３２での演算速度を高速化することができる。

[0145] なお、上記実施の形態およびその変形例４～１３では、導電型が逆になっていてもよい。例えば、上記実施の形態およびその変形例４～１３の記載において、ｐ型をｎ型に読み替えると共に、ｎ型をｐ型に読み替えてもよい。このようにした場合であっても、上記実施の形態およびその変形例４～１３と同様の効果を得ることができる。

[0146] ＜３．適用例＞

図３５は、上記実施の形態およびその変形例４～１３に係る撮像素子（撮像素子１）を備えた撮像システム７の概略構成の一例を表したものである。

[0147] 撮像システム７は、例えば、デジタルスチルカメラやビデオカメラ等の撮像素子や、スマートフォンやタブレット型端末等の携帯端末装置等の電子機器である。撮像システム７は、例えば、光学系２４１、シャッタ装置２４２、撮像素子１、ＤＳＰ回路２４３、フレームメモリ２４４、表示部２４５、記憶部２４６、操作部２４７および電源部２４８を備えている。撮像システム７において、シャッタ装置２４２、撮像素子１、ＤＳＰ回路２４３、フレームメモリ２４４、表示部２４５、記憶部２４６、操作部２４７および電源部２４８は、バスライン２４９を介して相互に接続されている。

[0148] 撮像素子１は、入射光に応じた画像データを出力する。光学系２４１は、１枚または複数枚のレンズを有するものであり、被写体からの光（入射光）を撮像素子１に導き、撮像素子１の受光面に結像させる。シャッタ装置２４２は、光学系２４１および撮像素子１の間に配置され、操作部２４７の制御に従って、撮像素子１への光照射期間および遮光期間を制御する。ＤＳＰ回路２４３は、撮像素子１から出力される信号（画像データ）を処理する信号

処理回路である。フレームメモリ２４４は、ＤＳＰ回路２４３により処理された画像データを、フレーム単位で一時的に保持する。表示部２４５は、例えば、液晶パネルや有機ＥＬ（Electro Luminescence）パネル等のパネル型表示装置からなり、撮像素子１で撮像された動画又は静止画を表示する。記憶部２４６は、撮像素子１で撮像された動画又は静止画の画像データを、半導体メモリやハードディスク等の記録媒体に記録する。操作部２４７は、ユーザによる操作に従い、撮像システム７が有する各種の機能についての操作指令を発する。電源部２４８は、撮像素子１、ＤＳＰ回路２４３、フレームメモリ２４４、表示部２４５、記憶部２４６および操作部２４７の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0149] 次に、撮像システム７における撮像手順について説明する。

[0150] 図３６は、撮像システム７における撮像動作のフローチャートの一例を表す。ユーザは、操作部２４７を操作することにより撮像開始を指示する（ステップＳ１０１）。すると、操作部２４７は、撮像指令を撮像素子１に送信する（ステップＳ１０２）。撮像素子１（具体的にはシステム制御回路３６）は、撮像指令を受けると、所定の撮像方式での撮像を実行する（ステップＳ１０３）。

[0151] 撮像素子１は、光学系２４１およびシャッタ装置２４２を介して受光面に結像された光（画像データ）をＤＳＰ回路２４３に出力する。ここで、画像データとは、フローティングディフュージョンＦＤに一時的に保持された電荷に基づいて生成された画素信号の全画素分のデータである。ＤＳＰ回路２４３は、撮像素子１から入力された画像データに基づいて所定の信号処理（例えばノイズ低減処理等）を行う（ステップＳ１０４）。ＤＳＰ回路２４３は、所定の信号処理がなされた画像データをフレームメモリ２４４に保持させ、フレームメモリ２４４は、画像データを記憶部２４６に記憶させる（ステップＳ１０５）。このようにして、撮像システム７における撮像が行われる。

[0152] 本適用例では、撮像素子１が撮像システム７に適用される。これにより、

撮像素子１を小型化もしくは高精細化することができるので、小型もしくは高精細な撮像システム７を提供することができる。

[0153] 図３７は、非積層型の固体撮像素子（固体撮像素子２３２１０）および本開示に係る技術を適用し得る積層型の固体撮像素子（固体撮像素子２３０２０）の構成例の概要を示す図である。

[0154] 図３７のＡは、非積層型の固体撮像素子の概略構成例を示している。固体撮像素子２３０１０は、図３７のＡに示すように、１枚のダイ（半導体基板）２３０１１を有する。このダイ２３０１１には、画素がアレイ状に配置された画素領域２３０１２と、画素の駆動その他の各種の制御を行う制御回路２３０１３と、信号処理するためのロジック回路２３０１４とが搭載されている。

[0155] 図３７のＢ及びＣは、積層型の固体撮像素子の概略構成例を示している。固体撮像素子２３０２０は、図３７のＢ及びＣに示すように、センサダイ２３０２１とロジックダイ２３０２４との２枚のダイが積層され、電気的に接続されて、１つの半導体チップとして構成されている。このセンサ第２３０２１およびロジックダイ２３０２４が、本開示の「第１基板」および「第２基板」の一具体例に相当する。

[0156] 図３７のＢでは、センサダイ２３０２１には、画素領域２３０１２と制御回路２３０１３が搭載され、ロジックダイ２３０２４には、信号処理を行う信号処理回路を含むロジック回路２３０１４が搭載されている。さらに、センサ第２０３２１には、例えば、上述した読み出し回路２２等が搭載されていてもよい。

[0157] 図３７のＣでは、センサダイ２３０２１には、画素領域２３０１２が搭載され、ロジックダイ２３０２４には、制御回路２３０１３及びロジック回路２３０１４が搭載されている。

[0158] 図３８は、積層型の固体撮像素子２３０２０の第１の構成例を示す断面図である。

[0159] センサダイ２３０２１には、画素領域２３０１２となる画素を構成するＰ

Ｄ（フォトダイオード）や、ＦＤ（フローティングディフュージョン）、Ｔｒ（ＭＯＳ　ＦＥＴ）、及び、制御回路２３０１３となるＴｒ等が形成される。さらに、センサダイ２３０２１には、複数層、本例では３層の配線２３１１０を有する配線層２３１０１が形成される。なお、制御回路２３０１３（となるＴｒ）は、センサダイ２３０２１ではなく、ロジックダイ２３０２４に構成することができる。

[0160] ロジックダイ２３０２４には、ロジック回路２３０１４を構成するＴｒが形成される。さらに、ロジックダイ２３０２４には、複数層、本例では３層の配線２３１７０を有する配線層２３１６１が形成される。また、ロジックダイ２３０２４には、内壁面に絶縁膜２３１７２が形成された接続孔２３１７１が形成され、接続孔２３１７１内には、配線２３１７０等と接続される接続導体２３１７３が埋め込まれる。

[0161] センサダイ２３０２１とロジックダイ２３０２４とは、互いの配線層２３１０１及び２３１６１が向き合うように貼り合わされ、これにより、センサダイ２３０２１とロジックダイ２３０２４とが積層された積層型の固体撮像素子２３０２０が構成されている。センサダイ２３０２１とロジックダイ２３０２４とが貼り合わされる面には、保護膜等の膜２３１９１が形成されている。

[0162] センサダイ２３０２１には、センサダイ２３０２１の裏面側（ＰＤに光が入射する側）（上側）からセンサダイ２３０２１を貫通してロジックダイ２３０２４の最上層の配線２３１７０に達する接続孔２３１１１が形成される。さらに、センサダイ２３０２１には、接続孔２３１１１に近接して、センサダイ２３０２１の裏面側から１層目の配線２３１１０に達する接続孔２３１２１が形成される。接続孔２３１１１の内壁面には、絶縁膜２３１１２が形成され、接続孔２３１２１の内壁面には、絶縁膜２３１２２が形成される。そして、接続孔２３１１１及び２３１２１内には、接続導体２３１１３及び２３１２３がそれぞれ埋め込まれる。接続導体２３１１３と接続導体２３１２３とは、センサダイ２３０２１の裏面側で電気的に接続され、これによ

り、センサダイ２３０２１とロジックダイ２３０２４とが、配線層２３１０１、接続孔２３１２１、接続孔２３１１１、及び、配線層２３１６１を介して、電気的に接続される。

[0163] 図３９は、積層型の固体撮像素子２３０２０の第２の構成例を示す断面図である。

[0164] 固体撮像素子２３０２０の第２の構成例では、センサダイ２３０２１に形成する１つの接続孔２３２１１によって、センサダイ２３０２１（の配線層２３１０１（の配線２３１１０））と、ロジックダイ２３０２４（の配線層２３１６１（の配線２３１７０））とが電気的に接続される。

[0165] すなわち、図３９では、接続孔２３２１１が、センサダイ２３０２１の裏面側からセンサダイ２３０２１を貫通してロジックダイ２３０２４の最上層の配線２３１７０に達し、且つ、センサダイ２３０２１の最上層の配線２３１１０に達するように形成される。接続孔２３２１１の内壁面には、絶縁膜２３２１２が形成され、接続孔２３２１１内には、接続導体２３２１３が埋め込まれる。上述の図３８では、２つの接続孔２３１１１及び２３１２１によって、センサダイ２３０２１とロジックダイ２３０２４とが電気的に接続されるが、図３９では、１つの接続孔２３２１１によって、センサダイ２３０２１とロジックダイ２３０２４とが電気的に接続される。

[0166] 図４０は、積層型の固体撮像素子２３０２０の第３の構成例を示す断面図である。

[0167] 図４０の固体撮像素子２３０２０は、センサダイ２３０２１とロジックダイ２３０２４とが貼り合わされる面に、保護膜等の膜２３１９１が形成されていない点で、センサダイ２３０２１とロジックダイ２３０２４とが貼り合わされる面に、保護膜等の膜２３１９１が形成されている図３９の場合と異なる。

[0168] 図４０の固体撮像素子２３０２０は、配線２３１１０及び２３１７０が直接接触するように、センサダイ２３０２１とロジックダイ２３０２４とを重ね合わせ、所要の加重をかけながら加熱し、配線２３１１０及び２３１７０

を直接接合することで構成される。

[0169] 図４１は、本開示に係る技術を適用し得る積層型の固体撮像素子の他の構成例を示す断面図である。

[0170] 図４１では、固体撮像素子２３４０１は、センサダイ２３４１１と、ロジックダイ２３４１２と、メモリダイ２３４１３との３枚のダイが積層された３層の積層構造になっている。

[0171] メモリダイ２３４１３は、例えば、ロジックダイ２３４１２で行われる信号処理において一時的に必要となるデータの記憶を行うメモリ回路を有する。

[0172] 図４１では、センサダイ２３４１１の下に、ロジックダイ２３４１２及びメモリダイ２３４１３が、その順番で積層されているが、ロジックダイ２３４１２及びメモリダイ２３４１３は、逆順、すなわち、メモリダイ２３４１３及びロジックダイ２３４１２の順番で、センサダイ２３４１１の下に積層することができる。

[0173] なお、図４１では、センサダイ２３４１１には、画素の光電変換部となるＰＤや、画素Ｔｒのソース／ドレイン領域が形成されている。

[0174] ＰＤの周囲にはゲート絶縁膜を介してゲート電極が形成され、ゲート電極と対のソース／ドレイン領域により画素Ｔｒ２３４２１、画素Ｔｒ２３４２２が形成されている。

[0175] ＰＤに隣接する画素Ｔｒ２３４２１が転送Ｔｒであり、その画素Ｔｒ２３４２１を構成する対のソース／ドレイン領域の一方がＦＤになっている。

[0176] また、センサダイ２３４１１には、層間絶縁膜が形成され、層間絶縁膜には、接続孔が形成される。接続孔には、画素Ｔｒ２３４２１、及び、画素Ｔｒ２３４２２に接続する接続導体２３４３１が形成されている。

[0177] さらに、センサダイ２３４１１には、各接続導体２３４３１に接続する複数層の配線２３４３２を有する配線層２３４３３が形成されている。

[0178] また、センサダイ２３４１１の配線層２３４３３の最下層には、外部接続用の電極となるアルミパッド２３４３４が形成されている。すなわち、セン

サダイ２３４１１では、配線２３４３２よりもロジックダイ２３４１２との接着面２３４４０に近い位置にアルミパッド２３４３４が形成されている。アルミパッド２３４３４は、外部との信号の入出力に係る配線の一端として用いられる。

[0179] さらに、センサダイ２３４１１には、ロジックダイ２３４１２との電気的接続に用いられるコンタクト２３４４１が形成されている。コンタクト２３４４１は、ロジックダイ２３４１２のコンタクト２３４５１に接続されるとともに、センサダイ２３４１１のアルミパッド２３４４２にも接続されている。

[0180] そして、センサダイ２３４１１には、センサダイ２３４１１の裏面側（上側）からアルミパッド２３４４２に達するようにパッド孔２３４４３が形成されている。

[0181] 本開示に係る技術は、以上のような固体撮像素子に適用することができる。例えば、配線２３１１０や配線層２３１６１には、例えば、上述した複数の画素駆動線２３および複数の垂直信号線２４が設けられていてもよい。その場合、この複数の垂直信号線２４の配線間に図１に示したような空隙Ｇが形成することで、配線間の容量を低減することができる。また、配線間の容量の増加を抑えることで、配線容量のばらつきを低減することができる。

[0182] ＜４．応用例＞

（応用例１）

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0183] 図４２は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0184] 車両制御システム１２０００は、通信ネットワーク１２００１を介して接

続された複数の電子制御ユニットを備える。図４２に示した例では、車両制御システム１２０００は、駆動系制御ユニット１２０１０、ボディ系制御ユニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ（ｉｎｔｅｒｆａｃｅ）１２０５３が図示されている。

[0185] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0186] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0187] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させると共に、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理

を行ってもよい。

[0188] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0189] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0190] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Ａｄｖａｎｃｅｄ　Ｄｒｉｖｅｒ　Ａｓｓｉｓｔａｎｃｅ　Ｓｙｓｔｅｍ）の機能実現を目的とした協調制御を行うことができる。

[0191] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0192] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０

３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0193] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図４２の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0194] 図４３は、撮像部１２０３１の設置位置の例を示す図である。

[0195] 図４３では、車両１２１００は、撮像部１２０３１として、撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５を有する。

[0196] 撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５は、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２，１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部１２１０４は、主として車両１２１００の後方の画像を取得する。撮像部１２１０１及び１２１０５で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0197] なお、図４３には、撮像部１２１０１ないし１２１０４の撮影範囲の一例が示されている。撮像範囲１２１１１は、フロントノーズに設けられた撮像

部１２１０１の撮像範囲を示し、撮像範囲１２１１２，１２１１３は、それぞれサイドミラーに設けられた撮像部１２１０２，１２１０３の撮像範囲を示し、撮像範囲１２１１４は、リアバンパ又はバックドアに設けられた撮像部１２１０４の撮像範囲を示す。例えば、撮像部１２１０１ないし１２１０４で撮像された画像データが重ね合わせられることにより、車両１２１００を上方から見た俯瞰画像が得られる。

[0198] 撮像部１２１０１ないし１２１０４の少なくとも１つは、距離情報を取得する機能を有していてもよい。例えば、撮像部１２１０１ないし１２１０４の少なくとも１つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0199] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を基に、撮像範囲１２１１１ないし１２１１４内における各立体物までの距離と、この距離の時間的変化（車両１２１００に対する相対速度）を求めることにより、特に車両１２１００の進行路上にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例えば、０ｋｍ／ｈ以上）で走行する立体物を先行車として抽出することができる。更に、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0200] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスク

を判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0201] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0202] 以上、本開示に係る技術が適用され得る移動体制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部１２０３１に適用され得る。具体的には、上記実施の形態およびその変形例に係る撮像素子１は、撮像部１２０３１に適用することができる。撮像部１２０３１に本開示に係る技術を適用することにより、ノイズの少ない高精細な撮影画像を得ることができるので、移動体制御システムにおいて撮影画像を利用した高精度な制御を行うことができる。

[0203]（応用例２）

図４４は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0204] 図４４では、術者（医師）１１１３１が、内視鏡手術システム１１０００

を用いて、患者ベッド１１１３３上の患者１１１３２に手術を行っている様子が図示されている。図示するように、内視鏡手術システム１１０００は、内視鏡１１１００と、気腹チューブ１１１１１やエネルギー処置具１１１１２等の、その他の術具１１１１０と、内視鏡１１１００を支持する支持アーム装置１１１２０と、内視鏡下手術のための各種の装置が搭載されたカート１１２００と、から構成される。

[0205] 内視鏡１１１００は、先端から所定の長さの領域が患者１１１３２の体腔内に挿入される鏡筒１１１０１と、鏡筒１１１０１の基端に接続されるカメラヘッド１１１０２と、から構成される。図示する例では、硬性の鏡筒１１１０１を有するいわゆる硬性鏡として構成される内視鏡１１１００を図示しているが、内視鏡１１１００は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0206] 鏡筒１１１０１の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡１１１００には光源装置１１２０３が接続されており、当該光源装置１１２０３によって生成された光が、鏡筒１１１０１の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者１１１３２の体腔内の観察対象に向かって照射される。なお、内視鏡１１１００は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0207] カメラヘッド１１１０２の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、ＲＡＷデータとしてカメラコントロールユニット（ＣＣＵ： Ｃａｍｅｒａ Ｃｏｎｔｒｏｌ Ｕｎｉｔ）１１２０１に送信される。

[0208] ＣＣＵ１１２０１は、ＣＰＵ（Ｃｅｎｔｒａｌ Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔ）やＧＰＵ（Ｇｒａｐｈｉｃｓ Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔ）等によって構成され、内視鏡１１１００及び表示装置１１２０２の動作を

統括的に制御する。更に、ＣＣＵ１１２０１は、カメラヘッド１１１０２から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

[0209] 表示装置１１２０２は、ＣＣＵ１１２０１からの制御により、当該ＣＣＵ１１２０１によって画像処理が施された画像信号に基づく画像を表示する。

[0210] 光源装置１１２０３は、例えばＬＥＤ（Ｌｉｇｈｔ Ｅｍｉｔｔｉｎｇ Ｄｉｏｄｅ）等の光源から構成され、術部等を撮影する際の照射光を内視鏡１１１００に供給する。

[0211] 入力装置１１２０４は、内視鏡手術システム１１０００に対する入力インタフェースである。ユーザは、入力装置１１２０４を介して、内視鏡手術システム１１０００に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡１１１００による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

[0212] 処置具制御装置１１２０５は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具１１１１２の駆動を制御する。気腹装置１１２０６は、内視鏡１１１００による視野の確保及び術者の作業空間の確保の目的で、患者１１１３２の体腔を膨らめるために、気腹チューブ１１１１１を介して当該体腔内にガスを送り込む。レコーダ１１２０７は、手術に関する各種の情報を記録可能な装置である。プリンタ１１２０８は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

[0213] なお、内視鏡１１１００に術部を撮影する際の照射光を供給する光源装置１１２０３は、例えばＬＥＤ、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。ＲＧＢレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置１１２０３において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、ＲＧＢレーザ光源それぞれからのレーザ光を時分割で観察対象

に照射し、その照射タイミングに同期してカメラヘッド１１１０２の撮像素子の駆動を制御することにより、ＲＧＢそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0214] また、光源装置１１２０３は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド１１１０２の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0215] また、光源装置１１２０３は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Ｎａｒｒｏｗ　Ｂａｎｄ　Ｉｍａｇｉｎｇ）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニングリーン（ＩＣＧ）等の試薬を体組織に局注すると共に当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置１１２０３は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0216] 図４５は、図４４に示すカメラヘッド１１１０２及びＣＣＵ１１２０１の機能構成の一例を示すブロック図である。

[0217] カメラヘッド１１１０２は、レンズユニット１１４０１と、撮像部１１４０２と、駆動部１１４０３と、通信部１１４０４と、カメラヘッド制御部１１４０５と、を有する。ＣＣＵ１１２０１は、通信部１１４１１と、画像処理部１１４１２と、制御部１１４１３と、を有する。カメラヘッド１１１０

２とＣＣＵ１１２０１とは、伝送ケーブル１１４００によって互いに通信可能に接続されている。

[0218] レンズユニット１１４０１は、鏡筒１１１０１との接続部に設けられる光学系である。鏡筒１１１０１の先端から取り込まれた観察光は、カメラヘッド１１１０２まで導光され、当該レンズユニット１１４０１に入射する。レンズユニット１１４０１は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0219] 撮像部１１４０２は、撮像素子で構成される。撮像部１１４０２を構成する撮像素子は、１つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部１１４０２が多板式で構成される場合には、例えば各撮像素子によってＲＧＢそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部１１４０２は、３Ｄ（Ｄｉｍｅｎｓｉｏｎａｌ）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための１対の撮像素子を有するように構成されてもよい。３Ｄ表示が行われることにより、術者１１１３１は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部１１４０２が多板式で構成される場合には、各撮像素子に対応して、レンズユニット１１４０１も複数系統設けられ得る。

[0220] また、撮像部１１４０２は、必ずしもカメラヘッド１１１０２に設けられなくてもよい。例えば、撮像部１１４０２は、鏡筒１１１０１の内部に、対物レンズの直後に設けられてもよい。

[0221] 駆動部１１４０３は、アクチュエータによって構成され、カメラヘッド制御部１１４０５からの制御により、レンズユニット１１４０１のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部１１４０２による撮像画像の倍率及び焦点が適宜調整され得る。

[0222] 通信部１１４０４は、ＣＣＵ１１２０１との間で各種の情報を送受信するための通信装置によって構成される。通信部１１４０４は、撮像部１１４０

２から得た画像信号をＲＡＷデータとして伝送ケーブル１１４００を介してＣＣＵ１１２０１に送信する。

[0223] また、通信部１１４０４は、ＣＣＵ１１２０１から、カメラヘッド１１１０２の駆動を制御するための制御信号を受信し、カメラヘッド制御部１１４０５に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0224] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてＣＣＵ１１２０１の制御部１１４１３によって自動的に設定されてもよい。後者の場合には、いわゆるＡＥ（Ａｕｔｏ　Ｅｘｐｏｓｕｒｅ）機能、ＡＦ（Ａｕｔｏ　Ｆｏｃｕｓ）機能及びＡＷＢ（Ａｕｔｏ　Ｗｈｉｔｅ　Ｂａｌａｎｃｅ）機能が内視鏡１１１００に搭載されていることになる。

[0225] カメラヘッド制御部１１４０５は、通信部１１４０４を介して受信したＣＣＵ１１２０１からの制御信号に基づいて、カメラヘッド１１１０２の駆動を制御する。

[0226] 通信部１１４１１は、カメラヘッド１１１０２との間で各種の情報を送受信するための通信装置によって構成される。通信部１１４１１は、カメラヘッド１１１０２から、伝送ケーブル１１４００を介して送信される画像信号を受信する。

[0227] また、通信部１１４１１は、カメラヘッド１１１０２に対して、カメラヘッド１１１０２の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

[0228] 画像処理部１１４１２は、カメラヘッド１１１０２から送信されたＲＡＷデータである画像信号に対して各種の画像処理を施す。

[0229] 制御部１１４１３は、内視鏡１１１００による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば

、制御部１１４１３は、カメラヘッド１１１０２の駆動を制御するための制御信号を生成する。

[0230] また、制御部１１４１３は、画像処理部１１４１２によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置１１２０２に表示させる。この際、制御部１１４１３は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部１１４１３は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具１１１１２の使用時のミスト等を認識することができる。制御部１１４１３は、表示装置１１２０２に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者１１１３１に提示されることにより、術者１１１３１の負担を軽減することや、術者１１１３１が確実に手術を進めることが可能になる。

[0231] カメラヘッド１１１０２及びＣＣＵ１１２０１を接続する伝送ケーブル１１４００は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0232] ここで、図示する例では、伝送ケーブル１１４００を用いて有線で通信が行われていたが、カメラヘッド１１１０２とＣＣＵ１１２０１との間の通信は無線で行われてもよい。

[0233] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、内視鏡１１１００のカメラヘッド１１１０２に設けられた撮像部１１４０２に好適に適用され得る。撮像部１１４０２に本開示に係る技術を適用することにより、撮像部１１４０２を小型化もしくは高精細化することができるので、小型もしくは高精細な内視鏡１１１００を提供することができる。

[0234] 以上、実施の形態およびその変形例１～１２、適用例ならびに応用例を挙げて本開示を説明したが、本開示は上記実施の形態等に限定されるものではなく、種々変形が可能である。例えば、上記変形例１～３では、上記実施の

形態に示した配線間に空隙ＡＧを有する配線構造１００の変形例を説明したが、本技術は、誘電率材料（Ｌｏｗ－ｋ材料）からなる絶縁膜を用いた配線構造を有するものであれば、配線間に空隙ＡＧの有無に関わらず適用することができ、上記変形例１～３と同様の効果を得ることができる。

[0235] また、上記実施の形態等では、複数の画素駆動線２３は行方向に、複数の垂直信号線は列方向に延在する例を示したが、互いに同一方向に延在するようにしてもよい。また、画素駆動線２３は、垂直方向等、適宜その延在方向を変えることができる。

[0236] さらに、上記実施の形態等では、３次元構造を有する撮像素子を例に本技術を説明したがこれに限らない。本技術は、３次元積層型の大規模集積化（ＬＳＩ）されたあらゆる半導体装置に適用することができる。

[0237] さらに、空隙の断面形状は、上記実施の形態等で示したものに限定されない。例えば図４６Ａ～４６Ｎに示した空隙ＡＧ－１～ＡＧ－１４のように各種の断面形状を採用することができる。すなわち、空隙ＡＧ－１～ＡＧ－１４は、一の曲線のみからなる輪郭線により画定される断面形状を有し、または、２以上の連結部において連結された１以上の曲線と１以上の直線とからなり、連結部における曲線同士、直線同士、もしくは曲線と直線との交わる角度が９０°以上である輪郭線により画定される断面形状を有する。

[0238] なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持っていてもよい。

[0239] 本開示によれば、空隙が、一の曲線のみからなる輪郭線により画定される断面形状を有し、または、２以上の連結部において連結された１以上の曲線と１以上の直線とからなり、連結部における曲線同士、直線同士、もしくは曲線と直線との交わる角度が９０°以上である輪郭線により画定される断面形状を有する。すなわち空隙は、例えば厚さ方向に沿った断面において、屈曲部分を含まない輪郭線により画定される断面形状を有している。このため、絶縁膜のうちの空隙の周辺部分において、ある特定の箇所へ応力が集中す

るのを緩和することができる。このため、空隙の周辺での亀裂の発生を防止できる。したがって、優れた動作信頼性を確保することができる。

[0240] なお、本明細書中に記載された効果はあくまで例示であってその記載に限定されるものではなく、他の効果があってもよい。また、本技術は以下のような構成を取り得るものである。

（１）

第１の方向にそれぞれ延在すると共に前記第１の方向と直交する第２の方向に並ぶ複数の配線と、

前記複数の配線を覆い、前記第２の方向において隣り合う前記複数の配線に挟まれた間隙領域に存在する空隙を含む第１の絶縁膜と

を有し、

前記空隙は、

一の曲線のみからなる輪郭線により画定される断面形状を有し、

または、

２以上の連結部において連結された１以上の曲線と１以上の直線とからなり、前記連結部における前記曲線同士、前記直線同士、もしくは前記曲線と前記直線との交わる角度が９０°以上である輪郭線により画定される断面形状を有する

配線構造。

（２）

前記曲線は、隣り合う２つの前記配線同士の間隔をＷとするとき、（Ｗ／２０）以上の曲率半径を有する

上記（１）記載の配線構造。

（３）

前記第１の絶縁膜は、比誘電率（ｋ）が３．０以下の低誘電率材料を含む

上記（１）または（２）記載の配線構造。

（４）

前記複数の配線と前記第１の絶縁膜との間に設けられた第２の絶縁膜をさ

らに有し、

前記第２の絶縁膜は、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）またはSiC_xN_yを含む

上記（１）から（３）のいずれか１つに記載の配線構造。

（５）

光電変換により電荷を生成可能なセンサ画素が設けられた第１半導体基板を含む第１基板と、

前記電荷に基づく画素信号を出力可能な読み出し回路を有する第２半導体基板と、前記第２半導体基板に積層された多層配線層とを含み、前記第１基板に積層された第２基板と

を備え、

前記多層配線層は、

第１の方向にそれぞれ延在すると共に前記第１の方向と直交する第２の方向に並ぶ複数の配線と、

前記複数の配線を覆い、前記第２の方向において隣り合う前記複数の配線に挟まれた間隙領域に存在する空隙を含む第１の絶縁膜と

を有し、

前記空隙は、

一の曲線のみからなる輪郭線により画定される断面形状を有し、

または、

２以上の連結部において連結された１以上の曲線と１以上の直線とからなり、前記連結部における前記曲線同士、前記直線同士、もしくは前記曲線と前記直線との交わる角度が９０°以上である輪郭線により画定される断面形状を有する

撮像装置。

（６）

前記第２基板の前記第１基板と反対側に、前記画素信号を処理するロジック回路および前記画素信号を保持するメモリ回路のうちの少なくとも一方を

有する第３半導体基板を含む第３基板をさらに備えた

上記（５）記載の撮像装置。

（７）

第１の方向にそれぞれ延在すると共に前記第１の方向と直交する第２の方向に並ぶ複数の配線と、

前記複数の配線を覆い、前記第２の方向において隣り合う前記複数の配線に挟まれた間隙領域に存在する空隙を含む第１の絶縁膜と、

前記複数の配線と前記第１の絶縁膜との間に設けられた第２の絶縁膜と、

前記複数の配線と前記第２の絶縁膜との間に設けられ、前記第１の方向および前記第２の方向の双方と直交する厚さ方向において前記間隙領域を含む領域と対応する位置に開口を形成する開口縁を含む第３の絶縁膜と

を有し、

前記開口縁は、前記厚さ方向において前記配線から遠ざかるほど前記開口が拡大するように、前記厚さ方向に対して傾斜した端面を含む

配線構造。

（８）

前記開口縁は、前記厚さ方向において前記複数の配線のうちの第１の配線と対応する位置にある

上記（７）記載の配線構造。

（９）

前記開口縁における前記端面は、前記配線に形成された段差部の表面と連続する傾斜面である

上記（７）または（８）記載の配線構造。

（１０）

前記第１の配線は、第１の金属を含む導電性材料からなる金属膜と、前記第１の方向と直交する断面において前記金属膜の周囲を部分的に覆い、前記第１の金属の拡散を抑止する第２の金属を含む材料からなるバリアメタル層とを有し、

前記第２の絶縁膜は、前記第１の金属の拡散を抑止する絶縁材料を含み、前記金属膜の一部を覆うように設けられている

上記（７）から（９）のいずれか１つに記載の配線構造。

（１１）

前記端面は、曲面である

上記（７）から（１０）のいずれか１つに記載の配線構造。

（１２）

前記開口縁は、前記端面を複数含む多段形状を有する

上記（７）から（１１）のいずれか１つに記載の配線構造。

（１３）

前記第１の絶縁膜は、比誘電率（ｋ）が３．０以下の低誘電率材料を含む

上記（７）から（１２）のいずれか１つに記載の配線構造。

（１４）

前記第２の絶縁膜は、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）またはSiC_xN_yを含む

上記（７）から（１３）のいずれか１つに記載の配線構造。

（１５）

光電変換により電荷を生成可能なセンサ画素が設けられた第１半導体基板を含む第１基板と、

前記電荷に基づく画素信号を出力可能な読み出し回路を有する第２半導体基板と、前記第２半導体基板に積層された多層配線層とを含み、前記第１基板に積層された第２基板と

を備え、

前記多層配線層は、

第１の方向にそれぞれ延在すると共に前記第１の方向と直交する第２の方向に並ぶ複数の配線と、

前記複数の配線を覆い、前記第２の方向において隣り合う前記複数の配線に挟まれた間隙領域に存在する空隙を含む第１の絶縁膜と、

前記複数の配線と前記第１の絶縁膜との間に設けられた第２の絶縁膜と、

前記複数の配線と前記第２の絶縁膜との間に設けられ、前記第１の方向および前記第２の方向の双方と直交する厚さ方向において前記間隙領域を含む領域と対応する位置に開口を形成する開口縁を含む第３の絶縁膜と

を有し、

前記開口縁は、前記厚さ方向において前記配線から遠ざかるほど前記開口が拡大するように、前記厚さ方向に対して傾斜した端面を含む

撮像装置。

（１６）

前記第２基板の前記第１基板と反対側に、前記画素信号を処理するロジック回路および前記画素信号を保持するメモリ回路のうちの少なくとも一方を有する第３半導体基板を含む第３基板をさらに備えた

上記（１５）記載の撮像装置。

（１７）

第１の方向にそれぞれ延在すると共に前記第１の方向と直交する第２の方向に並ぶ複数の配線を、下地絶縁膜に埋め込み形成することと、

前記複数の配線を覆うように第３の絶縁膜を形成することと、

前記第３の絶縁膜のうち、前記第２の方向において隣り合う前記複数の配線に挟まれた間隙領域を含む領域と対応する位置に、第１の開口縁により画定される第１の開口を形成することと、

前記下地絶縁膜のうち、前記第１の開口の形成により露出した部分を掘り下げることと、

前記複数の配線に含まれる金属の拡散を抑止する絶縁材料を用いて、前記下地絶縁膜および複数の配線を覆うように第２の絶縁膜を形成することと、

前記第２の絶縁膜を覆うと共に前記間隙領域に空隙を含むように第１の絶縁膜を形成することと

を含み、

前記第１の開口縁を、前記第１の方向および前記第２の方向の双方と直交

する厚さ方向において前記配線から遠ざかるほど前記第１の開口が拡大するように、前記厚さ方向に対して傾斜した端面を含むように形成する

配線構造の製造方法。

（１８）

第２の開口縁により画定される第２の開口を前記第１の開口と対応する位置に有するレジストマスクを、前記第３の絶縁膜の上に形成することをさらに含み、

前記第２の開口縁を、前記厚さ方向において前記第３の絶縁膜から遠ざかるほど前記第２の開口が拡大するように、前記厚さ方向に対して傾斜した第２の端面を含むように形成する

上記（１７）記載の配線構造の製造方法。

（１９）

前記レジストマスクを加熱することにより、前記厚さ方向に対して傾斜した前記第２の端面を形成する

上記（１８）記載の配線構造の製造方法。

（２０）

前記レジストマスクを利用したエッチング処理により、前記第３の絶縁膜を選択的に除去することで前記第１の開口を形成し、

前記エッチング処理の際、第１の元素を含む材料を前記第２の開口縁に堆積させることで前記厚さ方向に対して傾斜した前記第２の端面を形成する

上記（１８）記載の配線構造の製造方法。

（２１）

前記第１の元素を含むエッチングガスを用いて前記エッチング処理を行う

上記（２０）記載の配線構造の製造方法。

[0241] 本出願は、日本国特許庁において２０２０年７月２０日に出願された日本特許出願番号２０２０－１２４０２１号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0242] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビ

ネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

[請求項1] 第１の方向にそれぞれ延在すると共に前記第１の方向と直交する第２の方向に並ぶ複数の配線と、

前記複数の配線を覆い、前記第２の方向において隣り合う前記複数の配線に挟まれた間隙領域に存在する空隙を含む第１の絶縁膜と

を有し、

前記空隙は、

一の曲線のみからなる輪郭線により画定される断面形状を有し、

または、

２以上の連結部において連結された１以上の曲線と１以上の直線とからなり、前記連結部における前記曲線同士、前記直線同士、もしくは前記曲線と前記直線との交わる角度が９０°以上である輪郭線により画定される断面形状を有する

配線構造。

[請求項2] 前記曲線は、隣り合う２つの前記配線同士の間隔をＷとするとき、（Ｗ／２０）以上の曲率半径を有する

請求項１記載の配線構造。

[請求項3] 前記第１の絶縁膜は、比誘電率（ｋ）が３．０以下の低誘電率材料を含む

請求項１記載の配線構造。

[請求項4] 前記複数の配線と前記第１の絶縁膜との間に設けられた第２の絶縁膜をさらに有し、

前記第２の絶縁膜は、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）またはSiC_xN_yを含む

請求項１記載の配線構造。

[請求項5] 光電変換により電荷を生成可能なセンサ画素が設けられた第１半導体基板を含む第１基板と、

前記電荷に基づく画素信号を出力可能な読み出し回路を有する第２

半導体基板と、前記第２半導体基板に積層された多層配線層とを含み、前記第１基板に積層された第２基板と

を備え、

前記多層配線層は、

第１の方向にそれぞれ延在すると共に前記第１の方向と直交する第２の方向に並ぶ複数の配線と、

前記複数の配線を覆い、前記第２の方向において隣り合う前記複数の配線に挟まれた間隙領域に存在する空隙を含む第１の絶縁膜と

を有し、

前記空隙は、

一の曲線のみからなる輪郭線により画定される断面形状を有し、

または、

２以上の連結部において連結された１以上の曲線と１以上の直線とからなり、前記連結部における前記曲線同士、前記直線同士、もしくは前記曲線と前記直線との交わる角度が９０°以上である輪郭線により画定される断面形状を有する

撮像装置。

[請求項6] 前記第２基板の前記第１基板と反対側に、前記画素信号を処理するロジック回路および前記画素信号を保持するメモリ回路のうちの少なくとも一方を有する第３半導体基板を含む第３基板をさらに備えた

請求項５記載の撮像装置。

[請求項7] 第１の方向にそれぞれ延在すると共に前記第１の方向と直交する第２の方向に並ぶ複数の配線と、

前記複数の配線を覆い、前記第２の方向において隣り合う前記複数の配線に挟まれた間隙領域に存在する空隙を含む第１の絶縁膜と、

前記複数の配線と前記第１の絶縁膜との間に設けられた第２の絶縁膜と、

前記複数の配線と前記第２の絶縁膜との間に設けられ、前記第１の

方向および前記第２の方向の双方と直交する厚さ方向において前記間隙領域を含む領域と対応する位置に開口を形成する開口縁を含む第３の絶縁膜と

を有し、

前記開口縁は、前記厚さ方向において前記配線から遠ざかるほど前記開口が拡大するように、前記厚さ方向に対して傾斜した端面を含む

配線構造。

[請求項8] 前記開口縁は、前記厚さ方向において前記複数の配線のうちの第１の配線と対応する位置にある

請求項７記載の配線構造。

[請求項9] 前記開口縁における前記端面は、前記配線に形成された段差部の表面と連続する傾斜面である

請求項７記載の配線構造。

[請求項10] 前記配線は、第１の金属を含む導電性材料からなる金属膜と、前記第１の方向と直交する断面において前記金属膜の周囲を部分的に覆い、前記第１の金属の拡散を抑止する第２の金属を含む材料からなるバリアメタル層とを有し、

前記第２の絶縁膜は、前記第１の金属の拡散を抑止する絶縁材料を含み、前記金属膜の一部を覆うように設けられている

請求項７記載の配線構造。

[請求項11] 前記端面は、曲面である

請求項７記載の配線構造。

[請求項12] 前記開口縁は、前記端面を複数含む多段形状を有する

請求項７記載の配線構造。

[請求項13] 前記第１の絶縁膜は、比誘電率（ｋ）が３．０以下の低誘電率材料を含む

請求項７記載の配線構造。

[請求項14] 前記第２の絶縁膜は、酸化シリコン（SiO_x）、窒化シリコン（

SiN_x）またはSiC_xN_yを含む

請求項７記載の配線構造。

[請求項15] 光電変換により電荷を生成可能なセンサ画素が設けられた第１半導体基板を含む第１基板と、

前記電荷に基づく画素信号を出力可能な読み出し回路を有する第２半導体基板と、前記第２半導体基板に積層された多層配線層とを含み、前記第１基板に積層された第２基板と

を備え、

前記多層配線層は、

第１の方向にそれぞれ延在すると共に前記第１の方向と直交する第２の方向に並ぶ複数の配線と、

前記複数の配線を覆い、前記第２の方向において隣り合う前記複数の配線に挟まれた間隙領域に存在する空隙を含む第１の絶縁膜と、

前記複数の配線と前記第１の絶縁膜との間に設けられた第２の絶縁膜と、

前記複数の配線と前記第２の絶縁膜との間に設けられ、前記第１の方向および前記第２の方向の双方と直交する厚さ方向において前記間隙領域を含む領域と対応する位置に開口を形成する開口縁を含む第３の絶縁膜と

を有し、

前記開口縁は、前記厚さ方向において前記配線から遠ざかるほど前記開口が拡大するように、前記厚さ方向に対して傾斜した端面を含む

撮像装置。

[請求項16] 前記第２基板の前記第１基板と反対側に、前記画素信号を処理するロジック回路および前記画素信号を保持するメモリ回路のうちの少なくとも一方を有する第３半導体基板を含む第３基板をさらに備えた

請求項１５記載の撮像装置。

[請求項17] 第１の方向にそれぞれ延在すると共に前記第１の方向と直交する第

２の方向に並ぶ複数の配線を、下地絶縁膜に埋め込み形成することと、

前記複数の配線を覆うように第３の絶縁膜を形成することと、

前記第３の絶縁膜のうち、前記第２の方向において隣り合う前記複数の配線に挟まれた間隙領域を含む領域と対応する位置に、第１の開口縁により画定される第１の開口を形成することと、

前記下地絶縁膜のうち、前記第１の開口の形成により露出した部分を掘り下げることと、

前記複数の配線に含まれる金属の拡散を抑止する絶縁材料を用いて、前記下地絶縁膜および複数の配線を覆うように第２の絶縁膜を形成することと、

前記第２の絶縁膜を覆うと共に前記間隙領域に空隙を含むように第１の絶縁膜を形成することと

を含み、

前記第１の開口縁を、前記第１の方向および前記第２の方向の双方と直交する厚さ方向において前記配線から遠ざかるほど前記第１の開口が拡大するように、前記厚さ方向に対して傾斜した端面を含むように形成する

配線構造の製造方法。

[請求項18] 第２の開口縁により画定される第２の開口を前記第１の開口と対応する位置に有するレジストマスクを、前記第３の絶縁膜の上に形成することをさらに含み、

前記第２の開口縁を、前記厚さ方向において前記第３の絶縁膜から遠ざかるほど前記第２の開口が拡大するように、前記厚さ方向に対して傾斜した第２の端面を含むように形成する

請求項１７に記載の配線構造の製造方法。

[請求項19] 前記レジストマスクを加熱することにより、前記厚さ方向に対して傾斜した前記第２の端面を形成する

請求項１８に記載の配線構造の製造方法。

[請求項20] 前記レジストマスクを利用したエッチング処理により、前記第３の絶縁膜を選択的に除去することで前記第１の開口を形成し、

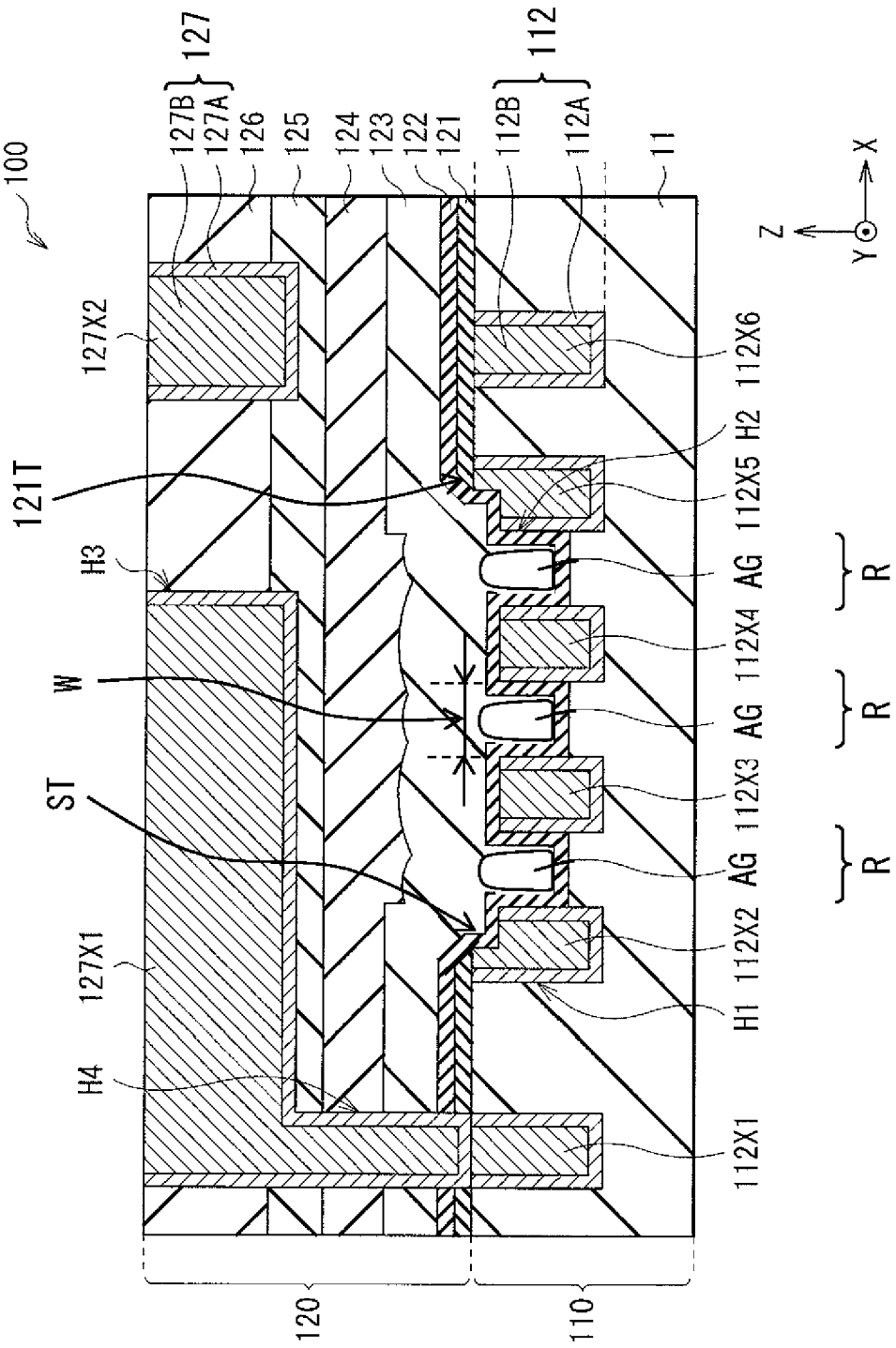
前記エッチング処理の際、第１の元素を含む材料を前記第２の開口縁に堆積させることで前記厚さ方向に対して傾斜した前記第２の端面を形成する

請求項１８に記載の配線構造の製造方法。

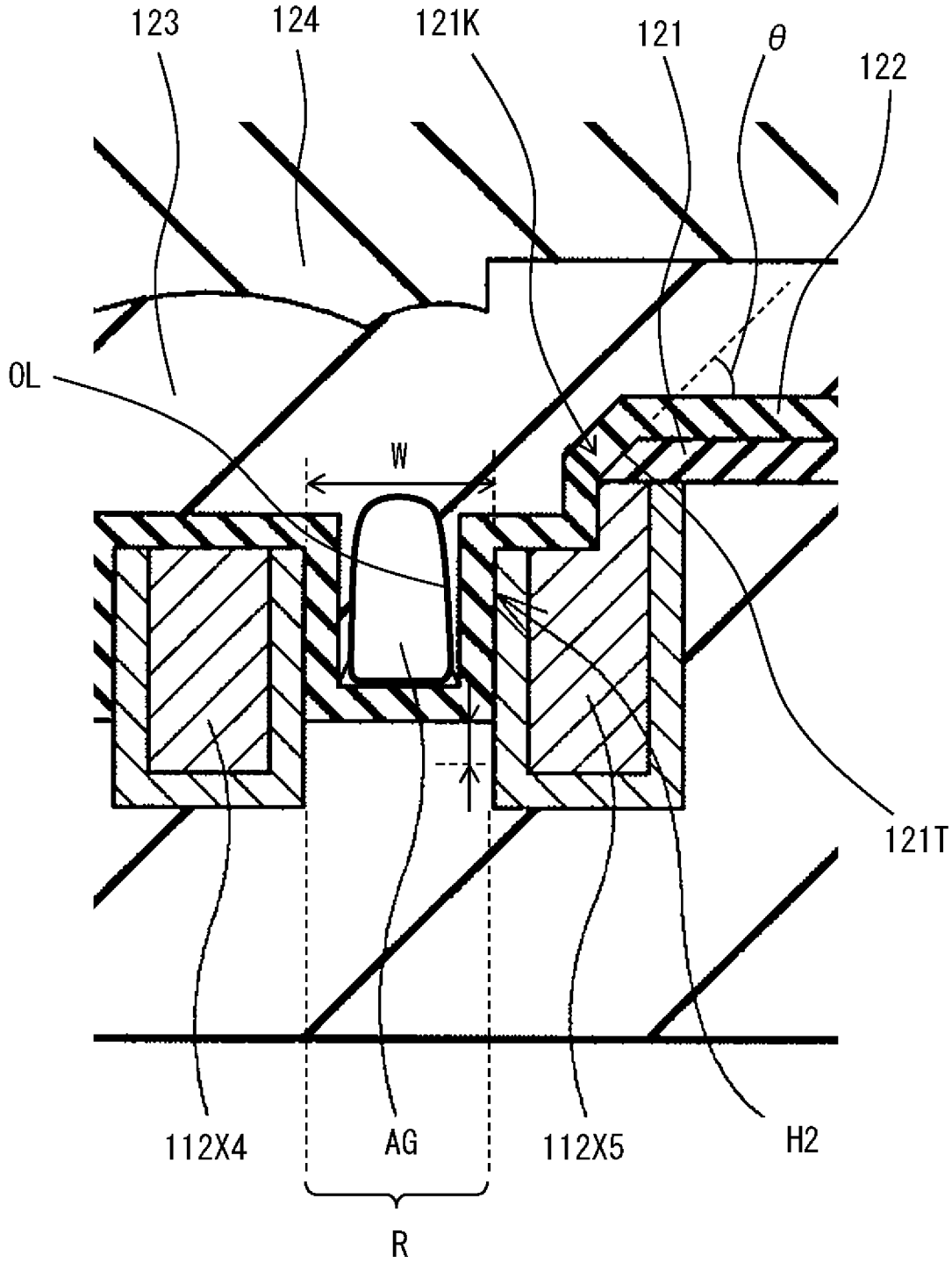
[請求項21] 前記第１の元素を含むエッチングガスを用いて前記エッチング処理を行う

請求項２０に記載の配線構造の製造方法。

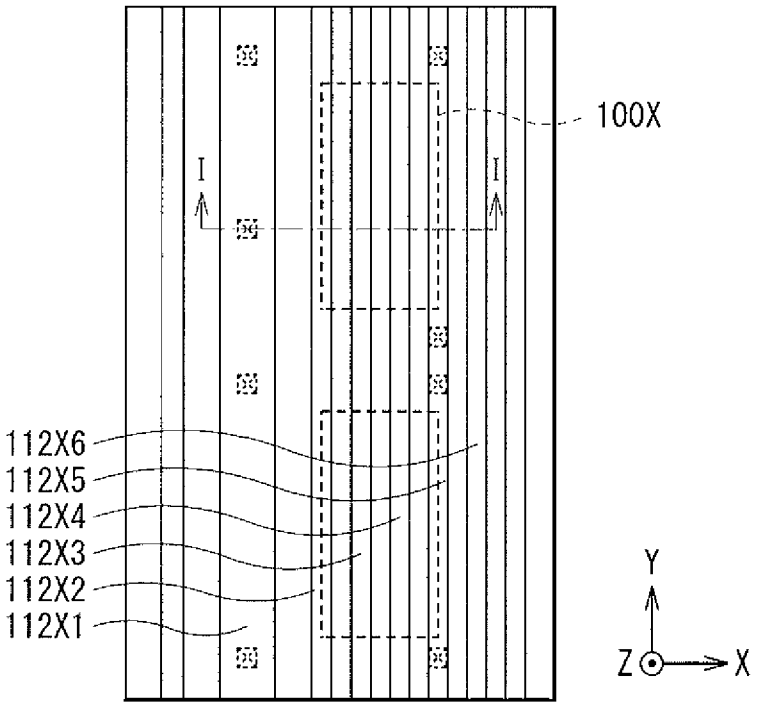
[図1A]


100
127
127B
127A
126
125
124
123
122
121
112
112B
112A
11
X
Z
Y
127X2
121T
H3
W
ST
127X1
H4
112X6
H2
112X5
AG
112X4
AG
112X3
AG
112X2
H1
112X1
R
R
R
120
110

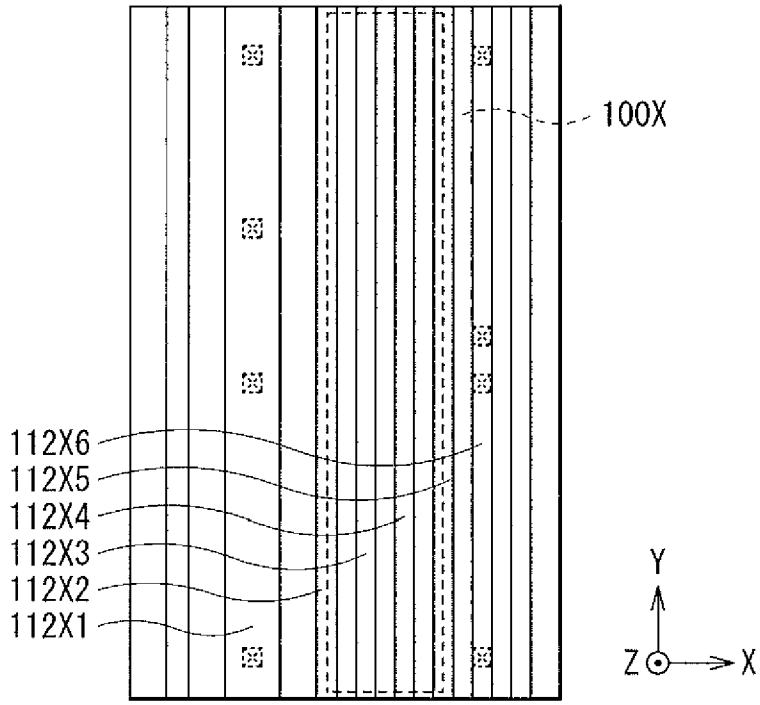
[図1B]



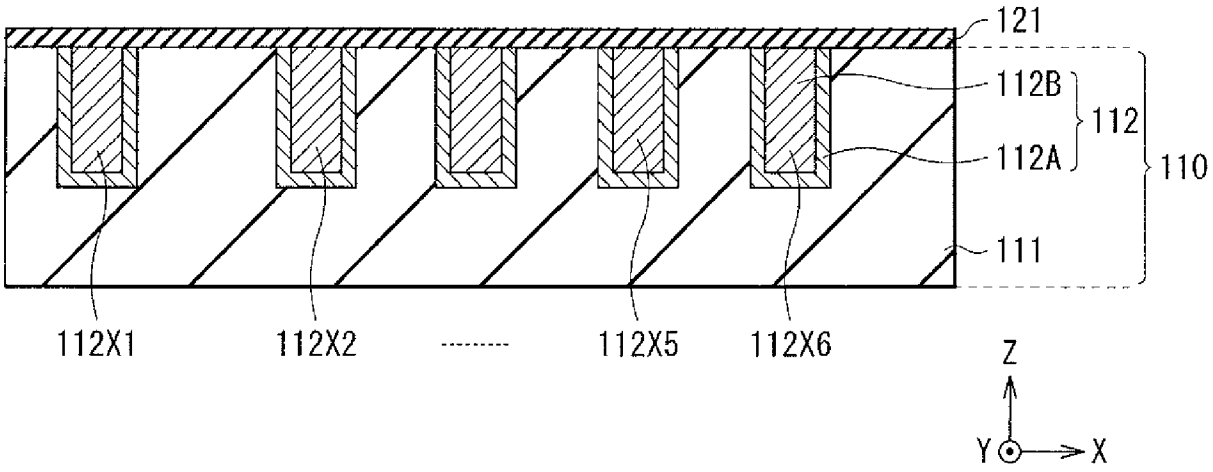
[図2A]


100X
I
I
112X6
112X5
112X4
112X3
112X2
112X1
Y
Z
X

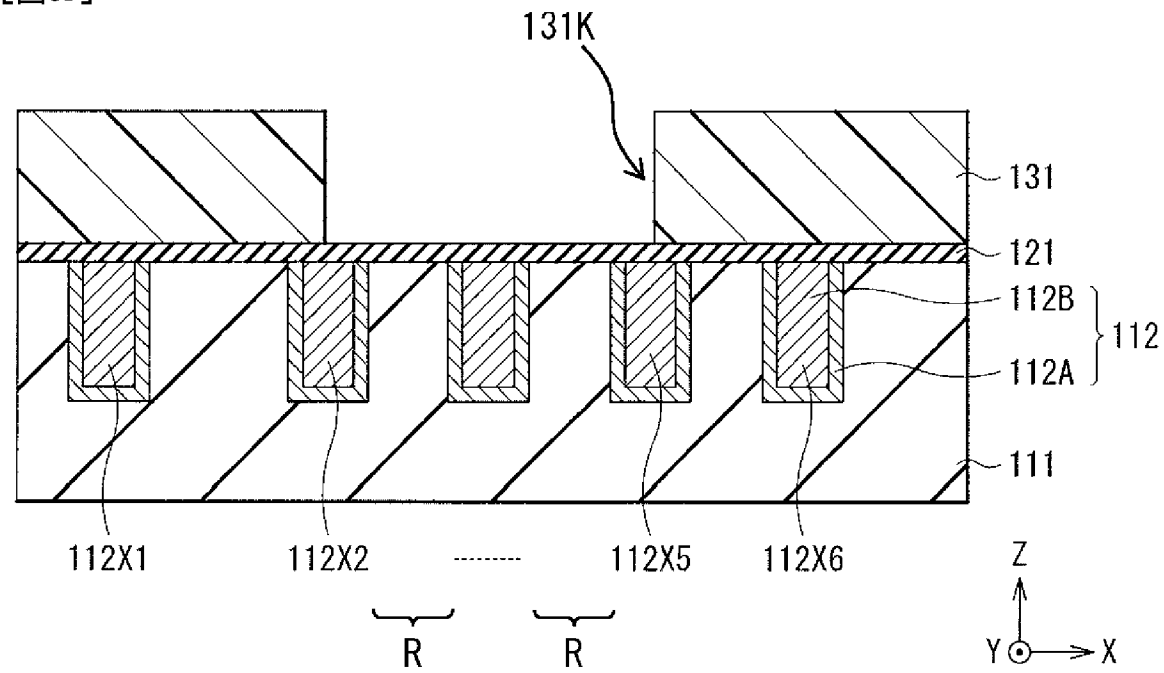
[図2B]


100X
112X6
112X5
112X4
112X3
112X2
112X1
Y
Z
X

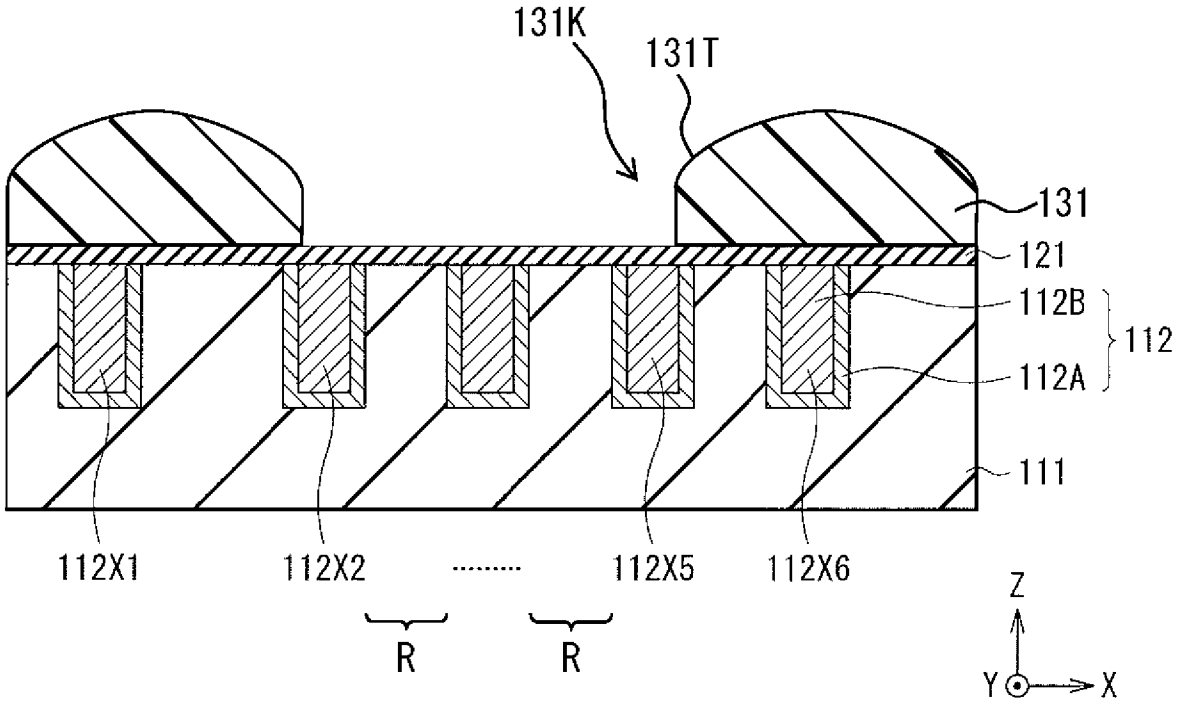
[図3A]


121
112B
112
112A
110
111
112X1
112X2
112X5
112X6
Z
Y
X

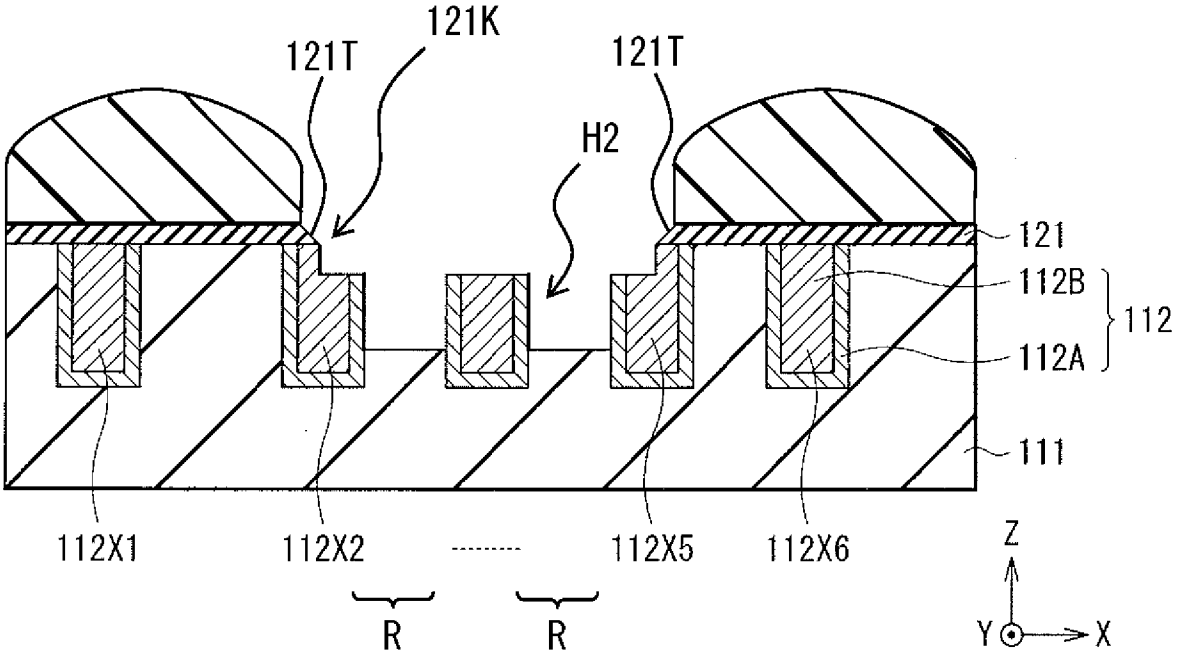
[図3B]


131K
131
121
112B
112
112A
111
112X1
112X2
112X5
112X6
R
R
Z
Y
X

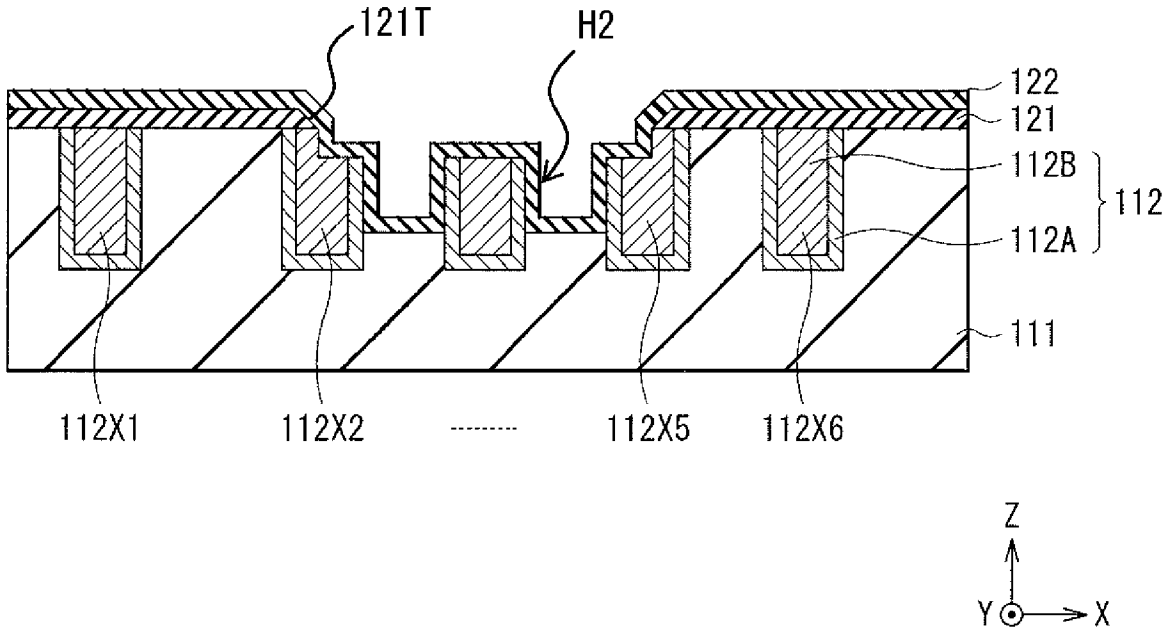
[図3C]


131K
131T
131
121
112B
112
112A
111
112X1
112X2
112X5
112X6
R
R
Z
Y
X

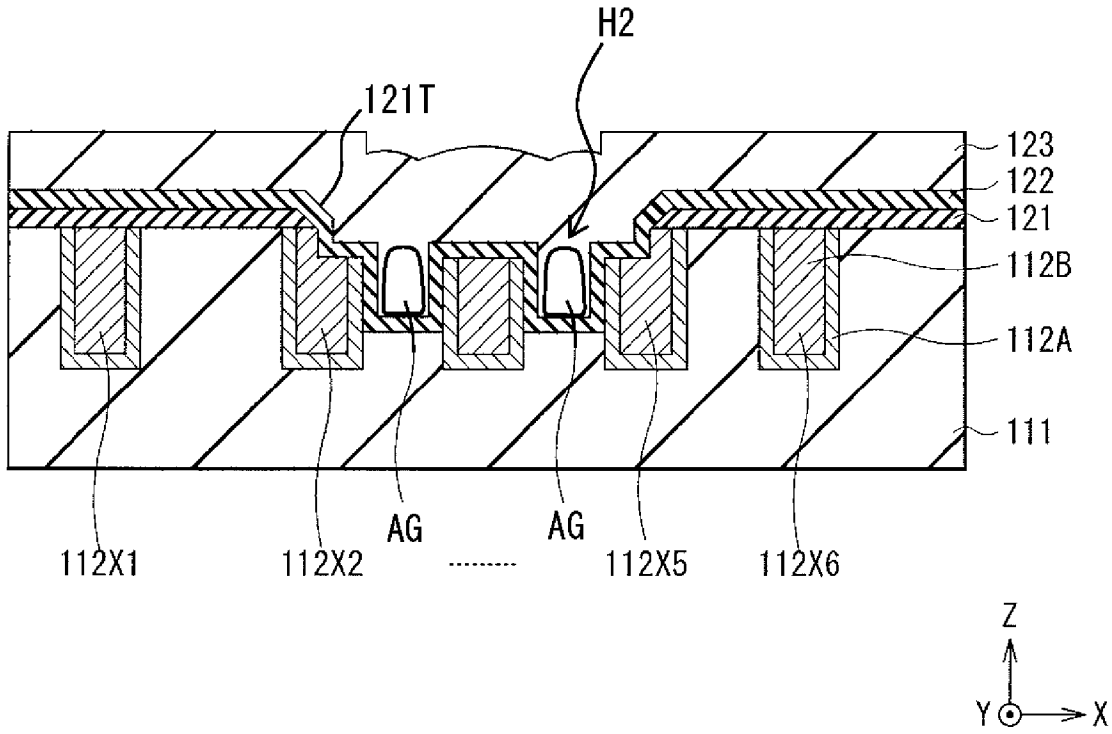
[図3D]


121K
121T
121T
H2
121
112B
112
112A
111
112X1
112X2
112X5
112X6
R
R
Z
Y
X

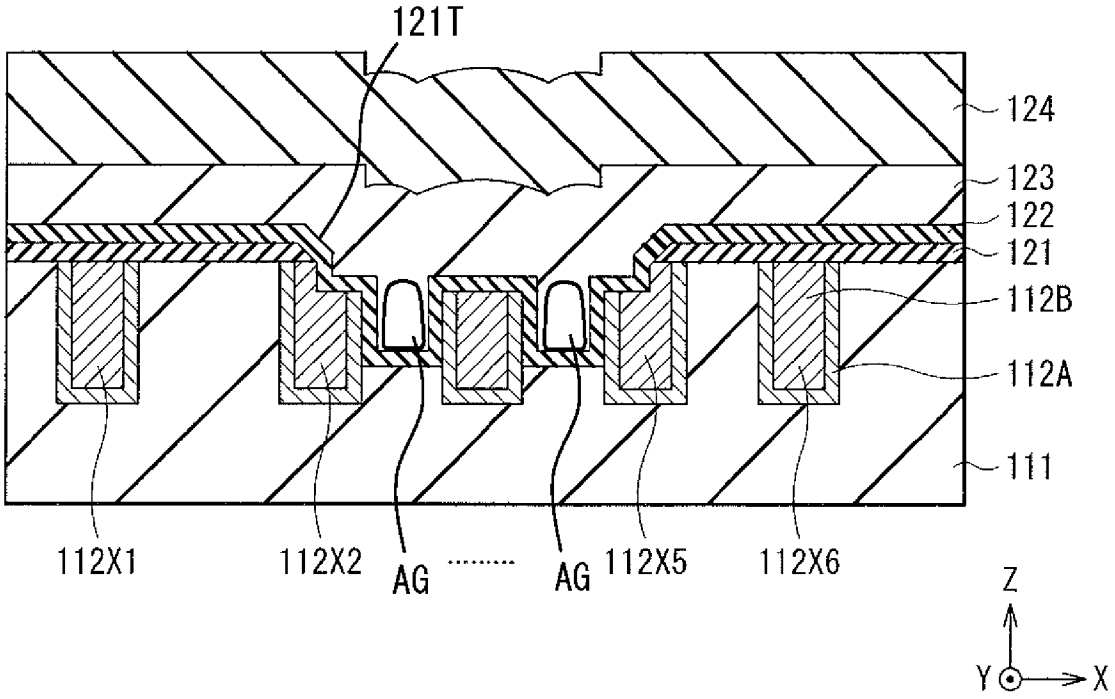
[図3E]


121T
H2
122
121
112B
112
112A
111
112X1
112X2
112X5
112X6
Z
Y
X

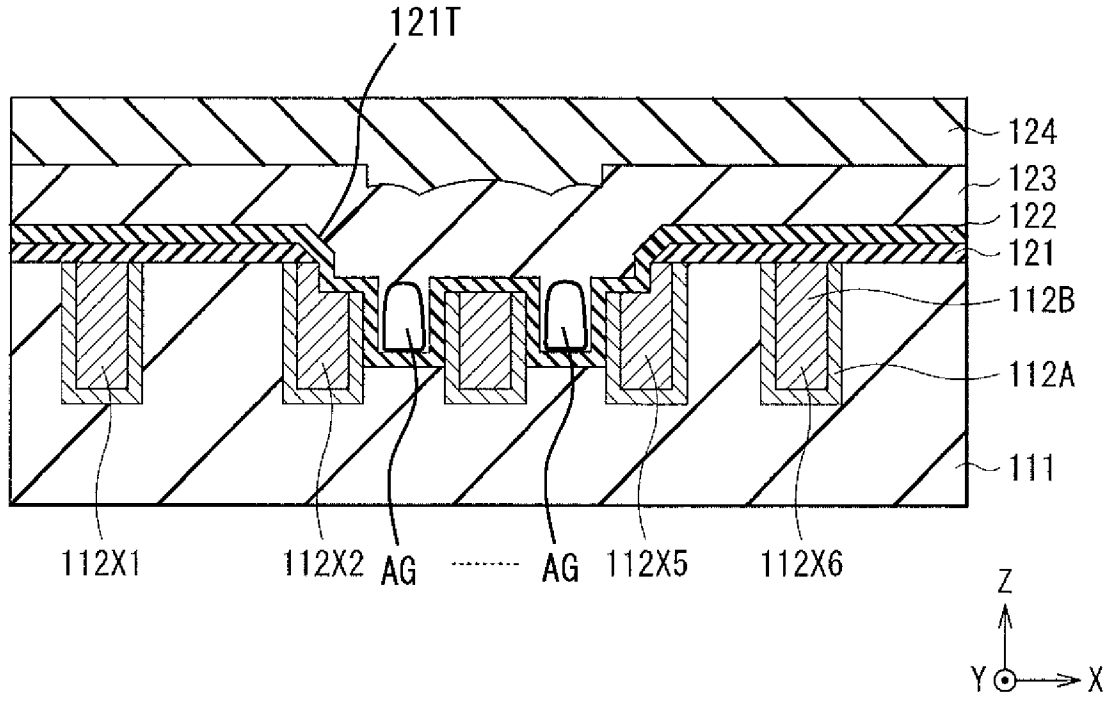
[図3F]


H2
121T
123
122
121
112B
112A
111
AG
AG
112X1
112X2
112X5
112X6
Z
Y
X

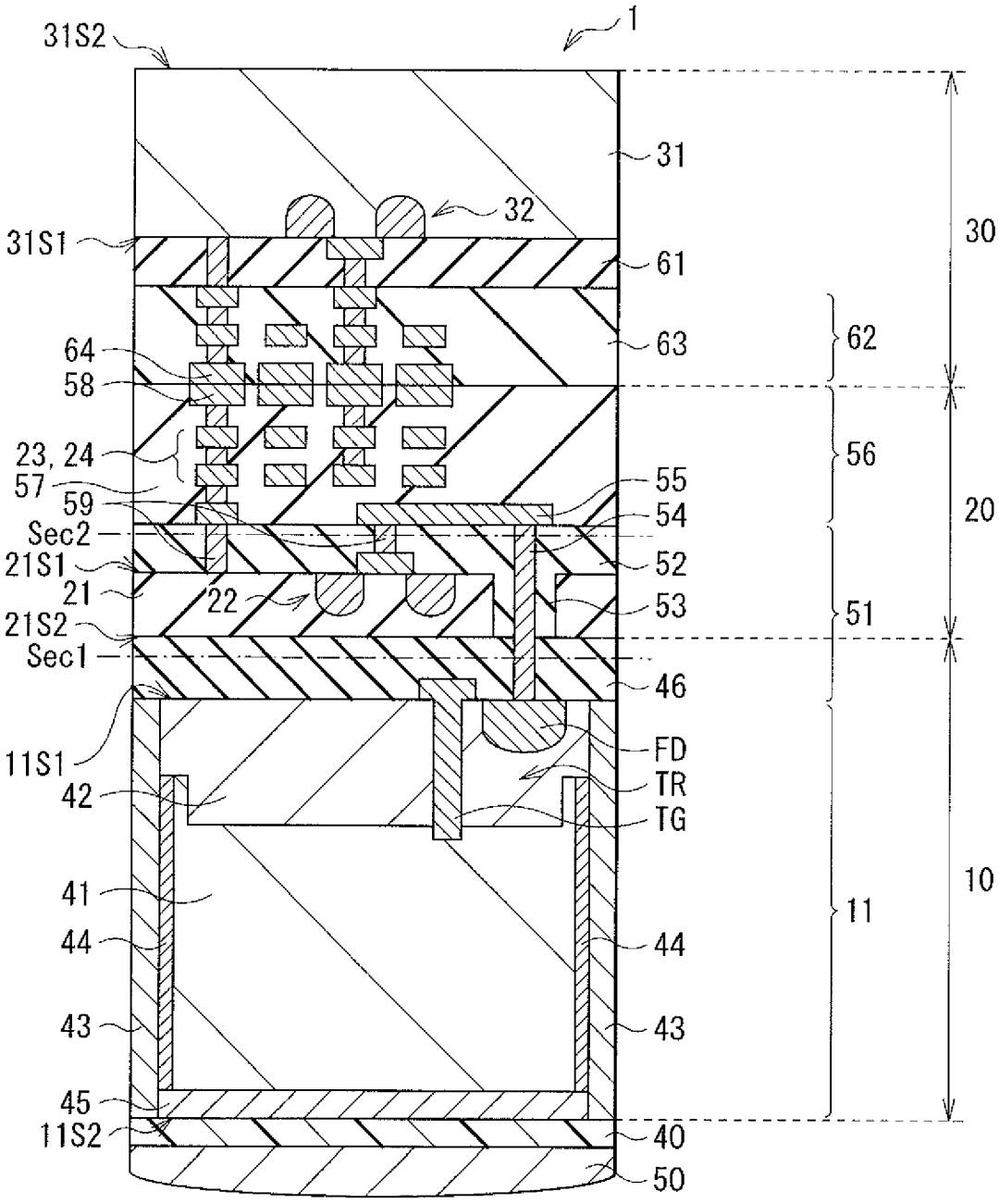
[図3G]


121T
124
123
122
121
112B
112A
111
112X1
112X2
AG
AG
112X5
112X6
Z
Y
X

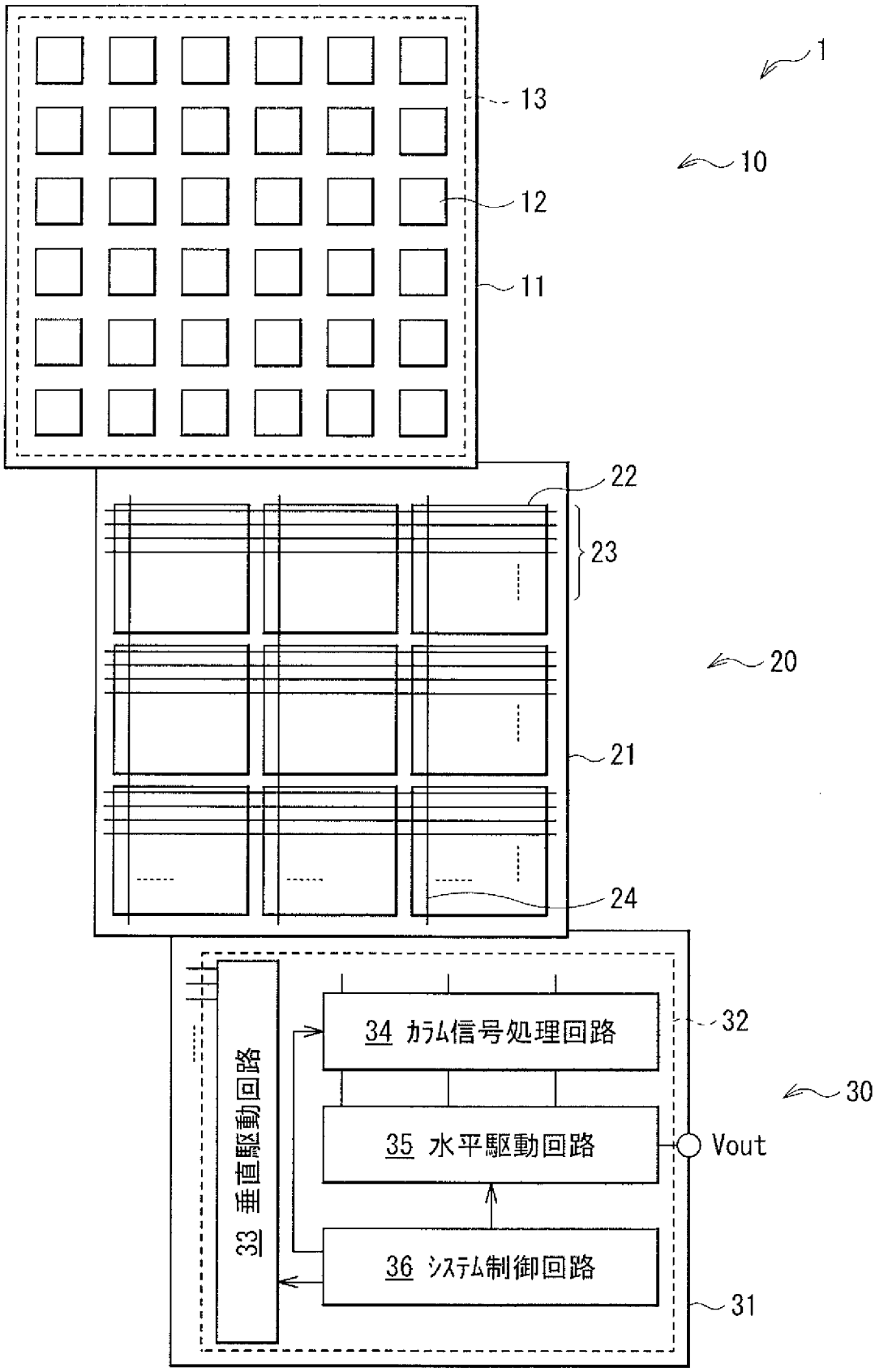
[図3H]


121T
124
123
122
121
112B
112A
111
112X1
112X2
AG
AG
112X5
112X6
Z
Y
X

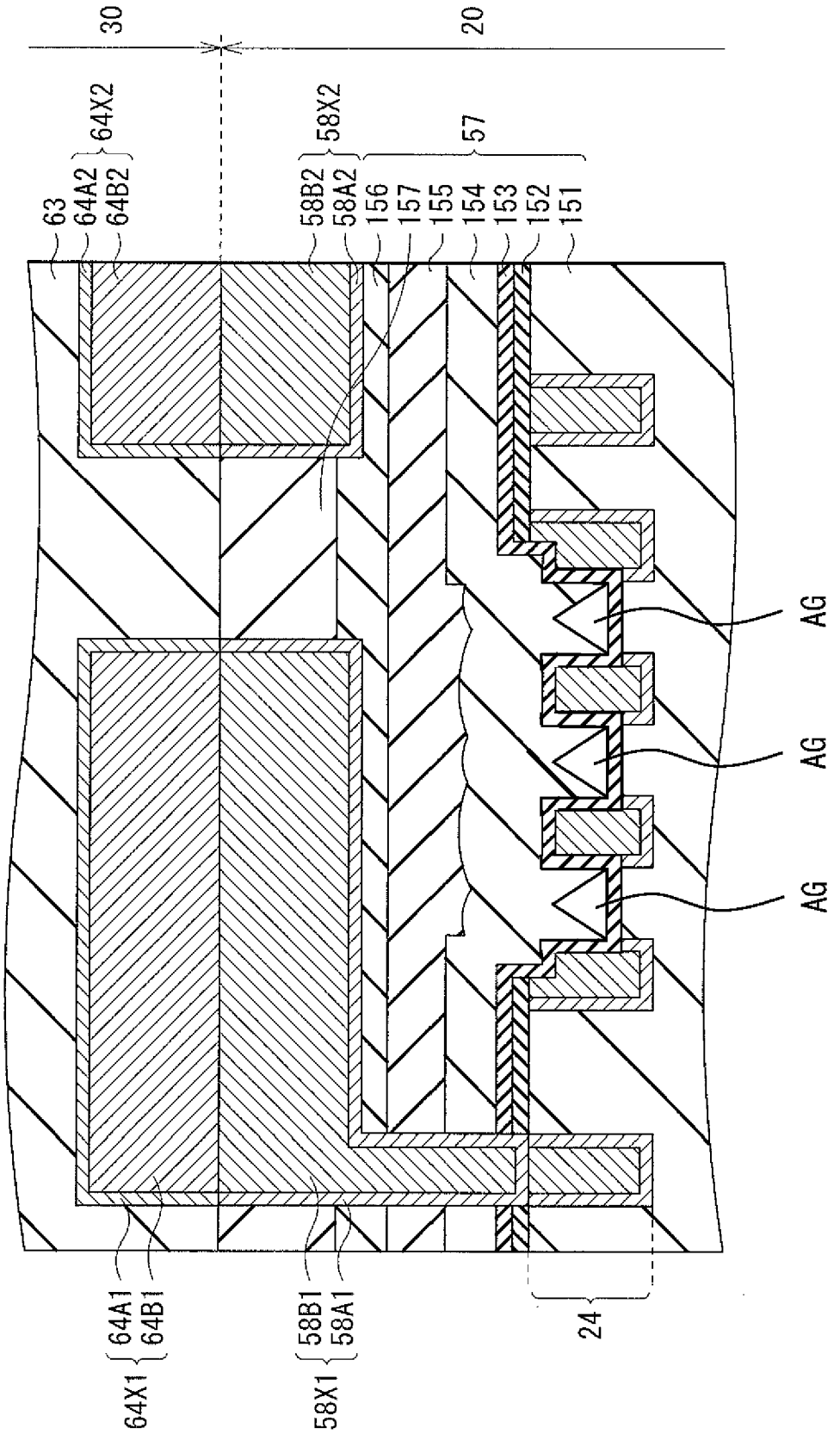
[図4]


1
31S2
31
32
31S1
61
30
64
58
63
62
23, 24
57
59
56
55
54
Sec2
20
21S1
52
21
22
53
51
21S2
Sec1
46
11S1
FD
42
TR
TG
41
10
44
11
44
43
43
45
11S2
40
50

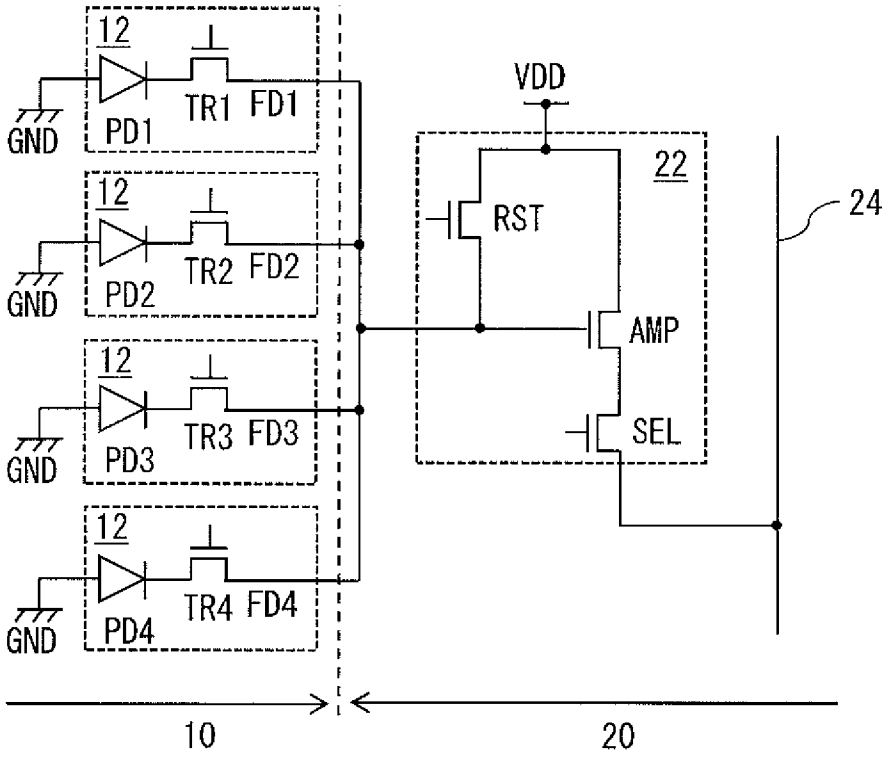
[図5]


1
10
13
12
11
22
23
20
21
24
32
34 カラム信号処理回路
30
35 水平駆動回路
Vout
36 システム制御回路
31
33 垂直駆動回路

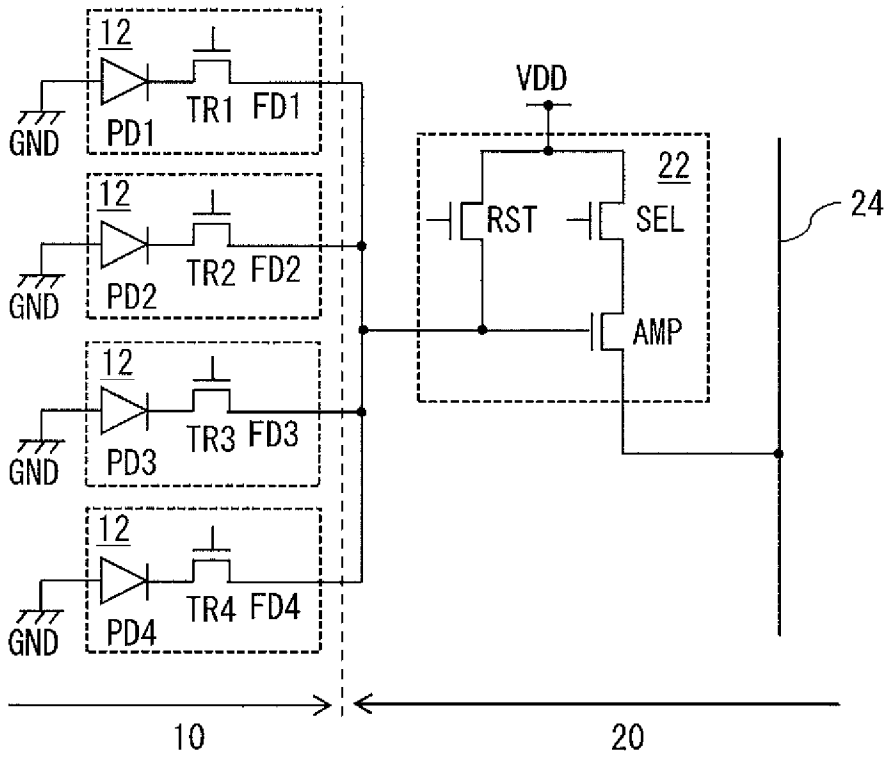
[図6]


30
20
64X2
64A2
64B2
63
58X2
58B2
58A2
57
156
157
155
154
153
152
151
AG
AG
AG
64X1
64A1
64B1
58X1
58B1
58A1
24

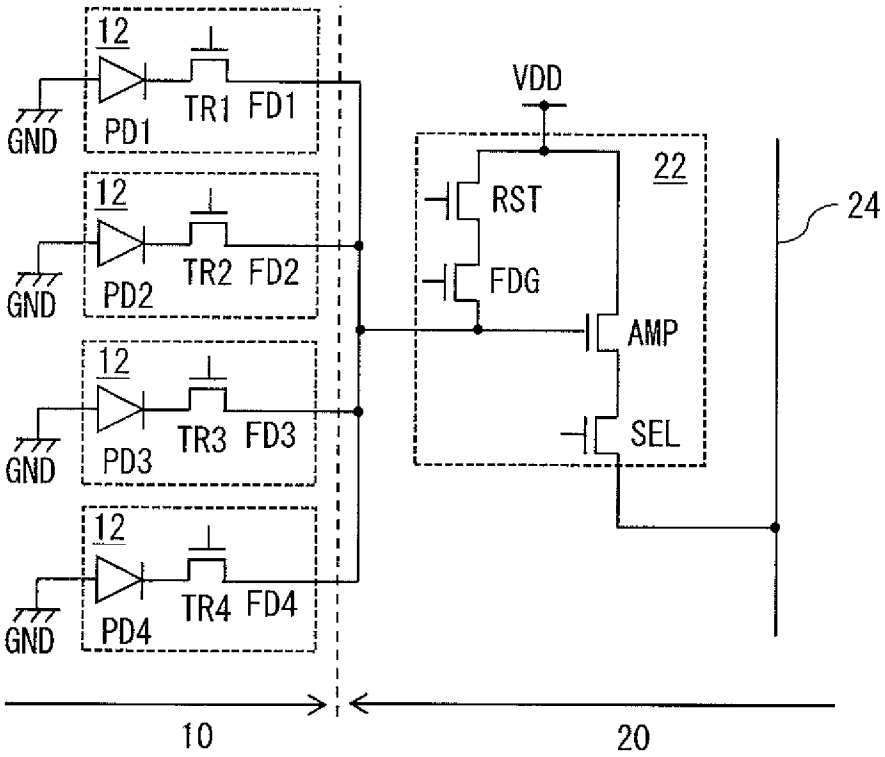
[図7]


12
PD1
TR1
FD1
GND
12
PD2
TR2
FD2
GND
12
PD3
TR3
FD3
GND
12
PD4
TR4
FD4
GND
VDD
22
RST
AMP
SEL
24
10
20

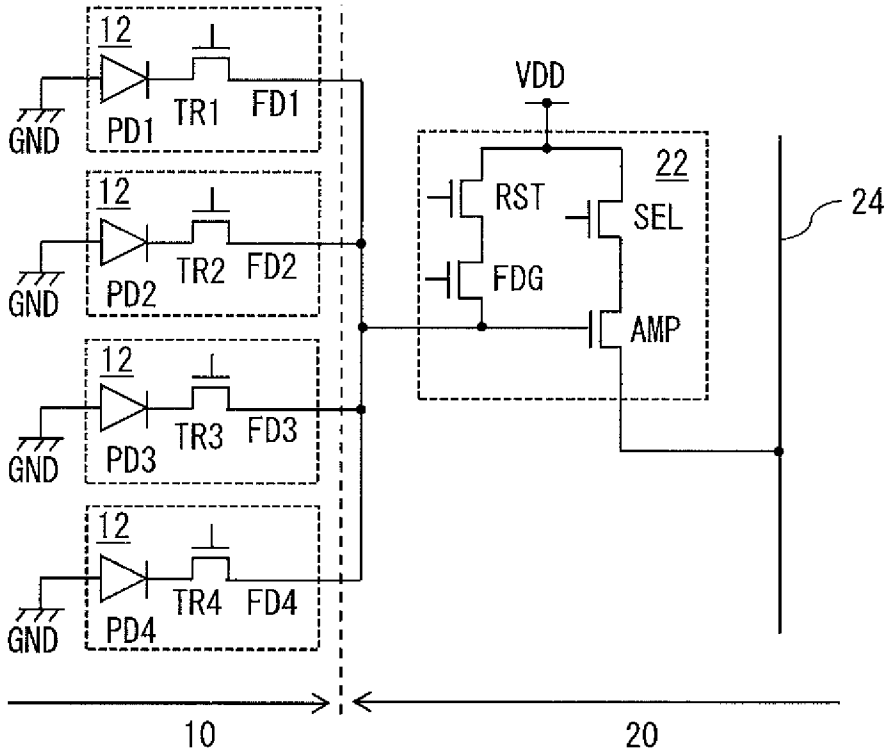
[図8]


12
PD1
TR1
FD1
GND
12
PD2
TR2
FD2
GND
12
PD3
TR3
FD3
GND
12
PD4
TR4
FD4
GND
VDD
22
RST
SEL
AMP
24
10
20

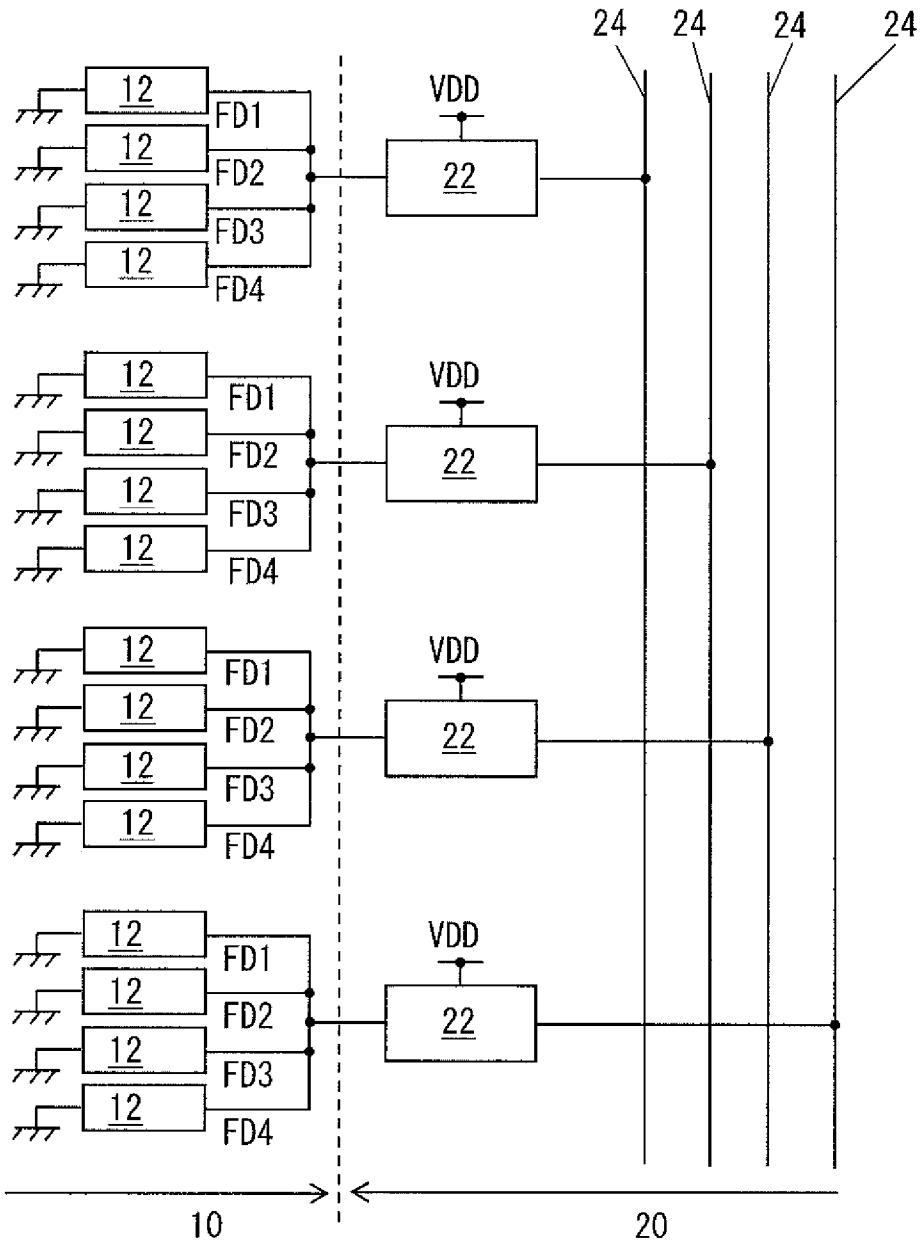
[図9]


12
PD1
TR1
FD1
GND
12
PD2
TR2
FD2
GND
12
PD3
TR3
FD3
GND
12
PD4
TR4
FD4
GND
VDD
22
RST
FDG
AMP
SEL
24
10
20

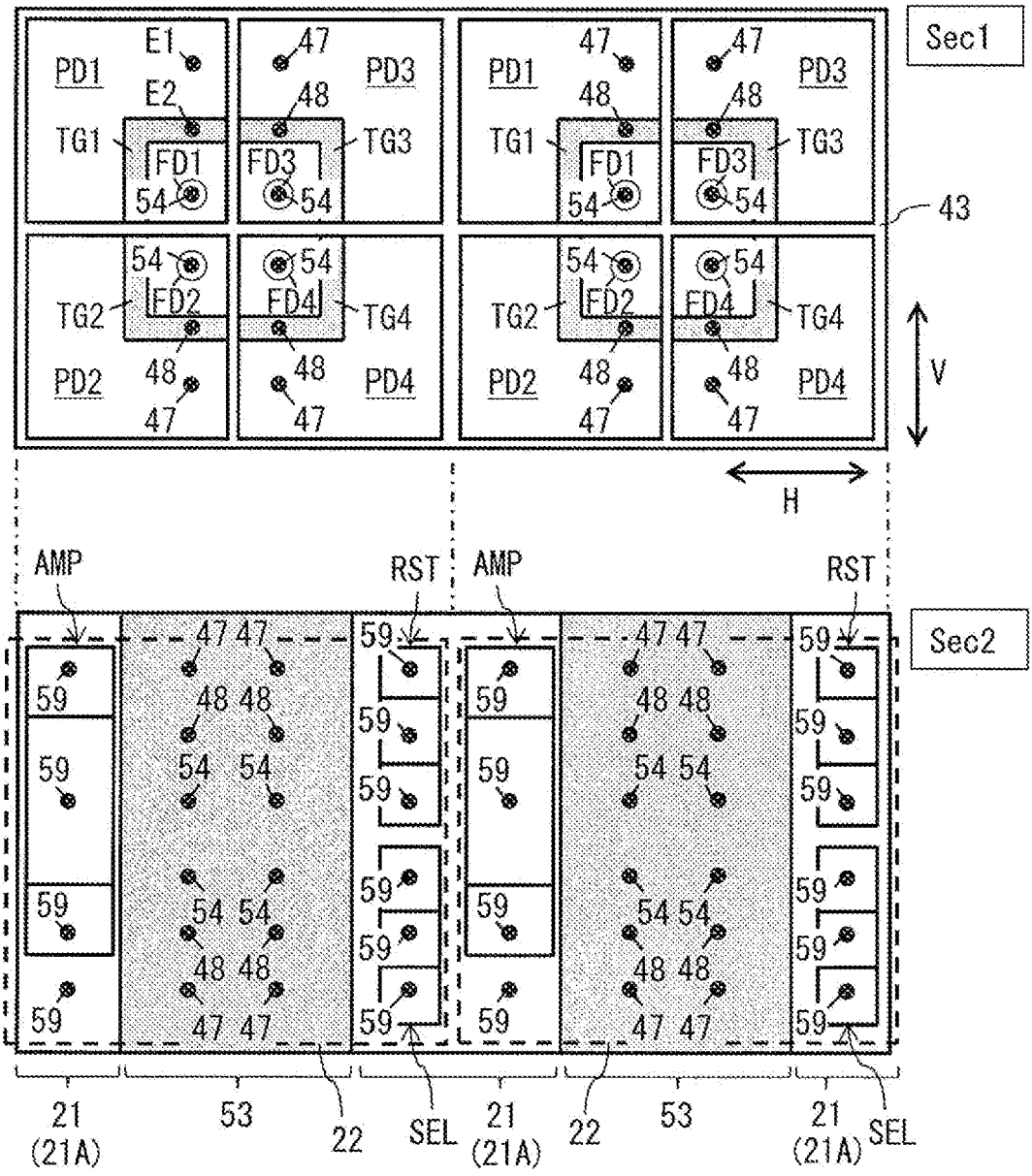
[図10]


12
PD1
TR1
FD1
GND
12
PD2
TR2
FD2
GND
12
PD3
TR3
FD3
GND
12
PD4
TR4
FD4
GND
VDD
22
RST
SEL
FDG
AMP
24
10
20

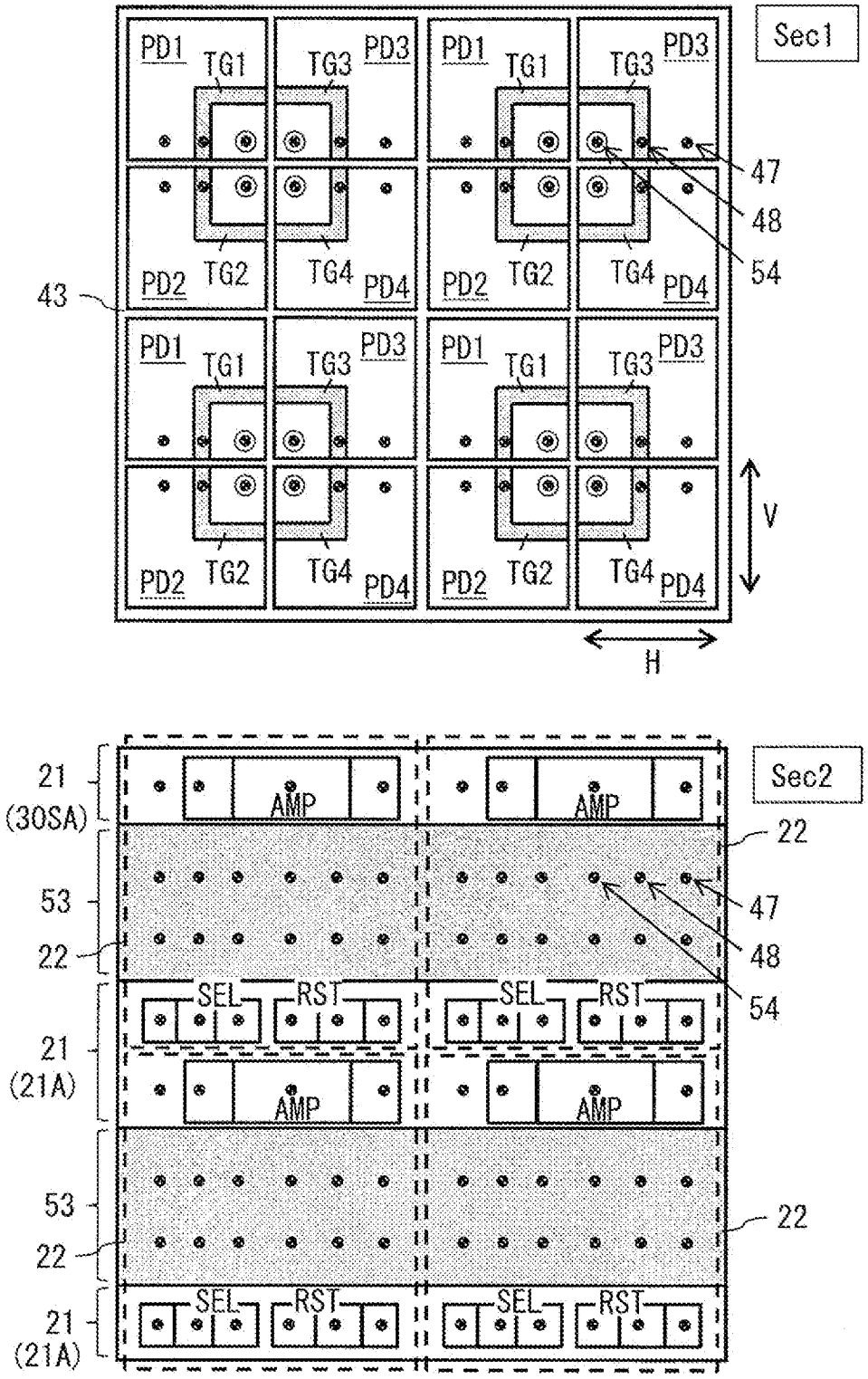
[図11]



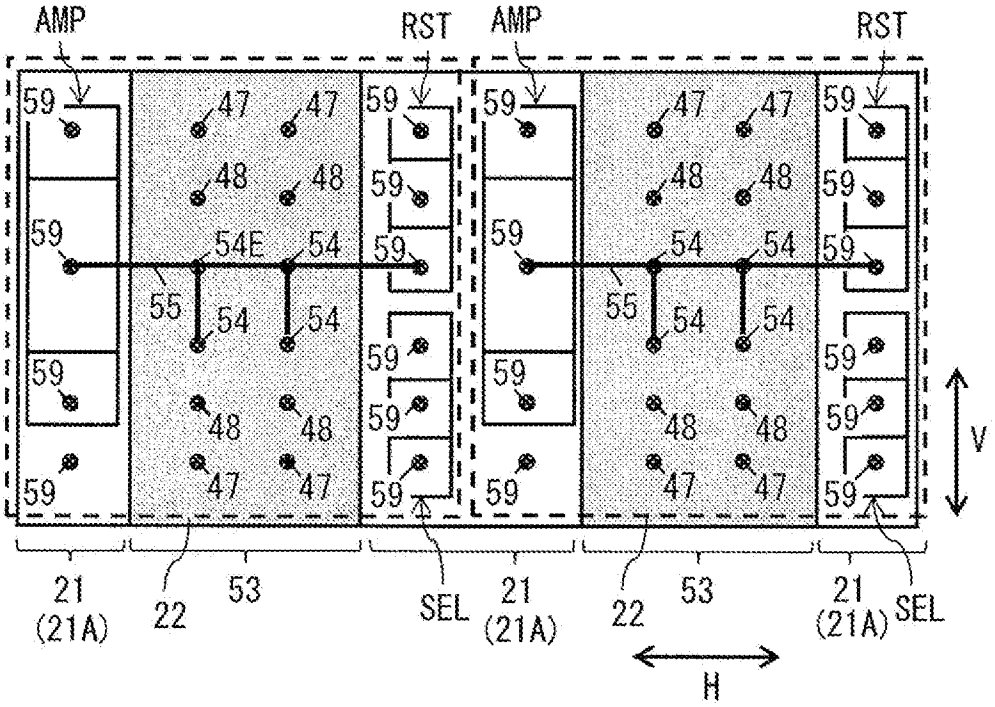
[図12]


Sec1
PD1
E1
E2
47
48
PD3
TG1
FD1
FD3
TG3
54
43
TG2
FD2
FD4
TG4
PD2
PD4
V
H
AMP
RST
Sec2
59
21
(21A)
53
22
SEL

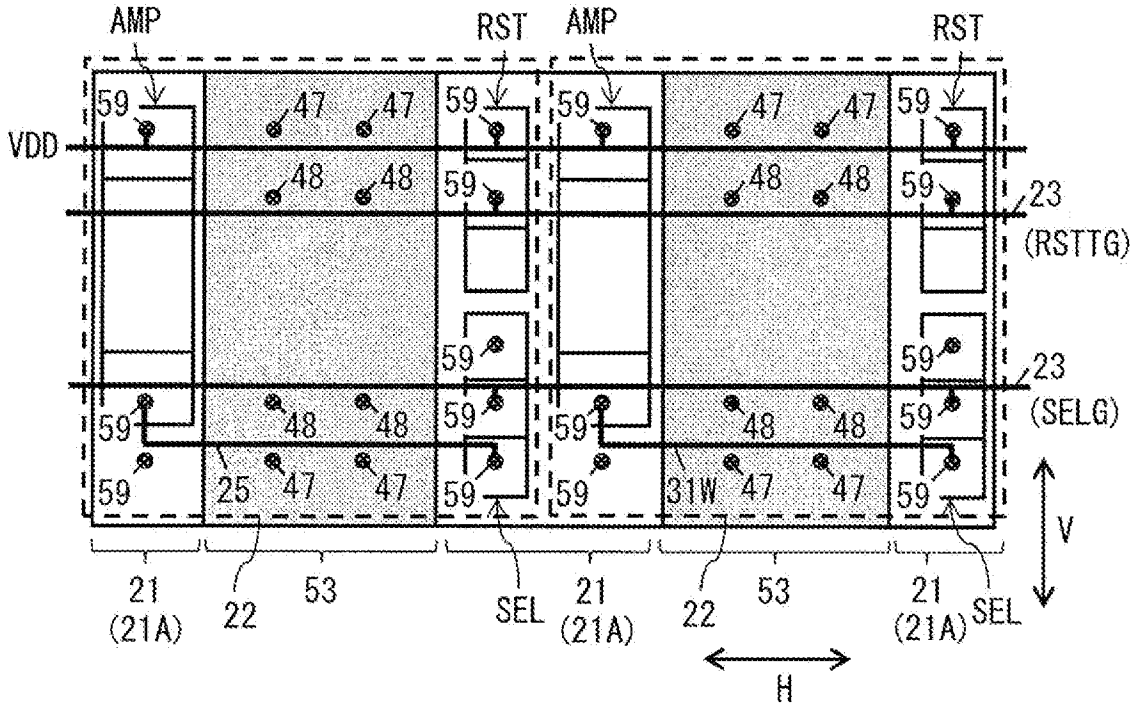
[図13]


Sec1
PD1
TG1
TG3
PD3
PD2
TG2
TG4
PD4
47
48
54
43
V
H
Sec2
21
(30SA)
AMP
22
53
SEL
RST
21
(21A)

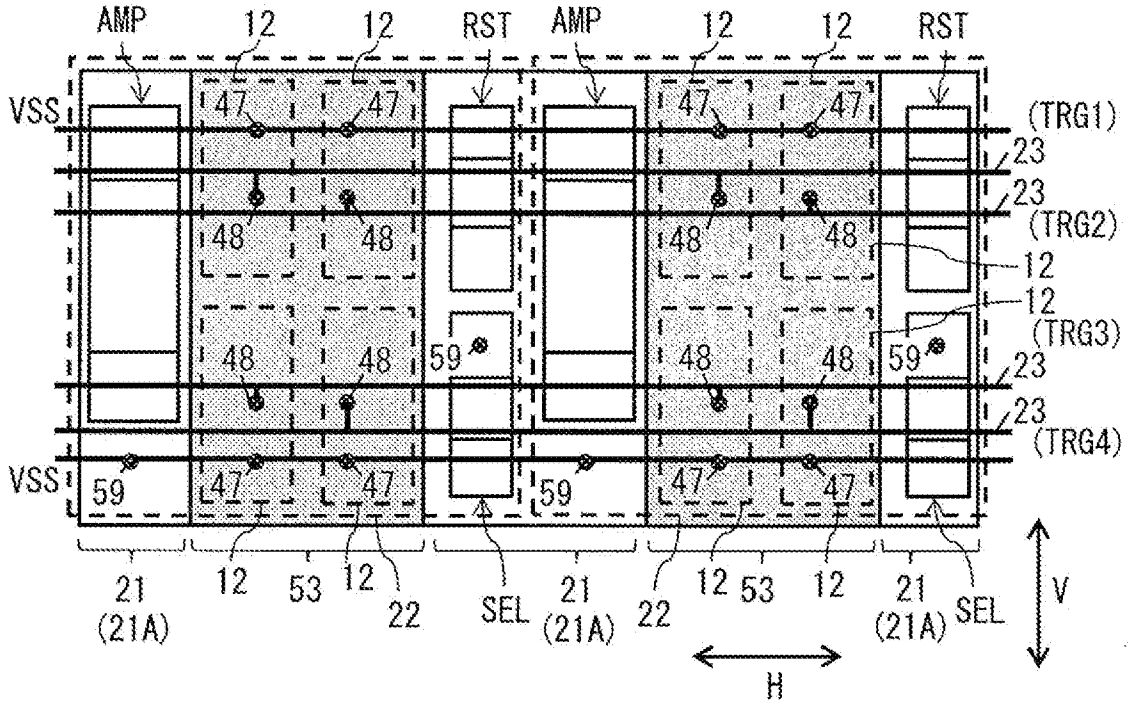
[図14]


AMP
RST
AMP
RST
59
47
48
54E
54
55
V
21
(21A)
22
53
SEL
H

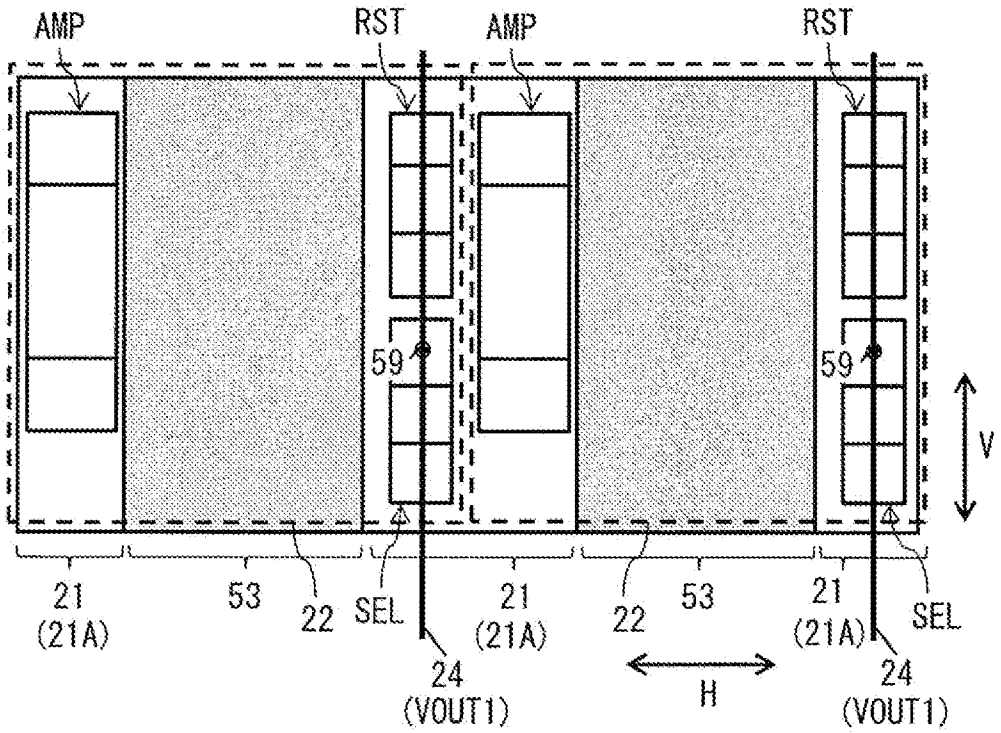
[図15]


AMP
RST
AMP
RST
VDD
59
47
48
23
(RSTTG)
(SELG)
25
31W
V
21
(21A)
22
53
SEL
H

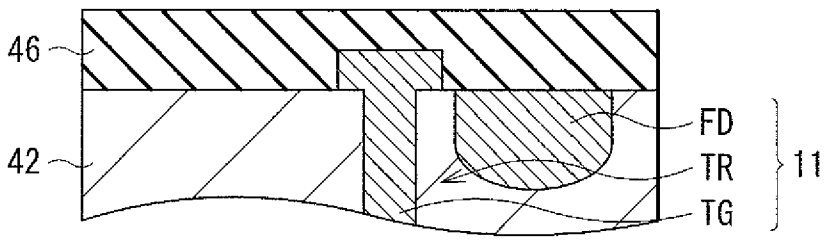
[図16]


AMP
12
12
RST
AMP
12
12
RST
VSS
47
47
(TRG1)
23
23
(TRG2)
48
48
12
12
(TRG3)
59
23
23
(TRG4)
VSS
59
21
(21A)
12
53
12
22
SEL
21
(21A)
22
12
53
12
21
(21A)
SEL
V
H

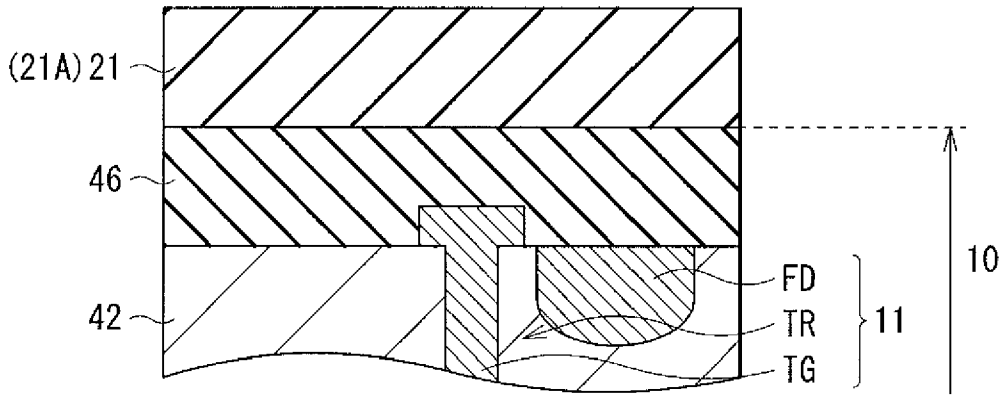
[図17]


AMP
RST
AMP
RST
59
59
V
21
(21A)
53
22
SEL
21
(21A)
22
53
21
(21A)
SEL
24
(VOUT1)
H
24
(VOUT1)

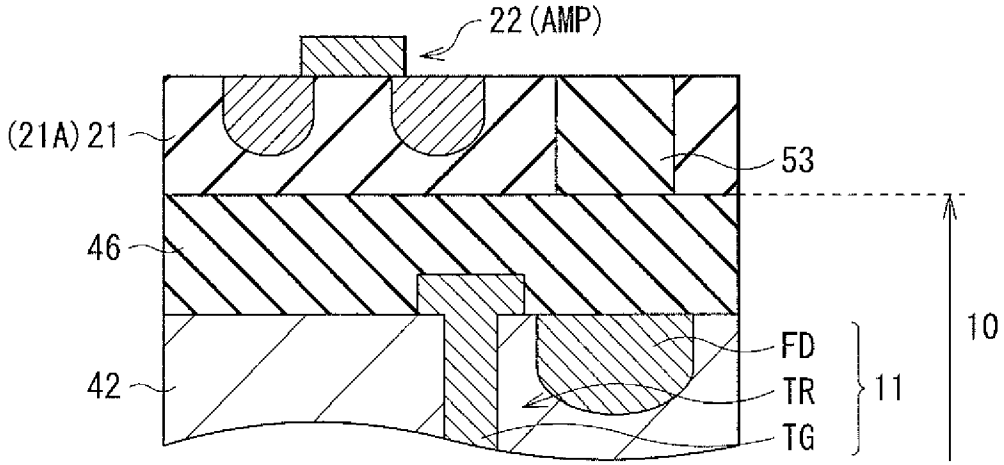
[図18A]


46
42
FD
TR
TG
11

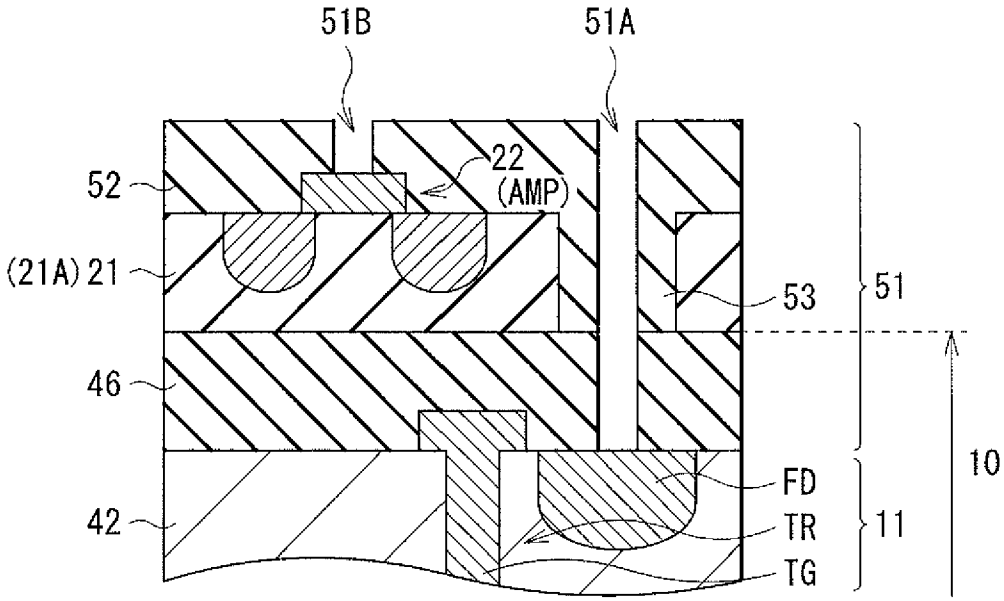
[図18B]



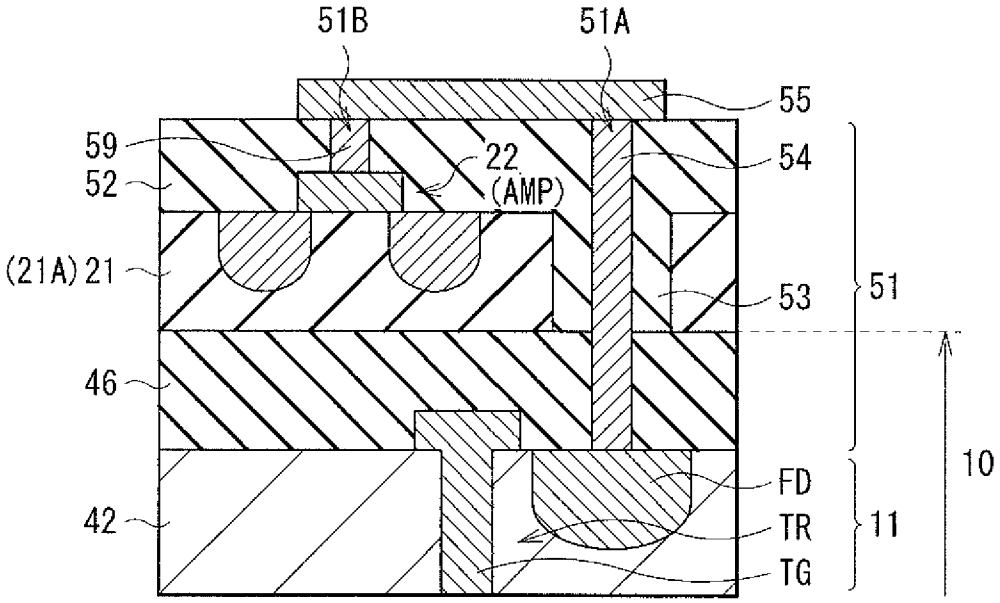
[図18C]



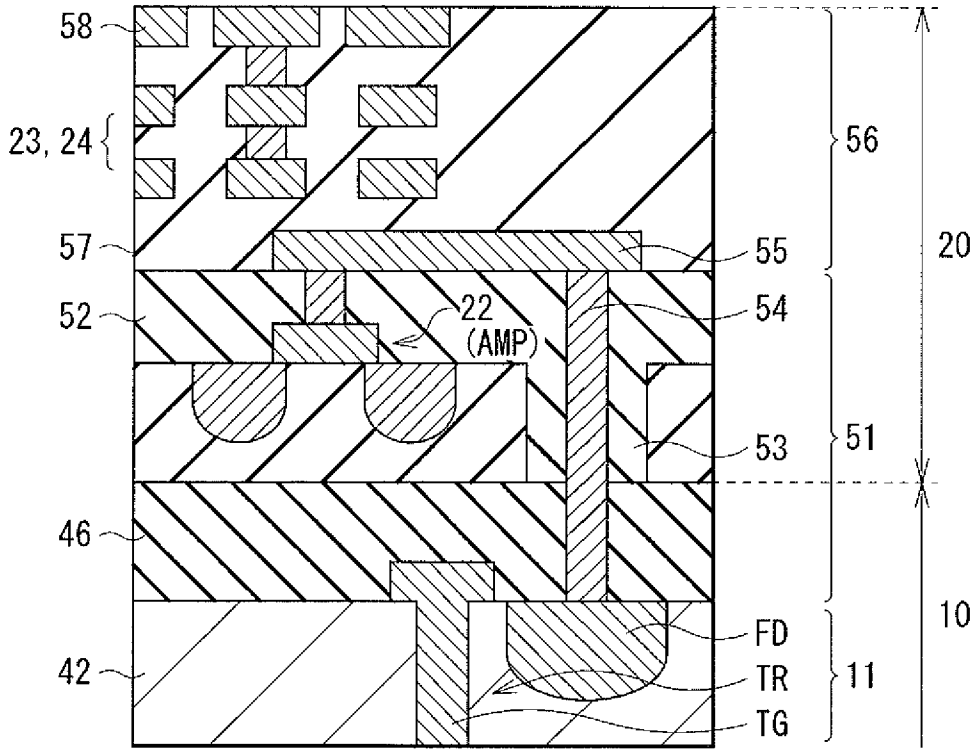
[図18D]



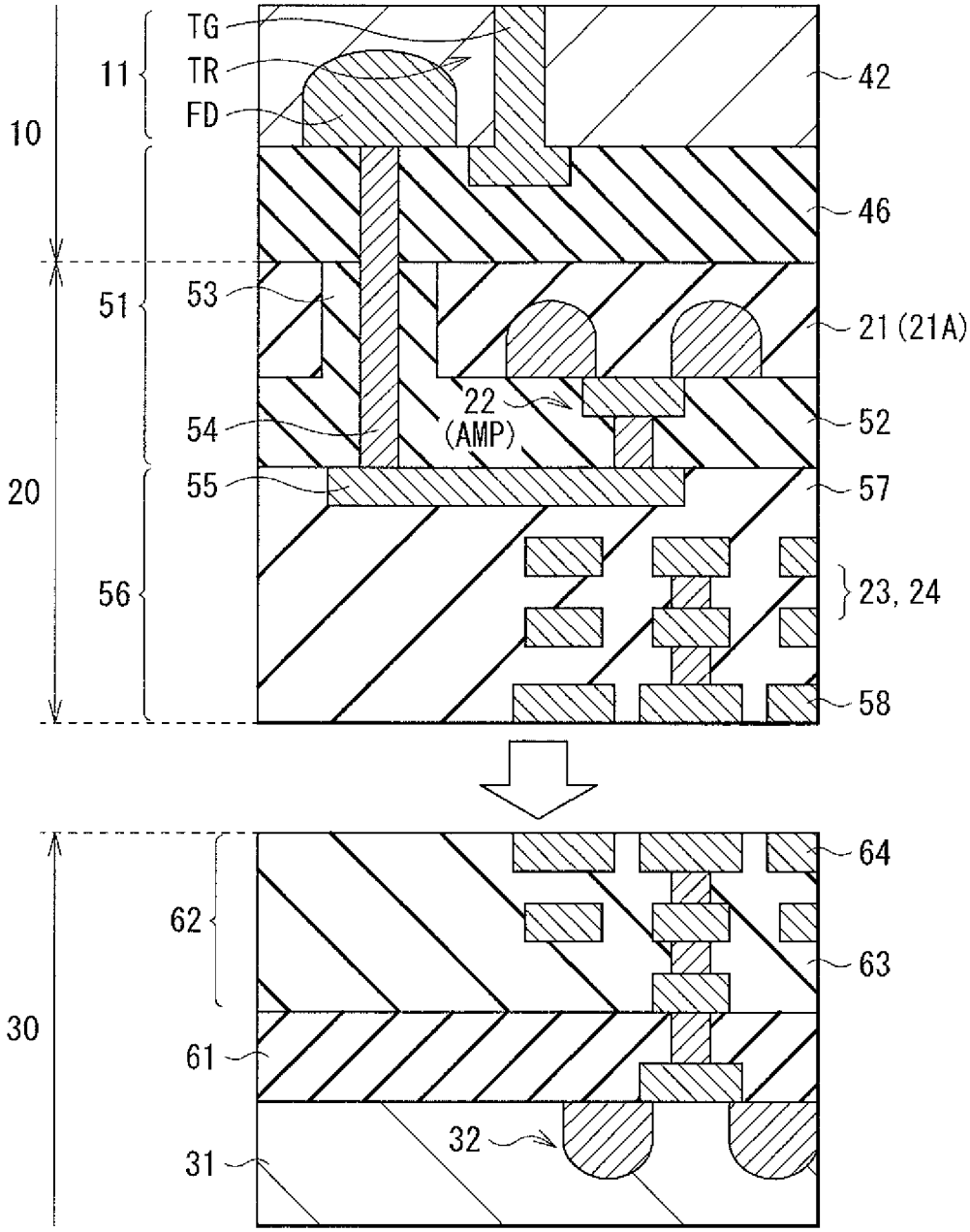
[図18E]


51B
51A
55
59
22
(AMP)
54
52
(21A) 21
53
51
46
10
FD
42
TR
11
TG

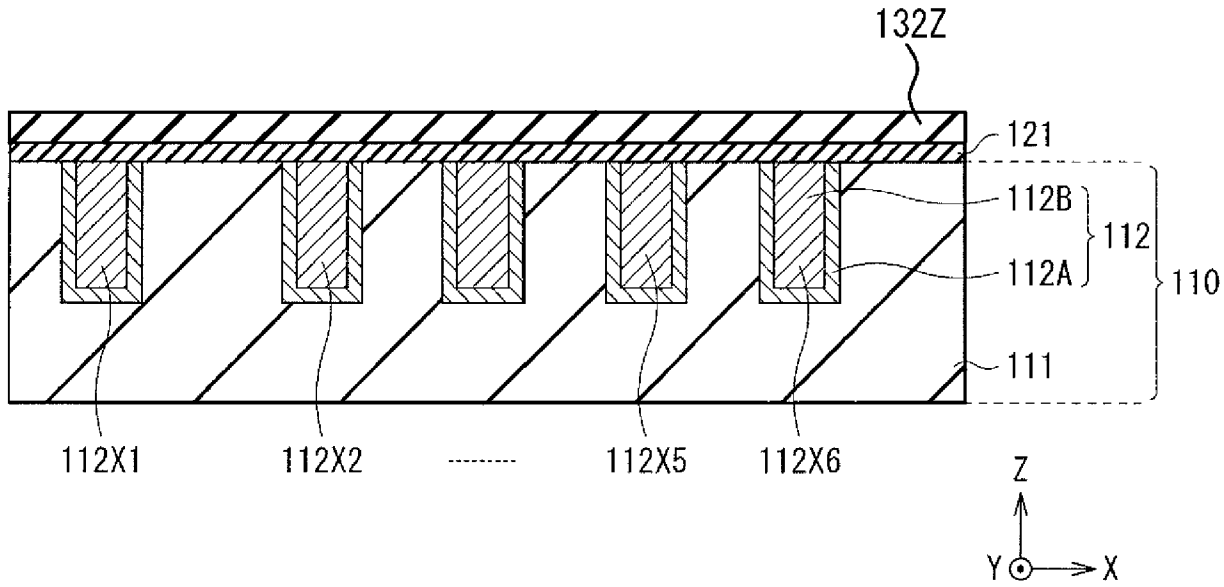
[図18F]


58
23, 24
56
57
55
20
52
22
(AMP)
54
53
51
46
10
FD
42
TR
11
TG

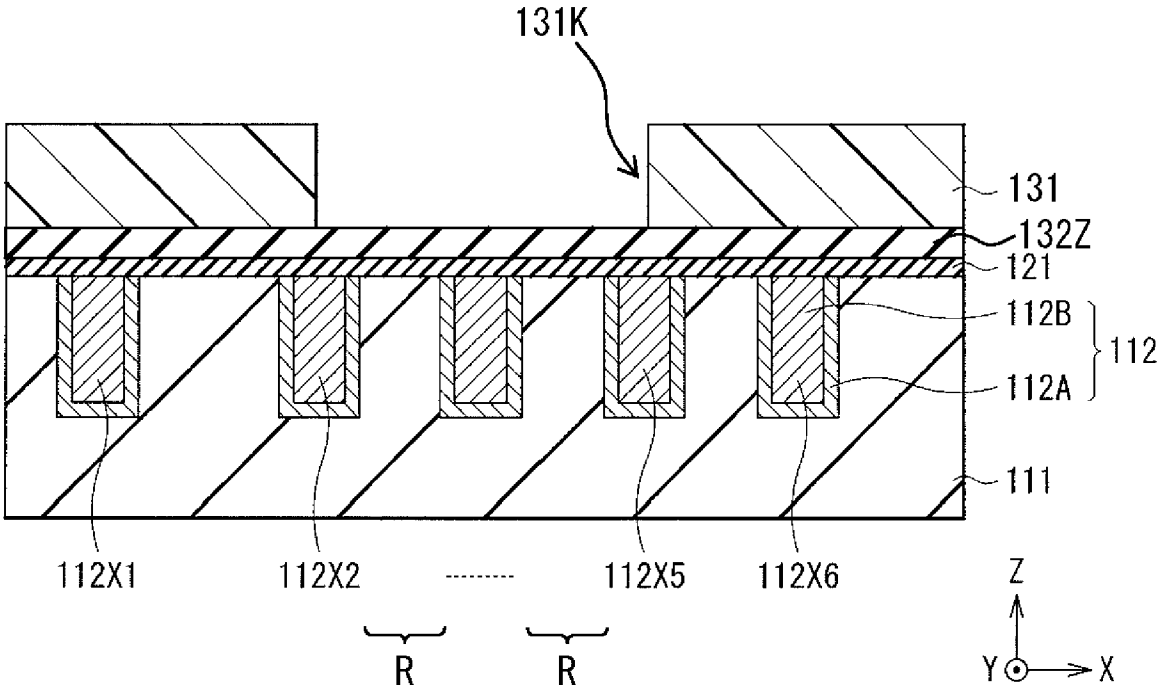
[図18G]


TG
TR
FD
11
10
42
46
51
53
21 (21A)
22
(AMP)
54
52
20
55
57
56
23, 24
58
64
62
63
30
61
32
31

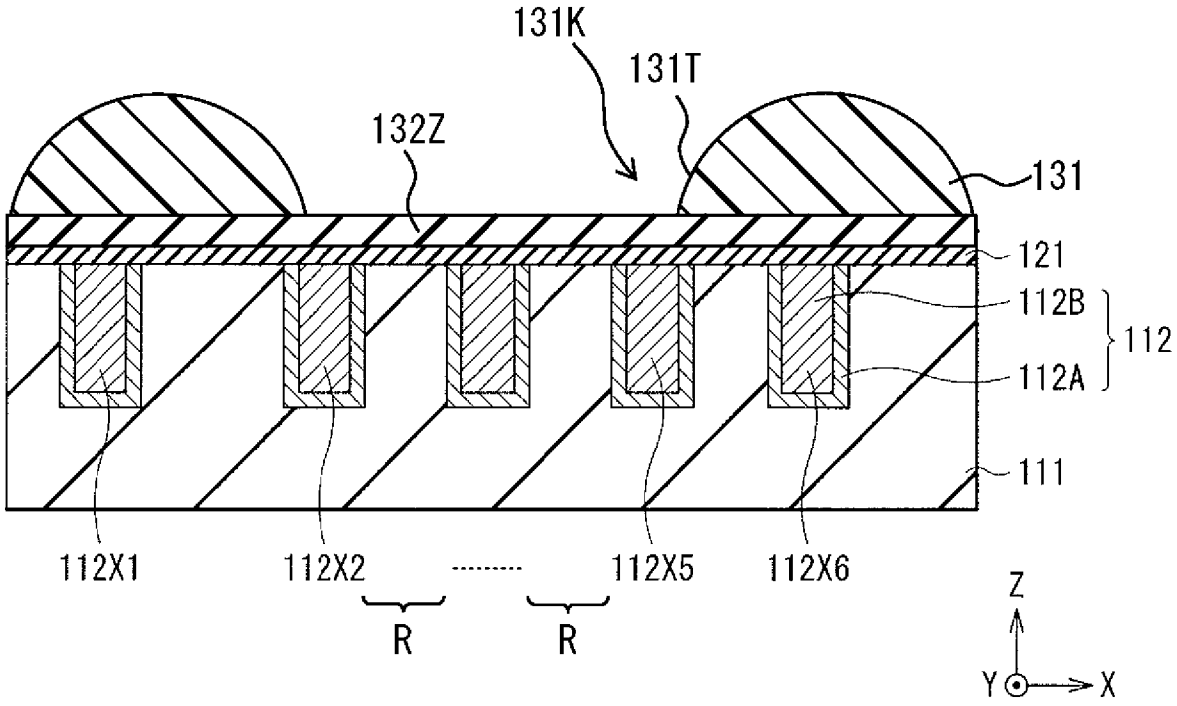
[図19A]


132Z
121
112B
112
112A
110
111
112X1
112X2
112X5
112X6
Z
Y
X

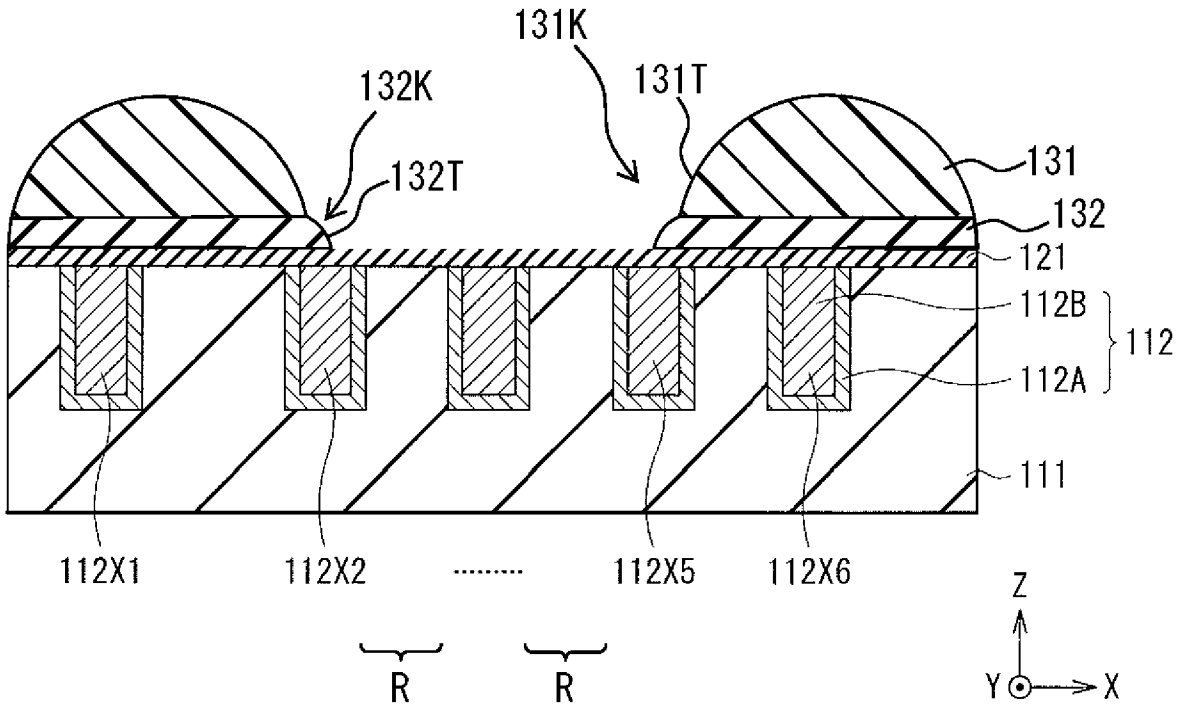
[図19B]


131K
131
132Z
121
112B
112
112A
111
112X1
112X2
112X5
112X6
R
R
Z
Y
X

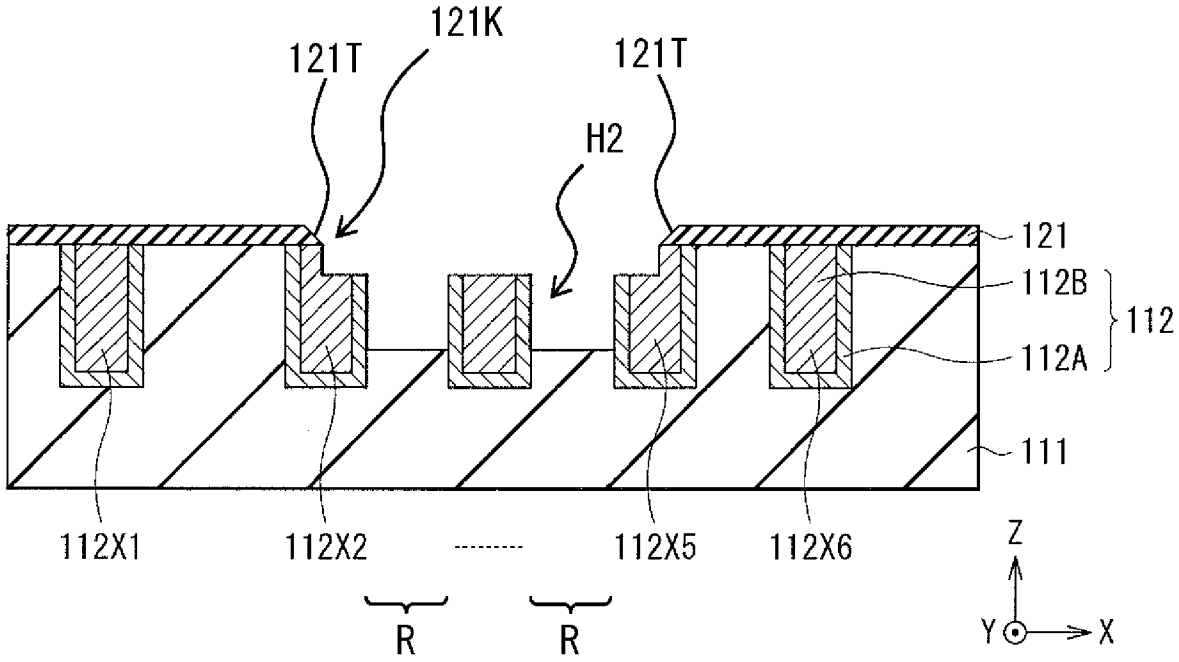
[図19C]


131K
131T
132Z
131
121
112B
112
112A
111
112X1
112X2
112X5
112X6
R
R
Z
Y
X

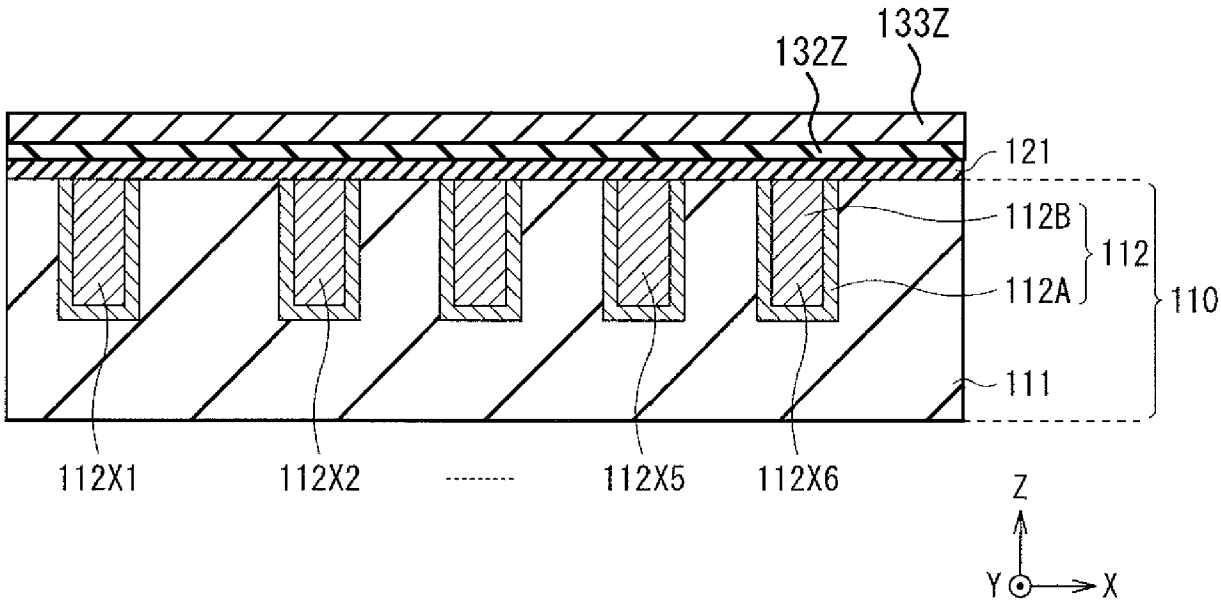
[図19D]


131K
132K
131T
132T
131
132
121
112B
112
112A
111
112X1
112X2
112X5
112X6
R
R
Z
Y
X

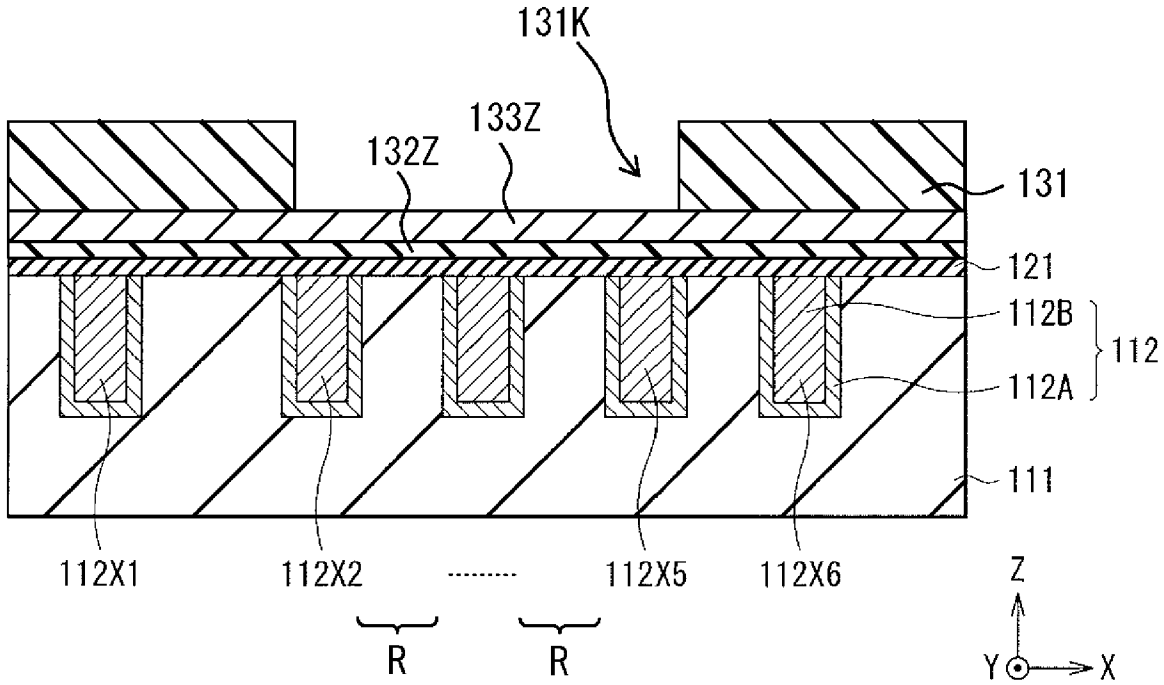
[図19E]


121K
121T
121T
H2
121
112B
112
112A
111
112X1
112X2
112X5
112X6
R
R
Z
Y
X

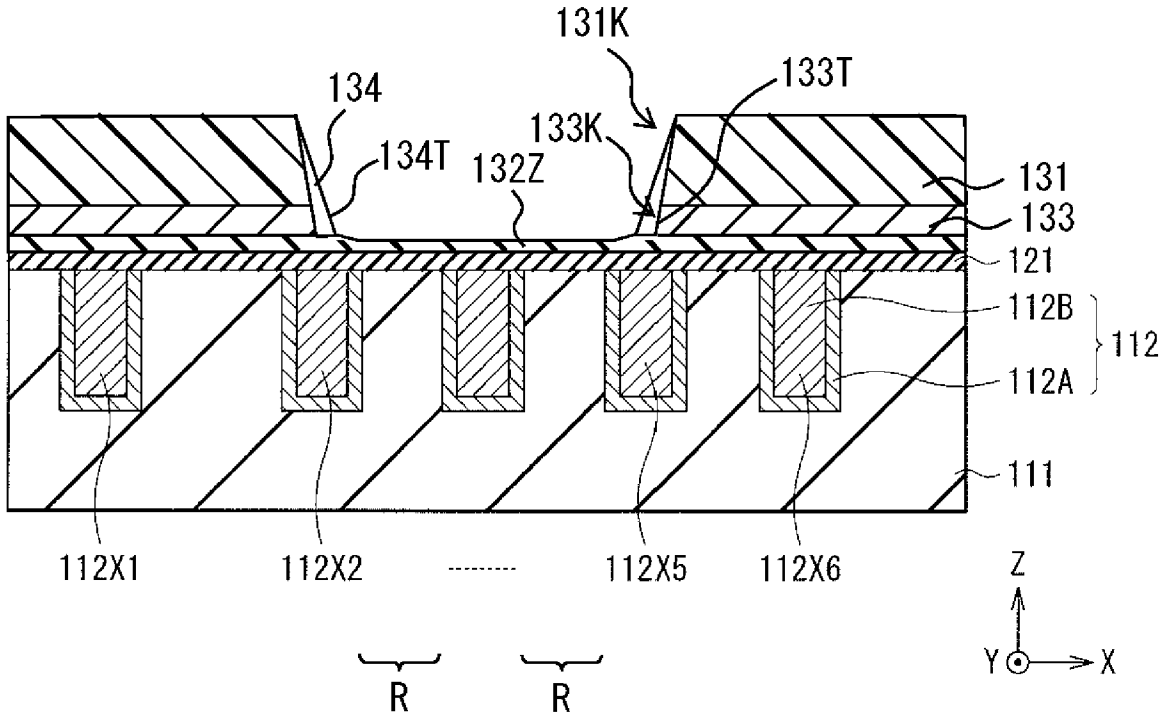
[図20A]


132Z
133Z
121
112B
112
112A
110
111
112X1
112X2
112X5
112X6
Z
Y
X

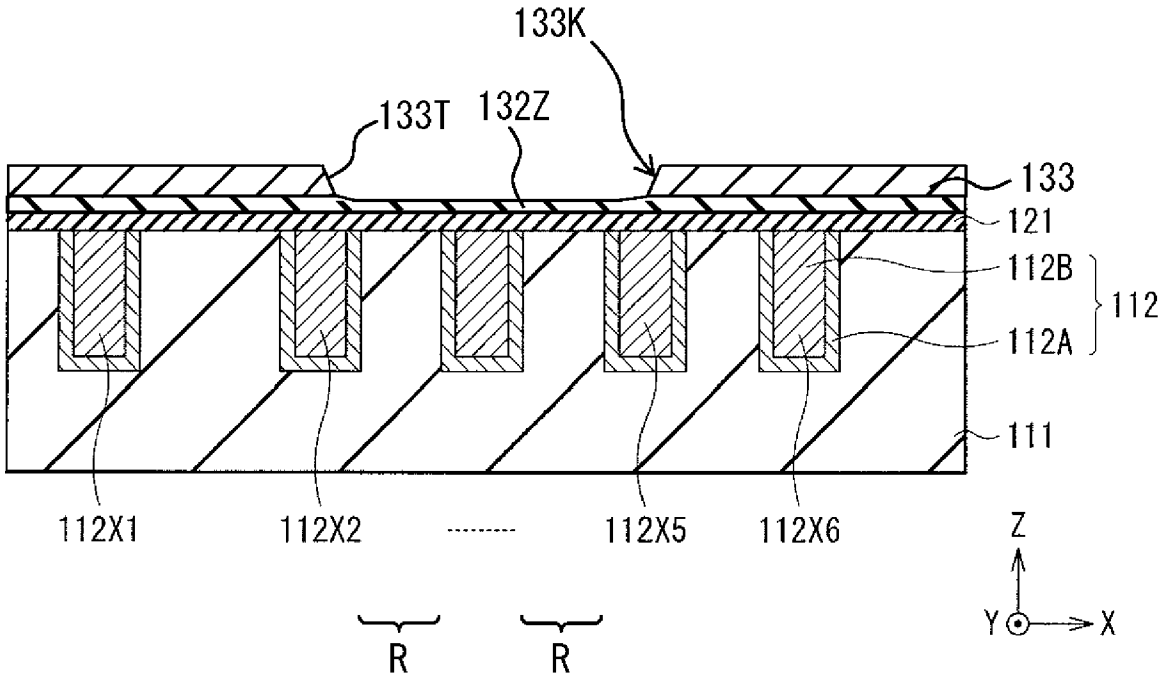
[図20B]


131K
133Z
132Z
131
121
112B
112
112A
111
112X1
112X2
112X5
112X6
R
R
Z
Y
X

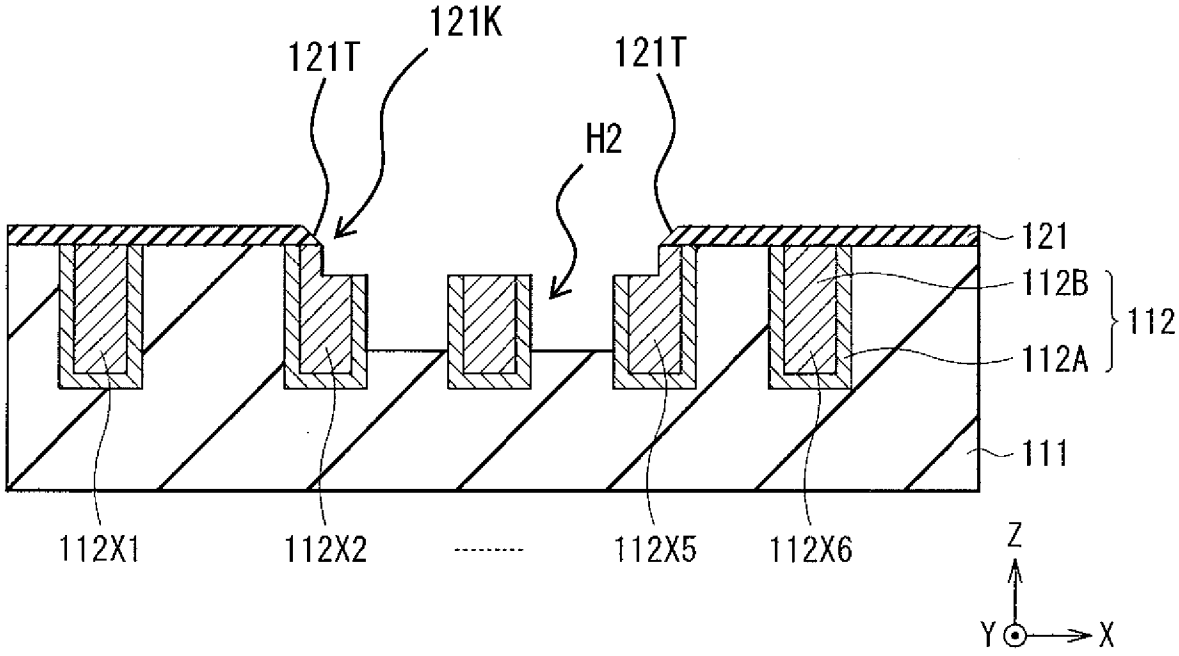
[図20C]


131K
134
133T
133K
134T
132Z
131
133
121
112B
112
112A
111
112X1
112X2
112X5
112X6
R
R
Z
Y
X

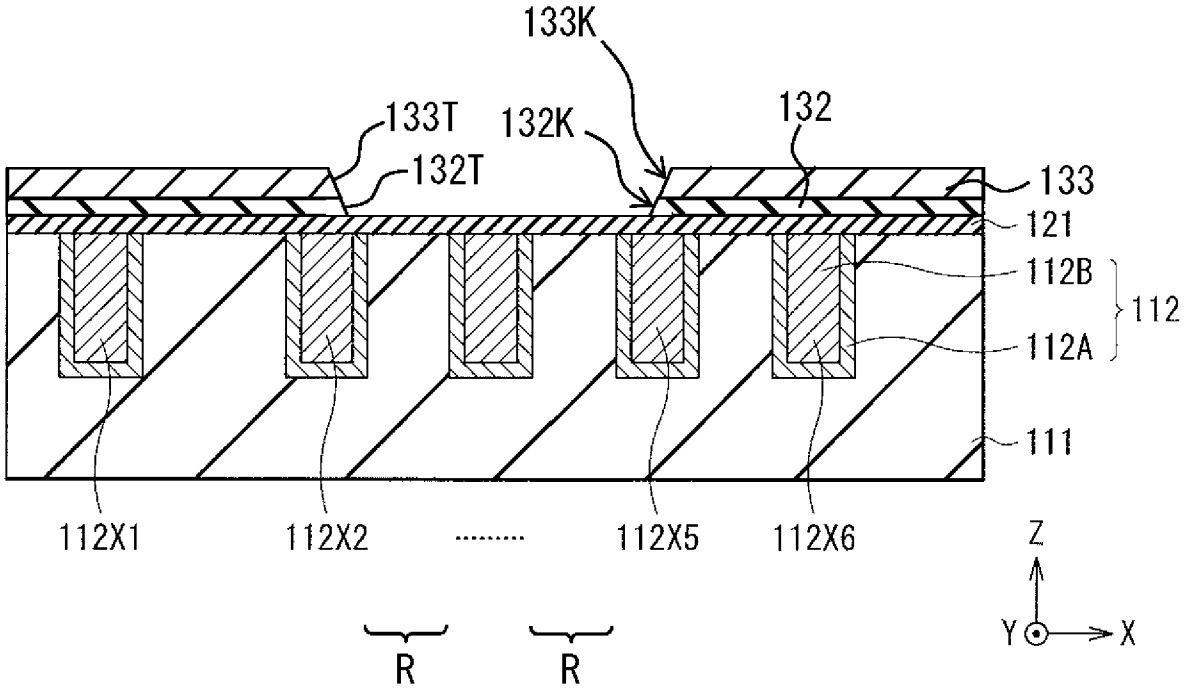
[図20D]


133K
133T
132Z
133
121
112B
112
112A
111
112X1
112X2
112X5
112X6
R
R
Z
Y
X

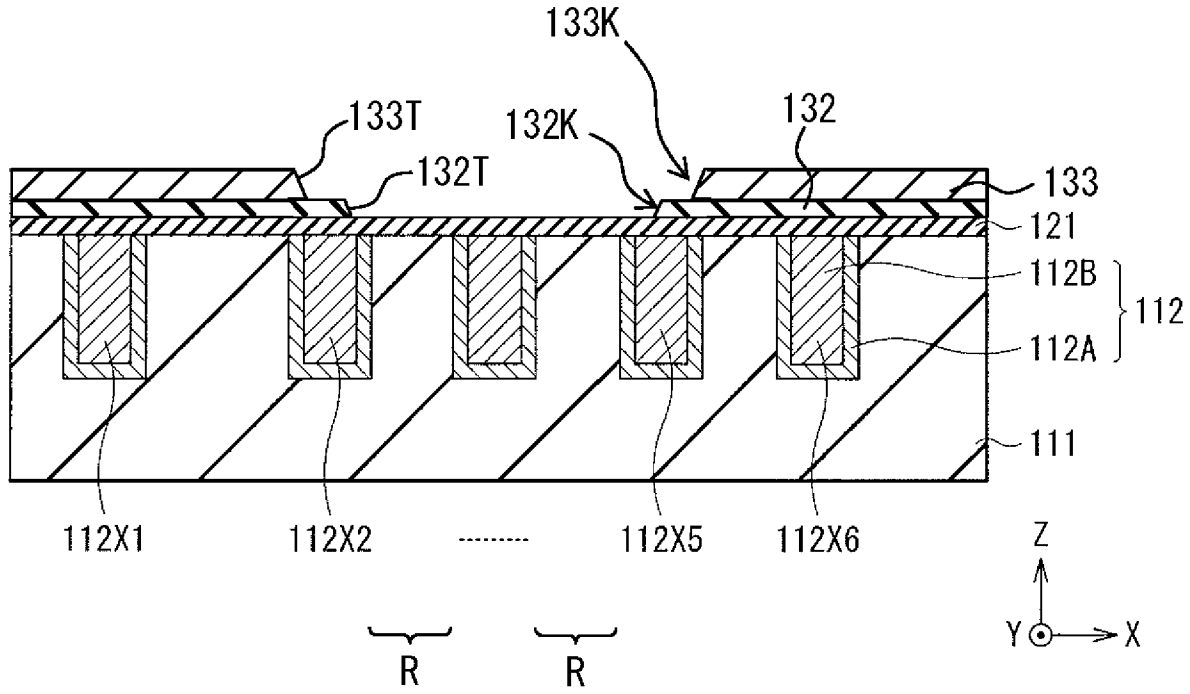
[図20E]


121K
121T
121T
H2
121
112B
112
112A
111
112X1
112X2
112X5
112X6
Z
Y
X

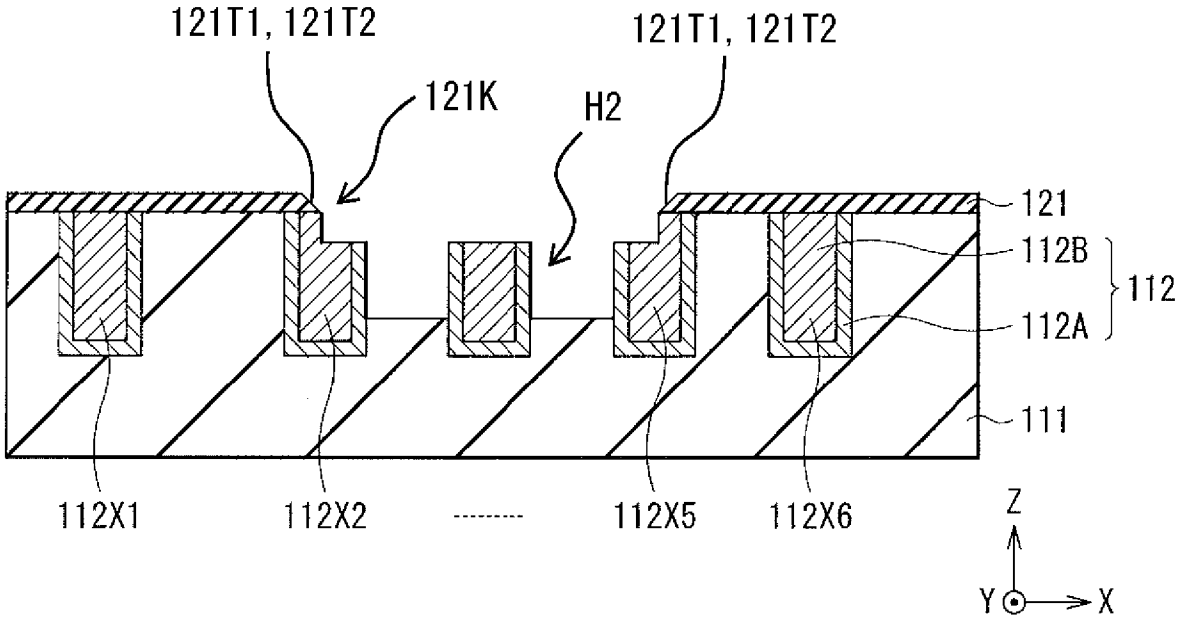
[図21A]


133K
133T
132K
132
132T
133
121
112B
112
112A
111
112X1
112X2
112X5
112X6
Z
Y
X
R
R

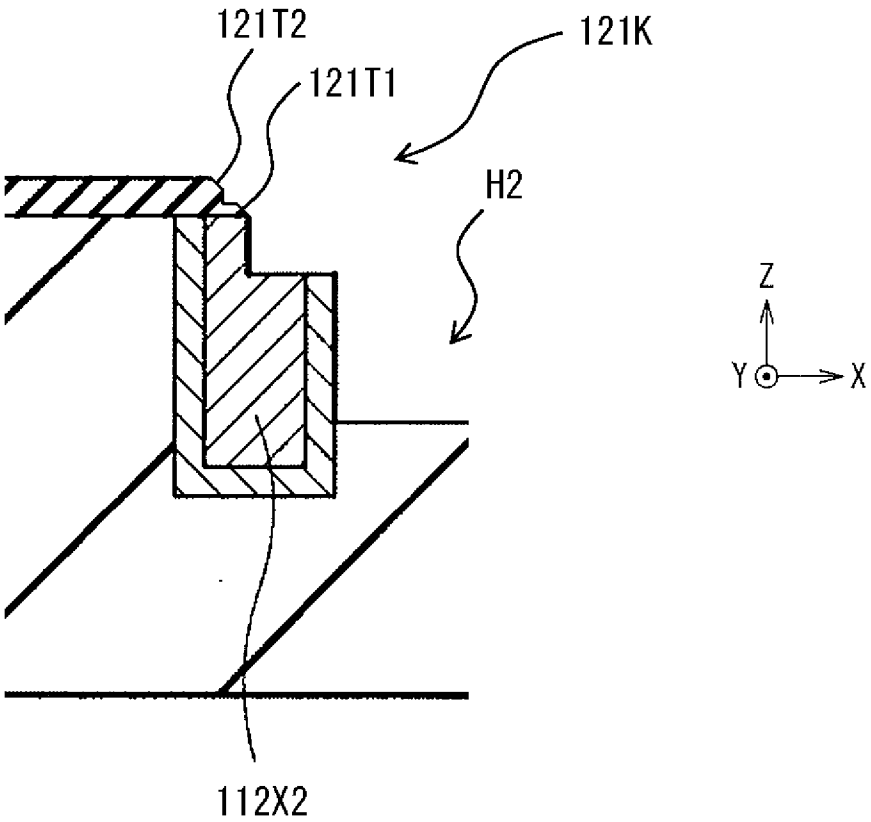
[図21B]


133K
133T
132K
132
132T
133
121
112B
112
112A
111
112X1
112X2
112X5
112X6
Z
Y
X
R
R

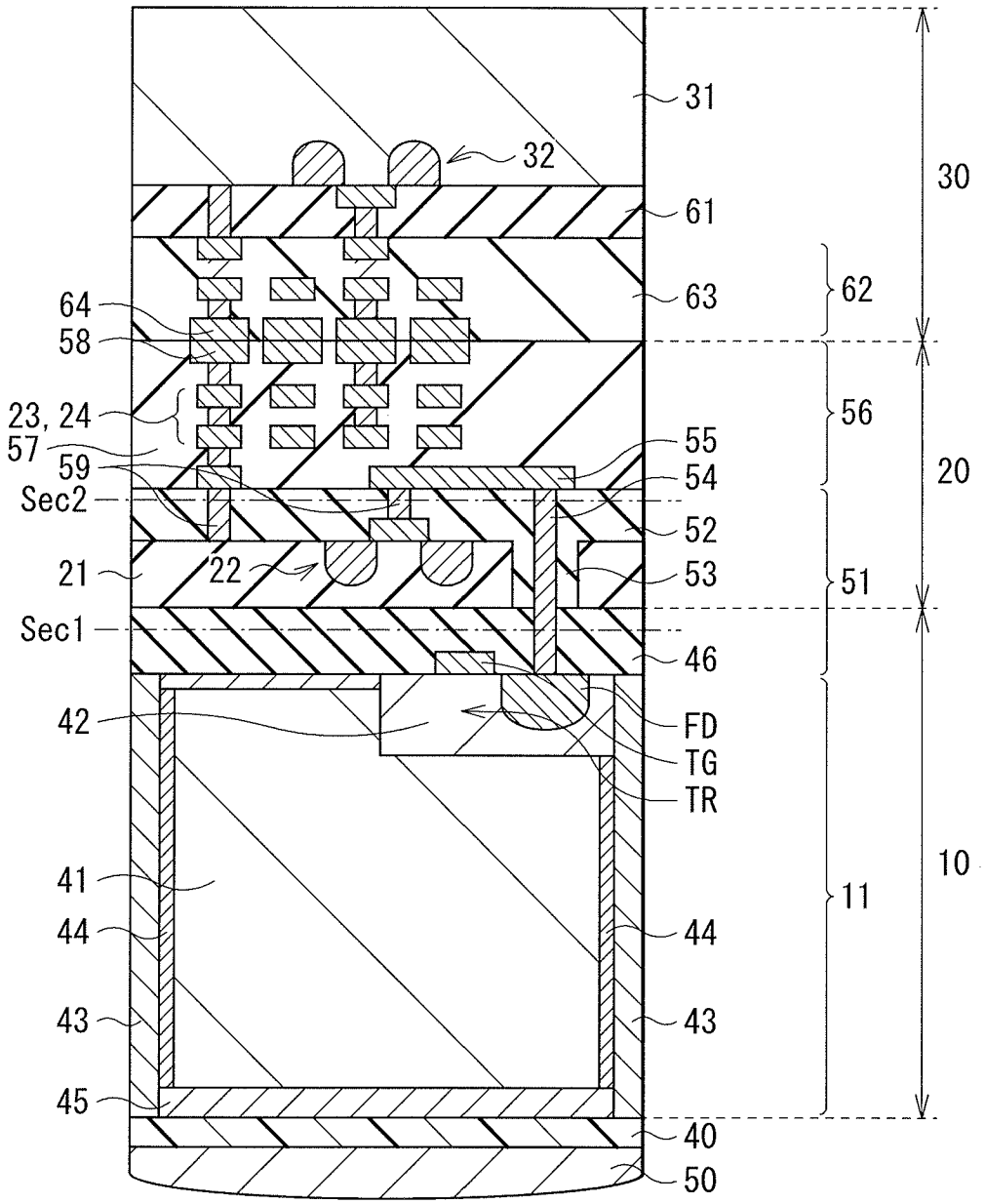
[図21C]


121T1, 121T2
121T1, 121T2
121K
H2
121
112B
112
112A
111
112X1
112X2
112X5
112X6
Z
Y
X

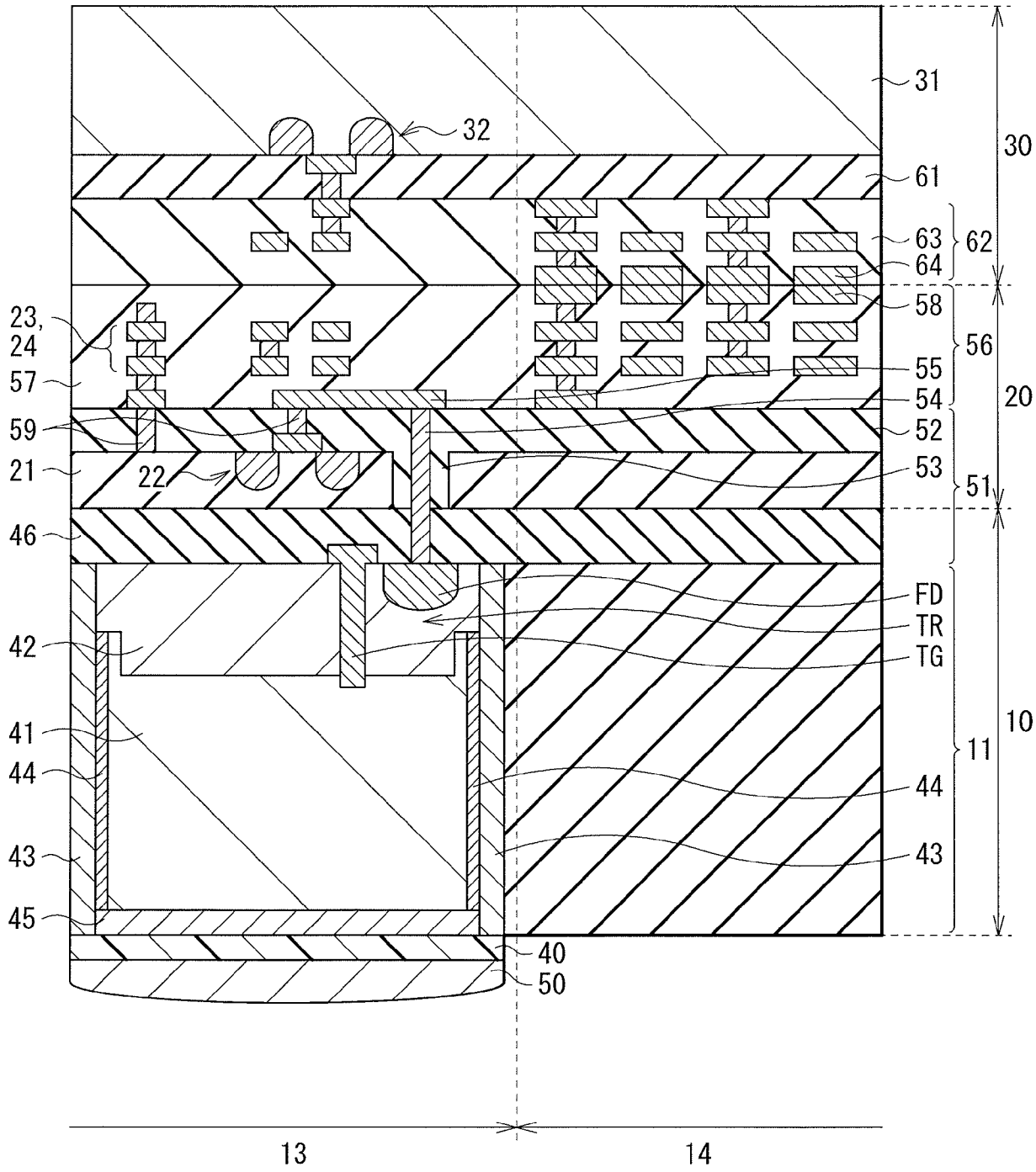
[図21D]


121T2
121T1
121K
H2
Z
Y
X
112X2

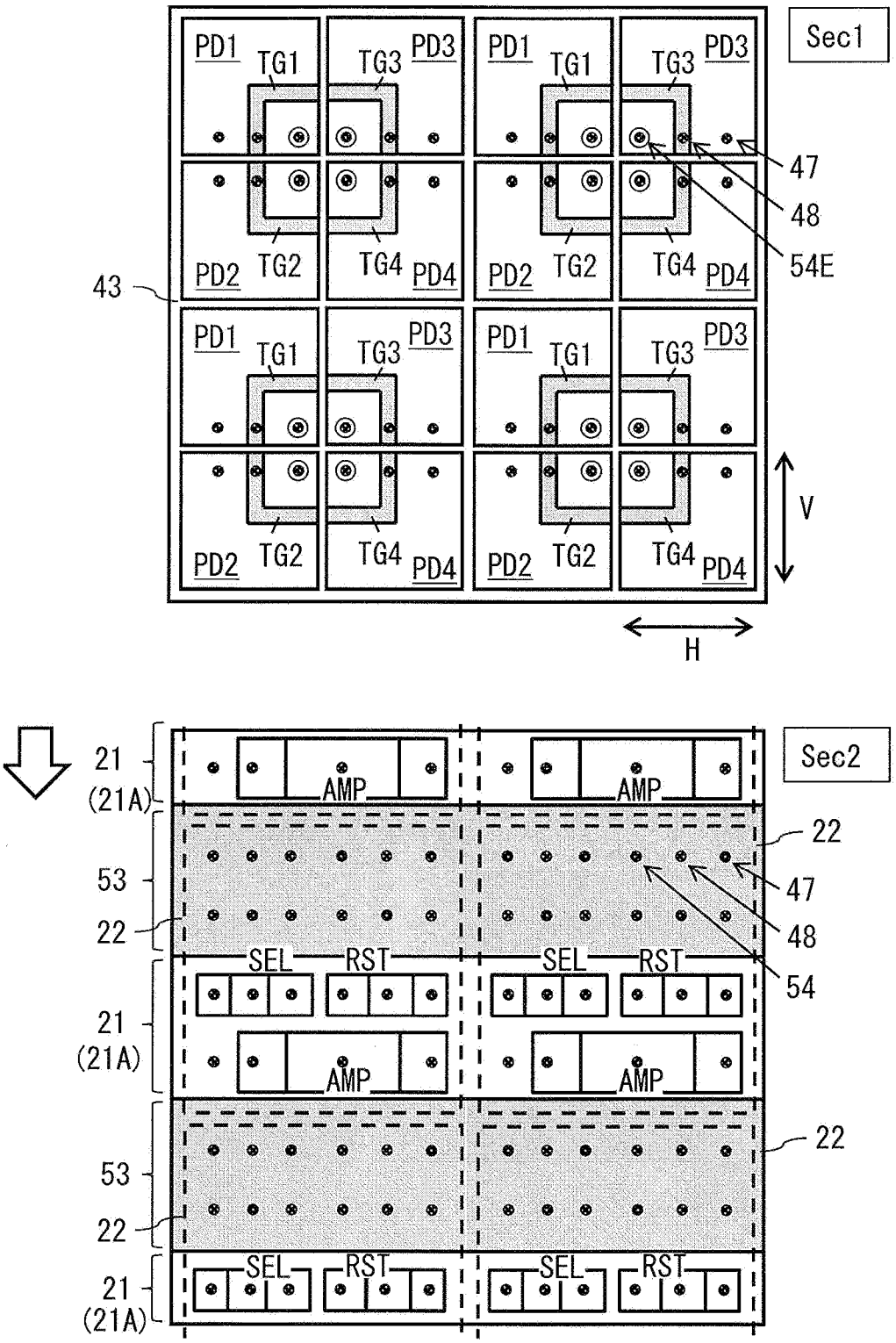
[図22]


31
32
30
61
62
63
64
58
56
23, 24
57
55
59
54
20
Sec2
52
21
22
53
51
Sec1
46
42
FD
TG
TR
10
41
11
44
44
43
43
45
40
50

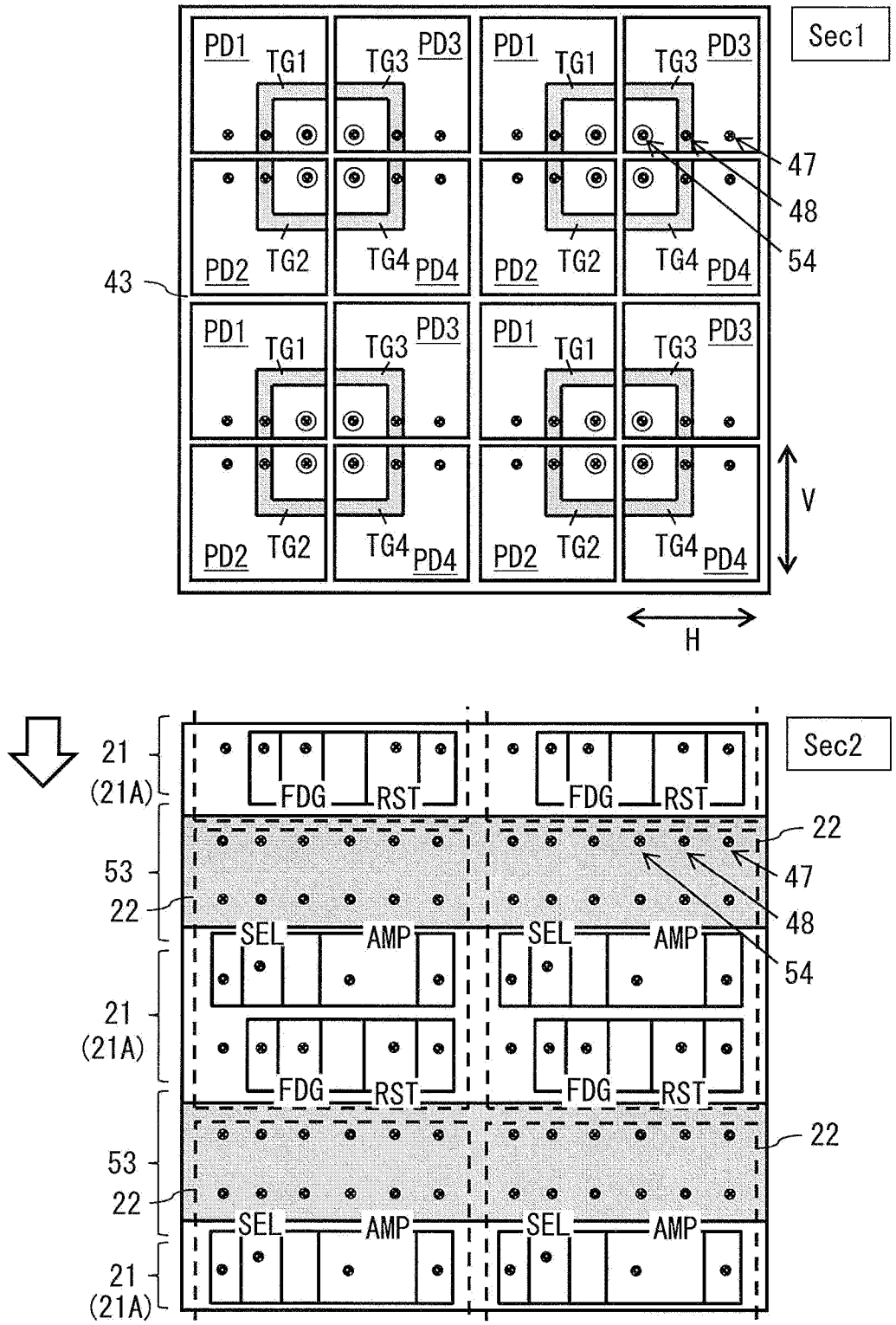
[図23]


31
32
30
61
63
62
64
58
23,
24
56
57
55
54
20
59
52
21
22
53
51
46
FD
42
TR
TG
10
41
11
44
44
43
43
45
40
50
13
14

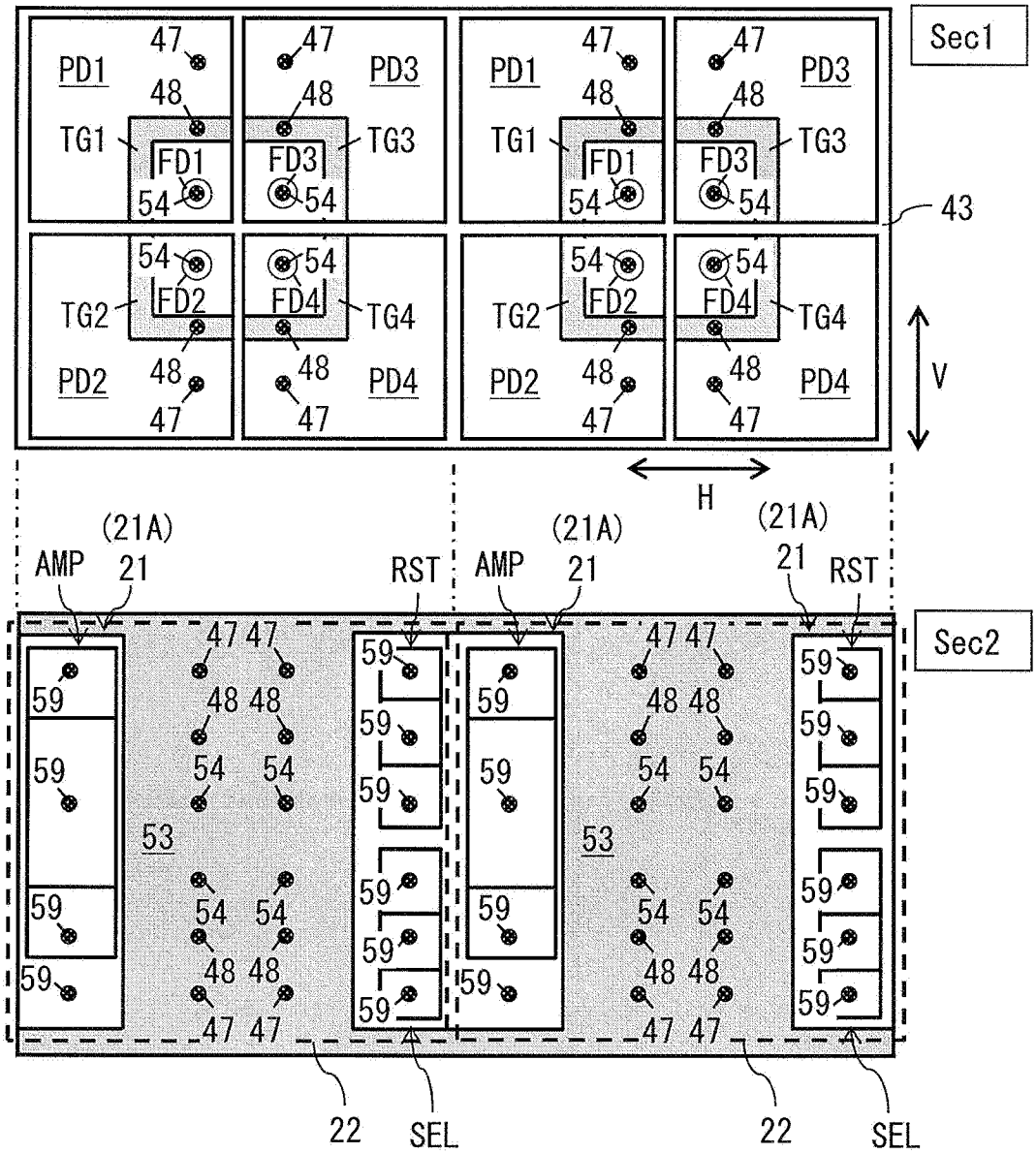
[図24]


Sec1
PD1
TG1
TG3
PD3
PD2
TG2
TG4
PD4
47
48
54E
43
V
H
Sec2
21
(21A)
AMP
22
53
SEL
RST
54

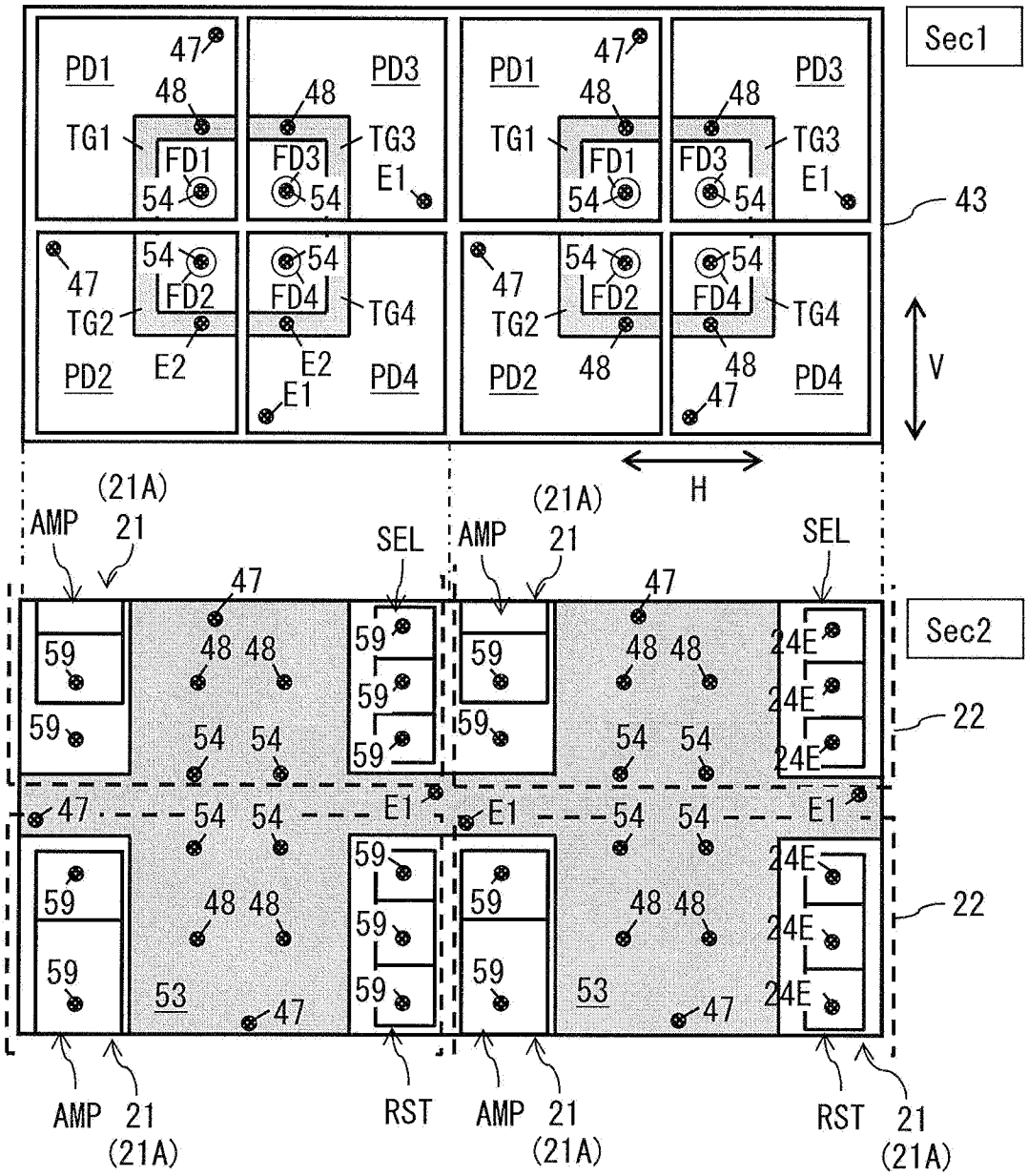
[図25]


Sec1
PD1
TG1
TG3
PD3
PD2
TG2
TG4
PD4
47
48
54
43
V
H
Sec2
21
(21A)
FDG
RST
22
53
SEL
AMP

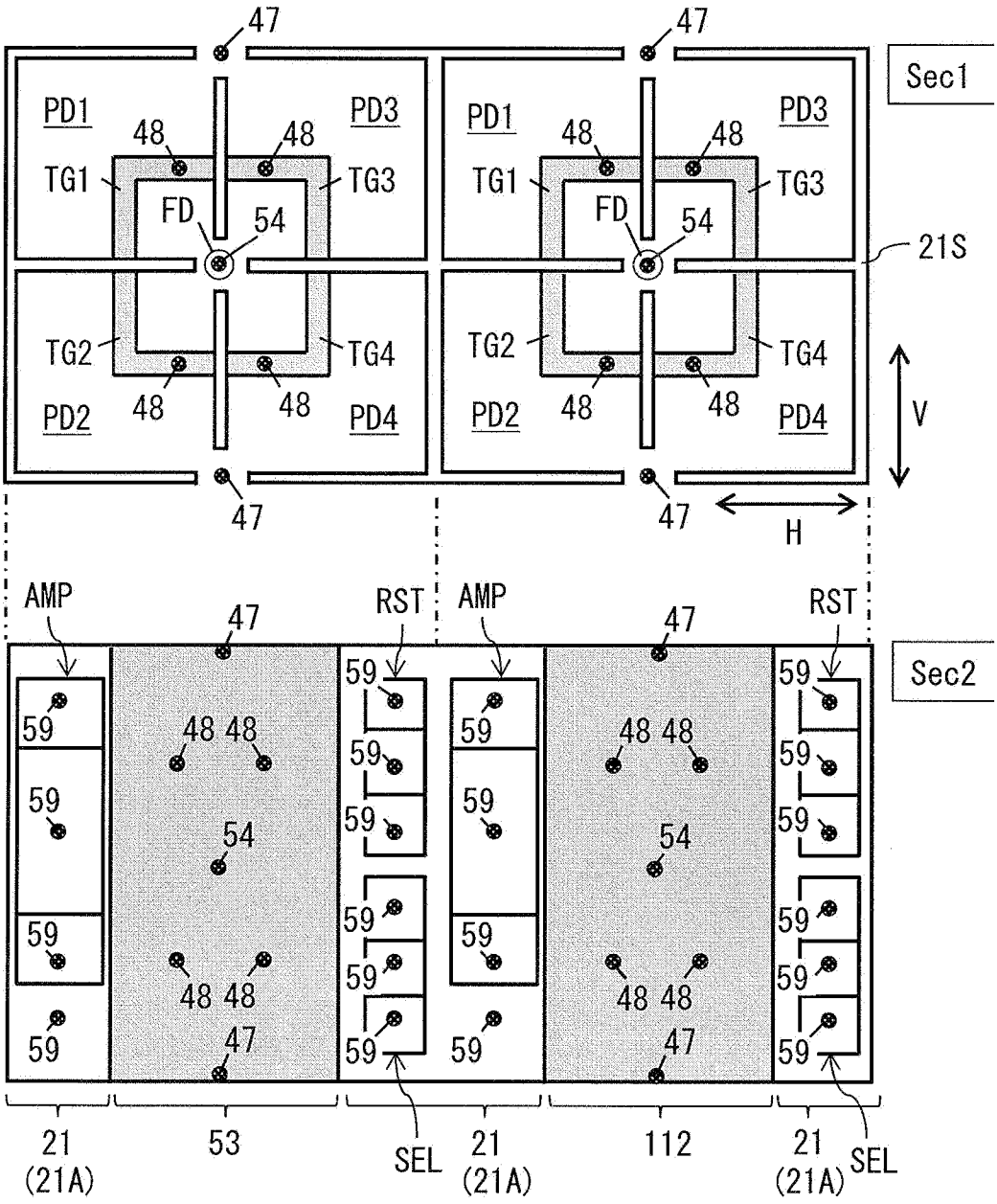
[図26]


Sec1
PD1
PD3
PD2
PD4
TG1
TG2
TG3
TG4
FD1
FD2
FD3
FD4
47
48
54
43
V
H
(21A)
21
AMP
RST
Sec2
59
53
22
SEL

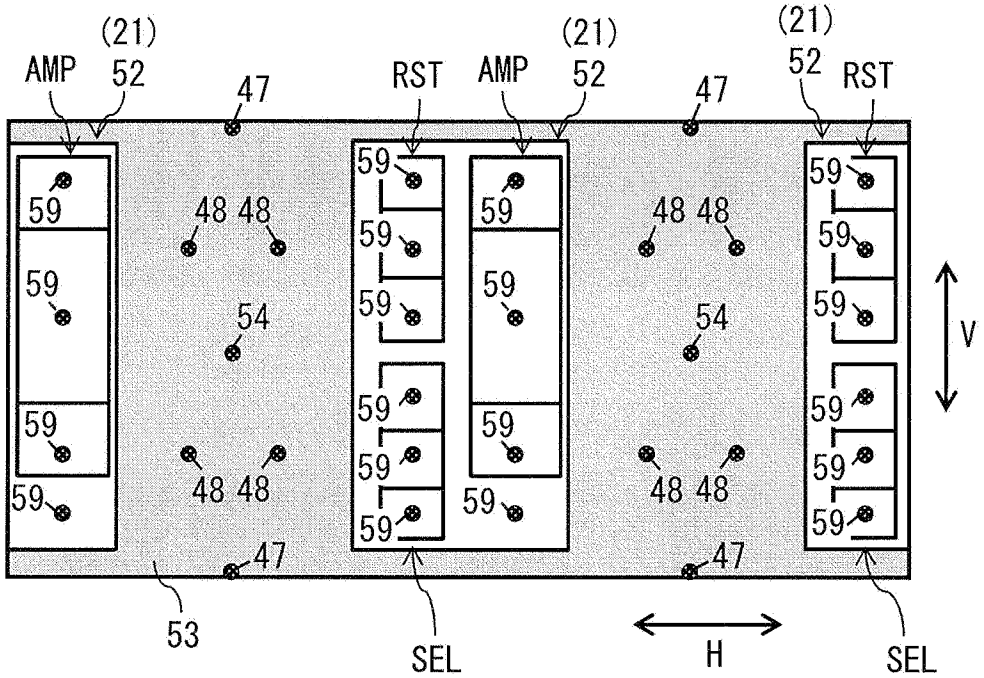
[図27]


Sec1
PD1
PD3
PD2
PD4
TG1
TG2
TG3
TG4
FD1
FD2
FD3
FD4
E1
E2
47
48
54
43
V
H
(21A)
21
AMP
SEL
Sec2
59
24E
22
53
RST

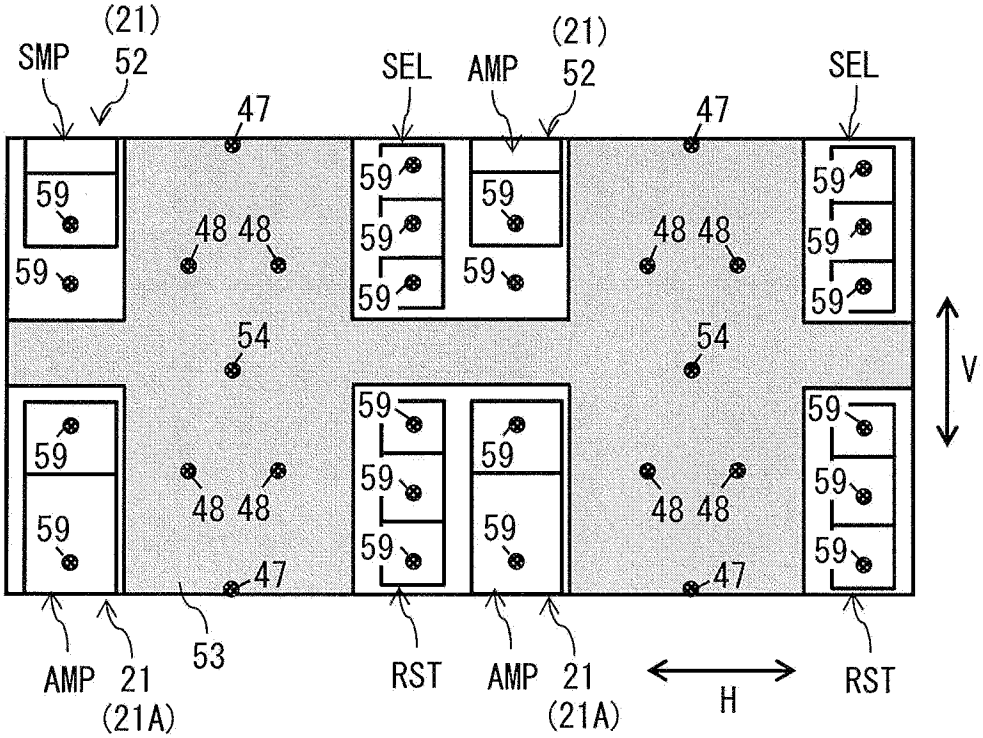
[図28]


47
PD1
PD3
48
TG1
TG3
FD
54
21S
TG2
TG4
PD2
PD4
V
H
Sec1
AMP
RST
59
Sec2
53
SEL
112
21
(21A)

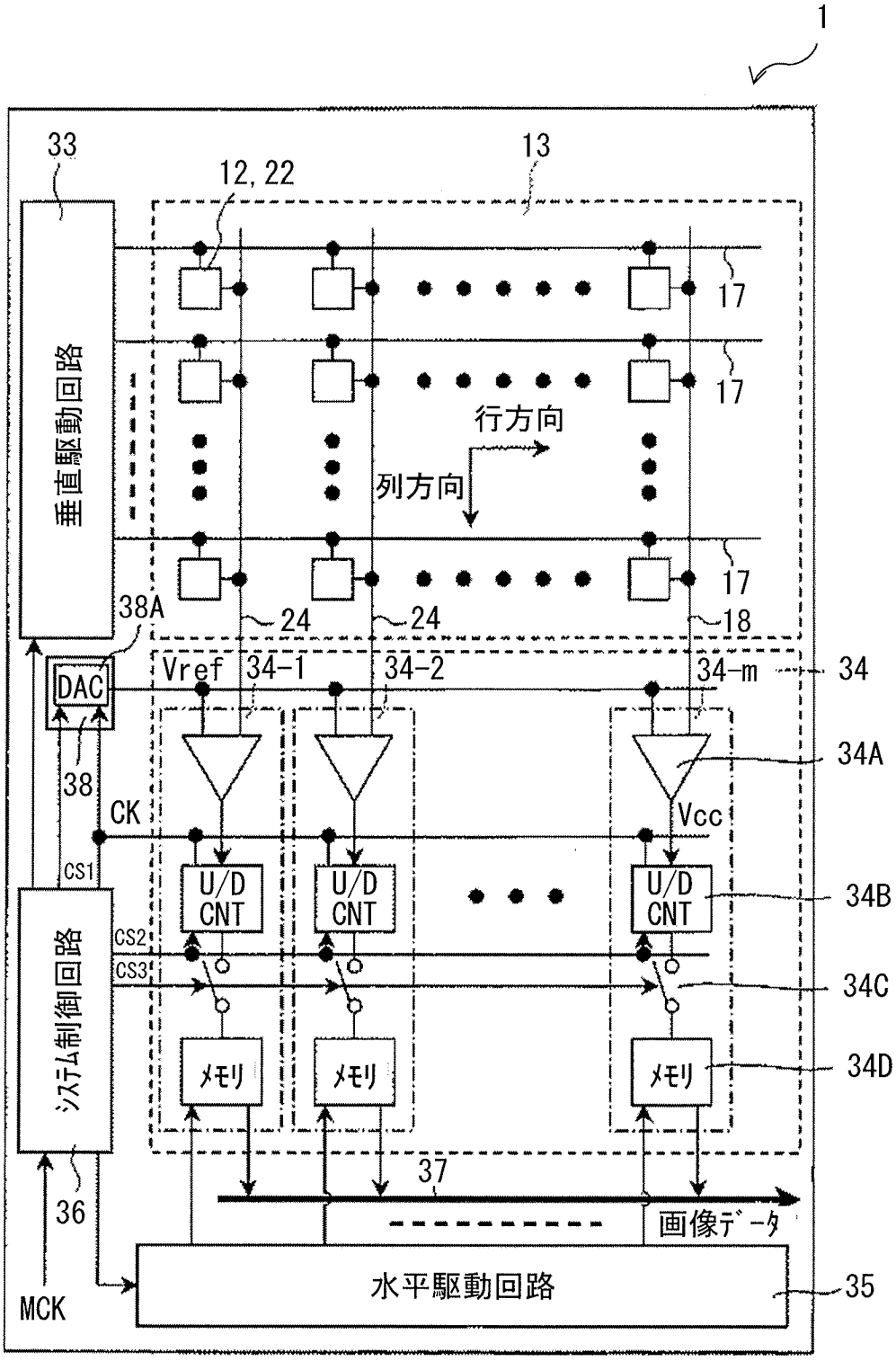
[図29]


(21)
AMP
52
47
RST
AMP
(21)
52
47
(21)
52
RST
59
48 48
54
V
53
SEL
H
SEL

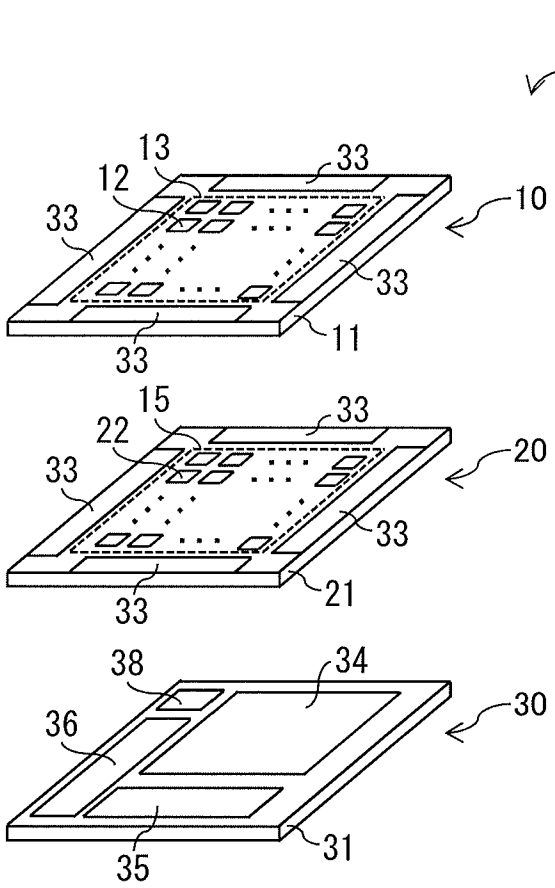
[図30]


(21)
SMP
52
47
SEL
AMP
(21)
52
47
SEL
59
48 48
54
V
AMP
21
(21A)
53
RST
AMP
21
(21A)
H
RST

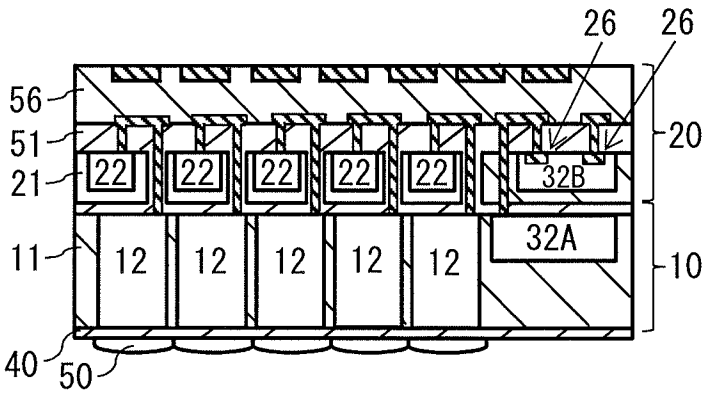
[図31]


1
33
12, 22
13
垂直駆動回路
17
17
17
行方向
列方向
38A
24
24
18
DAC
Vref
34-1
34-2
34-m
34
34A
38
CK
Vcc
CS1
U/D CNT
U/D CNT
U/D CNT
34B
CS2
CS3
34C
システム制御回路
メモリ
メモリ
メモリ
34D
37
36
画像データ
MCK
水平駆動回路
35

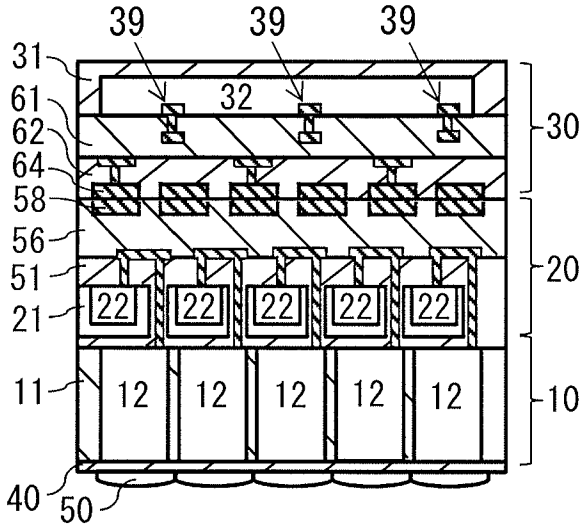
[図32]


1
13
12
33
33
10
33
11
33
15
22
33
33
20
33
21
33
38
34
36
30
35
31

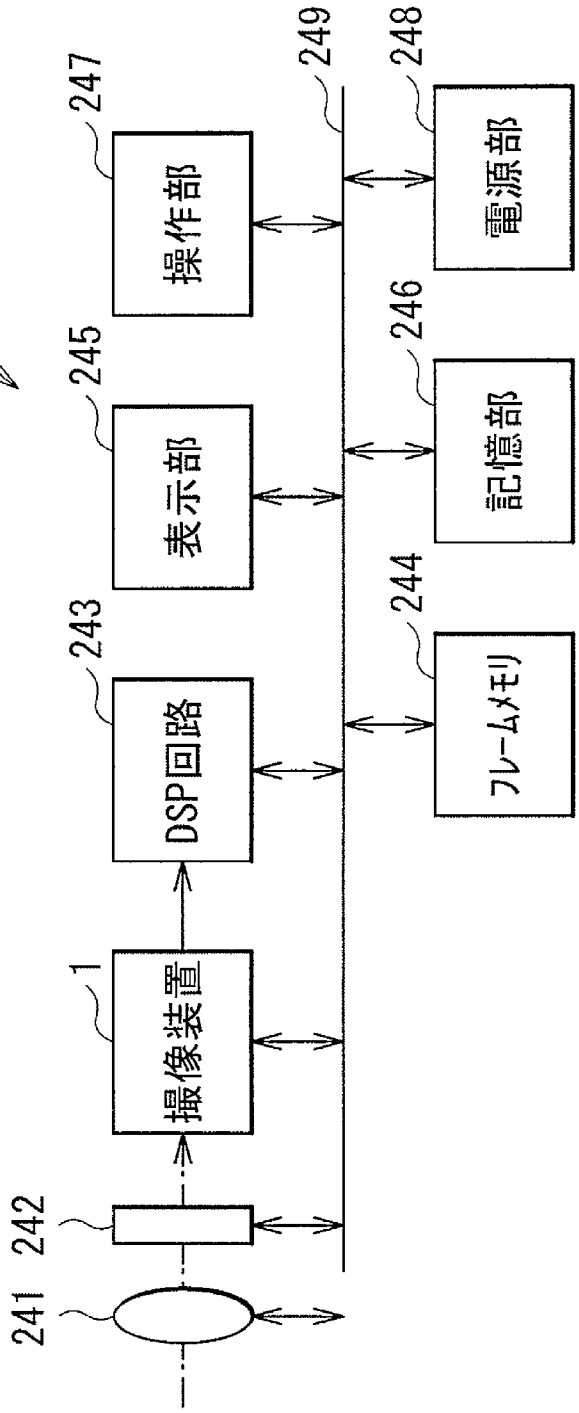
[図33]


26
26
56
51
20
21
22
22
22
22
22
32B
32A
11
12
12
12
12
12
10
40
50

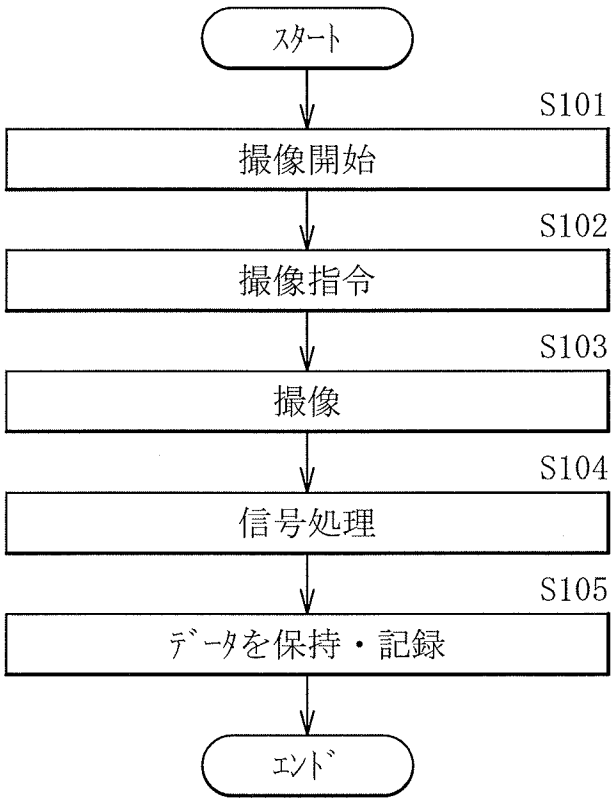
[図34]


39
39
39
31
32
61
62
64
58
56
51
21
22
22
22
22
22
11
12
12
12
12
12
40
50
30
20
10

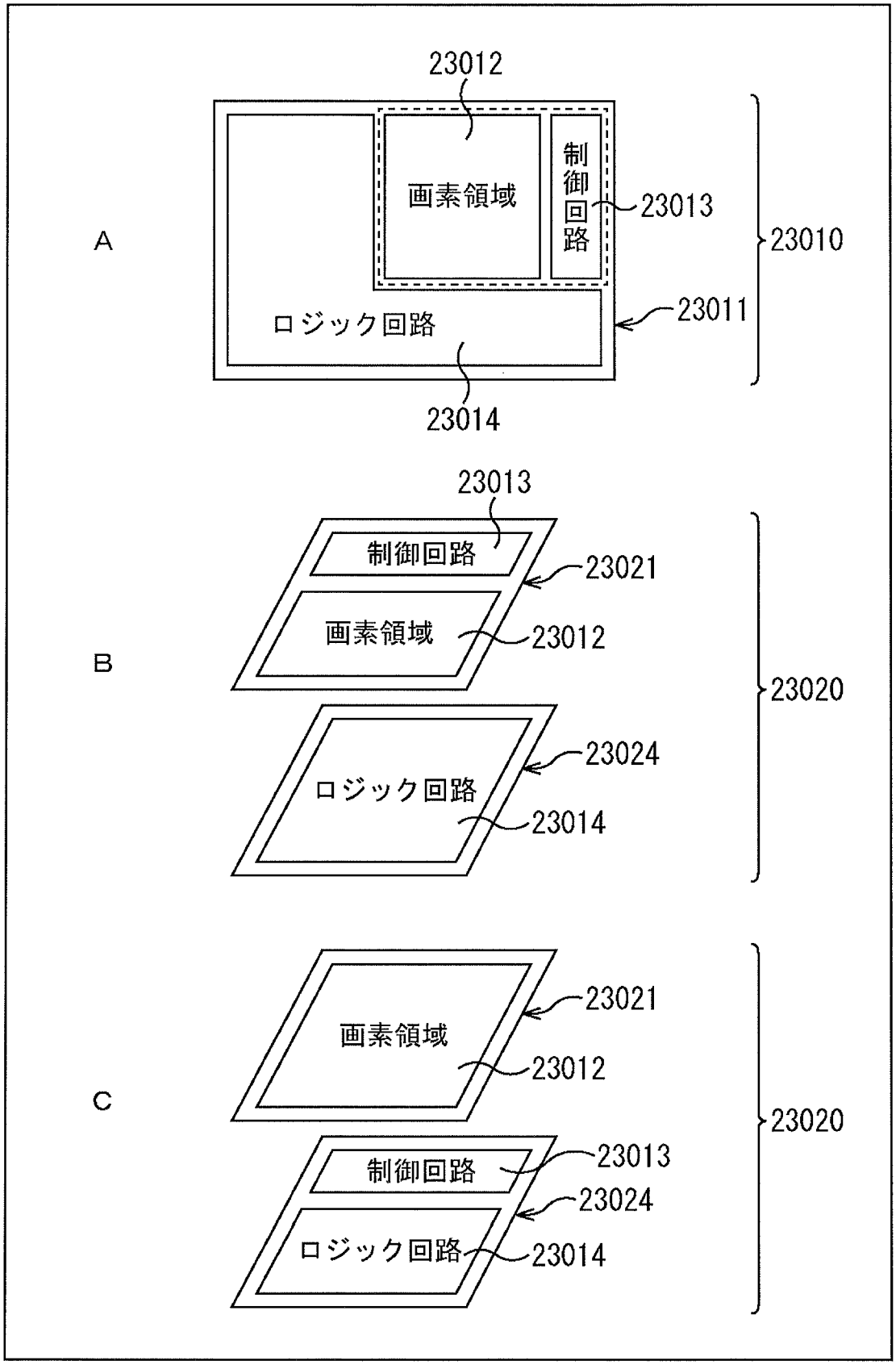
[図35]


7
241
242
1
撮像装置
243
DSP回路
245
表示部
247
操作部
244
フレームメモリ
246
記憶部
248
電源部
249

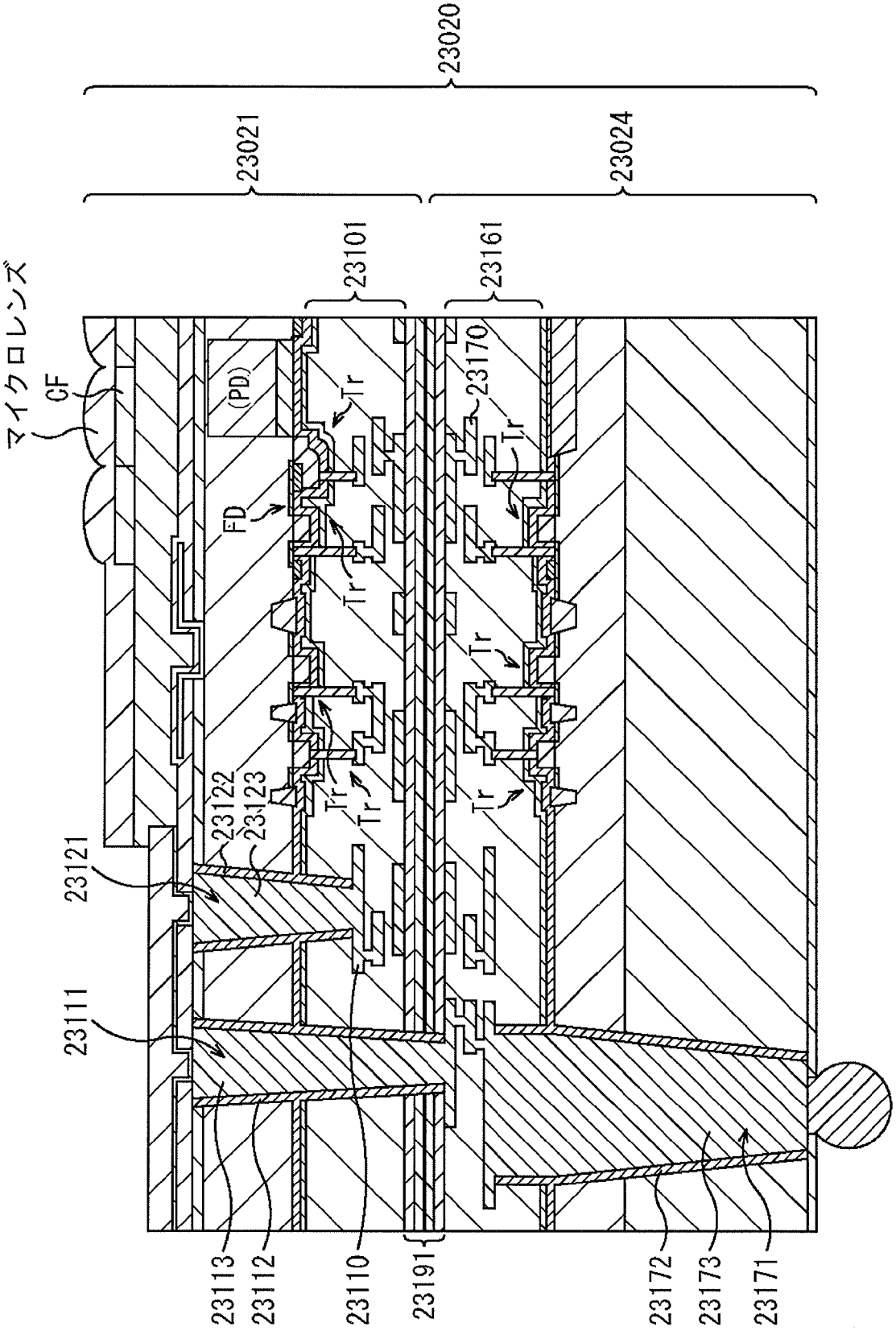
[図36]


ｽﾀｰﾄ
S101
撮像開始
S102
撮像指令
S103
撮像
S104
信号処理
S105
ﾃﾞｰﾀを保持・記録
ｴﾝﾄﾞ

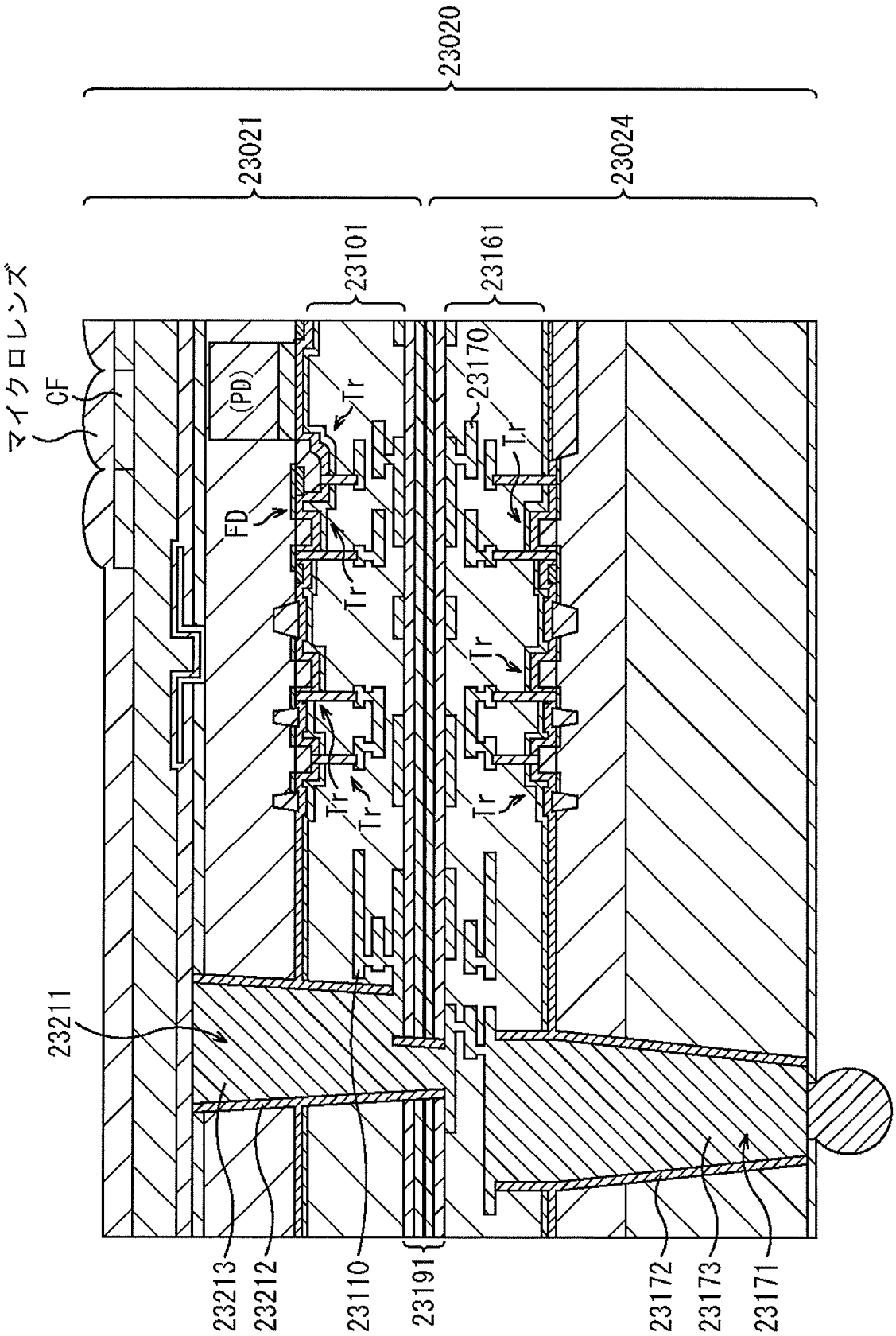
[図37]


A
23012
画素領域
制御回路
23013
23010
23011
ロジック回路
23014
B
23013
制御回路
23021
画素領域
23012
23020
23024
ロジック回路
23014
C
23021
画素領域
23012
23020
23013
制御回路
23024
ロジック回路
23014

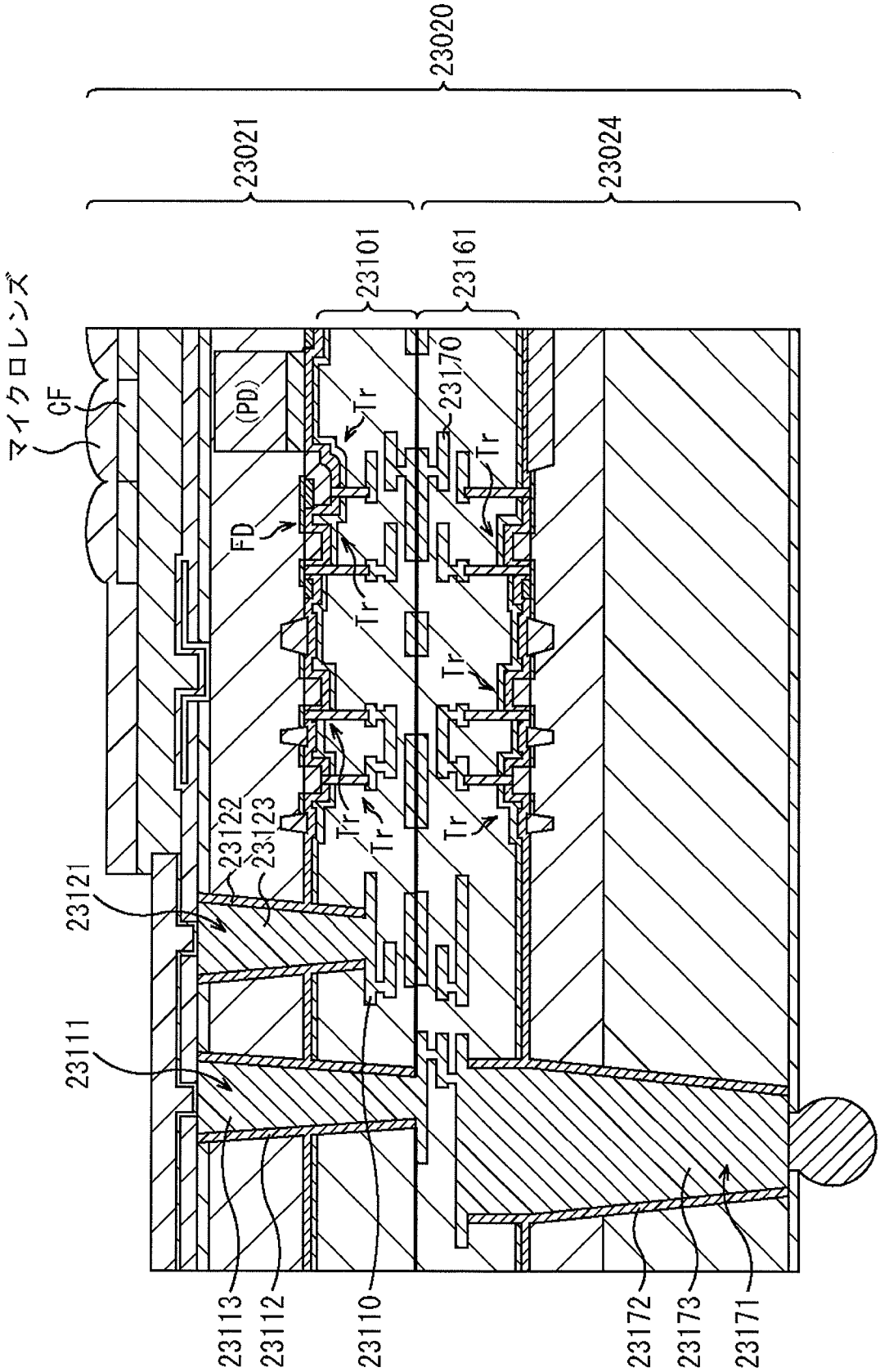
[図38]


23020
23021
23024
23101
23161
マイクロレンズ
CF
(PD)
FD
Tr
23170
23122
23123
23121
23111
23113
23112
23110
23191
23172
23173
23171

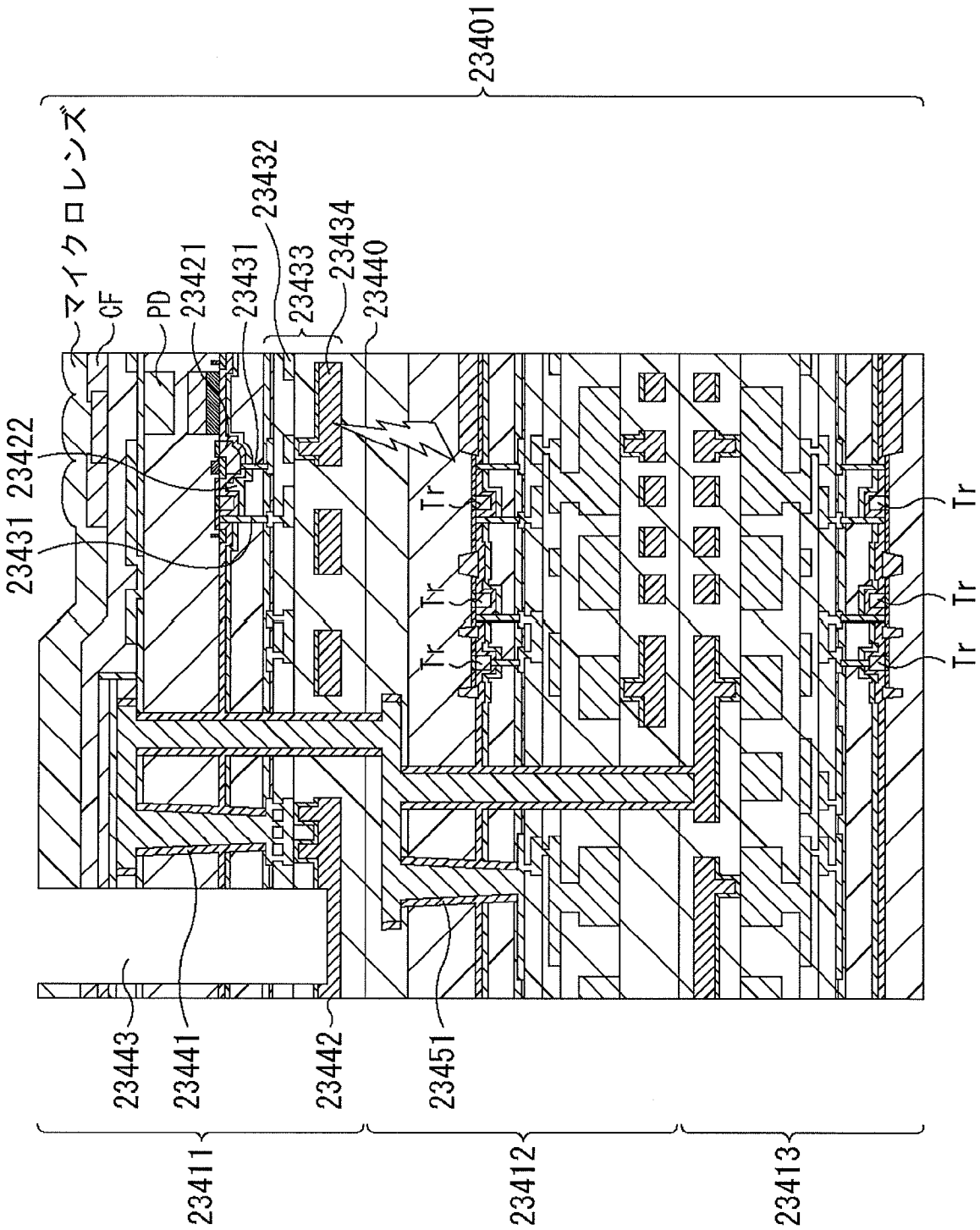
[図39]


23020
23021
23024
23101
23161
マイクロレンズ
CF
(PD)
FD
Tr
23170
23211
23213
23212
23110
23191
23172
23173
23171

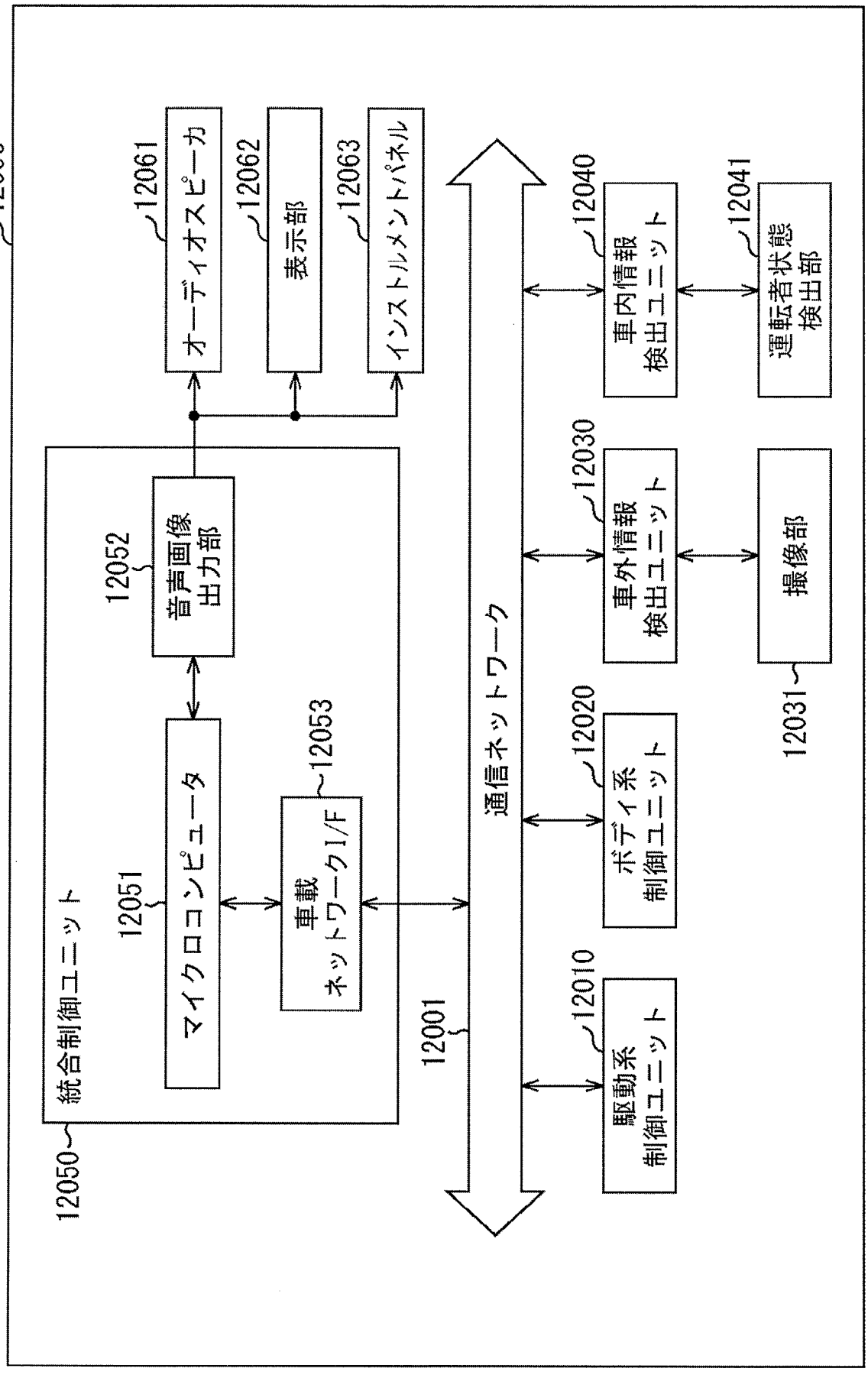
[図40]


23020
23021
23024
23101
23161
マイクロレンズ
CF
(PD)
FD
Tr
23170
23122
23123
23121
23111
23113
23112
23110
23172
23173
23171

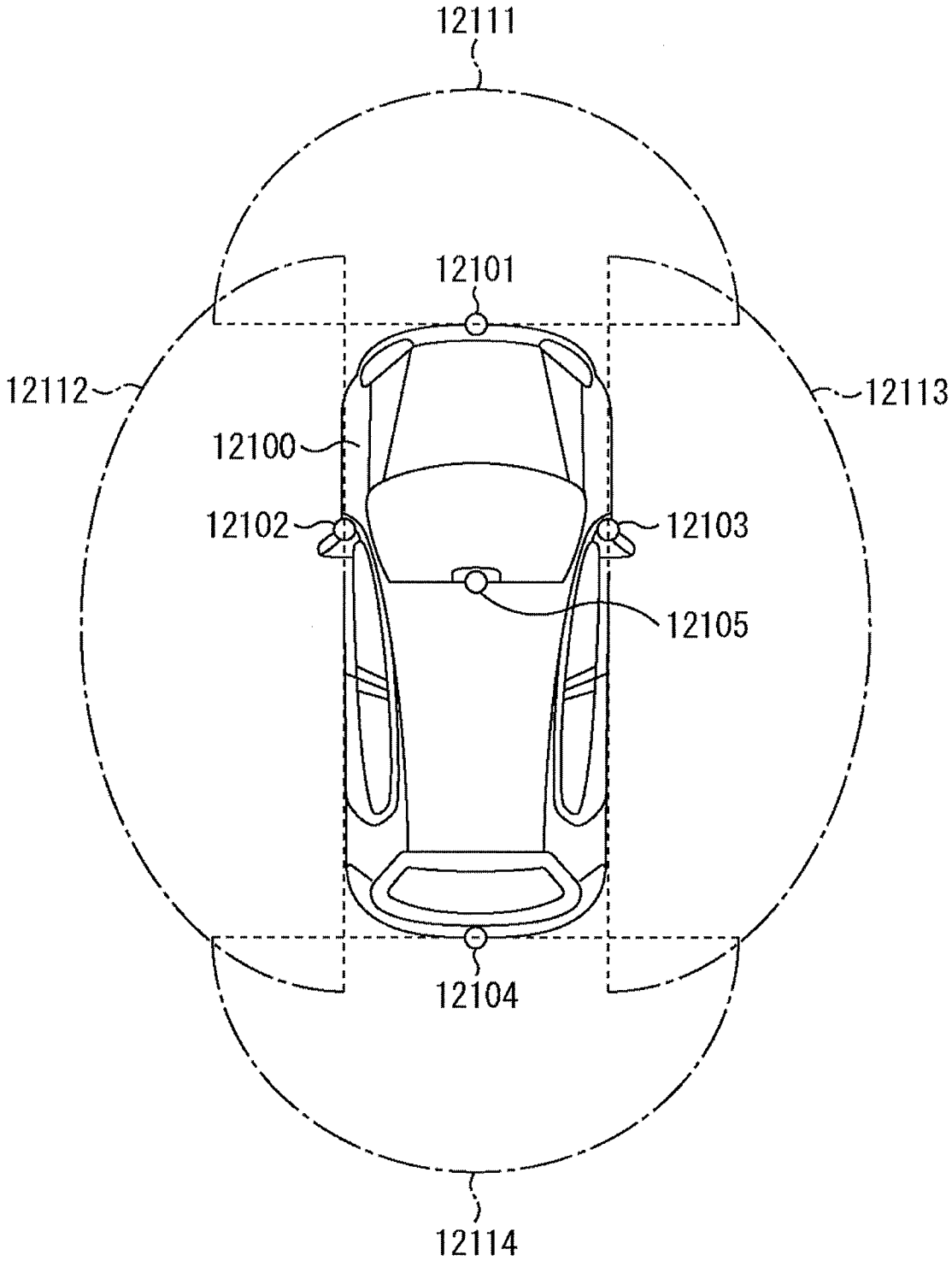
[図41]


23401
マイクロレンズ
CF
PD
23421
23431
23432
23433
23434
23440
23422
23431
Tr
Tr
Tr
Tr
Tr
Tr
23443
23441
23442
23451
23411
23412
23413

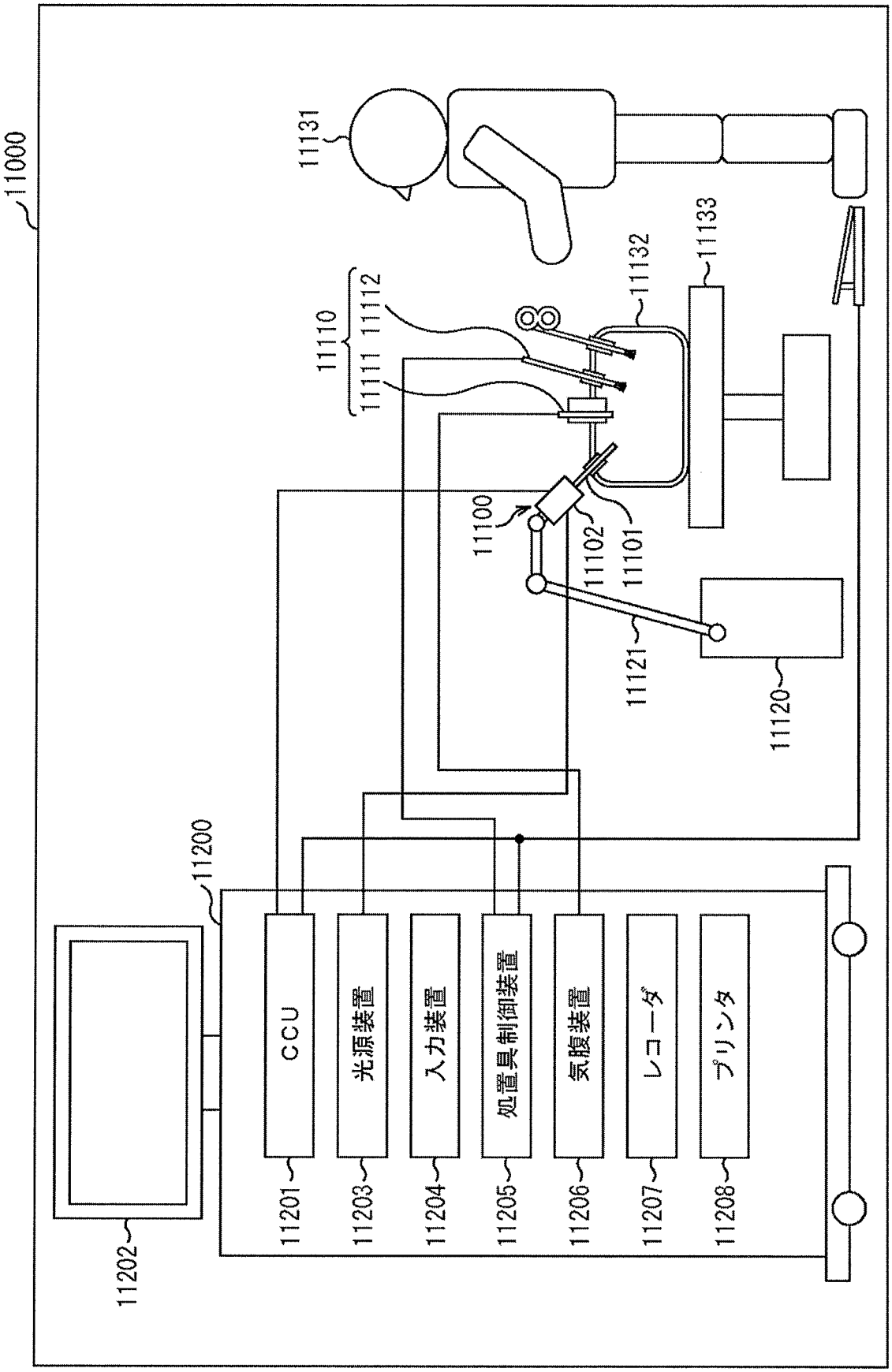
[図42]


12000
12061
オーディオスピーカ
12062
表示部
12063
インストルメントパネル
12040
車内情報
検出ユニット
12041
運転者状態
検出部
12030
車外情報
検出ユニット
12031
撮像部
12052
音声画像
出力部
12051
マイクロコンピュータ
12053
車載
ネットワークI/F
統合制御ユニット
12050
通信ネットワーク
12001
12020
ボディ系
制御ユニット
12010
駆動系
制御ユニット

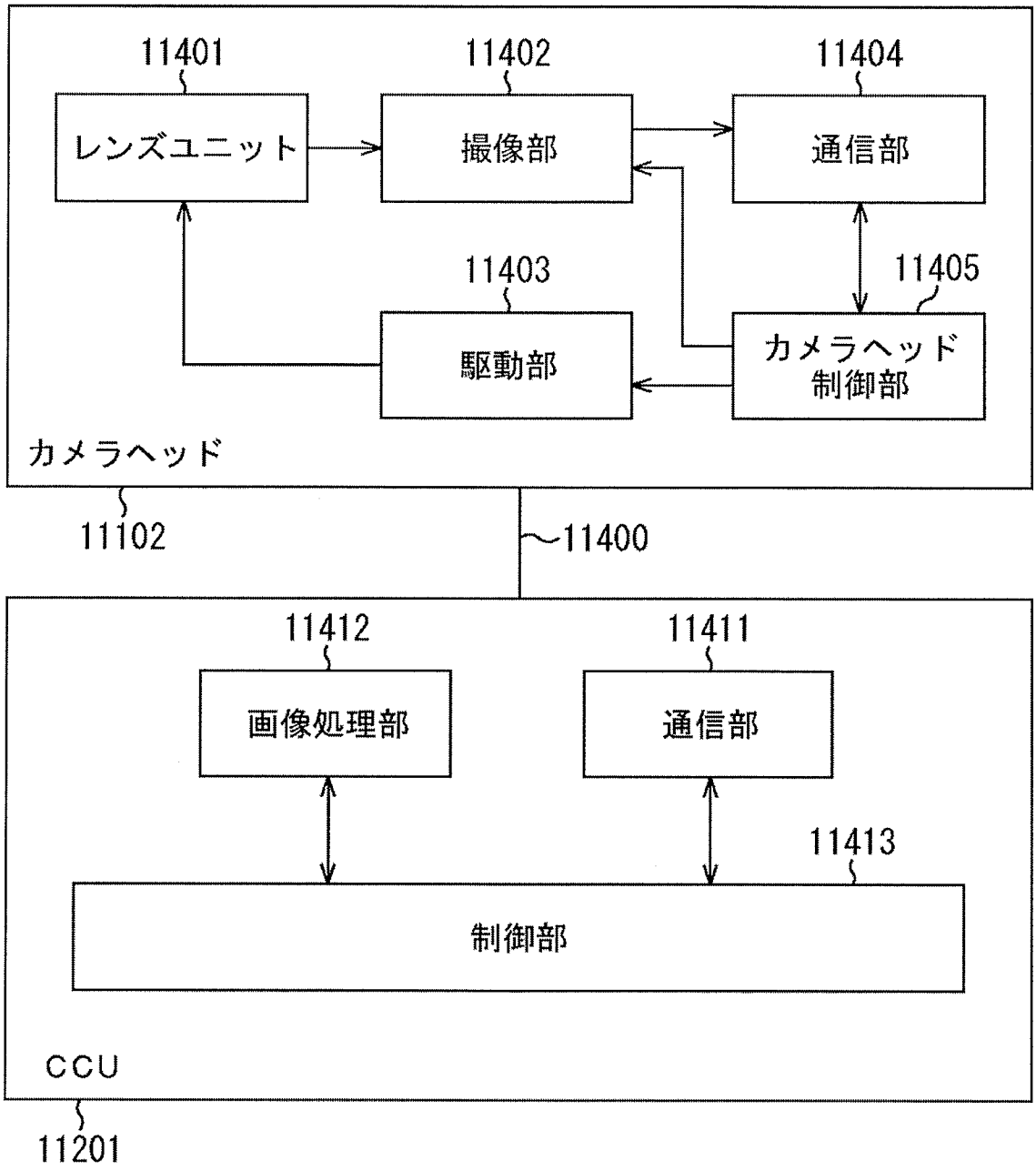
[図43]


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

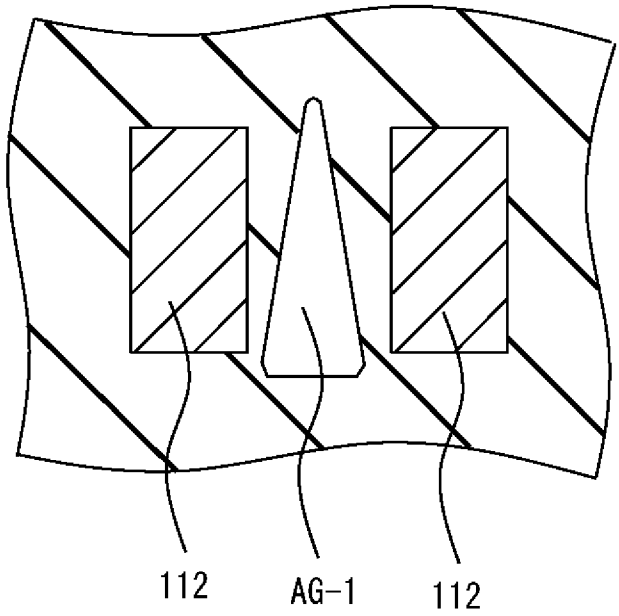
[図44]


11000
11131
11133
11132
11110
11112
11111
11100
11102
11101
11121
11120
11200
11202
CCU
光源装置
入力装置
処置具制御装置
気腹装置
レコーダ
プリンタ
11201
11203
11204
11205
11206
11207
11208

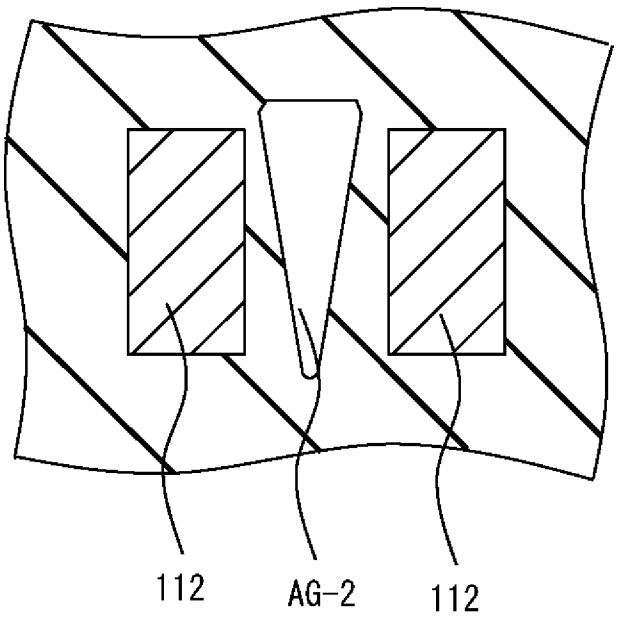
[図45]


11401
11402
11404
レンズユニット
撮像部
通信部
11403
11405
駆動部
カメラヘッド
制御部
カメラヘッド
11102
11400
11412
11411
画像処理部
通信部
11413
制御部
CCU
11201

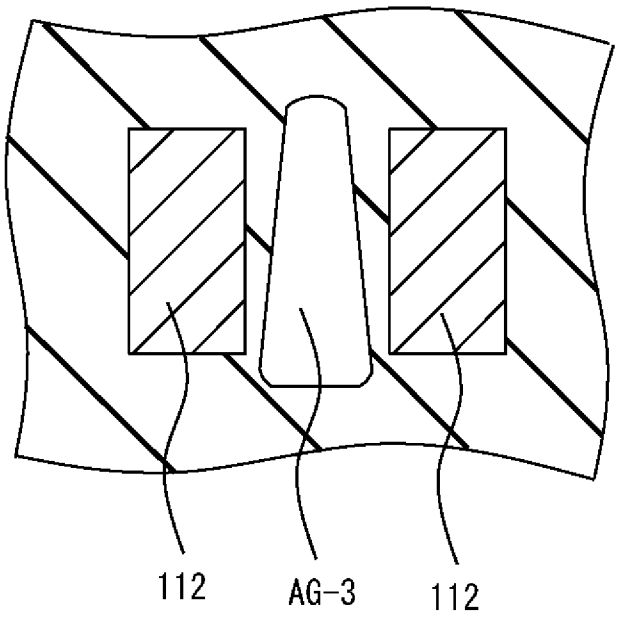
[図46A]



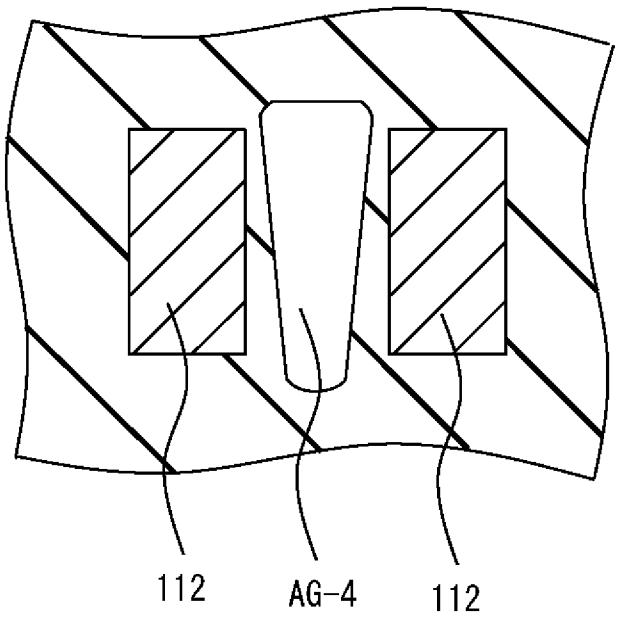
[図46B]



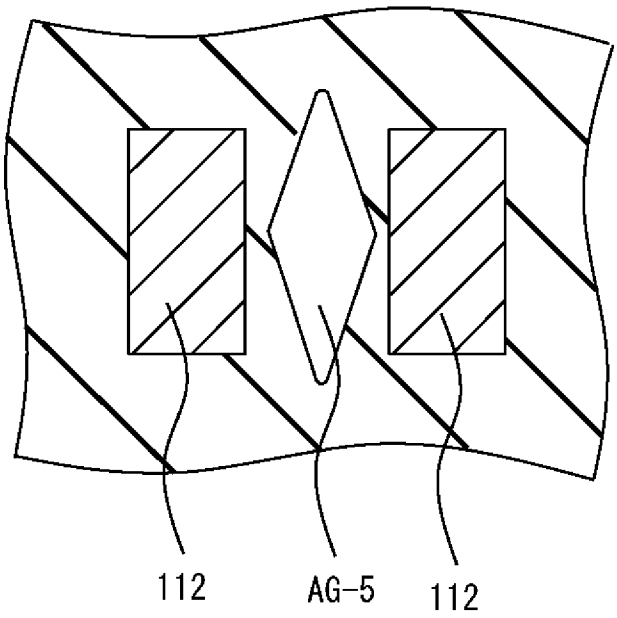
[図46C]



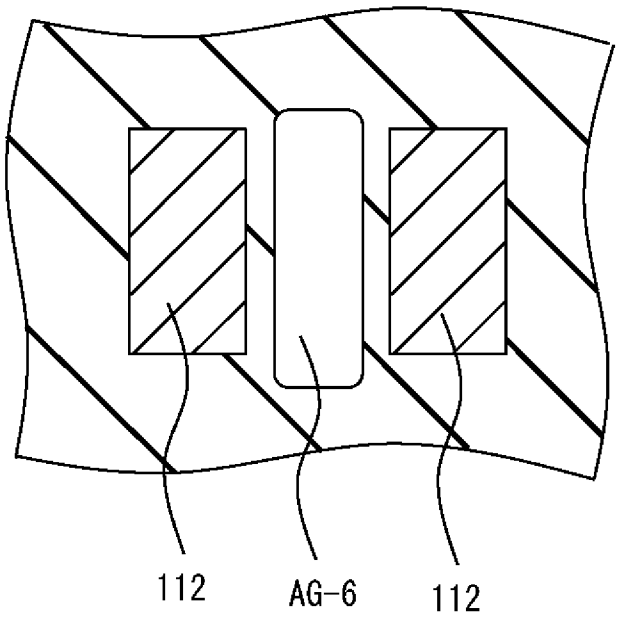
[図46D]



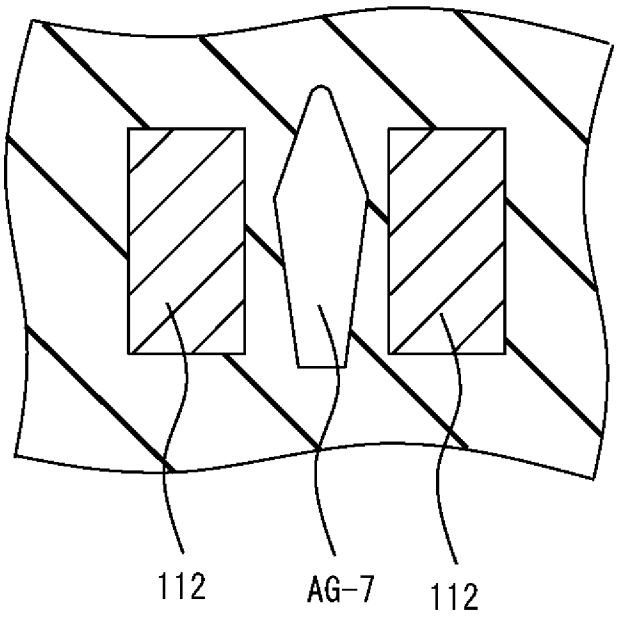
[図46E]



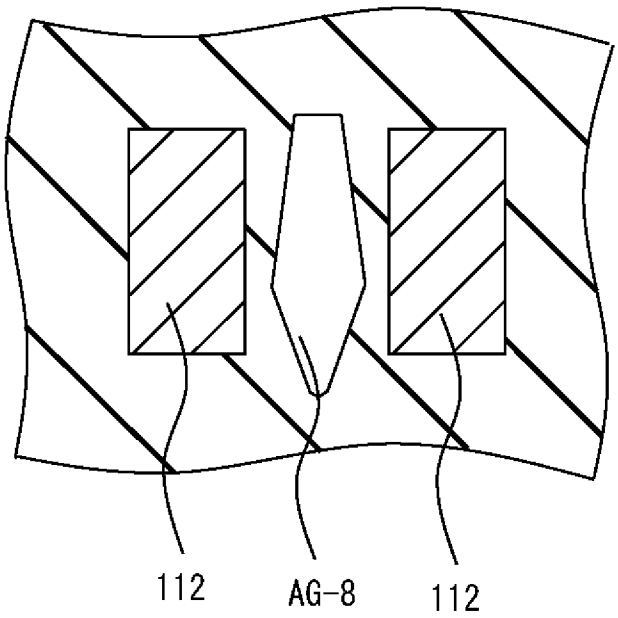
[図46F]



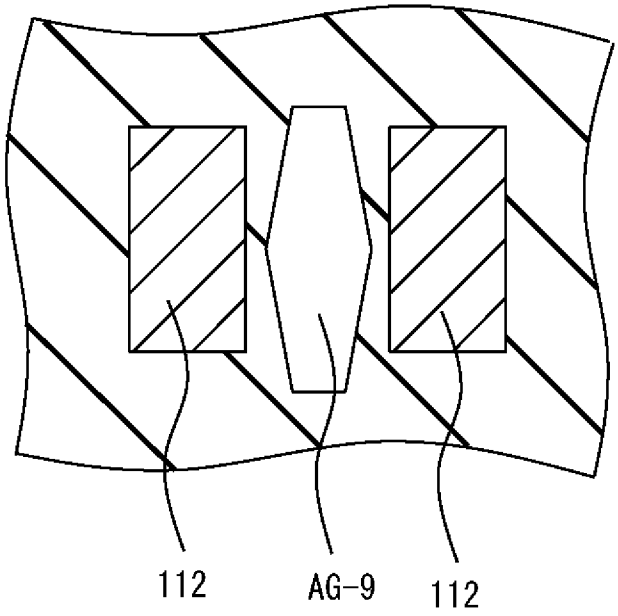
[図46G]



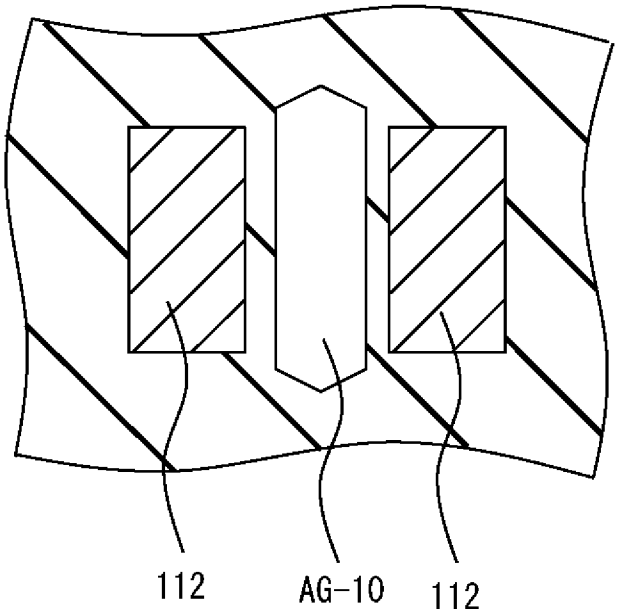
[図46H]



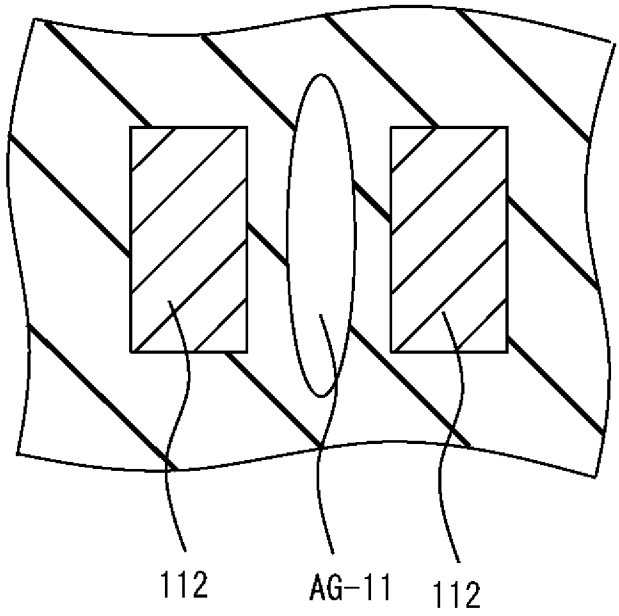
[図46I]



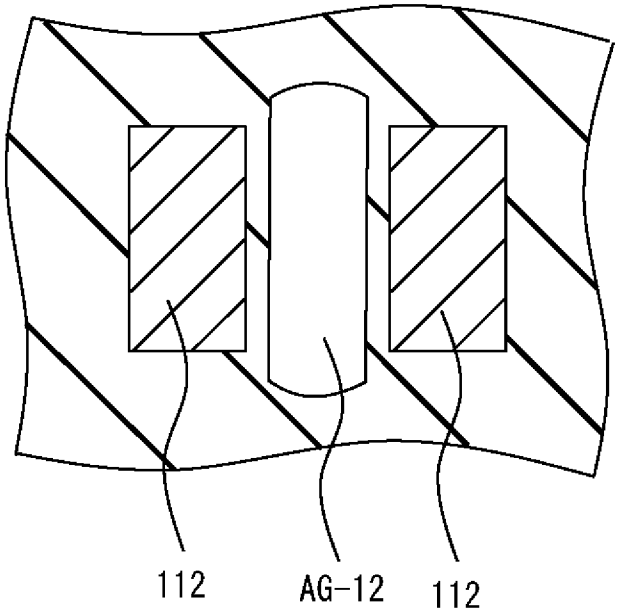
[図46J]



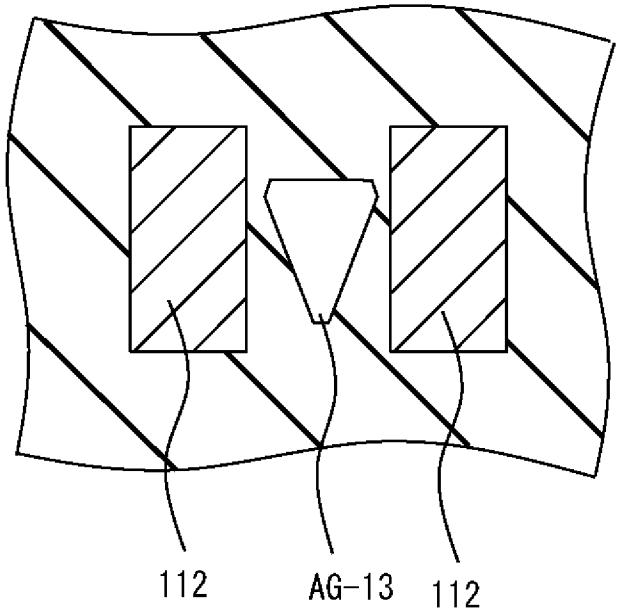
[図46K]



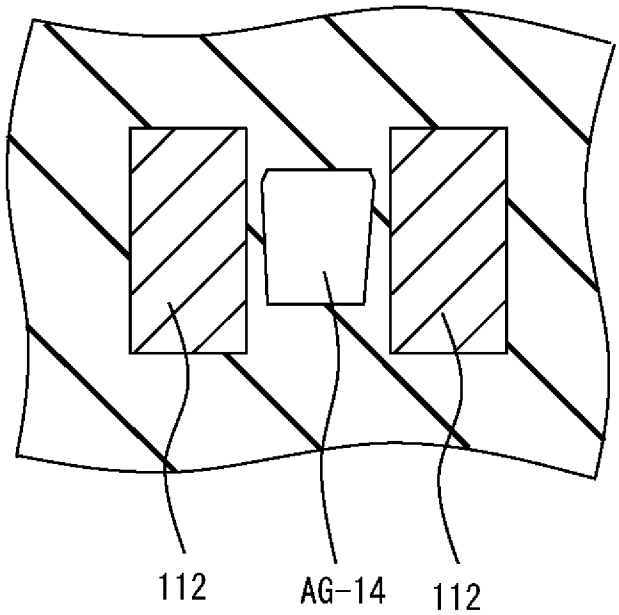
[図46L]



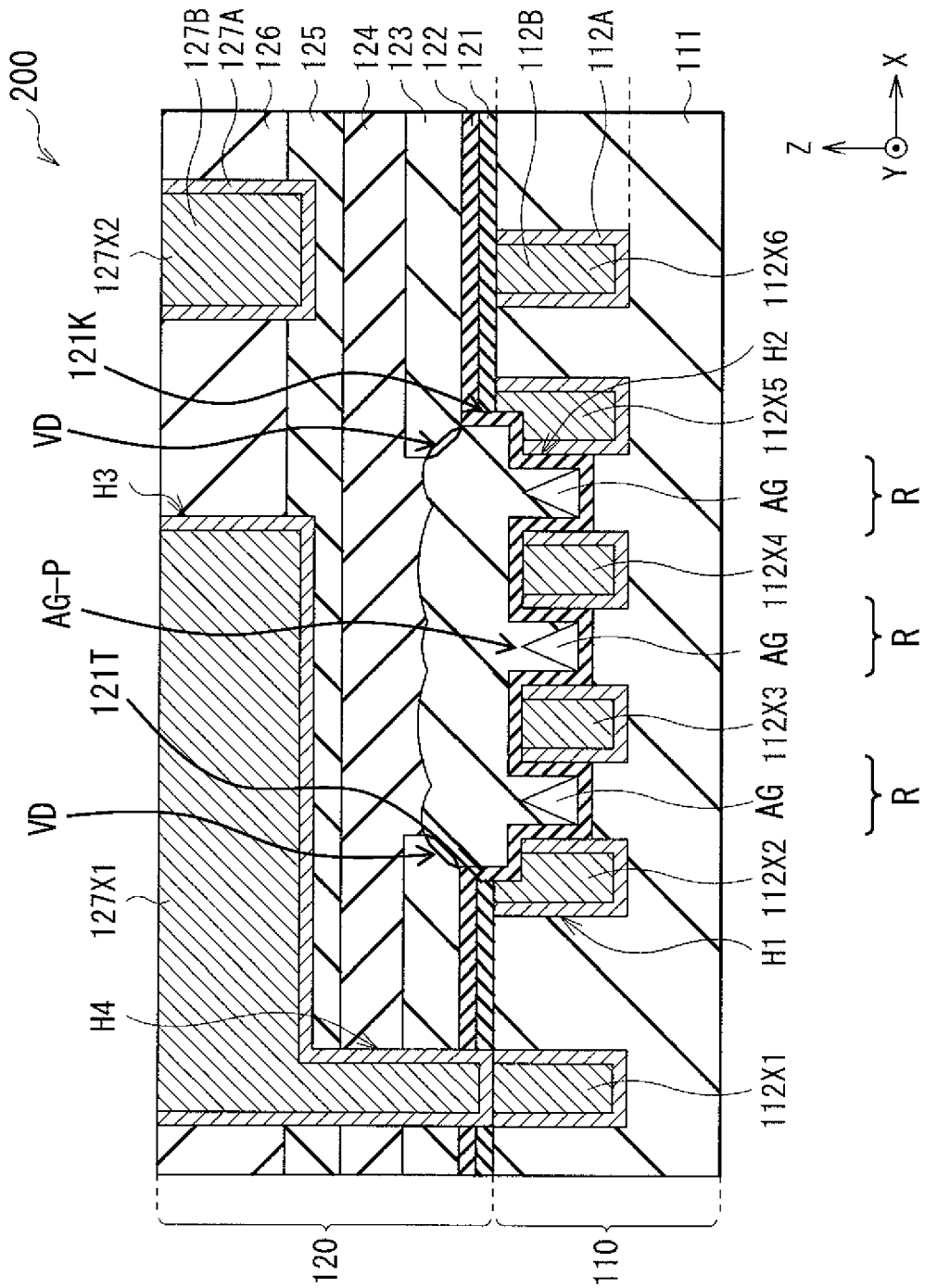
[図46M]



[図46N]



[図47]


200
127B
127A
126
125
124
123
122
121
112B
112A
111
Z
X
Y
127X2
121K
VD
H3
AG-P
121T
VD
127X1
H4
112X6
H2
112X5
AG
112X4
AG
112X3
AG
112X2
H1
112X1
R
R
R
120
110

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/026036

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/768(2006.01)i; ***H01L 23/532***(2006.01)i; ***H01L 21/3205***(2006.01)i; ***H01L 27/146***(2006.01)i; *H04N 5/369*(2011.01)n
FI: H01L21/90 N; H01L21/90 M; H01L21/88 R; H01L27/146 F; H01L27/146 A; H04N5/369

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/768; H01L23/532; H01L21/3205; H01L27/146; H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-197407 A (TOSHIBA CORP.) 30 September 2013 (2013-09-30) paragraphs [0008]-[0048], fig. 1-3	1-4
Y	paragraphs [0008]-[0048], fig. 1-3	5-6
X	JP 2006-165129 A (FUJITSU LTD.) 22 June 2006 (2006-06-22) paragraphs [0014]-[0024], [0052]-[0058], fig. 1, 4, 7	1-4
Y	paragraphs [0014]-[0024], [0052]-[0058], fig. 1, 4, 7	5-6
Y	WO 2019/131965 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 04 July 2019 (2019-07-04) paragraphs [0009], [0020]-[0028], fig. 1, 7	5-6, 15-16
X	US 2017/0062265 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY) 02 March 2017 (2017-03-02) paragraphs [0010]-[0035], fig. 1-9	7-11, 13-14, 17
Y	paragraphs [0010]-[0035], fig. 1-9	15-16
A	paragraphs [0010]-[0035], fig. 1-9	12, 18-21

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 September 2021	**05 October 2021**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 10438843 B1 (UNITED MICROELECTRONICS CORP.) 08 October 2019 (2019-10-08) entire text, all drawings	7-21
A	US 2015/0333009 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 19 November 2015 (2015-11-19) entire text, all drawings	7-21

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/026036

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Claims 1-6 and claims 7-21 share the common technical feature of a "wiring structure comprising: a plurality of wires, each of which extends in a first direction and which are arrayed in a second direction perpendicular to the first direction; and a first insulating film which covers the plurality of wires and includes cavities that are present in gap regions interposed between the plurality of wires adjacent in the second direction." However, said technical feature does not make a contribution over the prior art in light of the disclosures of documents 1-2, and thus cannot be said to be a special technical feature. Also, there are no other identical or corresponding special technical features between these inventions.

Thus, this international application lacks unity of invention, and at least two inventions are present in claims 1-21.

Document 1: JP 2013-197407 A (TOSHIBA CORP.) 30 September 2013 (2013-09-30)
Document 2: JP 2006-165129 A (FUJITSU LTD.) 22 June 2006 (2006-06-22)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☑ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/026036

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2013-197407 A	30 September 2013	US 2013/0249102 A1 paragraphs [0010]-[0046], fig. 1-3	
JP 2006-165129 A	22 June 2006	US 2006/0121685 A1 paragraphs [0025]-[0038], [0080]-[0089], fig. 1, 4, 7 KR 10-2006-0063555 A	
WO 2019/131965 A1	04 July 2019	US 2021/0084249 A1 paragraphs [0120], [0131]-[0139], fig. 1, 7 CN 111492484 A TW 201931584 A	
US 2017/0062265 A1	02 March 2017	CN 106486418 A TW 201709409 A	
US 10438843 B1	08 October 2019	(Family: none)	
US 2015/0333009 A1	19 November 2015	US 2015/0371954 A1 US 2018/0068953 A1 US 2018/0068954 A1	

国際調査報告

国際出願番号
PCT/JP2021/026036

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 21/768(2006.01)i; H01L 23/532(2006.01)i; H01L 21/3205(2006.01)i; H01L 27/146(2006.01)i; H04N 5/369(2011.01)n
FI: H01L21/90 N; H01L21/90 M; H01L21/88 R; H01L27/146 F; H01L27/146 A; H04N5/369

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L21/768; H01L23/532; H01L21/3205; H01L27/146; H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2013-197407 A (株式会社東芝) 30.09.2013 (2013-09-30) 段落[0008]-[0048], 図1-3	1-4
Y	段落[0008]-[0048], 図1-3	5-6
X	JP 2006-165129 A (富士通株式会社) 22.06.2006 (2006-06-22) 段落[0014]-[0024], [0052]-[0058], 図1, 4, 7	1-4
Y	段落[0014]-[0024], [0052]-[0058], 図1, 4, 7	5-6
Y	WO 2019/131965 A1 (ソニーセミコンダクタソリューションズ株式会社) 04.07.2019 (2019-07-04) 段落[0009], [0020]-[0028], 図1, 7	5-6, 15-16
X	US 2017/0062265 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY) 02.03.2017 (2017-03-02) 段落[0010]-[0035], 図1-9	7-11, 13-14, 17
Y	段落[0010]-[0035], 図1-9	15-16
A	段落[0010]-[0035], 図1-9	12, 18-21

☑ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
22.09.2021	05.10.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
早川　朋一　50 9733

電話番号 03-3581-1101 内線 3559

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	US 10438843 B1 (UNITED MICROELECTRONICS CORP) 08.10.2019 (2019-10-08) 全文，全図	7-21
A	US 2015/0333009 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 19.11.2015 (2015-11-19) 全文，全図	7-21

国際調査報告

国際出願番号
PCT/JP2021/026036

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求項1-6と請求項7-21とは、「第１の方向にそれぞれ延在すると共に前記第１の方向と直交する第２の方向に並ぶ複数の配線と、前記複数の配線を覆い、前記第２の方向において隣り合う前記複数の配線に挟まれた間隙領域に存在する空隙を含む第１の絶縁膜とを有する配線構造」という共通の技術的特徴を有している。しかしながら、当該技術的特徴は、文献1-2の開示内容に照らして、先行技術に対する貢献をもたらすものではないから、当該技術的特徴は、特別な技術的特徴であるとはいえない。また、これらの発明の間には、他に同一の又は対応する特別な技術的特徴は存在しない。

したがって、この国際出願は発明の単一性が欠如しており、請求項1-21には、少なくとも2つの発明が存在している。

文献1: JP 2013-197407 A (株式会社東芝) 30.09.2013 (2013-09-30)
文献2: JP 2006-165129 A (富士通株式会社) 22.06.2006 (2006-06-22)

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。

2. ☑ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。

3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。

4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/026036

引用文献	公表日	パテントファミリー文献	公表日
JP 2013-197407 A	30.09.2013	US 2013/0249102 A1 段落[0010]-[0046], 図1-3	
JP 2006-165129 A	22.06.2006	US 2006/0121685 A1 段落[0025]-[0038], [0080]-[0089], 図1, 4, 7 KR 10-2006-0063555 A	
WO 2019/131965 A1	04.07.2019	US 2021/0084249 A1 段落[0120], [0131]-[0139], 図1, 7 CN 111492484 A TW 201931584 A	
US 2017/0062265 A1	02.03.2017	CN 106486418 A TW 201709409 A	
US 10438843 B1	08.10.2019	（ファミリーなし）	
US 2015/0333009 A1	19.11.2015	US 2015/0371954 A1 US 2018/0068953 A1 US 2018/0068954 A1	