[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 21/3215
H01L 21/324

[12] 发明专利说明书

[21] ZL 专利号 95109607.9

[43] 授权公告日 2003 年 5 月 28 日

[11] 授权公告号 CN 1110073C

[22] 申请日 1995.7.27 [21] 申请号 95109607.9

[30] 优先权

[32] 1994. 7.28 [33] JP [31] 176872/1994

[32] 1994.10.28 [33] JP [31] 265529/1994

[71] 专利权人 株式会社日立制作所

地址 日本 东京

[72] 发明人 川越纮人 白须辰美 清田省吾
铃木范夫 山田荣一 杉野雄史
北野学 桜井义彦 长沼孝 荒川久

审查员 聂少岩

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

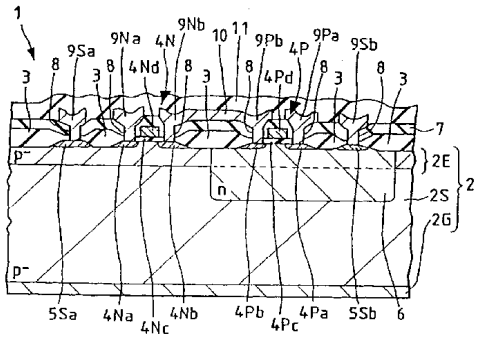
代理人 王以平

权利要求书 4 页 说明书 38 页 附图 19 页

[54] 发明名称 半导体集成电路的制造方法

[57] 摘要

在含有预定导电类型杂质的半导体衬底本体的主表面上形成一个外延层，它含有导电类型与前述杂质相同的杂质而杂质浓度和指定的一种前述杂质的浓度相同。 其后，形成一个阱区，其导电类型与上述杂质相同而其杂质浓度沿上述外延层的深度逐渐降低。 阱区形成有 MISFET 的栅隔离膜。



ISSN1008-4274

1. 一种制造半导体集成电路的方法，包括下列步骤：

制备一具有一外延层的半导体本体，其中，所述外延层的膜厚在0.3-5μm的范围内，该外延层具有一个下表面和一个上表面，它形成在所述半导体本体的一个主表面上使所述外延层的所述下表面与所述半导体本体的所述主表面互相相对；

通过由所述外延层的所述上表面在所述外延层中引入杂质而在所述外延层和所述半导体本体中形成一个阱区；

通过对所述外延层的所述上表面的热氧化，在该上表面上形成一作MISFET的栅隔离膜用的氧化膜；

在所述栅隔离膜上形成所述的MISFET的栅电极；

在所述外延层和所述阱区形成导电类型和所述阱区的相反的所述MISFET的源区和漏区；

其中，所述阱区的杂质浓度大于所述外延层和所述半导体本体的杂质浓度，使得所述阱区的杂质浓度在所述外延层和所述半导体本体中从所述外延层穿过其界面部分向半导体本体内逐渐降低；

所述阱区的最大杂质浓度大于所述半导体本体在其主表面处的杂质浓度，以及

所述阱区中形成所述MISFET的沟道区域的那部分的杂质浓度大于所述半导体本体在其主表面处的杂质浓度。

2. 如权利要求1所述的制造半导体集成电路的方法，其中，所述阱区和所述半导体本体的导电类型相同。

3. 如权利要求1或2所述的制造半导体集成电路的的方法，其中，所述外延层和所述半导体本体具有相同的导电类型。

4. 如权利要求3所述的制造半导体集成电路的方法，其中，半导体本体的杂质浓度为$10^{15}/cm^3$数量级。

5. 如权利要求3所述的制造半导体集成电路的方法，其中，所述外延层的膜厚不小于所述氧化膜的一半。

6. 如权利要求5所述的制造半导体集成电路的方法，其中，所述半导体本体、外延层和氧化膜分别由硅单晶、硅单晶和硅的氧化膜构成。

7. 如权利要求1或2所述的制造半导体集成电路的方法，其中，所述半导体本体制备步骤包括下列子步骤：

a) 通过向一半导体本体内导入碳离子而在所述半导体衬底本体内形成一吸杂层，以及

b) 在步骤a）之后，在所述半导体本体上形成一外延层。

8. 如权利要求1或2所述的制造半导体集成电路的方法，其中，所述半导体本体制备步骤包括下列步骤：

a) 在半导体衬底本体的背面形成一吸杂层，以及

b) 在步骤a)之后，在所述半导体本体的主表面上形成一外延层。

9. 如权利要求8所述的制造半导体集成电路的方法，其中，所述吸杂层由多晶硅构成。

10. 如权利要求8所述的制造半导体集成电路的方法，其中，所述吸杂层将包括一机械形成的工作应力。

11. 如权利要求1或2所述的制造半导体集成电路的方法，其中，所述半导体本体制备步骤包括下列子步骤：

a)在氢气气氛中加热一半导体衬底本体；以及

b)在步骤a)之后，在所述半导体本体的主表面上形成一外延层。

12. 一种制造半导体集成电路器件的方法，包括下列步骤：

制备带有一外延层的半导体本体，其中，所述外延层具有一下表面和一上表面，它形成在所述半导体本体的主表面上，使得所述外延层的所述下表面和所述半导体本体的所述主表面互相相对；

通过由所述外延层的上表面在所述外延层中引入第一种杂质，在所述外延层和所述半导体本体中形成第一阱区；

通过对所述外延层的所述上表面进行氧化，在该上表面上形成一用作MISFET 的栅隔离膜的氧化膜；在所述第一阱区的所述栅隔离膜上形成第一MISFET的第一栅电极，以及

在所述外延层和所述第一阱区中形成第一 MISFET 的一个源区和一

个漏区，

其中，所述第一 MISFET 的所述源区和所述漏区的导电类型与所述第一阱区的相反，

所述第一阱区的杂质浓度大于所述外延层和所述半导体本体的杂质浓度，使得所述阱区的杂质浓度在所述外延层和所述半导体本体中从所述外延层穿过其界面部分向所述半导体本体内逐渐降低，

所述第一阱区中形成所述 MISFET 沟道区域的那部分的杂质浓度大于所述半导体本体在其主表面处的杂质浓度。

13. 如权利要求 12 所述的制造半导体集成电路的方法，其特征在于还包括下列步骤:

在所述外延层和所述半导体本体内通过由所述外延层的所述上表面向其内导入第二种杂质，形成第二阱区;

在所述第二阱区的所述栅隔离膜上形成第二 MISFET 的第二栅电极，以及

在所述外延层和所述第二阱区形成所述第二 MISFET 的一个源区和一个漏区，

其中，所述 MISFET 的所述源区和漏区的导电类型与所述第二阱区的相反，

所述第二阱区的杂质浓度大于所述外延层和所述半导体本体的杂质浓度，使得所述第二阱区的杂质浓度在所述外延层和所述半导体本体中从所述外延层经其与所述半导体本体的界面向该本体内逐渐降低，

所述第二阱区中形成所述 MISFET 沟道区域的那部分的杂质浓度大于所述半导体本体在其主表面处的杂质浓度。

14. 如权利要求 12 和 13 所述的制造半导体集成电路器件的方法，其中，所述半导体本体的杂质浓度约为 $10^{15}/cm^3$ 数量级。

15. 如权利要求 12 和 13 所述的制造半导体集成电路器件的方法，其中，所述半导体本体具有一个用于捕捉金属沾污元素的陷阱区。

16. 如权利要求 12 和 13 所述的制造半导体集成电路器件的方法，其中，所述外延层的膜厚不小于所述氧化膜的一半。

17. 如权利要求 12 和 13 所述的制造半导体集成电路器件的方法，其中，所述半导体本体、所述外延层和所述氧化膜分别由单晶硅、单晶硅和硅的氧化膜构成。

半导体集成电路的制造方法

本发明涉及到一种制造半导体晶片的工艺、一种半导体晶片、一种制造半导体集成电路器件的工艺、以及一种半导体集成电路器件，更确切地说是涉及到一种可用于所谓“处延片制造工艺”以便在半导体衬底表面上形成外延层的技术、一种处延片、一种采用此外延片制造半导体集成电路器件的工艺、以及一种半导体集成电路器件。

外延片是一种在镜面抛光过的半导体镜面晶片的主表面上用外延生长方法形成了一个外延层的半导体晶片。顺便说一下，外延生长方法在例如 1983 年 McGraw－Hill 出版并由 S.M.Sze 主编的“VLSI 工艺”的 P51—74 上有所描述。另一方面，在同一出版物的 P39—42 上，描述了抛光工艺。

外延片在抑制软错误和抗闭锁方面性能极好，而且待要制作在外延层上的栅隔离膜的击穿特性特别好以大大降低栅隔离膜的缺陷密度，从而促进了外延片在半导体集成电路器件制造技术中的应用。

关于这种外延片，有下列两种技术。日本应用物理学会 1991 年 8 月 10 日发表的“应用物理第 60 卷第 8 期”的 P761—763 上描

述了第一种技术。该文描述了一种外延片，其中在 p^+（或 n^+）型半导体衬底上形成了一个 p（或 n）型外延层，该外延层的 p（或 n）型杂质浓度低于半导体衬底的 p（或 n）型杂质浓度。

在这种情况下所描述的结构中，在外延层中制作了一个称之为“阱”的半导体区并在其上制作了一个 MOSFET。由于此时的阱是通过从外延层表面扩散杂质的方法形成的，阱中的杂质浓度分布为表面高而体内低。

在例如日本专利公开 260832/1989 中描述了第二种技术，此技术得到的外延片在 p 型半导体衬底上有一个 p 型外延层。此时，形成元件制作用扩散层，从外延层表面延伸到半导体衬底的上部。

还描述了一种工艺，其中在形成扩散层时由形成扩散层的杂质对半导体衬底进行掺杂，以致在半导体衬底上生长外延层的同时，半导体衬底上部的杂质可以扩散以形成扩散层。

此时的杂质浓度分布被做成具有一高台的曲线，在外延层和半导体衬底交界处有一峰值，以致杂质浓度在外延层表面侧处低，在外延层同半导体衬底交界处高而在半导体衬底内低。

根据前述第一技术制造的半导体集成电路器件在性能和可靠性方面是优异的，但由于所用的半导体衬底含有高浓度的杂质（p^+ 型或 n^+ 型）而在成本方面存在问题，并且由于在半导体衬底上形成了厚度很大的外延层而价格昂贵。

另一方面，根据前述第二技术，用所谓的“上扩散”方法将杂质扩散到半导体衬底上部而形成扩散层。结果，很难确定杂质浓度以致发生扩散层制作精度下降的问题。另一问题是不得不采用所谓的“镜面晶片”来改变 LSI（即大规模集成电路）制造工艺。

本发明的一个目的是提供一种可改善半导体集成电路器件性能和可靠性并降低半导体集成电路器件成本的技术。

本发明的一个目的是提供一种在半导体衬底上带有半导体单晶层的半导体晶片上可更容易地控制半导体区的形成的技术。

本发明的目的是提供一种可以采用现成的半导体集成电路器件制造工艺（用所谓“镜面晶片”）的技术。

从下述参照附图进行的描述中，可更清楚地看到本发明的上述和其它的目的和新颖特征。

此处公开的本发明的代表性特点将简要描述如下。

具体地说，根据本发明提供了一种制造半导体集成电路的方法，它包括下列步骤：制备一具有一外延层的半导体本体，其中，所述外延层的膜厚在0.3-5μm的范围内，该外延层具有一个下表面和一个上表面，它形成在所述半导体本体的主表面上使所述外延层的下表面与半导体本体的主表面互相相对；通过由所述外延层的上表面在外延层中引入杂质而在所述外延层和所述半导体本体中形成一个阱区；通过对所述外延层的上表面的热氧化，在该上表面上形成一作 MISFET 的栅隔离膜用的氧化膜；在栅隔离膜上形成 MISFET 的栅电极；在所述外延层和所述阱区形成导电类型和阱区相反的 MISFET 的源区和漏区；其中，所述阱区的杂质浓度大于所述外延层和半导体本体的杂质浓度，使得所述阱区的杂质浓度在所述外延层和半导体本体中从所述外延层穿过其界面部分向半导体本体内逐渐降低；所述阱区的最大杂质浓度大于半导体本体主表面处的杂质浓度，以及所述阱区中形成所述 MISFET 的沟道区域的那部分的杂质浓度大于所述半导体本体在其主表面处的杂质浓度。

根据本发明的又一种制造半导体集成电路器件的方法，包括下列步骤：制备带有一具有一下表面和一上表面的外延层的半导体本体，其中，它形成在所述半导体本体的主表面上，使得所述外延层的下表面和半导体本体的主表面互相相对；通过由所述外延层的上表面在所述外延层中引入第一种杂质，在所述外延层和半导体本体中形成第一阱区；通过对所述外延层的上表面进行氧化，在该上表面上形成一用作 MISFET 的栅隔离膜的氧化膜；在所述栅隔离膜上形成第一 MISFET 的第一栅电极，以及在外延层和第一阱区中形成第一 MISFET 的一个源区和一个漏区，其中，所述源区和漏区的导电类

型与所述第一阱区的相反，所述第一阱区的杂质浓度大于所述外延层和半导体本体的杂质浓度，使得所述阱区的杂质浓度在所述外延层和半导体本体中从所述外延层穿过其界面部分向所述半导体本体内逐渐降低，所述第一阱区中形成 MISFET 沟道区域的部分的杂质浓度大于所述半导体本体在其主表面处的杂质浓度。

本发明还提供了一种制造半导体集成电路的方法，包括下列步骤：提供一在其整个表面上具有预定杂质浓度的相对低掺杂的第一种导电类型的半导体本体；在所述具有预定杂质浓度的主表面上形成相对低掺杂浓度的第一种导电类型的外延层；在所述外延层内通过其一个表面引入杂质而形成第一阱区；氧化外延层的所述表面，在该表面上形成一用作 MISFET 的栅隔离膜的氧化膜；在所述第一阱区的所述氧化膜上形成 MISFET 的栅电极；其中，第一阱区中形成沟道区域的那部分的杂质浓度大于所述外延层的杂质浓度和所述半导体本体的预定杂质浓度。

本发明还提供了一种制造半导体集成电路的方法，包括下列步骤：提供一在其整个表面上具有一预定杂质浓度的第一种导电类型的半导体本体；在所述预定杂质浓度的主表面上形成第一种导电类型的外延层；在所述外延层内通过其一个表面引入杂质，形成第一阱区；氧化所述外延层的所述表面，在该表面上形成一氧化膜，以及在所述第一阱区的所述氧化膜上形成阱区；其中，所述第一阱区的杂质浓度大于所述外延层的杂质浓度和所述半导体本体的预定杂质浓度。

根据前述的本发明半导体集成电路器件制造工艺，借助于在半导体单晶层上形成 MOSFET 栅隔离膜的方法，可制作具有优良薄膜质量的栅隔离膜，致使栅隔离膜的击穿电压提高以降低隔离膜的缺陷密度。而且，无须使用价高和浓度高的半导体衬底，而半导体单晶层可以减薄以降低具有高的元件特性和可靠性的半导体集成电路器件的成本。

而且，根据前述的本发明半导体集成电路器件制造工艺，当在半导体衬底中制作阱之类的半导体区时，选定杂质浓度和深度的自由度是如此的高，以致可简化制作的控制。结果，就有可能降低废品，从而改善生产成品率。而且可降低半导体集成电路器件的成本。

此外，根据前述的本发明半导体集成电路器件制造工艺，半导体单晶层下方半导体衬底本体的杂质浓度被做成高于半导体单晶层的浓度，致使半导体衬底的电阻可相对地降低以改善抗闭锁性。

而且，根据前述的本发明半导体集成电路器件制造工艺，由于第一半导体区是用离子注入方法和热扩散方法制作的，故当采用半导体衬底本体上带有半导体单晶层的半导体晶片来进行制造时，在设计和制造工艺中无须作任何改变，只要采用与具有所谓“镜面晶片”的半导体集成电路器件相同的方法，就可以制造半导体集成电路器件。

根据前述的本发明半导体集成电路器件制造工艺，由于将动态随机存取存储器的存储单元制作在带有较少的诸如氧沉淀之类缺陷的半导体单晶层上，就有可能降低存储单元的转移 MOSFET 源区和漏区中结的漏电流。而且，由于存储单元电容器中的漏电荷可被抑制以延长电荷储存时间，故有可能改善刷新特性。结果就可能改善动态随机存取存储器的性能、可靠性和成品率。

而且，根据前述的本发明半导体集成电路器件制造工艺，由于静态随机存取存储器的存储单元被制作在带有较少的诸如氧沉淀之类缺陷的半导体单晶层上，就可以降低组成存储单元的 MOSFET 的源区和漏区中结的漏电流以改善数据保存水平，从而降低数据保存故障百分比。结果就有可能改善静态随机存取存储器的性能、可靠性和成品率。

此外，根据前述的本发明半导体集成电路器件制造工艺。将可电擦除和数据编程的只读存储器的存储单元制作在带有较少诸如氧沉淀之类缺陷的半导体单晶层上，故可改善数据写入性能并降低数

据擦除的分散性。结果就可能改善可电擦除和数据编程的只读存储器的性能、可靠性和成品率。

图 1 为示出了根据本发明一个实施例的半导体集成电路器件主要部分的剖面图；

图 2 是一俯视平面图，示出了在制造图 1 半导体集成电路器件步骤中待要使用的半导体晶片；

图 3 为示出了在制造图 1 半导体集成电路器件步骤中的主要部分的剖面图；

图 4 为示出了在制造图 1 半导体集成电路器件图 3 之后步骤中的主要部分；

图 5 剖面示出了在制造图 1 半导体集成电路器件图 4 之后步骤中的主要部分的剖面图；

图 6 为示出了在制造图 1 半导体集成电路器件图 5 之后步骤中的主要部分的剖面图；

图 7 剖面示出了在制造图 1 半导体集成电路器件图 6 之后步骤中的主要部分；

图 8 剖面示出了在制造图 1 半导体集成电路器件图 7 之后步骤中的主要部分；

图 9 剖面示出了根据本发明另一实施例的半导体集成电路器件的主要部分；

图 10 剖面示出了在制造图 9 半导体集成电路器件的步骤中的主要部分；

图 11 剖面示出了在制造图 9 半导体集成电路器件图 10 之后步骤中的主要部分；

图 12 剖面示出了根据本发明又一实施例的半导体集成电路器件的主要部分；

图 13 剖面示出了在制造图 12 半导体集成电路器件的步骤中的主要部分；

图 14 剖面示出了在制造图 12 半导体集成电路器件图 13 之后步骤中的主要部分；

图 15 剖面示出了在制造图 12 半导体集成电路器件图 14 之后步骤中的主要部分；

图 16 剖面示出了根据本发明另一实施例的半导体集成电路器件的主要部分；

图 17 是图 16 半导体集成电路器件中的杂质分布图，横坐标表示从外延层 2E 表面算起的深度，纵坐标表示杂质浓度；

图 18 是现有技术中已描述过的半导体集成电路器件中的杂质分布图，横坐标表示从外延层 EP1 表面算起的深度，纵坐标表示杂质浓度；

图 19 是现有技术中已描述过的半导体集成电路器件中的杂质分布图，横坐标表示从外延层 EP2 表面算起的深度，纵坐标表示杂质浓度；

图 20 剖面示出了在制造图 16 半导体集成电路器件的步骤中，半导体衬底的主要部分；

图 21 剖面示出了在制造图 16 半导体集成电路器件图 20 之后的步骤中半导体衬底的主要部分；

图 22 剖面示出了在制造图 16 半导体集成电路器件图 21 之后的步骤中半导体衬底的主要部分；

图 23 剖面示出了在制造图 16 半导体集成电路器件图 22 之后的步骤中半导体衬底的主要部分；

图 24 剖面示出了在制造图 16 半导体集成电路器件图 23 之后的步骤中半导体衬底的主要部分；

图 25 用来解释本发明半导体集成电路器件的效用；

图 26（A）剖面示出了根据本发明另一实施例的半导体集成电路器件的主要部分；

图 26（B）是一个电路图，示出了图 26（A）半导体集成电路器件的一个存储单元；

图 27（A）剖面示出了根据本发明又一实施例的半导体集成电路器件的主要部分；

图 27（B）是一个电路图，示出了图 27（A）半导体集成电路器件的一个存储单元；

图 28 剖面示出了根据本发明另一实施例的半导体集成电路器件的主要部分；

图 29 剖面示出了在制造根据本发明又一实施例的半导体集成电路器件的步骤中的主要部分；以及

图 30 剖面示出了在制造根据本发明另一实施例的半导体集成电路器件图 29 之后的步骤中的主要部分。

以下参照附图结合其实施例来详细描述本发明。

(实施例 1)

图 1 剖面示出了根据本发明一个实施例的半导体集成电路器件的主要部分；图 2 是待要用于制造图 1 半导体集成电路器件工艺中的半导体晶片的俯视平面图；图 3 到 8 剖面示出了制造图 1 半导体

集成电路器件工艺中的主要部分。

为图1所示，组成本实施例1的半导体集成电路器件1的半导体衬底2，由一个半导体衬底本体2S、一个外延层（即半导体单晶层）2E和一个吸杂（gettering）层（即陷阱区）2G组成。

该吸杂层可通过向半导体本体内导入碳离子或用CVD法在半导体本体的背面形成。

顺便说一下，McGraw－Hill 1983年出版的S.M.Sze主编的“VLSI工艺”中P42—44对吸杂层作了描述。

半导体衬底2S例如由厚度约为500—800μm的p^-型硅单晶构成。半导体衬底本体2S用硼（B）之类的p型杂质掺杂成浓度约为1.3×10^{15}原子/cm^3。

在半导体衬底本体2S的主表面上，形成了一个例如由p^-型硅构成的外延层2E。此外延层2E用诸如硼之类的p型杂质掺杂成等于指定的一个半导体衬底本体2S的浓度，例如1.3×10^{15}原子/cm^3。

此处，指定的杂质浓度被用来覆盖允许的数据。具体地说，等于指定的杂质浓度意味着当半导体衬底本体2S的指定杂质浓度由[杂质浓度：A]±[可允许值：α]表示，且其实际杂质浓度为A时，如果外延层2E的实际杂质浓度不为A而在A±α范围内，则半导体衬底本体2S和外延层2E具有相等的杂质浓度。

于是，在本实施例1中，在相对轻掺杂的p^-型半导体衬底本体2S上形成了p^-型外延层2E，且不采用贵重的重掺杂p^+半导体衬底，从而半导体衬底2的成本可降低到将近一半。

倘若带有形成在p^+半导体衬底本体上的p^-外延层的现有技术的半导体衬底的成本是不带有外延层的普通半导体衬底的2.5—3倍。相反，本实施例1的半导体衬底的成本可压低到普通半导体衬

底的1.5倍的范围内。结果就可降低半导体集成电路器件的成本。

外延层2E被做成相当薄，厚度约为1μm。因此可获得下列效果。

首先，容易控制对外延层2E厚度或电阻率的选取。其次，由于第一个理由，不需要具有高的成膜精度的成膜设备来制作外延层，致使设备不必昂贵。第三，可以容易地制作外延层从而可提高产量。第四，第一、第二和第三理由，故有可能降低半导体衬底2的成本。

外延层2E的厚度下限是稍后要描述的MOSFET中栅隔离膜的厚度的一半或一半以上。当考虑到MOSFET的栅隔离膜厚度的一半在制作栅隔离膜时进入半导体衬底2一侧时，进行这一选取。

具体地说，倘若外延层2E制做得比栅隔离膜厚度的一半还薄，当在外延层2E上要制作栅隔离膜时，它整个就被栅隔离膜覆盖住。结果做出的结构使栅隔离膜形成在半导体衬底本体2S上。这种结构失去了栅隔离膜形成在外延层2E上时的效果，亦即失去了制作优良的栅隔离膜以改善其击穿电压的效果。

顺便说一下，为参照图25将要描述的那样，通过对栅隔离膜性能（例如栅击穿电压）的评估，外延层2E厚度的下限常被定为0.3μm。

另一方面，不能笼统地说外延层2E的厚度上限，这是因为它依赖于产品或制造条件，但若考虑以下情况，可能希望小于5μm。

具体地说，首先，外延层2E的上表面可保持平坦。若外延层2E做得较厚，半导体衬底本体2S主表面的平面差就相应增加，但这一范围的厚度不会引起本质的差别。

若主表面有过大的粗糙度，在稍后描述的MIS器件制作步骤的光刻中可能出现大于聚焦深度的高程差别，从而引起光刻无法形成图形的问题。

其次，半导体衬底2或半导体晶片（即稍后描述的外延片）母体材料的成本可压低到低廉的范围内。若加厚外延层2E，如上所述很难控制成膜操作，以致提高半导体晶片（即稍后描述的外延片）的成本。但此厚度范围不引起成本的急剧增加。

第三，可忽略半导体衬底2S主表面上可能存在的粗糙度。由这种数量级的厚度，粗糙度不会造成大的高程差别。

第四，当该外延层要制作在半导体晶片（即稍后要描述的镜面晶片）上时，有可能防止在半导体晶片（即稍后描述的镜面晶片）主表面的外缘附近形成任何粗糙性（即隆起）。倘若在半导体晶片(即稍后描述的镜面晶片）上要制作厚的外延层，在半导体晶片(即稍后描述的镜面晶片）主表面的外缘附近将形成称为隆起的粗糙性。而由这种数量级的厚度，则不会形成粗糙性（或可以忽略）。

考虑到上述各点，外延层2E的厚度最好在0.3μm—5μm范围内。然而常用的范围是0.3μm—3μm，而最佳范围是0.3μm—1.0μm。

在外延层2E主表面上，形成了一个例如由二氧化硅（SiO_2）构成的场隔离膜3。顺便说一下，在场隔离膜3下方形成了一个沟道停止区（未示出）。

形成了由场隔离膜3包围的例如带有一个n沟MOSFET（简称nMOS）4N和一个p沟MOSFET（简称pMOS）4P的元件制作区，这些nMOS 4N和pMOS 4P组成一个CMOS（即互补金属氧

化物半导体）电路。顺便说一下，以下对 MOSFET 进行描述，但本发明可自然地修改为 MISFET。

在本实施例 1 中，nMOS 4N 和 pMOS 4P 都具有普通 MOSFET 结构，但不限于此，也可以由具有 LDD（即轻掺杂漏）结构的 MOSFET 构成。

nMOS 4N 具有下列组成部分。具体地说，nMOS 4N 由一对形成在外延层 2E 上而彼此分隔开的半导体区 4Na 和 4Nb、一个形成在外延层 2E 上的栅隔离膜 4Nc、以及一个形成在栅隔离膜 4Nc 上的栅电极 4Nd 所组成。

半导体区 4Na 和 4Nb 用于制作 nMOS 4N 的源—漏区的区域。半导体区 4Na 和 4Nb 用磷（P）或砷（As）之类的 n 型杂质掺杂成约为 1×10^{15}原子/cm^2 的浓度（剂量）。半导体区 4Na 和 4Nb 做成约 0.5μm 深并制作在外延层 2E 的厚度范围内。

栅隔离膜 4Nc 由例如约 18nm 厚的 SiO_2 构成并制作在外延层 2E 上。结果可达到下列效果。

首先，如上所述，通过在由外延层 2E 组成的半导体单晶层 2E 上制 MOSFET 的栅隔离膜 4Nc，可形成具有优良膜质量的栅隔离膜 4Nc 以改善其击穿电压。其次，可以把栅隔离膜 4Nc 的缺陷密度（即在预定范围内引起的缺陷数）改善（降低）一个或一个以上的数量级。

栅电极 4Nd 由例如低电阻的单层多晶硅膜构成。此外，栅电极 4Nd 不限于低阻单层多晶硅膜，可以有各种修改。例如，栅电极 4Nd 可用在低阻多晶硅膜上将由硅化钨（WSi_2）构成的硅化物膜进行层叠而成。

顺便说一下，形成在外延层2E上的半导体区5Sa是一个用来设定nMOS 4N侧边处的衬底电位的区域。这一半导体区5Sa用诸如硼之类的p型杂质掺杂成约为1×10^{15}原子/cm^2的浓度（剂量）。

另一方面，pMOS 4P制作在形成在半导体衬底2上的n阱6中。n阱6用诸如磷或砷之类的n型杂质掺杂成1×10^{13}原子/cm^2浓度（剂量）。n阱6深约1.5—4μm并比外延层2E延伸得更深。具体地说，n阱6形成在外延层2E和半导体衬底本体2S中，其深度大于处延层2E的膜厚度。

pMOS 4P具有下列组成部分。具体地说，pMOS 4P由一对形成在外延层2E上且彼此分隔开的半导体区4Pa和4Pb、一个形成在外延层2E上的栅隔离膜4Pc、以及一个形成在栅隔离膜4Pc上的栅电极4Pd所组成。

半导体区4Pa和4Pb是用来制作pMOS 4P的源—漏区的区域。半导体区4Pa和4Pb用诸如硼之类的p型杂质掺杂成约为1×10^{18}原子/cm^2的浓度（剂量）。半导体区4Pa和4Pb做成约0.5μm深且制作在外延层2E的厚度范围内。

栅隔离膜4Pc由例如厚约18nm的SiO_2构成且制作在外延层2E上。结果可获得与nMOS 4N相同的效果。

首先，可制作具有优良膜质量的栅隔离膜4Pc以改善其击穿电压。其次，栅隔离膜4Pc的缺陷密度可改善（即降低）一个数量级以上。

栅电极4Pd由例如低阻单层多晶硅膜构成。此处，栅电极4Pd并不局限于低阻单层多晶硅膜，可作多种修改。例如，栅电极4Pd可用在低阻多晶硅膜上层叠WSi_2硅化物膜的方法来构成。

顺便说一下，形成在外延层2E上的半导体区5Sb是用来设定pMOS 4P侧边处的衬底电位的一个区域。此半导体区5Sb用诸如磷或砷的n型杂质掺杂成约为1×10^{18}原子/cm^2的浓度（剂量）。

在半导体衬底2上，沉积了一个例如由SiO_2构成的隔离膜7。此隔离膜7形成在预定的位置，带有用来暴露nMOS 4N的半导体区4Na和4Nb、pMOS 4P的半导体区4Pa和4Pb、以及设定衬底电位的半导体区5Sa和5Sb的连接孔8。

上述nMOS 4N的半导体区4Na和4Nb通过连接孔8分别同电极9Na和9Nb电连接。另一方面，pMOS 4P的半导体区4Pa和4Pb通过连接孔8分别同电极9Pa和9Pb电连接。而且、nMOS 4N的半导体区4Nb通过连接电极9Nb和9Pb的第一层布线导线10同pMOS 4P的半导体区4Pb电连接。

另一方面，用于衬底电位的半导体区5Sa和5Sb通过连接孔8分别同电极9Sa和9Sb电连接。

电极9Na、9Nb、9Pa、9Pb、9Sa和9Sb以及第一层布线导线10都由例如铝硅铜（Al－Si－Cu）合金构成。

在隔离膜7上，沉积了一个例如由SiO_2膜和氮化硅（Si_3N_4）从下层开始相继叠层而成的表面保护膜11。此表面保护膜11覆盖着电极9Na、9Nb、9Pa、9Pb、9Sa和9Sb以及第一层布线导线10。

另一方面，在半导体衬底2背面形成了一个吸杂层2G。此吸杂层2G是一种用来捕捉诸如铁（Fe）、镍（Ni）、铜（Cu）或铬（Cr）之类的重金属元素的功能层，用例如为半导体多晶硅膜覆盖衬底2的背面的方法来形成。

此处将参照图 1—8 来描述根据本实施例 1 的制造半导体集成电路器件的工艺。

首先，用直拉法制备一个具有〈100〉取向晶面的柱状 p^- 型硅单晶（未绘出）。待采用的杂质以诸如硼之类的 p 型杂质为例，浓度约为 1.3×10^{15} 原子/cm^3。

接着，将柱状 p^- 型硅单晶切割成片，如有需要则对这些片子进行倒角处理、化学腐蚀之类的表面清洁处理和清除加工损伤的处理。之后，用化学机械抛光之类的方法制作镜面晶片 2W，使晶片具有镜面抛光的主表面，如图 2 和 3 所示。顺便说一下，镜面片 2W 是前述半导体衬底本体 2S 的母体材料。

其次，如图 4 所示，用 CVD（即化学气相淀积）方法在镜面片 2W 的背面沉积多晶硅以形成吸杂层 2G。此吸杂层 2G 是一种捕捉重金属元素的功能层。

接着，采用 CVD 方法（例如外延生长方法），在约 980℃用例如正硅烷（SiH_4）和氢（H_2）气在镜面片 2W 的主表面（位于镜面表面侧）上形成约 1μm 厚的由 p^- 型硅单晶构成的外延层 2E，从而制成外延片（或半导体片）2WE。

此时，外延层 2E 中的杂质浓度定为等于指定的一个镜面片 2W 的杂质浓度。外延层 2E 用硼之类的 p 型杂质掺杂成浓度约为 1.3×10^{15} 原子/cm^3。

之后，在外延片 2WE 上形成一个未示出的离子注入掩模并用来由离子注入方法对图 5 所示的外延片 2WE 的预定位置进行诸如磷或砷之类的 n 型杂质掺杂。然后对外延片 2WE 进行热处理以形成 n 阱 6。

用来形成此n阱6的离子注入杂质浓度（剂量）约为1×10^{13}原子/cm^2，深度约为1.5—4μm，比外延层2E更深。

接下去，如图6所示，用LOCOS之类的方法在外延层2E的主表面上形成由SiO_2之类构成的场隔离膜3。之后，用热氧化之类的方法，同时形成由场隔离膜3所包围的元件制作区和由SiO_2之类构成厚约180 A的栅隔离膜4Nc和4Pc。

在本实施例1中，用将栅隔离膜4Nc和4Pc制作在外延层2E上的方法，可使其具有优良的薄膜质量，以致其击穿电压可得到改善。而且，栅隔离膜4Nc和4Pc的缺陷密度可改善一个数量级以上。

接着，如图7所示，在栅隔离膜4Nc和4Pc上同时形成低阻多晶硅栅隔离膜4Nd和4Pd。此后，用栅隔离膜4Nd和4Pd作为掩模，用不同的离子注入步骤来形成成对的源－漏区4Na和4Nb以及成对的源－漏区4Pa和4Pb，从而在外延层2WE上形成nMOS 4N和pMOS 4P。

之后，在外延层2E的预定位置上分别形成半导体区5Sa和5Sb。然后为图8所示，用CVD之类的方法在外延片2WE上沉积例如由SiO_2构成的隔离膜7。

接着，在隔离膜7中形成接触孔8以将nMOS 4N的半导体区4Na和4Nb、pMOS 4P的半导体区4Pa和4Pb以及用于衬底电位的半导体区5Sa和5Sb暴露在外面。之后，用溅射或蒸发的方法在外延片2WE上沉积一个例如由Al－Si－Cu合金构成的导电膜9。

接着，用干法腐蚀之类的方法使导电膜9图形化，同时形成电极9Na、9Nb、9Pa、9Pb、9Sa和9Sb以及第一布线导线10，如图

1 所示。

之后，例如用 CVD 之类的方法，借助于相继沉积 SiO_2 隔离膜和 Si_3N_4 隔离膜，在外延片 2WE 上形成表面保护膜 11。之后，将外延片 2WE 分成单个的半导体芯片以制造半导体集成电路器件 1，如图 1 所示。

于是，根据本实施例 1，可获得下列效果。

(1) 由于 nMOS 4N 的栅隔离膜 4Nc 和 pMOS 4P 的栅隔离膜 4Pc 形成在外延层 2E（即半导体单晶层）上，故可制作具有优良薄膜质量的栅隔离膜 4Nc 和 4Pc 从而改善其击穿电压。

(2) 由于前述的效果 (1)，有可能大幅度降低栅隔离膜 4Nc 和 4Pc 的缺陷密度。

(3) 由于在 p^- 型半导体衬底本体 2S 上形成了 p^- 型外延层 2E，以致无需采用昂贵的重掺杂 p^+ 型半导体衬底本体，故半导体衬底 2 (即外延片 2WE) 的成本可降低到一半。

(4) 由于外延层 2E 做得相当薄，故容易对外延层 2E 的厚度设定进行控制，从而使用来形成外延层的淀积设备既不要求精确的淀积控制也不会昂贵，结果就有可能降低半导体衬底 2（即外延片 2WE）的成本。

(5) 由于前述的效果 (3) 和 (4)，有可能降低半导体集成电路器件的成本。

(6) 由于外延层 2E 做得相当薄，其上表面就可保持平坦。

(7) 由于前述的效果 (1)、(2) 和 (6)，有可能改善半导体集成电路器件的性能、可靠性和成品率。

(实施例2)

图9剖面示出了根据本发明另一实施例的半导体集成电路器件的主要部分，而图10和11剖面示出了制造图9半导体集成电路器件的各步骤中的主要部分。

本实施例2不同于实施例1的是半导体衬底本体2S在其主表面上形成有一个无缺陷层2A，其上形成有外延层2E。

无缺陷层2A基本上既无结构缺陷（例如堆垛层错或位错环）也无氧沉淀，当用光散射方法观察时，前者基本为零而后者约为$0.1/cm^2$。无缺陷层2A由例如p^-型硅单晶构成，其杂质含量和浓度与半导体衬底本体2S相等。

此处，参照图9—11来描述制造本实施例2的半导体集成电路器件1的工艺。

首先，如图10所示，如前述实施例1一样地制备镜面片2W。之后将镜面片2W在例如H_2气氛中加热（例如加热到1100℃—1200℃，时间为10—60分钟）以便在镜面片2W的主表面上形成无缺陷层2A。

接着，如图11所示，用CVD之类的方法在镜面片2W的背面沉积例如多晶硅以形成吸杂层2G。此吸杂层2G是一种用来捕捉重金属元素的功能层。

此后，例如用CVD方法（例如外延生长方法），采用SiH_4和H_2气，在无缺陷层2A上形成厚度相当小（如1μm）的由p^-型硅单晶构成的外延层2E。此时，外延层2E中的杂质及其浓度同前述的实施例1相似。而且，后续各步骤也相似于前述的实施例1，故不再赘述。

于是，根据本实施例2，除了前述实施例1所获得的效果外，还可获得下列效果：

具体地说，由于在形成外延层2E之前，在镜面片2W的主表面上形成了无缺陷层2A，故外延层2E在其晶体生长中可得到改善以大幅度地降低缺陷和位错。结果就有可能进一步改善半导体集成电路器件的成品率、性能和可靠性。

(实施例3)

图12剖面示出了根据本发明又一实施例的半导体集成电路器件的主要部分，而图13—15剖面示出了制造图12半导体集成电路器件的各步骤中的主要部分。

在本实施例3中，如稍后参照图13结合制作方法所要描述的那样，在半导体衬底本体2S整个主表面的一预定深度（约为1μm）中，形成了一个p^+型半导体区（即一个重掺杂半导体区）2B。此p^+型半导体区2B用硼之类的p型杂质掺杂成比外延层2E或半导体衬底本体2S更高的浓度，约为1×10^{18}原子/cm^3。

此p^+型半导体区2B是一种用来抑制CMOS电路闭锁的功能层。具体地说，在本实施例3中，此p^+型半导体区2B制作成使衬底表面层侧的电阻能够大幅度降低，以改善CMOS电路的抗闭锁性。

而且，外延层2E比前述实施例1和2更厚，约为5μm。外延层2E的厚度下限设定为比pMOS制作区中n阱6的深度大的值。

这是由于如果外延层2E的厚度做得比n阱6的深度小时，p^+型半导体区2B就形成在n阱6之中，使得难以确定n阱6中的杂

质浓度。另一方面，外延层2E的厚度上限可能希望小于5μm。其理由与前述实施例1相同。然而，只要成本的增加可以允许，厚度也可超过此值。

此处，参照图13—15来描述制造这种半导体集成电路器件1的工艺。

首先，如图13所示，如前述实施例1那样制备镜面片2W。然后，用硼之类的p型杂质对镜面片2W（即半导体衬底本体2S）进行高精度掺杂，掺杂的深度为从其主表面算起的一个预定深度（例如约1μm）。此时的杂质浓度约为1×10^{18}原子/cm^3。

接着，对镜面片2W进行热处理以形成p^+型半导体区2B。之后，用CVD之类的方法在镜面片2W的背面上沉积一层例如多晶硅，以形成吸杂层2G。此吸杂层2G是一种用来捕捉重金属元素的功能层。

之后，用CVD方法（即外延生长方法），例如采用SiH_4和H_2气，在镜面片2W的主表面（位于镜面表面侧）上形成由p^-型硅单晶构成的例如厚度约为5μm的外延层2E（即半导体单晶层），以形成外延片2WE。

此时，外延层2E中的杂质浓度定为和指定的镜面片2W的相等。此外延层2E用硼之类的p型杂质掺杂成例如约为1.5×10^{15}原子/cm^3的浓度。

之后，在外延片2WE上形成未示出的离子注入掩模，并以其作掩模、用离子注入法采用磷或砷之类的n型杂质，对图15所示的外延片2WE的预定位置进行掺杂。之后，对外延片2WE进行热处理以形成n阱6。

在本实施例3中，n阱6的深度约为3μm且形成在外延层2E之中。用来形成n阱6的离子注入杂质浓度（剂量）约为1×10^{13}原子/cm^2。后续的各步骤同前述的实施例1相似，故不赘述。

于是，在本实施例3中，除了前述实施例1所述之外，还可获得下列效果。

具体地说，由于p^+型半导体区2B制作在p^-型半导体衬底本体2S中，故衬底表面侧处的电阻可大幅度降低以改善CMOS电路的抗闭锁性能。结果就有可能进一步改善半导体集成电路器件的性能、可靠性和成品率。

(实施例4)

图16剖面示出了根据本发明另一实施例的半导体集成电路器件的主要部分；图17是图16半导体集成电路器件中的杂质分布图；图18和19是在现有技术中已描述过的半导体集成电路器件中的杂质分布图；图20—24剖面示出了在制造半导体集成电路器件的各步骤中的主要部分；图25用来解释本实施例半导体集成电路器件的效果。顺便说一下，与前述实施例1完全相同的那些部分用公共的参考号标示。

如图16所示，组成本实施例4的半导体集成电路器件1的相对轻度掺杂的半导体衬底本体2S由例如p型硅单晶之类构成。半导体衬底本体2S用硼之类的p型杂质掺杂成浓度约为1.5×10^{15}原子/cm^3。

半导体衬底本体2S在其主表面上形成有由p^-型硅单晶之类构成的外延层2E。外延层2E用硼之类的p型杂质掺杂成其浓度低于

指定的半导体衬底本体2S的浓度。

于是，在本实施例4中，p^-型外延层2E象前述实施例1那样形成在p型半导体衬底本体2S上，无需采用昂贵的p^+型半导体衬底，从而使半导体衬底2的成本降低为大约一半。

而且，由于半导体衬底本体2S的杂质浓度做成高于外延层2E，故可将半导体衬底本体2S的电阻做成低于外延层2E的电阻，从而改善了抗闭锁性能。

如稍后将在图17中指出那样，外延层2E的厚度W_E（从外延层2E表面算起）相似于前述的实施例1，例如为约1μm。结果就有可能获得与结合前述实施例1所描述的效果相同的效果。外延层2E的厚度上下限与前述的实施例1类似。

半导体衬底2在其上部形成有一个p阱（即第一半导体区）6p和一个n阱（即第一半导体区）6n。p阱6p用硼之类的p型杂质掺杂。p阱6p中形成有nMOS 4N。另一方面，n阱6n用磷之类的n型杂质掺杂。n阱6n中形成有pMOS 4P。如稍后将在图17中所示，n阱6n和p阱6p的深度W_W（即从外延层2E表面算起的深度）大于外延层2E的厚度W_E。

顺便说一下，CMOS电路由nMOS 4N和pMOS 4P构成，它们的结构、材料和效果同前述实施例1的相似。另一方面，nMOS 4N和pMOS 4P的结构可改变为双漏（即双扩散漏）结构和LDD（即轻掺杂漏）结构。

在隔离膜7上沉积了一个例如SiO_2的隔离膜7a，其上沉积了一个整平的隔离膜7b。隔离膜7、7a和7b中制作有接触孔8a，8a延伸到达电极9Nb和9Pb，第二层布线导线10a通过电极9Nb和

9Pb 与电极 9Na 和 9Pa 电连接。

第二层布线导线 10a 借助于从下层相继沉积一个氮化钛（TiN）势垒层 10a1、一个 Al－Si－Cu 合金导体层 10a2 和一个氮化钛势垒层 10a3 的方法来制作。

在隔离膜 7b 上沉积一个例如 SiO_2 的隔离膜 7c 以覆盖第二层布线导线 10a。在隔离膜 7c 上沉积了表面保护膜 11。此表面保护膜 11 用从下层相继沉积一个 SiO_2 隔离膜 11a 和一个例如 Si_3N_4 的隔离膜 11b 的方法来制作。

顺便说一下，在本实施例 4 中，如图 16 和 17 所示，前述的 p 阱 6p 和 n 阱 6n 制作成从外延层 2E 的表面延伸到半导体衬底本体 2S 的上部，且 p 阱 6p 和 n 阱 6n 的杂质浓度从外延层 2E 主表面（杂质浓度为 N_W）沿深度方向逐渐降低。于是，p 阱 6p 的杂质浓度的梯度为从外延层 2E 表面沿深度方向逐渐降低，致使降低了由 α 射线造成的载流子（即电子）所引起的影响。具体地说，α 射线产生的电子由于浓度梯度而被吸引到了衬底本体 2S 并防止其进入 p 阱 6p，从而在 p 阱 6p 中制作了 DRAM MIS 存储器之类的情况下可降低软错误。在 p 阱 6p 和 n 阱 6n 的外延层 2E 主表面中的杂质浓度 N_W 约为 6×10^{16} 原子/cm^3，致使 p 阱 6p 和 n 阱 6n 的杂质浓度为 5×10^{15}—6×10^{16} 原子/cm^3。

在图 17 中，曲线 A 示出了外延层 2E 和外延片状态下半导体衬底本体 2S 的杂质浓度分布，表明如上所述外延层 2E 的杂质浓度（N_E）低于半导体衬底本体 2S 的浓度（N_S）。于是，在 p^- 型外延层 2E 形成于 p 型半导体衬底本体 2S 上之后，形成 p 阱 6p，p 阱 6p 的阱浓度（即阱表面的浓度 N_W）不受半导体衬底本体 2S 的 p

型杂质浓度的影响。具体地说，由于 p^- 型外延层 2E 制作在半导体衬底本体 2S 上，p 阱 6p 的阱浓度 N_W 不受半导体衬底本体 2S 的 p 型杂质弥散的影响，以致此弥散不引起 MISFET 阈值电压 V_{th} 的起伏。结果，就半导体衬底本体 2S 的 p 型杂质浓度弥散而论，比之现有技术，本发明可扩大允许浓度的范围，以致可降低半导体集成电路器件的成本。换言之，在现有技术中，只可使用窄的半导体衬底本体 2S 的 p 型杂质浓度范围，从而提高了半导体集成电路器件的成本。

为比较起见，在图 18 和 19 中绘出了现有技术上述两种情况的杂质浓度分布。顺便说一下，图 18 相当于 1991 年 8 月 10 日日本应用物理学会出版的“应用物理”第 60 卷第 8 期 P761—763 上所述的前述技术情况，而图 19 相当于日本专利公开 260832/1989 所述的前述技术情况。

在图 18 所示技术中，半导体衬底本体 SB1 的杂质浓度 NS_1 高于外延层 EP1 的浓度。而且，从设定杂质浓度的观点，阱 WLL1 形成在外延层中。这要求外延层做得比阱 WLL1 厚，为 Wep1。简言之，外延层的厚度 Wepl 需大于阱 WLL1 的深度。而且，此时的阱 WLL1 是通过从其表面把杂质注入到外延层 EP1 的方法形成的，致使衬底表面的杂质浓度高于衬底内部。

在图 19 所示技术中，半导体衬底本体 SB2 和外延层 EP2 的杂质浓度都设定得低，为 NS_2。阱 WLL2 制作成延伸得比外延层 EP2 的深度 Wep2 更深，为 W_{W2}。此时的阱 WLL2 用在已掺有制阱用杂质的半导体衬底本体 SB2 上形成外延层 EP2 时进行扩散（即半导体衬底本体 SB2 的杂质从半导体衬底本体扩散到外延层 EP2）

的方法来制作。结果，在衬底表面的杂质浓度 较 低，为 NS_3，而在外延层 EP2 同半导体衬底本体 SB2 之间的边界区的浓度高，为 NS_4，并在半导体衬底本体内部变得更低。

下面，参照图 20—24 来描述制造本实施例 4 的半导体集成电路器件的工艺。

首先，如图 20 所示，在镜面片 2W 由 p 型硅单晶构成的半导体衬底本体 2S 的母体材料的镜面表面上与前述实施例 1 相似，用采用的 SiH_4 和 H_2 气的 CVD 方法形成由导电类型与镜面片 2W 相同且所含杂质的浓度较镜面片 2W 更低的外延层 2E。

此外，镜面片 2W 的杂质浓度约为 1.5×10^{15}原子/cm^2。而且，外延层 2E 的厚度 W_E 约为例如 1μm。

接着，在镜面片 2W 的预定区域制作一个由 SiO_2 构成的隔离膜 12a，其厚度约为 40nm。此后，用 CVD 之类的方法在镜面 2W 的预定区域沉积一层 Si_3N_4 构成的厚度例如为 50nm 的隔离膜（未示出）。

之后，用干法刻蚀之类的方法从 Si_3N_4 隔离膜清除 n 阱制作区中的那部分膜。然后，采用 Si_3N_4 隔离膜中 p 阱制作区的那部分膜和抗蚀剂膜作为掩模，用诸如制作 n 阱所用的磷等 n 型杂质离子对外延层 2E 的暴露部分进行掺杂。此时的离子注入能量约为 125Kev，剂量约为 2×10^{13}原子/cm^2。

此后，用 p 阱制作区上的那部分 Si_3N_4 隔离膜作掩模来形成 n 阱侧外延层 2E 上的厚度约为 120nm 的隔离膜 12b。之后，用 n 阱制作区上的隔离膜作为离子注入掩模，用诸如形成例如 p 阱的硼等 p 型杂质对外延层 2E 的暴露部分进行掺杂。此时的离子注入能量

约为 60Kev，而剂量约为例如 8×10^{12}原子/cm^2。

接着，对镜面片 2W 进行例如 3 小时的延展扩散的退火处理，以形成例如深度约为 3μm 的 p 阱 6p 和 n 阱 6n。此时的处理温度约为例如 1200℃。

在本实施例 4 的这一退火处理中，p 阱 6p 和 n 阱 6n 从外延层 2E 的表面扩展到镜面片 2W 的上部且其杂质浓度变为从外延层 2E 的表面沿深度方向逐渐降低。p 阱 6p 和 n 阱 6n 的杂质浓度为 5×10^{15}—6×10^{16}原子/cm^3。

接着，如图 22 所示，从下层相继沉积一个衬垫氧化膜 12c 和未示出的不可氧化的 Si_3N_4 隔离膜。之后，清除元件分隔区中的不可氧化的隔离膜而留下元件制作区中的不可氧化隔离膜。

此后，用留下的未被清除的不可氧化隔离膜作为掩模来选择性地在元件分隔区中形成场隔离膜 3。之后，如图 23 所示，在被场隔离膜 3 所包围的元件制作区中用热氧化方法形成由 SiO_2 构成的厚度约为例如 180Å 的栅隔离膜 4Nc 和 4Pc。

于是在本实施例 4 中，栅隔离膜 4Nc 和 4Pc 也由于它们是形成在外延层 2E 上而被赋予优良的薄膜质量，致使其击穿电压能得以改善。而且，栅隔离膜 4Nc 和 4Pc 的缺陷密度可改善一个数量级以上。

接着，在栅隔离膜 4Nc 和 4Pc 上同时形成例如低阻 n 型多晶硅构成的栅电极 4Nd 和 4Pd。之后，用这些栅电极 4Nd 和 4Pd 作为掩模，由分别的离子注入步骤形成成对的半导体区 4Na 和 4Nb 以及成对的半导体区 4Pa 和 4Pb，从而在外延片 2WE 上形成的 nMOS 4N 和 pMOS 4P。

此处，栅电极 4Nd 和 4Pd 不局限于由元素多晶硅所构成的那些，而可作多种修改。例如，栅电极 4Nd 和 4Pd 可有所谓的“多晶硅化物（poly－cide）结构”，其中在低阻多晶硅上沉积了一个难熔金属硅化物膜。

而且，用剂量约为例如 1×10^{15}原子/cm^2 的砷离子进行掺杂的方法，制作 nMOS 4N 的半导体区 4Na。另一方面，用剂量约为例如 1×10^{15}原子/cm^2 的 BF_2 离子进行掺杂的方法，制作 pMOS 4P 的半导体区 4Pa。

顺便说一下，如前所述，半导体区 4Na、4Nb、4Pa 和 4Pb 可以是双扩散漏结构或 LDD 结构。

此后，如图 24 所示，用 CVD 之类的方法在外延片 2WE 上沉积 SiO_2 隔离膜 7。此隔离膜 7 主要由含 B_2O_3 和 P_2O_5 的 BPSG（即硼磷硅化物玻璃）组成。

接着，在隔离膜 7 中形成连接孔 8，用来使 nMOS 4N 的半导体区 4Na 和 4Nb 以及 pMOS 4P 的半导体区 4Pa 和 4Pb 暴露出来。之后，用溅射或蒸发方法在外延片 2WE 上沉积 Al－Si－Cu 合金的导电膜 9。

接着，用干法刻蚀之类的方法使导电膜 9 图形化以形成电极 9Na、9Nb、9Pa、9Pb、9Sa 和 9Sb。之后，用 CVD 之类的方法在外延片 2WE 上沉积例如 SiO_2 的隔离膜 7a。然后，用 CVD 之类的方法在隔离膜 7a 上沉积 SiO_2 的整平隔离膜 7b。

然后，用 CMP（即化学机械抛光）之类的方法展平该整平隔离膜 7b。之后，如图 16 所示，用干法刻蚀方法在隔离膜 7、7a 和 7b 中形成接触孔 8a。

接着，用溅射或蒸发方法，从下层相继在外延片 2WE 上沉积例如 TiN 势垒层 10a1、Al－Si－Cu 合金导电层 10a2 以及 TiN 势垒层 10a3。

接着，用干法刻蚀之类的方法对这些势垒层 10a1 和 10a3 以及导电层 10a2 进行图形化以形成第二层布线导线 10a。之后，用 CVD 之类的方法在外延片 2WE 上沉积例如 SiO_2 隔离膜 7C。

此后，用 CVD 之类的方法在隔离膜 7c 上沉积 SiO_2 隔离膜 11a。然后用 CVD 或类似方法在隔离膜 11a 上沉积 Si_3N_4 隔离膜 11b，以形成表面保护膜 11。

之后，从外延片 2WE 分割出单个的半导体芯片以制造半导体集成电路器件 1，如图 16 所示。

此处，倘若将本实施例 4 的结构用于 4M DRAM（即 4 兆位动态 RAM），栅隔离膜的性能（例如栅击穿电压）结果示于图 25。

图 25 示出了制造 4M DRAM 的工艺执行到制作栅隔离膜的步骤后，制备出对其栅击穿电压进行评估的 MOS 电容器的情况下的栅隔离膜的性能。

此处假设：栅隔离膜的厚度约为 18nm；栅电极的面积约为 $4.8mm^2$；栅电极由掺磷的多晶硅构成。

横坐标表示外延层厚度 W_E。另一方面，纵坐标表示测量半导体晶片（即外延片）上大约 200 个 MOS 电容器的击穿特性，然后根据下列标准确定好坏品的方法，从下述方程计算得到的缺陷密度。然而，密度一般表示为参照不带外延层的 MOSFET 的镜面片的相对值。

确定击穿电压无问题产品的标准是电场＞**10mV**/cm。此处的

电流密度约为1μA。对于栅缺陷密度D、所测电容器的数目P和废品电容器的数目N，D=（100/4．8）ln（（P－N）/P)。

由于图25所见的本实施例4的结构，可确认，比起栅隔离膜形成在镜面片上的情况，缺陷密度可再降低一个数量级以上，从而提供了优良的栅击穿性能。

如此前所述，根据本实施例4，除了前述实施例1所获得的效果外还可获得以下效果。

(1) 可采用与在镜面片上制作CMOS电路完全相同的工艺来制造半导体集成电路器件。结果，在设计或制造工艺中无需任何改变就可制作在外延片2WE上带有CMOS电路的半导体集成电路器件。

(2) 由于外延层2E的杂质浓度做成低于半导体衬底本体2S的浓度，半导体衬底本体2S的电阻就可做成低于外延层2E的电阻以改善抗闭锁性能。

(实施例5)

图26（A）剖面示出了根据本发明另一实施例的半导体集成电路器件的主要部分。

如图26（A）所示，本实施例5的半导体集成电路器件1以16M DRAM为例。图26（B）是一电路图，示出了DRAM的一个存储单元。在图26（A）中，左边示出了存储单元区而右边示出了外围电路区。顺便说一下，此外围电路区的结构与实施例4的相同，故不再赘述。

在本实施例5中，同前述实施例4一样，外延层2E的杂质浓度也做成低于半导体衬底本体2S的浓度。

如图 26（A）和 26（B）所示，一个存储单元由一个转移 MOSFET 13 和一个电容器 14 构成。

转移 MOSFET 13 由一对形成在 p 阱 6p1 中的半导体区 13a 和 13b、一个形成在外延层 2E 上的栅隔离膜 13C、以及一个形成在栅隔离膜 13C 上的栅电极 13d 所组成。

此处在存储单元区中，p 阱 6p1 也制作成从外延层 2E 表面延伸到半导体衬底本体 2S 的上部，位于比外延层 2E 更深处。而且，如在前述实施例 4 中那样，p 阱 6p1 的杂质浓度做成沿半导体衬底 2 的深度方向逐渐降低。

成对的半导体区 13a 和 13b 用砷等 n 型杂质掺杂。在本实施例 5 中，这些半导体区 13a 和 13b 形成在氧沉淀引起的缺陷较少的外延层 2E 中，致使可降低结漏电流以改善 DRAM 的性能、可靠性和成品率。

位线（BL）15 电连接于一个半导体区 13a。此位线 15 由例如一个由低阻多晶硅构成的导电层 15a 和一个形成在前者上并由硅化钨之类构成的导电层 15b 所组成。

另一方面，电容器 14 的一个下电极 14a 电连接于其它半导体区 13b。在本实施例 5 中，半导体区 13b 形成在氧沉淀引起的缺陷较少的外延层 2E 中，以致可抑制电容器 14 中积累的电荷的泄漏以延长电荷存储时间，从而改善刷新特性。

电容器 14 制作成鳍状并由下电极 14a、上电极 14b 和两电极之间插入的未示出的隔离膜所组成。然而，电容器的形状不局限于鳍状而可作各种修改，例如可为圆柱形。

顺便说一下，转移 MOSFET 13 的栅电极 13d 也起字线（WL）

的作用。而且，图 26（A）中的参考号 16a 和 16b 表示沟道停止区。

于是在本实施例 5 中，除了前述实施例 1 中所获得的，也可获得下列效果。

具体地说，由于待要电连接到电容器 14 的下电极 14a 的半导体区 13b 制作在外延层 2E 中，故可抑制积累在电容器 14 中的电荷的泄漏以延长电荷储存时间，从而改善刷新水平。结果就有可能改善 DRAM 的性能、可靠性和成品率。

（实施例 6）

图 27（A）剖面示出了根据本发明另一实施例的半导体集成电路器件的主要部分。

如图 27（A）所示，本实施例 6 的半导体集成电路器件 1 以 4M SRAM（即 4M 位静态 RAM）为例。如前述实施例 4 那样，在本实施例 6 中，外延层 2E 的杂质浓度也做成低于半导体衬底本体 2S 的浓度。图 27（B）是一个电路图，示出了 SRAM 的一个存储单元。

在本实施例 6 中，如图 27（A）和 27（B）所示，在半导体衬底 2 中，存储单元区由一个 p 阱 6p2 制作，而外围电路区由 n 阱 6n1 制作。

同前述实施例 4 和 5 一样，这些 p 阱 6p2 和 n 阱 6n1 制作成从外延层 2E 的表面延伸到半导体衬底本体 2S 的上部。而且，它们的杂质浓度做成与前述实施例 4 一样沿半导体衬底的深度方向逐渐降低。

存储单元区由一个转移 MOSFET 17、一个驱动 MOSFET 18 和一个负载 MOSFET 19 构成。

转移 MOSET 17 由一对形成在 p 阱 6p2 上部的半导体区 17a 和 17b、一个形成在外延层 2E 上的栅隔离膜 17c 以及一个形成在栅隔离膜 17c 上的栅电极 17d 所组成。

这些半导体区 17a 和 17b 用砷等 n 型杂质掺杂。半导体区 17a 通过第一层布线导线 10 电连接到位线 15（BL 和 BL）。其它半导体区 17b 电连接到驱动 MOSFET 18 的栅电极 18d。

顺便说一下，转移 MOSFET 17 和驱动 MOSFET 18 的栅电极 17d 和 18d 通过在低阻多晶硅构成的导电膜上沉积一层难熔金属硅化物的方法来制作，而转移 MOSFET 17 的栅电极 17d 与字线 WL 连接。

而且，栅隔离膜 17c 和 18c 由例如 SiO_2 构成。再者，虽然未示出，驱动 MOSFET 18 的成对半导体区定位于沿栅电极 18d 的沟道长度方向。

负载 MOSFET 19 由一个低阻多晶硅构成的栅电极 19a 以及一对通过栅隔离膜 19b 形成在栅电极 19a 上的半导体区 19c 和 19d 所组成，并由低阻多晶硅构成。半导体区 19c 和 19d 用砷之类的 n 型杂质掺杂。

外围电路区由例如 pMOS 4P 组成。此 pMOS 4P 由形成在 n 阱 6n1 上部的半导体区 4Pa 和 4Pb、形成在外延层 2E 上的隔离膜 4Pc、以及形成在栅隔离膜 4Pc 上的栅电极 4Pd 所组成。这些半导体区 4pa 和 4Pb 用硼之类的 p 型杂质掺杂。

在本实施例 6 中，除了前述实施例 1 所获得的效果之外，还可

获得下列效果。

具体地说，根据本实施例6的结构，SRAM的存储单元(MC)形成在由氧沉淀引起的缺陷较少的外延层2E上，致使可降低转移MOSFET 17的成对半导体区17a和17b中以及驱动MOSFET 18的未绘出的成对半导体区中在构成存储单元（MC）时的结漏电流。结果，可改善数据储单保留特性（例如数据保存水平）以降低数据保存故障百分比。因此有可能改善SRAM的性能、可靠性和成品率。

(实施例7)

图28剖面示出了根据本发明另一实施例的半导体集成电路器件的主要部分。

如图28所示，本实施例7的半导体集成电路器件1以快速存储器（即快速电可擦可编程ROM—EEPROM）为例。在本实施例7中，如前述实施例4那样，外延层2E的杂质浓度也做成低于半导体衬底本体2S的浓度。

在本实施例7中，半导体衬底2上也形成有一个p阱6p3和一个n阱6n2。同前述实施例4—6一样，这些p阱6p3和n阱6n2制作成从外延层2E表面延伸到半导体衬底本体2S的上部。而且，如前述实施例4一样，它们的杂质浓度做成沿半导体区2的深度方向逐渐降低。

存储器单元区由一个存储器单元MC1形成。此存储器单元由一个MOSFET构成。存储器单元MC1由一对形成在p阱6p3上部的半导体区20a和20b、一层形成在外延层2E上的栅隔离膜20c、

一个形成在栅隔离膜 20c 的浮栅电极 20d、一个通过未示出的隔离膜形成在浮栅电极 20d 上的控制栅电极 20e 所组成。

半导体区 20a 由半导体区 20a1 和形成在前者中的半导体区 20a2 所组成。半导体区 20a1 用磷之类的 n^- 型杂质掺杂，而半导体区 20a2 用砷之类的 n^+ 型杂质掺杂。

而且，其它半导体区 20b 由半导体区 20b1 和形成在前者中的半导体区 20b2 所组成。半导体区 20b1 用硼之类的 p^+ 型杂质掺杂，而半导体区 20b2 用砷之类的 n^+ 型杂质掺杂。

另一方面，外围电路区由例如 nMOS 4N 和 pMOS 4P 组成。nMOS 4N 由形成在 p 阱 6p3 上部的成对的半导体区 4Na 和 4Nb、形成在外延层 2E 上的栅隔离膜 4Nc 以及形成在栅隔离膜 4Nc 上的栅电极 4Nd 所组成。这些半导体区 4Na 和 4Nb 用磷等 n 型杂质掺杂。

pMOS 4P 由形成在 n 阱 6n2 上部中的成对的半导体区 4Pa 和 4Pb、形成在外延层 2E 上的栅隔离膜 4Pc 以及形成在栅隔离膜 4Pc 上的栅电极 4Pd 所组成。这些半导体区 4Pa 和 4Pb 用硼等 p 型杂质掺杂。

nMOS 4N 的半导体区 4Na 和 pMOS 4P 的半导体区 4Pa 通过第一层布线导线 10 电连接以构成 CMOS 电路。

于是，在本实施例 7 中，除了前述实施例 1 所获得的效果外，还可获得下述效果：

具体地说，在本实施例 7 的结构中，快速存储器（即 EEPROM）的存储单元形成在氧沉淀之类的缺陷较少的外延层 2E 上，故可提高栅隔离膜 20c 的击穿电压以改善数据编程电阻。而且可降

低擦去数据时的擦去弥散。结果就有可能改善快速存储器（即EEPROM）的性能、可靠性和成品率。

虽然结合实施例已具体描述了本发明，但本发明并不局限于前述的实施例1—7，而是可自然地作各种修正而不超越其要旨。

例如，前述实施例1—3描述了吸杂层由多晶硅构成的情况。但吸杂层的形成方法也可以是：在半导体衬底的背面机械地形成一个加工损伤；恰当地调整或沉淀存在于半导体衬底本体中的氧元素；或用碳离子对半导体衬底掺杂。另一方面，此结构也可省去吸杂层。在恰当调整或沉淀前述半导体衬底本体中的氧元素的方法中，借助于设定氧浓度为$\gtrsim 9\times10^{17}$原子/cm^3的办法可增强衬底的吸杂效果。同时，栅隔离膜可形成在半导体衬底本体上的外延层上且不含氧元素，从而改善栅隔离膜的击穿特性。特别是在栅隔离膜直接形成在半导体衬底本体主表面上的现有技术中，若半导体衬底本体中的氧浓度做成高达9×10^{17}原子/cm^3，氧就会沉淀在前述的主表面中，以致形成不了洁净的栅隔离膜，使栅隔离膜的击穿特性变坏。因此，在现有技术中，必须降低氧浓度，使吸杂作用不充分。

而且，前述实施例1—7描述了外延层用外延生长方法采用SiH_4气来制作的情况。但本发明不局限于此而可作各种修改。例如，外延层也可用使用四氯化硅（$SiCl_4$）气体的外延生长方法来制作。

前述实施例1、2和4—7描述了半导体衬底本体和外延层由p^-型硅构成的情况。但本发明不局限于此而可作修改，使半导体衬底本体和外延层由n^-型硅构成。而且在前述实施例3中，半导

体衬底本体和外延层可由 n^- 型硅构成，而 p^+ 型半导体区可改由 n^+ 型硅构成。

而且，前述实施例 3 描述了把用来抑制闭锁的 p^+ 型半导体区形成在整个半导体衬底本体上的情况。但本发明不局限于此而可作各种修改。例如，p^+ 型半导体区可形成在 CMOS 电路制作区的下面。

此外，前述的实施例 3 描述了 p^+ 型半导体区形成在离半导体衬底本体主表面一预定深度处的情况。但本发明不局限于此而可修正，使 p^+ 型半导体区 2B 形成在半导体衬底本体 2S 的主表面上，如图 29 所示。顺便说一下，图 30 示出了外延层 2E 形成在图 29 的半导体衬底本体 2S 上的情况。

在具有前述实施例 3 所述的结构的半导体集成电路器件中，前述实施例 2 的半导体集成电路器件的无缺陷层可以形成在外延层的下面。

而且，结合前述实施例 1—3 描述过的技术也可用于另一种半导体集成电路器件，如带有诸如以 DRAM、SRAM 或 ROM（只读存储器）为代表的快速存储器之类的半导体存储器电路。

前述实施例 1—7 的技术还可用于带有诸如所谓“微计算机”的逻辑电路的半导体集成电路器件。

此外，尺寸大到 12 英寸的半导体衬底本体 2S 可能是有用的。

在迄今所作的描述中，本发明描述了应用于带有 CMOS 电路的半导体集成电路器件的情况。但本发明不局限于此而可作多种修改。例如，本发明可用于另一种半导体集成电路器件，如带有双极晶体管的半导体集成电路器件或带有由双极晶体管和 CMOS 电路

构成的 BiCMOS 电路的半导体集成电路器件。在迄今所作的描述中，采用了 MOSFET，但本发明不局限于此。例如，也可采用 MISFET（即金属绝缘体半导体 FET），其栅隔离膜由半导体单晶层（或外延层）2E 上形成的热氧化的 SiO_2 和形成在 SiO_2 上的氮化硅（Si_3N_4）膜组成。

下面简述一下本发明可获得的效果。

(1) 根据本发明的半导体晶片制造工艺，无需采用价高的高掺杂半导体衬底本体，致使可降低能实现元件高性能和可靠性的半导体晶片的成本。

(2) 根据本发明的半导体集成电路器件制造工艺，借助于在半导体单晶层上制作 MOSFET 栅隔离膜，可制作薄膜质量优良的栅隔离膜，致使栅隔离膜击穿电压提高以降低栅隔离膜的缺陷密度。而且，无需采用价高的高掺杂半导体衬底本体，而半导体单晶层可减薄以降低具有高性能和可靠性元件的半导体集成电路器件的成本。结果就有可能改善半导体集成电路器件的性能、成品率和可靠性，并有可能降低半导体集成电路器件的成本。

(3) 根据本发明的半导体集成电路器件制造工艺，当在半导体衬底上制造阱之类的半导体区时，杂质浓度和深度选取的自由度是如此之高，以致很容易控制制作。结果就有可能减少次品，从而改善成品率。而且，可降低半导体集成电路器件的成本。

(4) 根据本发明的半导体集成电路器件制造工艺，半导体衬底本体的杂质浓度做成高于半导体单晶层的浓度，从而可相对降低半导体衬底本体的电阻以改善抗闭锁性能。结果就有可能进一步改善半导体集成电路器件的性能、成品率和可靠性。

(5) 根据本发明的半导体集成电路器件制造工艺，由于第一半导体区用离了注入法和热扩散法来制作，故当采用半导体衬底本体上带有半导体单晶层的半导体晶片来制造时，采用与带有所谓“镜面片”的半导体集成电路器件相同的方法而不必改变任何设计或制造工艺，就可制造半导体集成电路器件。

(6) 根据本发明的半导体集成电路器件制造工艺，由于把动态随机存取存储器的存储元件制作在氧沉淀之类的缺陷较少的半导体单晶层上，故有可能降低存储单元转移 MOSFET 源区和漏区中的结漏电流。而且，由于可抑制存储单元电容器中的电荷泄漏以延长电荷储存时间，就有可能改善刷新特性。结果就有可能改善动态随机存取存储器的性能、可靠性和成品率。

(7) 根据本发明的半导体集成电路器件制造工艺，由于静态随机存取存储器的存储单元制作在氧沉淀之类的缺陷较少的半导体单晶层上，故可降低构成存储单元的 MOSFET 的源区和漏区的结漏电流以改善数据储存保留特性（例如数据保留水平），从而降低数据保留故障百分比。结果就有可能改善静态随机存取存储器的性能、可靠性和成品率。

(8) 根据本发明的半导体集成电路器件制造工艺，把可电擦除和数据编程的只读存储器的存储单元制作在氧沉淀之类的缺陷较少的半导体单晶层上，从而可改善数据编程电阻。而且，可减少数据擦除的弥散。结果就有可能改善可电擦除和数据编程的只读存储器的性能、可靠性和成品率。

图 1

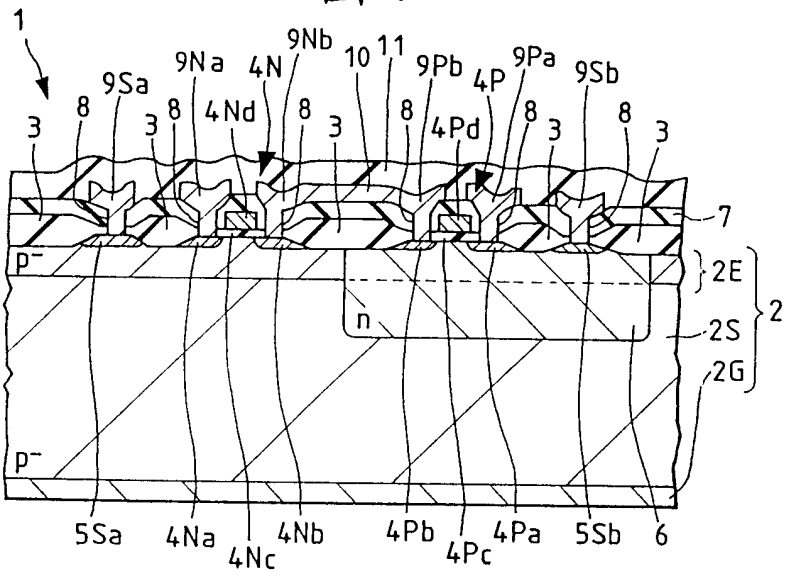

1
9Sa
9Na
4N
9Nb
10
11
9Pb
4P
9Pa
9Sb
3
8
4Nd
4Pd
7
p⁻
2E
2
n
2S
2G
5Sa
4Na
4Nc
4Nb
4Pb
4Pc
4Pa
5Sb
6

图 2

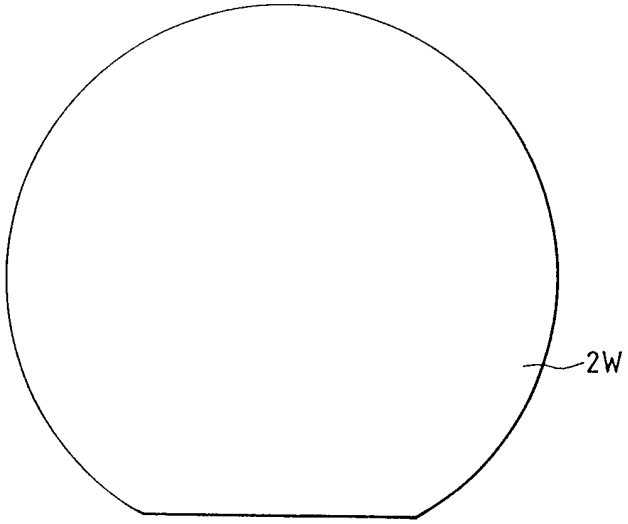

2W

图 3

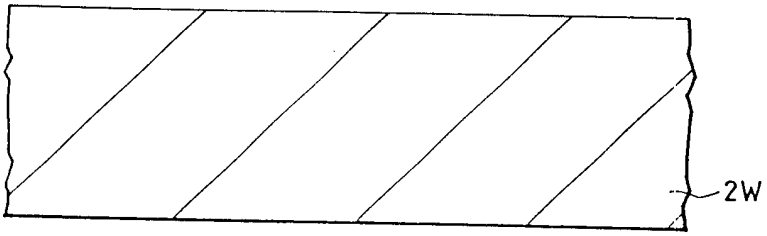


图 4

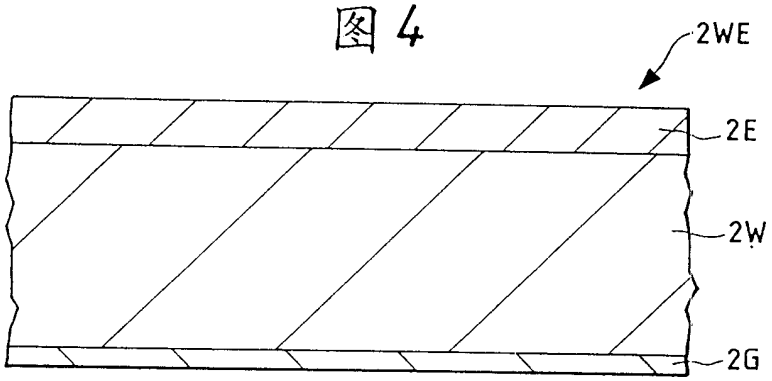


图 5

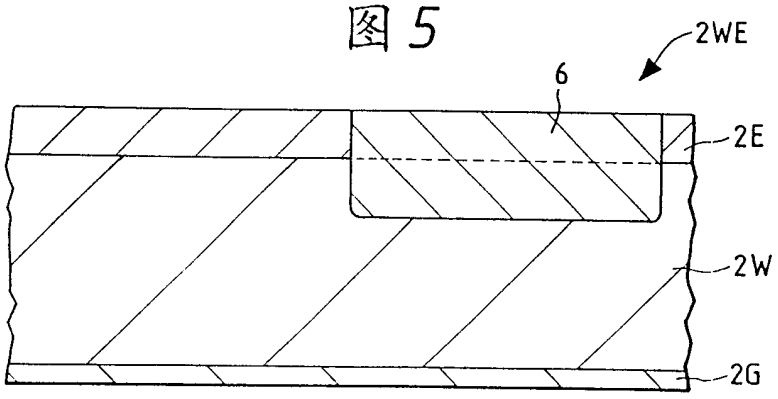


图 6

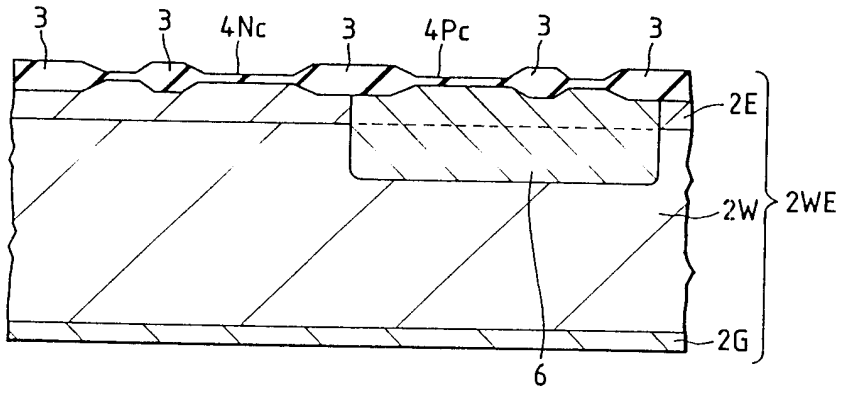

3
3
4Nc
3
4Pc
3
3
2E
2W
2WE
2G
6

图 7

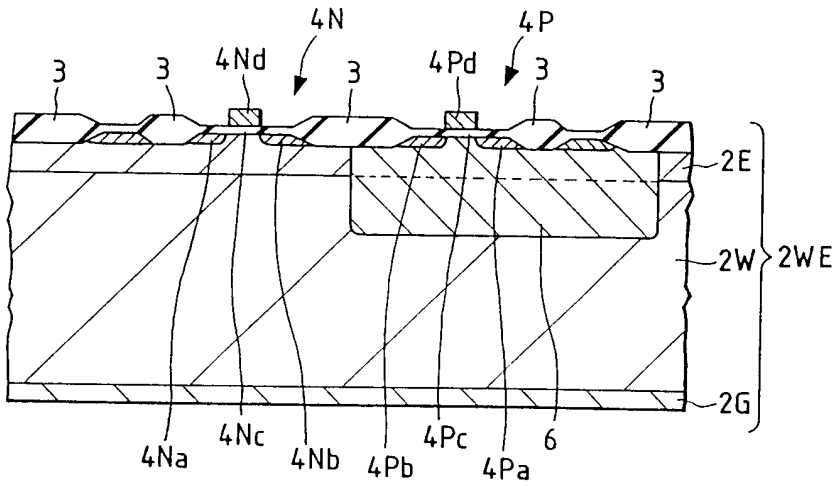

4N
4P
3
3
4Nd
3
4Pd
3
3
2E
2W
2WE
2G
4Na
4Nc
4Nb
4Pb
4Pc
4Pa
6

图 8

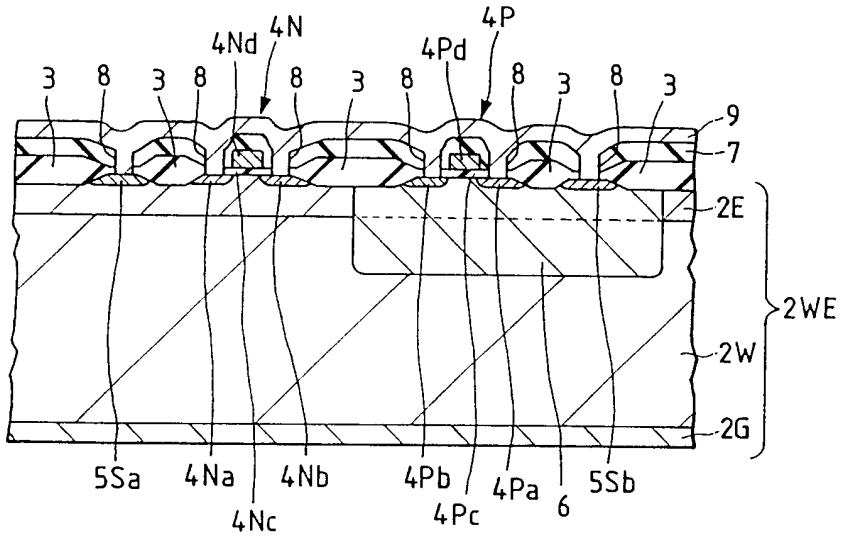

4Nd
4N
4Pd
4P
3
8
9
7
2E
2WE
2W
2G
5Sa
4Na
4Nb
4Nc
4Pb
4Pc
4Pa
6
5Sb

图 9

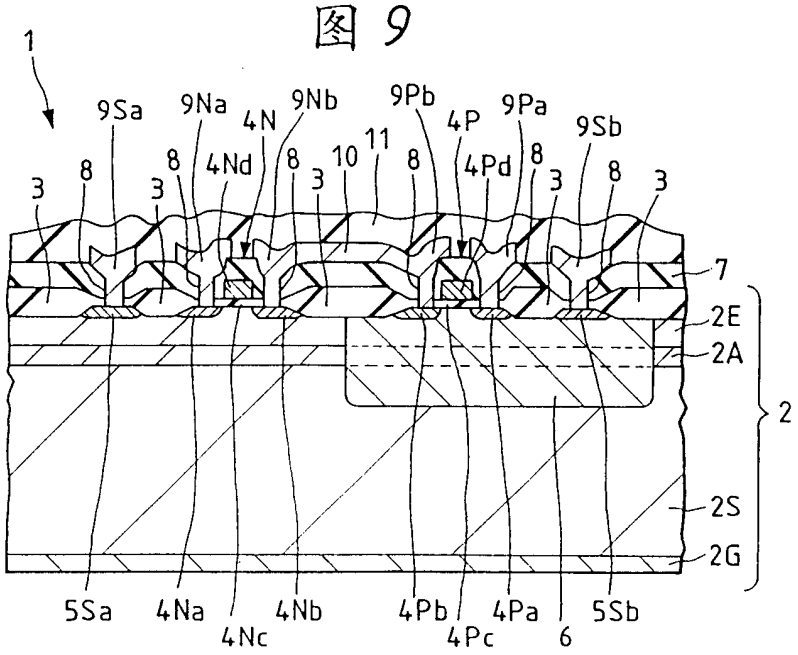

1
9Sa
9Na
4N
9Nb
9Pb
4P
9Pa
9Sb
4Nd
4Pd
10
11
3
8
7
2E
2A
2
2S
2G
5Sa
4Na
4Nb
4Nc
4Pb
4Pc
4Pa
6
5Sb

图 10

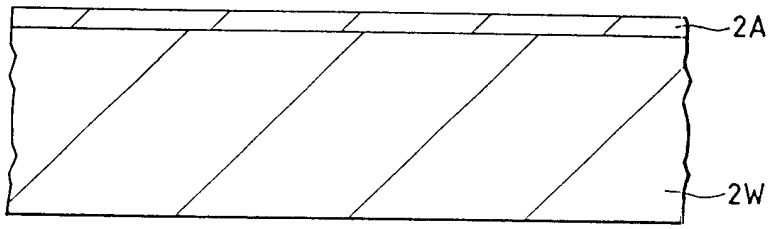


图 11

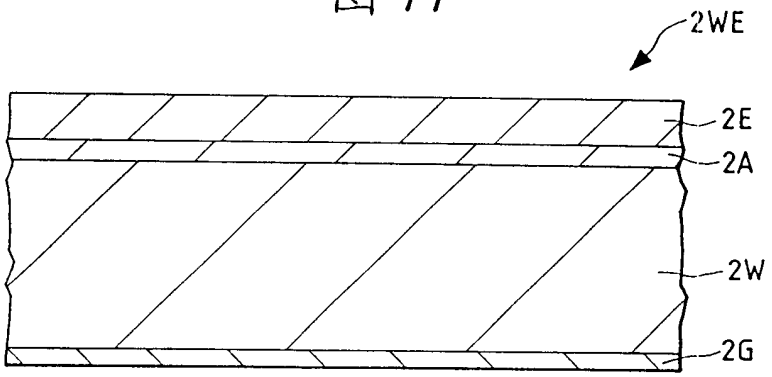


图 12

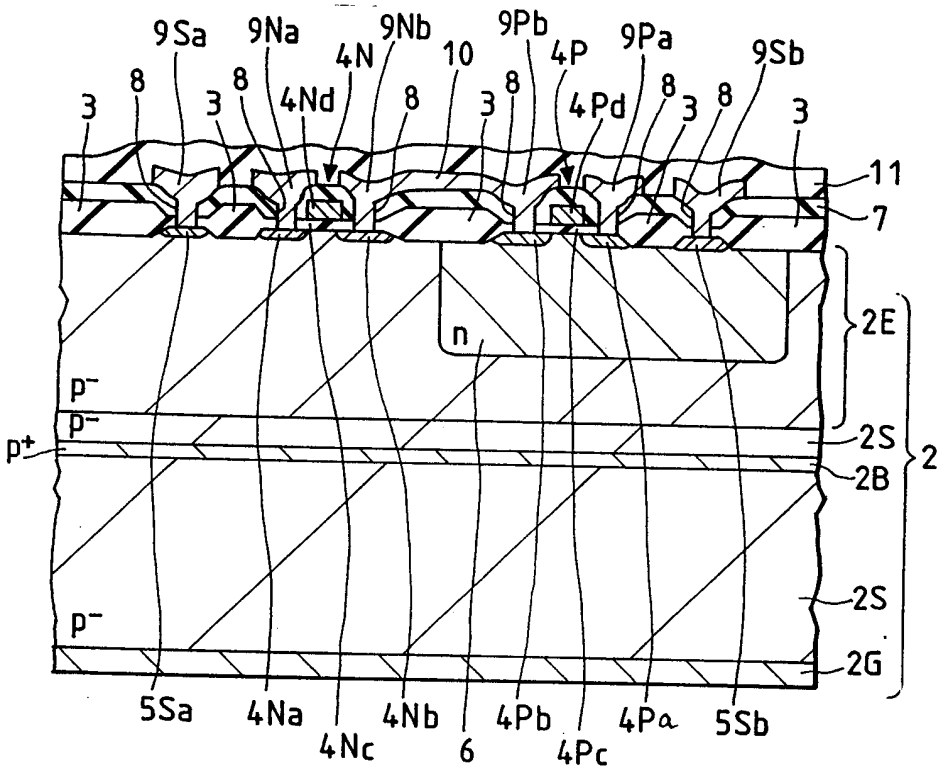

9Sa
9Na
9Nb
9Pb
9Pa
9Sb
4N
10
4P
4Nd
4Pd
8
3
11
7
2E
n
p⁻
p⁻
p⁺
2S
2B
2
2S
p⁻
2G
5Sa
4Na
4Nb
4Pb
4Pa
5Sb
4Nc
6
4Pc

图 13

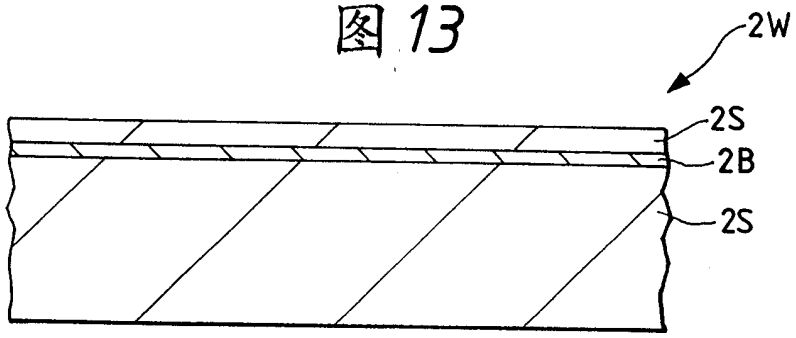

2W
2S
2B
2S

图 14

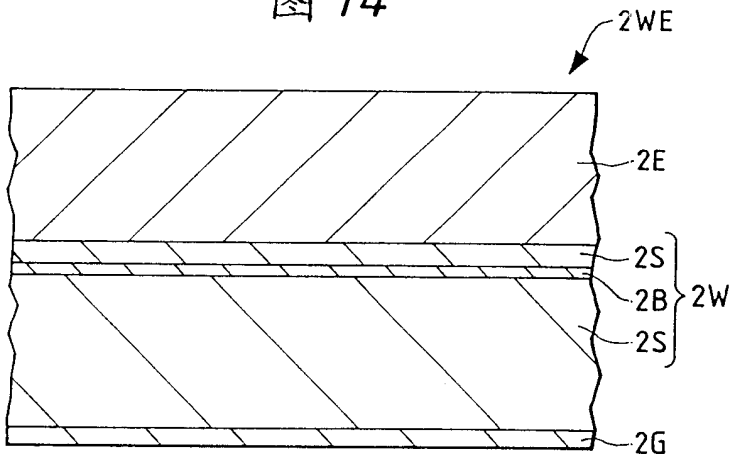


图 15

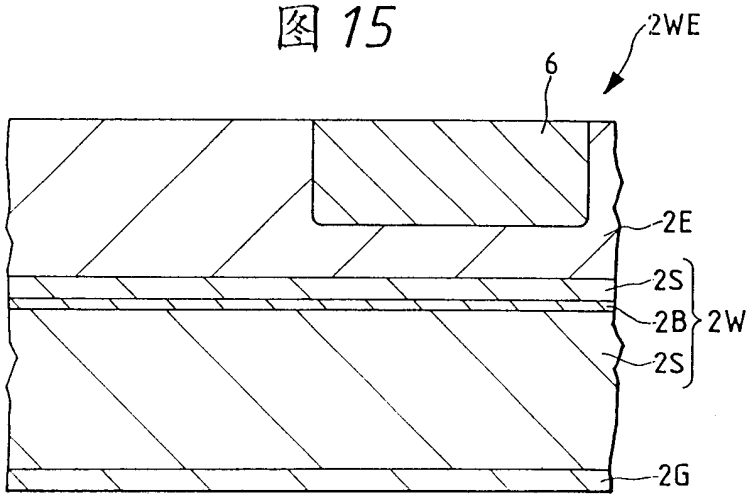


图 16

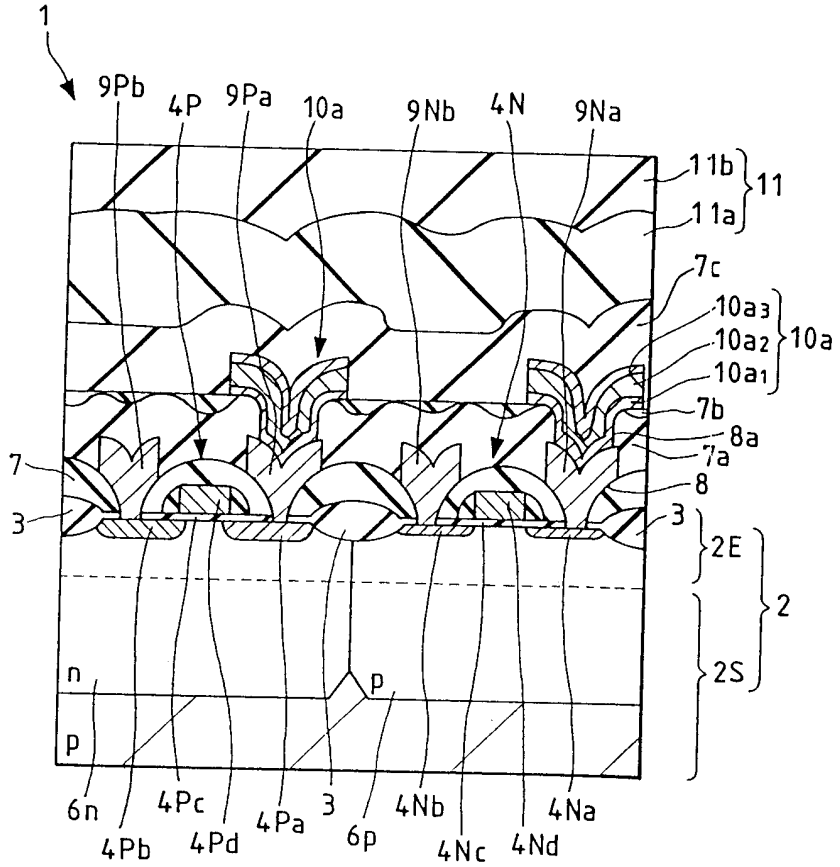

1
9Pb
4P
9Pa
10a
9Nb
4N
9Na
11b
11
11a
7c
10a3
10a2
10a
10a1
7b
8a
7a
8
7
3
3
2E
2
2S
n
p
p
6n
4Pb
4Pc
4Pd
4Pa
3
6p
4Nb
4Nc
4Nd
4Na

图 17

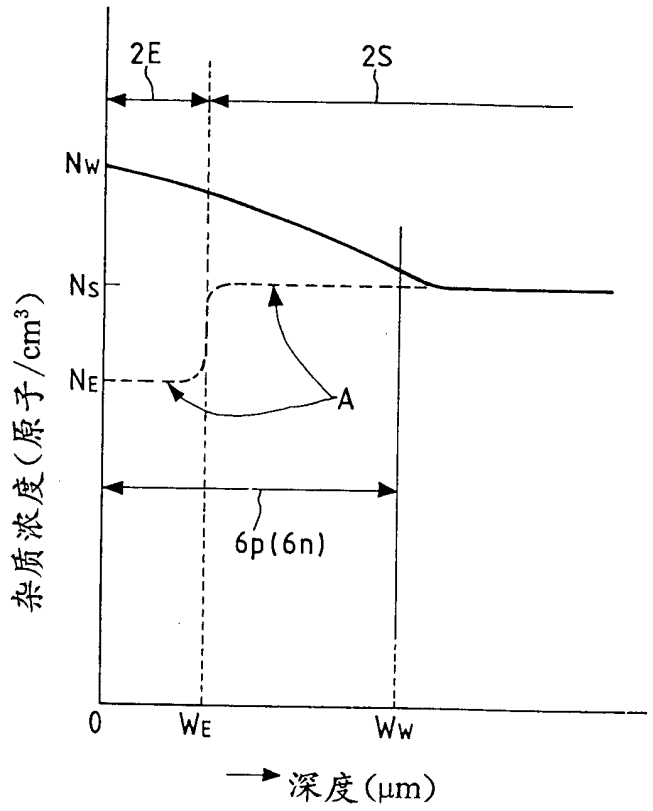


图 18

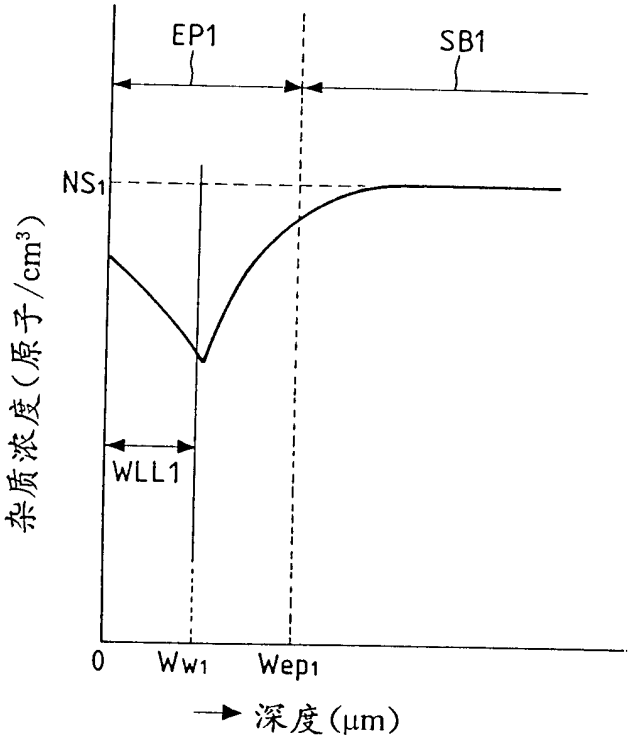


图19

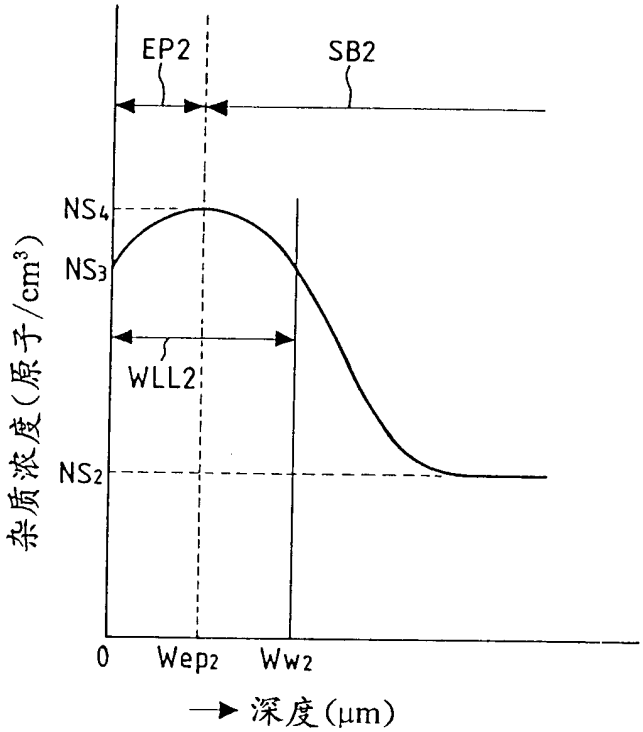


图 20

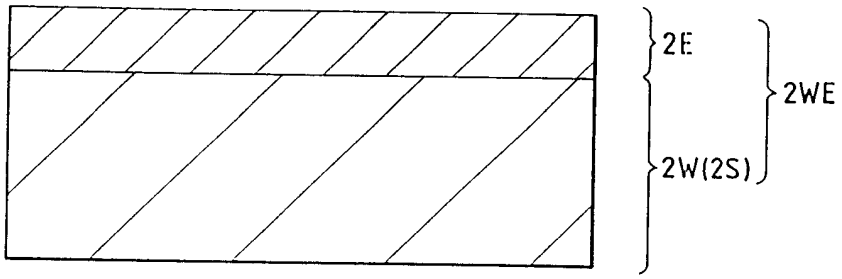

2E
2WE
2W(2S)

图 21

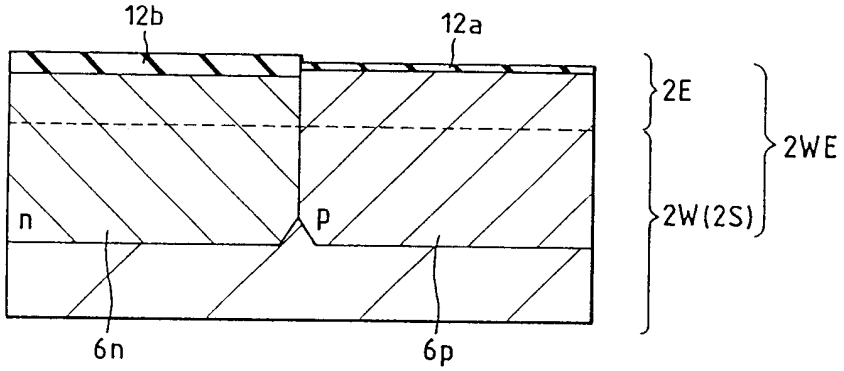

12b
12a
2E
2WE
2W(2S)
n
p
6n
6p

图 22

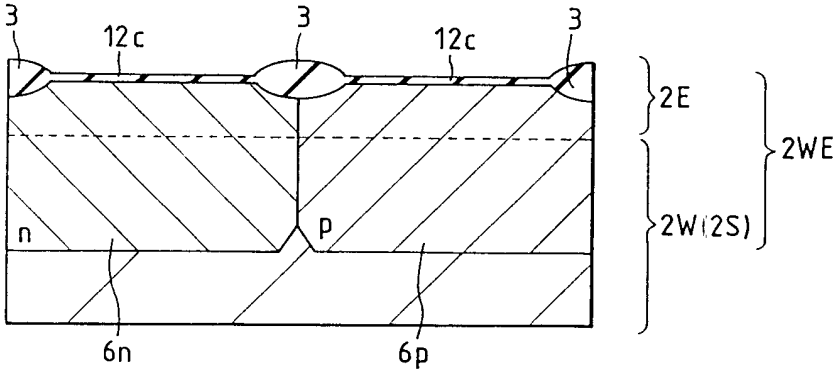

3
12c
3
12c
3
2E
2WE
2W(2S)
n
p
6n
6p

图 23

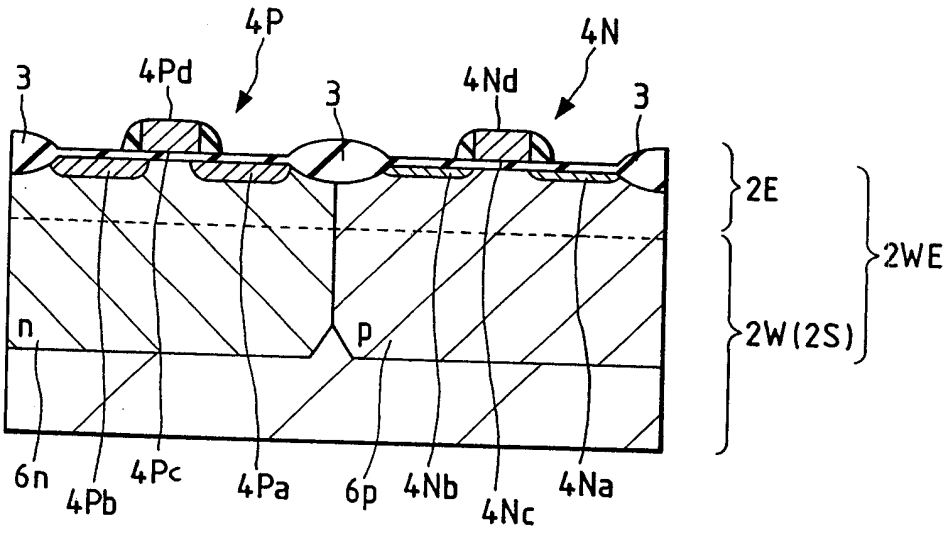

4P
4N
3
4Pd
3
4Nd
3
2E
2WE
2W(2S)
n
p
6n
4Pb
4Pc
4Pa
6p
4Nb
4Nc
4Na

图 24

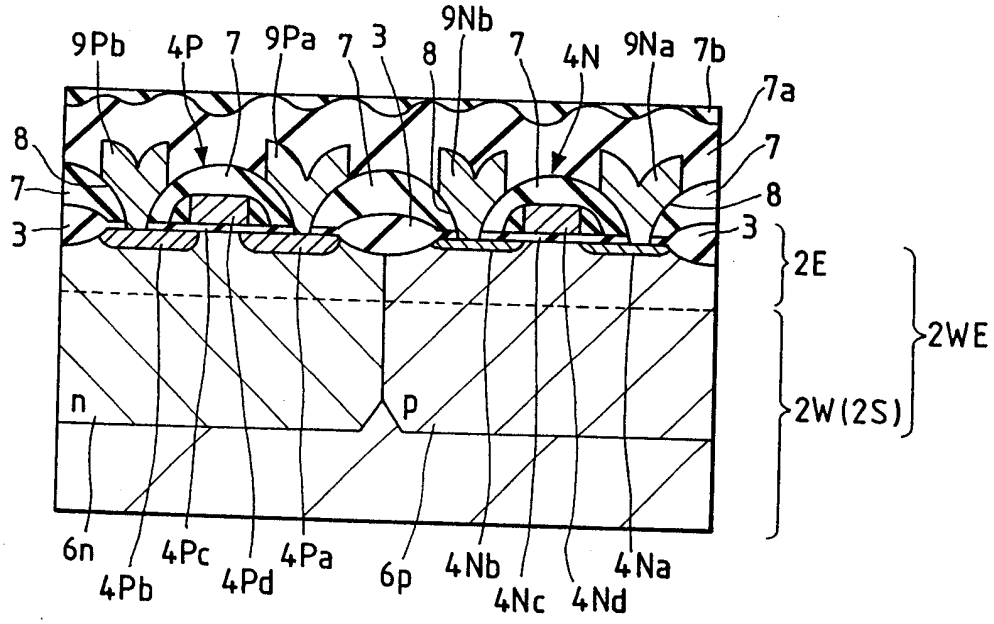

9Pb
4P
7
9Pa
7
3
8
9Nb
7
4N
9Na
7b
7a
8
7
3
2E
2WE
2W(2S)
n
p
6n
4Pb
4Pc
4Pd
4Pa
6p
4Nb
4Nc
4Nd
4Na

图 25

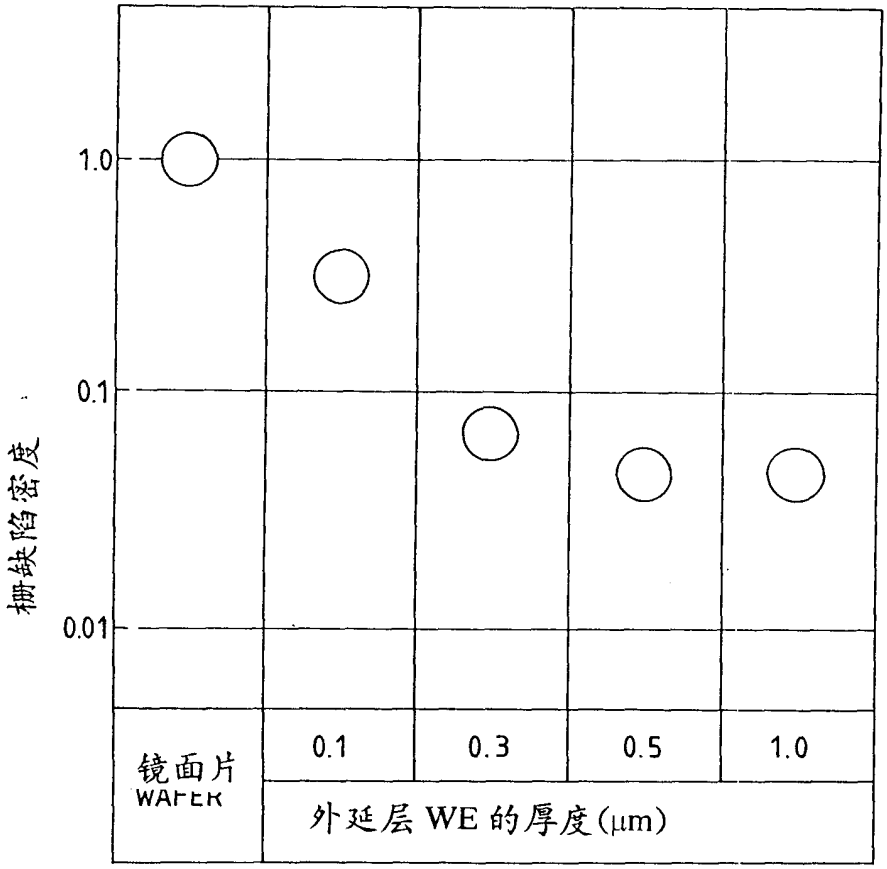


图 26(A)

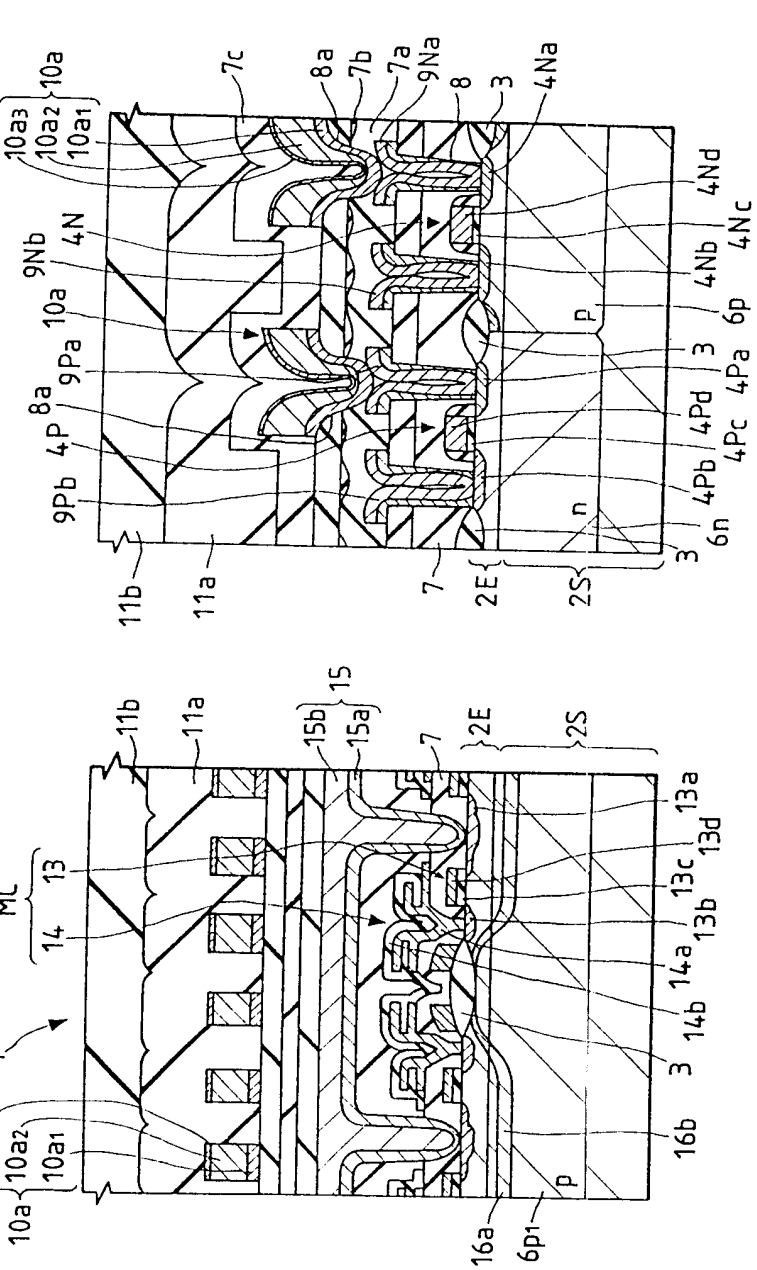

10a
10a3
10a2
10a1
7c
8a
7b
7a
9Na
8
3
4Na
4Nd
4Nc
4Nb
6p
4Pa
4Pd
4Pc
4Pb
6n
9Nb
4N
9Pa
4P
9Pb
11b
11a
7
2E
2S
15
15b
15a
MC
13
14
1
13a
13d
13c
13b
14a
14b
16b
16a
6p1

图 27(B)

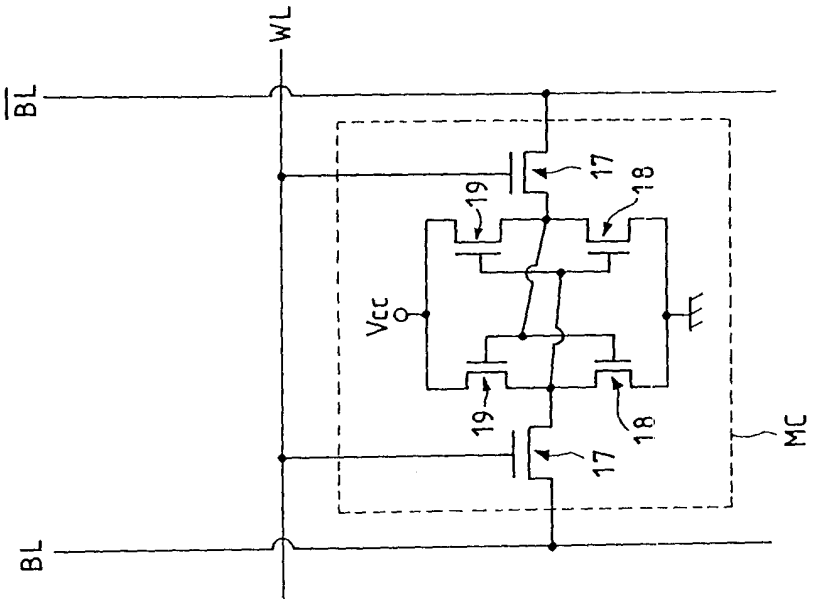


图 26(B)

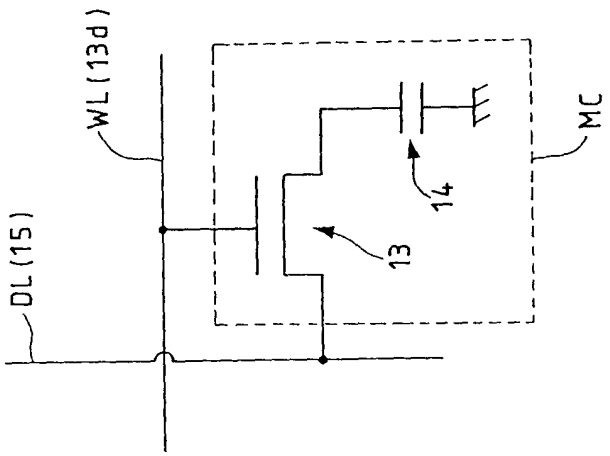


图 27(A)

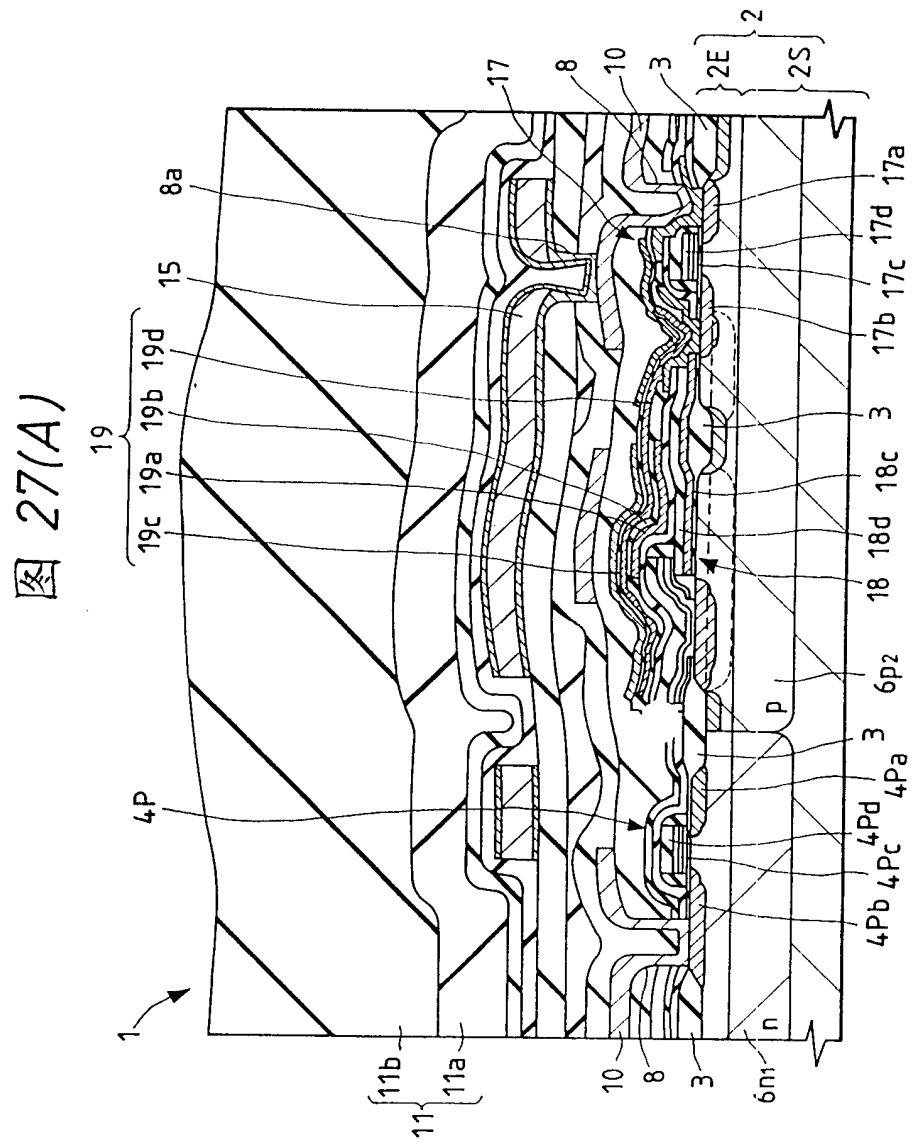

1
2
2E
2S
3
4P
4Pa
4Pb
4Pc
4Pd
6n1
6p2
8
8a
10
11
11a
11b
15
17
17a
17b
17c
17d
18
18c
18d
19
19a
19b
19c
19d
n
p

图 28

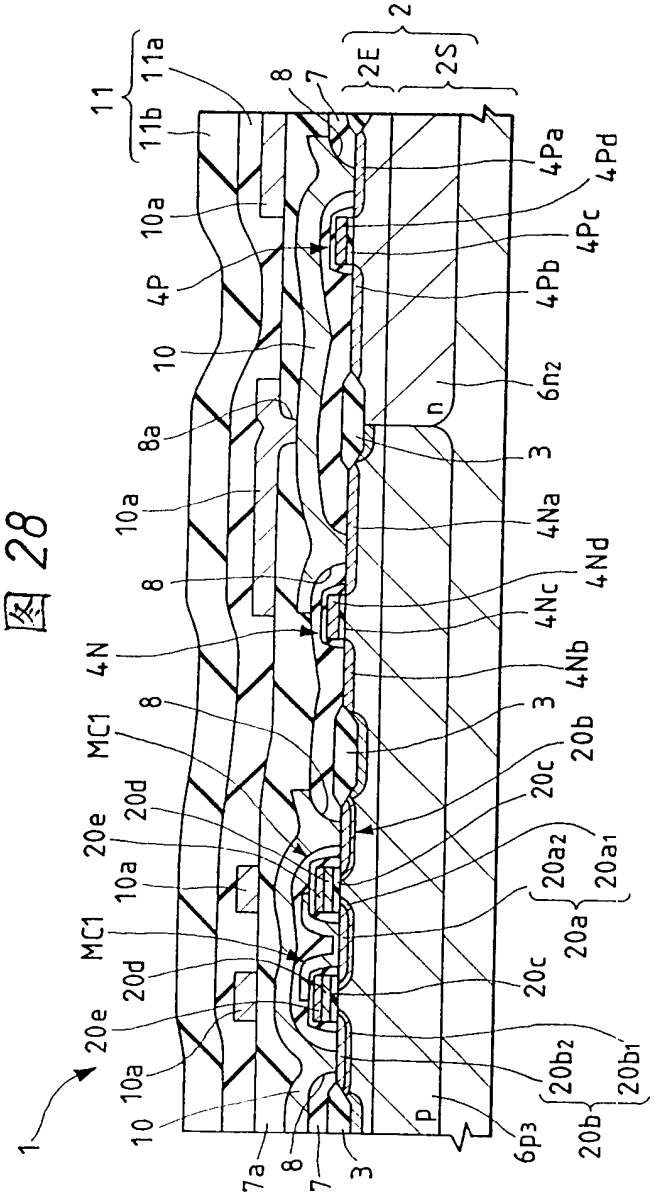

1
11
11a
11b
2
2E
2S
8
7
4Pa
4Pd
4Pc
4Pb
4P
10a
10
8a
6n2
n
3
4Na
4Nd
4Nc
4Nb
4N
MC1
20d
20e
20b
20c
20a
20a2
20a1
20b2
20b1
6p3
p
7a

图 29

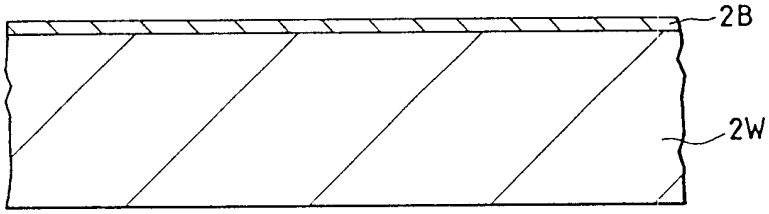


图 30

