



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년02월05일
(11) 등록번호 10-0940951
(24) 등록일자 2010년01월29일

(51) Int. Cl.

G11C 11/15 (2006.01) *G11C 7/06* (2006.01)
G11C 7/14 (2006.01) *G11C 7/18* (2006.01)

(21) 출원번호 10-2004-7021346

(22) 출원일자 2003년04월24일

심사청구일자 2008년04월03일

(85) 범역문제출일자 2004년12월27일

(65) 공개번호 10-2005-0013648

(43) 공개일자 2005년02월04일

(86) 국제출원번호 PCT/KR2003/013

(87) 국제공개번호

(87) 국제공개번호 WO 2004/003313
국제공개일자 2004년01월08일

(20) 윤성권증자

(30) 구전현구성

10/184, 720

선행기술조사문헌

US6269040 B1

US5764581 A

전체 청구항 수 : 총 4 항

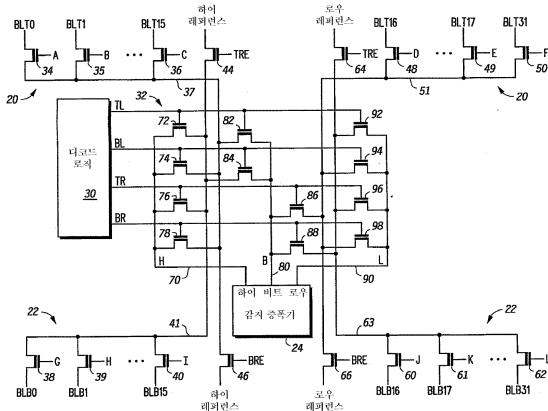
심사관 : 윤난영

(54) 벨런싱된 부하 메모리 및 동작 방법

(57) 요약

본 발명은 데이터가 감지 증폭기(24) 쪽으로 취한 루트와 레퍼런스 또는 레퍼런스들이 감지 증폭기 쪽으로 취한 루트 간의 임피던스 밸런스를 유지하는 감지 스킴을 제공하는 메모리(10)에 관한 것이다. 그 메모리의 각 서브-어레이(14, 18)는 서브-어레이에 인접하며 열 디코더의 부분으로서 고려될 수도 있는 데이터 라인(37, 51, 41, 63)에 데이터를 결합시키는 인접한 열 디코더(20, 22)를 갖는다. 선택된 서브-어레이의 데이터는 그 인접한 데이터 라인을 통해 감지 증폭기로 라우팅된다. 선택된 서브-어레이의 부분인 레퍼런스는 선택되지 않은 서브-어레이의 데이터 라인에 결합된다. 그러므로, MRAM형 메모리의 경우에 바람직하게는 상기 선택된 데이터의 위치에 근접하는 레퍼런스는, 데이터가 취하는 루트에 대해 임피던스 밸런싱된 감지 증폭기(24) 쪽으로의 루트를 통과한다.

대 표 도



(72) 발명자

나하스, 요셉, 제이.

미국 78731 텍사스주 오스틴 젠틀 브리즈 테라스
5824

린, 할버트, 에스.

미국 78717 텍사스주 오스틴 안도라 드라이브
10124

안드레, 토마스, 더블유.

미국 78732 텍사스주 오스틴 라티머 드라이브 3508

특허청구의 범위

청구항 1

제1 부분(좌) 및 제2 부분(우)을 갖는 제1 서브-어레이(14);

제1 부분(좌) 및 제2 부분(우)을 갖는 제2 서브-어레이(18);

상기 제1 서브-어레이에 인접하며, 상기 제1 서브-어레이의 제1 부분에 인접한 제1 데이터 라인(37) 및 상기 제1 서브-어레이의 제2 부분에 인접한 제2 데이터 라인(51)을 갖는 제1 열 디코더(20);

상기 제2 서브-어레이에 인접하며, 상기 제2 서브-어레이의 제1 부분에 인접한 제1 데이터 라인(41) 및 상기 제2 서브-어레이의 제2 부분에 인접한 제2 데이터 라인(63)을 갖는 제2 열 디코더(22);

제1 레퍼런스 타입(하이)을 전달하고 상기 제2 열 디코더의 제1 데이터 라인에 결합되기 위한 상기 제1 서브-어레이의 제1 부분에 있는 제1 레퍼런스 라인(하이 레퍼런스);

제2 레퍼런스 타입(로우)을 전달하고 상기 제2 열 디코더의 제2 데이터 라인에 결합되기 위한 상기 제1 서브-어레이의 제2 부분에 있는 제2 레퍼런스 라인(로우 레퍼런스);

상기 제1 레퍼런스 타입을 전달하고 상기 제1 열 디코더의 제1 데이터 라인에 결합되기 위한 상기 제2 서브-어레이의 제1 부분에 있는 제3 레퍼런스 라인(하이 레퍼런스);

상기 제2 레퍼런스 타입을 전달하고 상기 제1 열 디코더의 제2 데이터 라인에 결합되기 위한 상기 제2 서브-어레이의 제2 부분에 있는 제4 레퍼런스 라인(로우 레퍼런스);

제1 감지 증폭기(24); 및

상기 제1 열 디코더의 제1 및 제2 데이터 라인 그리고 상기 제2 열 디코더의 제1 및 제2 데이터 라인에 결합된 입력과, 상기 제1 감지 증폭기에 결합된 제1 레퍼런스 출력(70)과, 상기 제1 감지 증폭기에 결합된 제1 데이터 출력(80)을 갖는 멀티플렉서(32)

를 포함하는 메모리.

청구항 2

제1항에 있어서,

상기 멀티플렉서(32)는 상기 제1 감지 증폭기에 결합된 제2 레퍼런스 출력(90)을 갖는 메모리.

청구항 3

데이터 및 제1 레퍼런스(하이 레퍼런스)를 포함하는 메모리의 제1(좌) 서브-어레이(14)에서의 데이터를 감지하는 방법으로서,

데이터 및 제2 레퍼런스(하이 레퍼런스)를 포함하는 제2 서브-어레이(18)를 제공하는 단계;

상기 제1 서브-어레이에 인접하며 제1 데이터 라인(37)을 갖는 제1 열 디코더(20, 좌)를 제공하는 단계;

상기 제2 서브-어레이에 인접하며 제2 데이터 라인(41)을 갖는 제2 열 디코더(22, 좌)를 제공하는 단계;

제1 감지 증폭기(24)를 제공하는 단계;

상기 제2 서브-어레이(18)를 비활성으로 유지하면서 상기 제1 서브 어레이(14)를 인에이블하는 단계;

상기 제1 데이터 라인(37)으로부터 상기 제1 감지 증폭기로 데이터를 라우팅하는 단계;

상기 제2 데이터 라인을 통해 상기 제1 레퍼런스를 상기 제1 감지 증폭기로 라우팅하는 단계; 및

상기 제1 서브-어레이로부터 상기 제1 데이터 라인으로 데이터를 결합시키는 단계

를 포함하는 데이터 감지 방법.

청구항 4

제3항에 있어서,

데이터 및 제3 레퍼런스(로우)를 포함하는 제3 서브-어레이(14)를 제공하는 단계;

데이터 및 제4 레퍼런스(로우)를 포함하는 제4 서브-어레이(18)를 제공하는 단계;

상기 제3 서브-어레이에 인접하며 제3 데이터 라인(51)을 갖는 제3 열 디코더(20, 우)를 제공하는 단계;

상기 제4 서브-어레이에 인접하며 제4 데이터 라인(63)을 갖는 제4 열 디코더(22, 우)를 제공하는 단계;

상기 제4 서브-어레이(18, 우)를 비활성으로 유지하면서 상기 제3 서브-어레이(14, 우)를 인에이블하는 단계;
및

상기 제4 데이터 라인을 통해 상기 제3 레퍼런스(로우)를 상기 제1 감지 증폭기(24)로 라우팅하는 단계

를 더 포함하는 데이터 감지 방법.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

명세서**기술분야**

[0001] 본 발명은 전체적으로 반도체 회로에 관한 것이며, 보다 구체적으로는 반도체 메모리 회로에 관한 것이다.

배경기술

[0002] 자기 물질의 진보는 판독 처리든 기록 처리든 고속 동작이 가능한 자기 랜덤 양자스 메모리(MRAM)를 제공해 왔다. MRAM 디바이스는 통상적으로 워드 라인 및 비트 라인이 교차하여 배열된 복수의 메모리 셀들을 구비한다. MRAM 디바이스의 각각의 셀은 절연층에 의해 분리되어 있는 자기 층을 갖는 자기 터널 정선(MTJ) 타입이다. MTJ 타입의 메모리 셀들에 저장된 데이터는 자기층들에서 자기 벡터 또는 다이폴의 방향으로 표시될 수 있으며, 메모리 셀들은 자기 벡터의 방향이 메모리 셀에 외부적으로 인가된 신호에 의해 변화될 때까지 저장된 데이터를 홀드할 수 있다.

[0003] MRAM과 같은 비휘발성 메모리들은 통상적으로 감지 증폭기에 데이터 신호 및 기준 신호를 접속시키는 상호접속

네트워크들 간에 설계상 일부의 비대칭을 포함한다. 비대칭 네트워크들은, 각각이 "0" 또는 "1"의 논리 상태 또는 유사한 크기의 상태를 갖는, 메모리 셀들의 상태를 검출하는데 사용되는 감지 증폭기들에 부정적인 영향을 미친다. 예를 들어, 감지 증폭기에 메모리 셀들을 접속시키는 비대칭 네트워크에 잡음 소스가 균일하지 않게 결합될 수 있으므로, 감지 증폭기에서 감지되는 신호의 지연 및/또는 분열을 초래한다. 다이나믹 감지 시스템에서, 감지 증폭기와 메모리 어레이 간의 상호접속 네트워크에서의 비대칭은 감지 증폭기의 입력에서 부하 용량의 차이를 초래한다. 그러한 부하 용량 차이는 논리 값을 "1"에서 "0"으로 또는 "0"에서 "1"로의 감지 속도에도 영향을 미친다. 비대칭 상호접속 네트워크에서, 감지 증폭기의 유효 상태의 감지은 또한 이웃하는 금속 와이어 또는 기판과 같은 소스로부터 이벤트를 결합함으로써 저하될 수 있다. 미국특허 제6,269,040호에서 Reohr 등이 중간 레벨의 기준 전압을 생성하기 위해 트랜지스터 스위치에 의해 함께 접속된 두 개의 분리된 기준 전압에 접속된 트랜지스터 스위치를 이용함으로써 두 개의 2-입력 감지 증폭기에 메모리 셀들을 접속시키기 위한 상호접속 네트워크를 교시하고 있다. 트랜지스터 스위치는 감지 증폭기의 두 개의 입력들 간의 상호접속시 비대칭을 생성하고, 두 개의 감지 증폭기들은 보상 목적을 위해 동시에 인에이블된다.

[0004]

본 발명은 첨부 도면들로 예로서 도시되었으며 이에 제한되는 것은 아니고, 같은 참조번호는 유사한 소자들을 지시한다.

실시예

[0013]

본 기술분야의 숙련자들은 도면들의 소자들이 간결성 및 명료성을 위해 도시되었으며, 반드시 비율에 맞게 도시된 것은 아님을 이해할 것이다. 예를 들어, 도면의 소자들 중 일부의 크기는 본 발명의 실시예들의 이해를 돋기 위해 다른 소자들에 비해 과장될 수 있다.

[0014]

발명의 상세한 설명

[0015]

도 1은 밸런싱된 부하 구조를 갖는 감지 증폭기가 적용될 수 있는 메모리 어레이 아키텍쳐(10)를 도시한다. 메모리 어레이 아키텍쳐(10)는 메모리 어드레스들을 디코딩하는데 응답하여 제1 서브-어레이 또는 서브-어레이(14)와 연관된 행들을 선택하기 위한 행 디코더(12)를 갖는다. 서브-어레이(14)는 제1 부분(즉 좌측 부분) 및 제2 부분(즉 우측 부분)을 갖는다. 행 디코더(16)는 또한 좌측부 및 우측부를 갖는 제2 서브-어레이 또는 서브-어레이(18)과 연관된 행들을 선택하기 위해 메모리 어드레스를 디코딩한다. 메모리 어레이 아키텍처는 또한 서브-어레이들(14, 18)의 좌측 및 우측 부분으로부터 제1 서브-어레이, 제2 서브-어레이, 제3 서브-어레이 및 제4 서브-어레이를 갖는 것으로 고려될 수 있다. 임의의 메모리 어드레스가 서브-어레이(14) 내의 열 어드레스와 부합하는 경우, 서브-어레이(14) 내의 소정의 열로부터 비트 데이터를 억세스하고 메모리 어드레스를 디코딩하기 위한 서브-어레이(14)에 열 디코더(20)가 접속된다. 임의의 메모리 어드레스가 서브-어레이(18) 내의 열 어드레스와 부합하는 경우, 서브-어레이(18) 내의 소정의 열로부터 비트 데이터를 억세스하고 메모리 어드레스를 디코딩하기 위한 서브-어레이(18)에 열 디코더(22)가 접속된다. 열 디코더(20) 및 열 디코더(22) 각각에 감지 증폭기(24)가 접속된다. 감지 증폭기(24)는 서브-어레이(14) 또는 서브-어레이(18) 내에서 교차하는 선택된 행과 열에 대응하는 메모리 비트 위치에서 데이터 값이 1 또는 0이 되는 것으로 판정한다. 감지 증폭기(24)는 메모리 어레이 아키텍쳐(10) 내에서 어드레스된 비트에 대한 데이터 아웃 값(Data Out value)을 제공하기 위한 출력 단자를 갖는다. 본 명세서에 기술된 디코드 및 감지 기능은 출력의 데이터 비트 각각에 대해 모듈 형식으로 반복된다.

[0016]

도 2에 도시된 것은 메모리 구조의 로딩을 밸런싱하는 부가 회로에 관련한 도 1의 열 디코더(20), 열 디코더(22) 및 감지 증폭기(24) 내에서의 상호접속 구조의 상세이다. 메모리 상호접속 구조는 T0에서 예를 들어, T31 까지의 "T" 지시자(designator)로 라벨링된 비트 라인의 상부 및 B0에서 B31까지와 같은 "B" 지시자로 라벨링된 비트 라인의 하부를 가지며, 이들은 멀티플렉싱 스위치 모듈(32)의 형태로 멀티플렉서에 의해 인터페이싱된다. 열 디코더(20)는 비트 라인(BL) 도체(BLTO)에 접속된 소스, 제어 신호(A)에 접속된 제어 전극 또는 게이트 및 제1 데이터 라인 또는 도체(37)에 접속된 드레인을 갖는 N-채널 트랜지스터(34)를 갖는다. N-채널 트랜지스터(35)는 비트 라인 도체(BLT1)에 접속된 소스, 제어 신호(B)에 접속된 게이트 및 도체(37)에 접속된 드레인을 갖는다. N-채널 트랜지스터(36)는 비트 라인 도체(BLT15)에 접속된 소스, 제어 신호(C)에 접속된 게이트 및 도체(37)에 접속된 드레인을 갖는다. 아날로그 접속의 소정 수의 중재 트랜지스터들이 점선으로 표시된 바와 같이 트랜지스터 35와 36 사이에 제공된다. 중재 트랜지스터들의 수는 열 디코더(20)의 좌측 부분(TL) 내의 비트 라인 트랜지스터들의 총 수가 통상 8개, 16개, 32개, 64개 또는 2로 나누어 떨어지는 일부 다른 값이 되도록 특정 구현에 의존한다. 밸런싱된 상호접속 스키ーム을 달성하기 위해, 열 디코더(20)의 좌측 부분의 비트라인 트랜지스

터들의 총 수는 열 디코더(22)의 좌측 및 우측 부분(BL 및 BR 각각)에서의 총 수 뿐만 아니라 열 디코더(20)의 우측 상부(TR)에서의 행 선택 트랜지스터들의 총 수와 부합해야 한다. 열 디코더(22)의 좌측 부분(BL)은 트랜지스터(38), 트랜지스터(39) 및 트랜지스터(40)와 같은 복수의 트랜지스터 및 기타 중재 트랜지스터들(도시되지 않음)을 갖는다. N-채널 트랜지스터(38)가 BLB0로 라벨링된 비트 라인에 접속된 소스, G로 라벨링된 제어 신호에 접속된 게이트 및 열 디코더(22)의 제1 데이터 라인인 도체(41)에 접속된 드레인을 갖는다. N-채널 트랜지스터(39)가 BLB1로 라벨링된 비트 라인에 접속된 소스, H로 라벨링된 제어 신호에 접속된 게이트 및 도체(41)에 접속된 드레인을 갖는다. N-채널 트랜지스터(40)가 BLB15로 라벨링된 비트 라인에 접속된 소스, I로 라벨링된 제어 신호에 접속된 게이트 및 도체(41)에 접속된 드레인을 갖는다. 아날로그 접속의 (트랜지스터 35와 36 사이의 수에 부합하는) 소정 수의 중재 트랜지스터들이 점선으로 표시된 바와 같이 트랜지스터들 39와 40 사이에 제공된다. N-채널 트랜지스터(44)는 제1 서브-어레이(14)의 제1 (좌측) 부분의 제1 레퍼런스 라인을 통해 제1 레퍼런스 타입의 제1 "하이 레퍼런스(High Reference)" 전압을 수신하기 위한 레퍼런스 전압 단자에 접속된 소스를 갖는다. "상부 레퍼런스 인에이블(Top Reference Enable)"의 의미인 "TRE"로 라벨링된 제어 신호에 트랜지스터(44)의 게이트가 접속된다. 트랜지스터(44)는 도체(41)에 접속된 드레인을 갖는다. N-채널 트랜지스터(46)의 드레인이 도체(37)에 접속된다. "하부 레퍼런스 인에이블(Bottom Reference Enable)"의 의미인 "BRE"로 라벨링된 제어 신호에는 트랜지스터의 게이트가 접속되고, 제2 서브-어레이(18)의 제1 (좌측) 부분의 제2 레퍼런스 라인을 통해 제1 레퍼런스 타입의 제2 "하이 레퍼런스" 전압을 수신하기 위한 레퍼런스 전압 단자에는 트랜지스터(46)의 소스가 접속된다. N-채널 트랜지스터(48)가 BLT16으로 라벨링된 비트 라인에 접속된 소스, D로 라벨링된 제어 신호에 접속된 게이트 및 제2 데이터 라인 또는 도체(51)에 접속된 드레인을 갖는다. N-채널 트랜지스터(49)가 BLT17로 라벨링된 비트 라인에 접속된 소스, E로 라벨링된 제어 신호에 접속된 게이트 및 도체(51)에 접속된 드레인을 갖는다. N-채널 트랜지스터(50)가 BLB31로 라벨링된 비트 라인에 접속된 소스, F로 라벨링된 제어 신호에 접속된 게이트 및 도체(51)에 접속된 드레인을 갖는다. 아날로그 접속의 (트랜지스터들 35와 36 사이의 수에 부합하는) 소정의 수의 중재 트랜지스터들이 점선으로 표시된 바와 같이 트랜지스터들 48과 49 사이에 제공된다. N-채널 트랜지스터(64)가 제1 서브-어레이(14)의 제2 (우측) 부분의 제3 레퍼런스 라인을 통해 제2 레퍼런스 타입의 제1 "로우 레퍼런스(Low Reference)" 전압을 수신하기 위한 레퍼런스 전압 단자에 접속된 소스를 갖는다. "상부 레퍼런스 인에이블"을 의미하는 "TRE"로 라벨링된 제어 신호에 트랜지스터(64)의 게이트가 접속된다. 트랜지스터(64)는 열 디코더(22)의 제2 데이터 라인인 도체(63)에 접속된 드레인을 갖는다. 그러므로, 도체들(37, 41, 51, 63)은 제1 데이터 라인, 제2 데이터 라인, 제3 데이터 라인 및 제4 데이터 라인을 각각 형성한다. N-채널 트랜지스터(66)의 드레인이 도체(51)에 접속된다. "하부 레퍼런스 인에이블"의 의미인 "BRE"로 라벨링된 제어 신호에 트랜지스터(66)의 게이트가 접속되고, 제2 서브-어레이(18)의 제2 (우측) 부분의 제4 레퍼런스 라인을 통해 제2 레퍼런스 타입의 제2 "로우 레퍼런스" 전압을 수신하기 위한 레퍼런스 전압 단자에는 트랜지스터(66)의 소스가 접속된다. N-채널 트랜지스터(60)이 BLB16로 라벨링된 비트 라인에 접속된 소스, J로 라벨링된 제어 신호에 접속된 게이트 및 도체(63)에 접속된 드레인을 갖는다. N-채널 트랜지스터(61)이 BLB17로 라벨링된 비트 라인에 접속된 소스, L로 라벨링된 제어 신호에 접속된 게이트 및 도체(63)에 접속된 드레인을 갖는다. 아날로그 접속의 (트랜지스터들 35와 36 사이의 수에 부합하는) 소정의 수의 중재 트랜지스터들이 점선으로 표시된 바와 같이 트랜지스터들 61과 62 사이에 제공된다.

[0017] 멀티플렉싱 스위치 모듈(32)은 일반적으로 N-채널 트랜지스터들(72, 74, 76, 78), N-채널 트랜지스터들(82, 84), N-채널 트랜지스터들(86, 88) 및 N-채널 트랜지스터들(92, 94, 96, 98)의 밸런싱된 그룹들을 갖는다. 트랜지스터(72)는 디코드 로직(30)의 상부 좌측(TL) 디코딩된 출력에 접속된 게이트, 도체(41)에 접속된 소스 및 감지 증폭기(24)의 제1 입력인 하이 레퍼런스 입력에 접속된 제1 또는 하이(H) 레퍼런스 출력(70)에 접속된 드레인을 갖는다. 트랜지스터(74)는 디코드 로직(30)의 하부 좌측(BL) 디코딩된 출력에 접속된 게이트, 도체(37)에 접속된 소스 및 하이 레퍼런스 출력(70)에 접속된 드레인을 갖는다. 트랜지스터(76)는 디코드 로직(30)의 상부 우측(TR) 디코딩된 출력에 접속된 게이트, 도체(41)에 접속된 소스 및 하이 레퍼런스 출력(70)에 접속된 드레인을 갖는다. 트랜지스터(78)는 디코드 로직(30)의 하부 우측(BR) 디코딩된 출력에 접속된 게이트, 도체(37)에 접속된 소스 및 하이 레퍼런스 출력(70)에 접속된 드레인을 갖는다. 트랜지스터(82)는 디코드 로직(30)의 상부 좌측 디코딩된 출력에 접속된 게이트, 도체(37)에 접속된 소스 및 비트(B) 데이터 출력(80)에 접속된 드레인을 갖는다. 비트 데이터 출력(80)은 감지 증폭기(24)의 제2 입력인 비트 데이터 입력에 접속된다. 트랜지스터(84)는 디코드 로직(30)의 하부 좌측 디코딩된 출력에 접속된 게이트, 도체(41)에 접속된 소스 및 비트 데이터 출력(80)에 접속된 드레인을 갖는다. 트랜지스터(86)는 디코드 로직(30)의 상부 우측 디코딩된 출력에 접속된 게이트, 도체(51)에 접속된 소스 및 비트 데이터 출력(80)에 접속된 드레인을 갖는다. 트랜지스터(88)는 디코드 로직(30)의 하부 우측 디코딩된 출력에 접속된 게이트, 도체(63)에 접속된 소스 및 비트 데이터 출력

(80)에 접속된 드레인을 갖는다. 트랜지스터(92)는 디코드 로직(30)의 상부 좌측 디코딩된 출력에 접속된 게이트, 도체(63)에 접속된 소스 및 제2 또는 로우(L) 레퍼런스 출력(90)에 접속된 드레인을 갖는다. 로우 레퍼런스 출력(90)은 감지 증폭기(24)의 제3 입력인 로우 레퍼런스에 접속된다. 트랜지스터(94)는 디코드 로직(30)의 하부 좌측 디코딩된 출력에 접속된 게이트, 도체(51)에 접속된 소스 및 로우 레퍼런스 출력(90)에 접속된 드레인을 갖는다. 트랜지스터(96)는 디코드 로직(30)의 상부 우측 디코딩된 출력에 접속된 게이트, 도체(63)에 접속된 소스 및 로우 레퍼런스 출력(90)에 접속된 드레인을 갖는다. 트랜지스터(98)는 디코드 로직(30)의 하부 우측 디코딩된 출력에 접속된 게이트, 도체(51)에 접속된 소스 및 로우 레퍼런스 출력(90)에 접속된 드레인을 갖는다.

[0018]

동작시, 비트 라인들(BLT0-BLT15, BLT16-BLT31, BLB0-BLB15, BLB16-BLB31) 각각은 소정의 메모리 서브-어레이 열(도시되지 않음)에 접속된다. 메모리 서브-어레이 열 각각은 상부 메모리 서브-어레이 또는 하부 메모리 서브-어레이에 관한 것이다. 또한, 상부 메모리 서브-어레이는 두 부분, 즉 좌측 상부 부분 및 우측 상부 부분을 갖는다. 유사하게, 하부 메모리 서브-어레이에는 두 부분, 즉 좌측 하부 부분 및 우측 하부 부분을 갖는다. 각 부분 내의 비트 라인들은 좌측 상부 부분의 도체(37)와 같은 공통 센싱 레일을 공유하며, 개개의 비트 라인들은 트랜지스터(35) 또는 트랜지스터(36)와 같은 패스-게이트 스위치를 통해 접속된다. 상부 서브-어레이의 상부 좌측 부분 및 상부 우측 부분의 비트 라인들은 하이 레퍼런스 및 로우 레퍼런스 비트 라인들의 공통 세트를 공유한다. 상부 서브-어레이로부터의 하이 레퍼런스 및 로우 레퍼런스 비트 라인들은 도체(41, 63)인 하부 서브-어레이의 공통 센싱 레일에 그들을 라우팅하거나 접속시키는 스위치들(트랜지스터 44 및 64 각각)을 갖는다. 유사하게, 하부 어레이로부터의 하이 레퍼런스 및 로우 레퍼런스 비트 라인은 도체(37, 51)인 상부 절반의 공통 센싱 레일에 그들을 접속시키는 스위치들(트랜지스터 46 및 66 각각)을 갖는다. 상부 또는 하부 메모리 서브-어레이 중 단지 하나만이 임의의 특정 관독 동작에 대해 억제스된다. 상부 메모리 서브-어레이 및 좌측 서브-어레이의 특정 열에 대해 억제스가 행해졌다고 가정한다. 트랜지스터들(34, 35, 36) 중 하나에 대한 제어 신호는 이전의 디코드 동작의 결과로서 제어 신호(A, B, C) 중 하나에 응답하여 활성(active)이 된다. 단지 예시적 목적으로 트랜지스터(35)가 도통되었다고 가정한다. 응답하여, 억제스된 열로부터의 데이터가 센싱 레일인 도체(37) 상에 배치된다. 또한, 제어 신호(TRE)가 상부 좌측 서브-어레이의 하이 레퍼런스 및 상부 우측 서브-어레이의 로우 레퍼런스에 대해 활성이 된다. 응답하여, 하이 레퍼런스 비트 라인 및 로우 레퍼런스 비트 라인으로부터의 데이터는 도체(41) 및 도체(63) 센싱 레일 상에 각각 배치된다. 단지 하나의 서브-어레이가 활성이기 때문에, 상부 또는 하부 서브-어레이 중 하나가 도통되고, 동일 도체(41)를 공유하는 트랜지스터(38, 39, 40)에 의해 형성된 다른 스위치들 어느 것도 도통되지 않는다. 또한, 동일 도체(63)를 공유하는 트랜지스터(60, 61, 62)에 의해 형성된 스위치들 어느 것도 도통되지 않는다. 도체들(37, 41, 51, 63)에 접속된 스위치들의 수가 동일하게 주어지면, 상호 접속 구조 상의 밸런싱된 용량이 존재한다. 특히, 도체(37) 상의 오프-상태 스위치들(트랜지스터들 34, 36 등)로부터 기인한 도체(37)에 접속된 억제스된 비트 라인 상의 용량성 로딩이 도체(41)에 접속된 하이 레퍼런스 비트 라인 및 도체(63)에 접속된 로우 레퍼런스 비트 라인 상에 용량성 로딩으로 완전히 밸런싱된다. 그러므로, 임의의 인에이블된 레퍼런스 비트 라인에 대한 용량성 로딩에는 인에이블된 레퍼런스 비트 라인이 온 상태인 공통 센싱 레일에 접속된 비활성 서브-어레이의 비도전성 트랜지스터 스위치들이 제공된다.

[0019]

멀티플렉싱 스위치 모듈(32)은, 각 경로의 직렬 트랜지스터 수 및 각 경로 내의 각 노드들에 접속된 트랜지스터 정션들의 수의 정확한 밸런스를 유지하면서, 4개의 센싱 레일들(또는 도체들 37, 41, 51, 63)로부터 데이터를 취하여, 그 데이터를 감지 증폭기(24)의 입력으로 전달한다. 그러므로, 트랜지스터(35)에 의해 전달된 데이터는 디코드 로직(30)의 신호(TL:상부 좌측)에 응답하여 트랜지스터(82)에 의해 감지 증폭기(24)의 비트(B) 입력으로 전달된다. 그 데이터는 도체(80)를 통해 도체(37)로부터 위치 감지 증폭기(24)의 BIT 입력으로 배치된다. 유사하게, 하이 레퍼런스 신호는 도체(70)를 통해 트랜지스터(72)에 의해 감지 증폭기(24)의 하이 레퍼런스(하이) 입력으로 전달된다. 트랜지스터(92)는 도체(63)로부터의 로우 레퍼런스 입력 데이터를 감지 증폭기(24)의 로우 레퍼런스(로우) 입력에 대한 도체(90) 상에 배치한다. 스위치들(72, 82, 92)은 디코드 로직(30)의 공통 어드레스 디코드 출력에 의해 제어된다. 감지 증폭기(24)의 3개의 입력 및 도체(70, 80, 90)는 그들에 동일한 번호의 4개의 스위치 정션을 가지므로 서로에 대해 용량 밸런스를 유지한다. 트랜지스터(72, 74, 76, 78)로부터의 로딩은 트랜지스터들(82, 84, 86, 88)로부터의 로딩에 의해 밸런싱되고, 또한 트랜지스터들(92, 94, 96, 98)로부터의 로딩에 의해 밸런싱된다. 열 디코드(120) 및 열 디코드(22)의 4개의 센싱 레일 구조에 완전한 밸런스 및 멀티플렉싱 스위치 모듈(32)의 구조에 완전한 밸런스가 존재하기 때문에, 임의의 비트 라인 및 레퍼런스의 대응쌍(하이 및 로우)으로부터의 데이터 세개 모두는 완전히 밸런싱된 방식으로 감지 증폭기(24)로 전달될 수 있다.

[0020]

도 3에 도시된 것은 도 2의 메모리 상호접속 구조의 대안의 구현이다. 3개의 감지 증폭기 입력, 하이, 로우, 비트 대신에, 감지 증폭기(24')는 단지 2개의 입력, 즉 비트와 중간-레벨 레퍼런스만을 갖는다. 설명을 위해, 도 3과 도 2 간의 공통 소자들은 동일한 참조번호로 주어진다. 반대로, 도 3의 메모리 상호접속 구조는 두개의 분리된 레퍼런스 도체들, 즉 하이 레퍼런스 도체(70) 및 로우 레퍼런스 도체(90) 대신에 공통의 중간-레벨(M) 레퍼런스 도체(99)를 이용한다. 메모리 억세스 동작의 다른 모든 양상들은 도 2에 도시된 바와 같이 도 3에 관해서도 동일하다. 이 구현에서는, 감지 증폭기(24')의 비트 입력 상에서의 로딩이 그 레퍼런스 입력의 로딩의 절반이 됨을 주목해야 한다. 비트(B) 입력 상에서의 로딩은 스위치들(82, 84, 86, 88)로부터의 용량성 로딩으로 구성되는 반면, 레퍼런스 입력(M) 상에서의 로딩은 스위치들(92, 94, 96, 98) 뿐만 아니라 스위치들(72, 74, 76, 78)로부터의 용량성 로딩으로 이루어진다. 이러한 용량비는 감지 증폭기(24')의 설계로 설명될 수 있다. 감지 증폭기(24')에 대한 내부 보상 기술의 예가 그 비트 입력 상에서와 같이 레퍼런스(Ref) 입력 상에도 두 배의 전류 바이어스를 인가하는 것이다.

[0021]

도 4에 도시된 것은 도 2의 메모리 상호접속 구조의 또 다른 구현이다. 설명을 위해, 도 4와 도 2 간의 공통 소자들은 동일한 참조번호로 다시 주어지고, 유사한 소자들은 약간 변경되었는데, 구조 또는 동작의 약간의 변화를 표시하기 위해 동일한 번호에 프라임 표시를 사용했다. 도 4에는, 두 개의 감지 증폭기, 즉 감지 증폭기(101) 및 감지 증폭기(102)가 있다. 각각의 감지 증폭기는 세개의 입력: 비트 입력, 로우 레퍼런스 입력(RefL) 및 하이 레퍼런스 입력(Ref H)을 갖는다. 부가적으로, 트랜지스터들(74, 76, 94, 96)이 도 2의 구조로부터 제거된다. 디코드 로직(30')은 단지 두개의 디코드 신호, 즉 상부(T) 어레이 디코드 신호 및 하부(B) 어레이 디코드 신호만을 제공한다. 트랜지스터들(72', 82', 92')은 게이트들이 상부 어레이 디코드 신호에 접속되는 것을 제외하고는 도 2에서와 같이 접속된다. 또한, 트랜지스터(72')의 드레인은 감지 증폭기(101, 102)의 하이 레퍼런스 입력 각각에 접속되고, 트랜지스터(92')의 드레인은 감지 증폭기(101, 102)의 두 로우 레퍼런스 입력들에 접속된다. 또한, 트랜지스터(82')의 드레인은 감지 증폭기(101)의 비트 입력에 접속되고, 트랜지스터(86')의 드레인은 감지 증폭기(102)의 비트 입력에 접속된다. 트랜지스터(84')는 게이트가 하부 어레이 디코드 신호에 접속되고 소스가 감지 증폭기(101)의 비트 입력에 접속되는 것을 제외하고는 도 2에서와 같이 접속된다. 트랜지스터(86)의 게이트는 이제 상부 어레이 디코드 신호에 접속되고, 그 드레인은 이제 감지 증폭기(102)의 비트 입력에 접속된다. 트랜지스터(78', 88', 98')는, 그들의 게이트가 하부 어레이 디코드 신호에 접속되고, 트랜지스터(88')의 드레인이 감지 증폭기(102)의 비트 입력에 접속되고, 트랜지스터(78', 98')의 드레인이 이제 감지 증폭기(101, 102)의 두 레퍼런스 입력에 접속되는 것을 제외하고는, 도 2에서와 같이 접속된다. 만약 2-입력 감지 증폭기의 설명을 원한다면, 하이 레퍼런스 입력들이 도 4에 도시된 로우 레퍼런스 입력들에 직접적으로 접속되며, 단일 레퍼런스 입력 감지 증폭기가 구현됨을 또한 주목해야 한다.

[0022]

동작시, 좌측 서브-어레이(상부 또는 하부)로부터 억세스된 데이터가 감지 증폭기(101)에 접속되고, 우측 서브-어레이(상부 또는 하부)로부터 억세스된 데이터는 감지 증폭기(102)에 동시에 접속된다. 상부 어레이 또는 하부 어레이 만이 판독 억세스 동안 활성 워드 라인(도시되지 않음)에 의해 활성이 된다. 두 좌측 및 우측 서브-어레이들로부터 억세스된 데이터는 감지 증폭기(101, 102)에 의해 각각 동시에 감지된다. 도 4의 변경들은 데이터 및 중간-레벨 레퍼런스 값을 감지 증폭기(101, 102)에 접속시키기 위한 밸런싱된 상호접속 구조를 제공한다. 디코드 로직(30')의 로직 및 출력 신호의 수는 도 3의 상호접속 구조와 비교하여 절반이다. 디코드 로직(30')이 좌측 대 우측 서브-어레이 판독 억세스들을 구별하는데만 필요하기 때문에, 디코드 로직(30')은 간소화된다.

[0023]

도 5에 도시된 것은 이전에 설명된 구현들보다 더 많은 감지 증폭기들을 이용하고, 멀티플렉싱 스위치 모듈(32 또는 32')을 이용하는 것은 피하는 밸런싱된 데이터 전달을 위한 상호접속 구조(104)이다. 도 2, 도 3 및 도 4에 앞서 도시된 소자들과 동일한 도 5의 임의의 소자들은 유사하게 번호를 매겼다. 이전 도면들의 도체(37)은 상부 좌측 서브-어레이로부터의 비트 데이터 또는 하부 서브-어레이로부터의 레퍼런스 데이터 중 하나를 도통시키고, 분포 도체(130)에 접속된 출력을 갖는 부하 디바이스(114)에 접속된다. 삼지 증폭기(122)의 데이터 입력은 분포 도체(130)에 접속된다. 감지 증폭기(124)의 하이 레퍼런스(High Ref) 입력 및 감지 증폭기(128)의 하이 레퍼런스 입력이 분포 도체(130)에 각각 접속된다. 이전 도면들의 도체(41)는 하부 좌측 서브-어레이로부터의 비트 데이터 또는 상부 서브-어레이로부터의 레퍼런스 데이터 중 하나를 도통시키고 분포 도체(132)에 접속된 출력을 갖는 부하 디바이스(116)에 접속된다. 감지 증폭기(124)의 데이터 입력이 분포 도체(132)에 접속된다. 감지 증폭기(126, 122) 각각은 분포 도체(132)에 접속된 하이 레퍼런스 입력을 갖는다. 이전 도면들의 도체(51)는 상부 우측 서브-어레이로부터의 비트 데이터 또는 하부 서브-어레이로부터의 레퍼런스 데이터 중 하나를 도통시키고, 분포 도체(134)에 접속된 출력을 갖는 부하 디바이스(118)에 접속된다. 감지 증폭기(126)의 데

이터 입력은 분포 도체(134)에 접속된다. 감지 증폭기(128)의 로우 레퍼런스(Low Ref) 입력이 분포 도체(134)에 접속되고, 감지 증폭기(124)의 로우 레퍼런스(Low Ref) 입력은 분포 도체(134)에 접속된다. 이전 도면들의 도체(63)는 하부 우측 서브-어레이로부터의 비트 데이터 또는 상부 서브-어레이로부터의 로우 레퍼런스 데이터 중 하나를 도통시키고, 분포 도체(136)에 접속된 출력을 갖는 부하 디바이스에 접속된다. 감지 증폭기들(122, 126) 각각의 로우 레퍼런스(Low Ref) 입력이 분포 도체(136)에 접속된다.

[0024] 동작시, 상부 서브-어레이 또는 하부 서브-어레이 중 하나가 판독 동작동안 억세스된다. 그러므로, 서브-어레이의 좌측 및 우측 부분들로부터의 데이터가 감지 증폭기(122, 126) 또는 감지 증폭기(124, 128) 각각에 전송된다. 도체(37)가 상부 좌측 서브-어레이로부터의 비트 데이터 또는 하부 서브-어레이로부터의 레퍼런스 하이 데이터 중 하나를 포함하기 때문에, 그 분포 도체(130)에의 접속은 3개의 위치로 데이터를 전송한다. 그 데이터는 감지 증폭기(122)의 비트 데이터 입력, 감지 증폭기(124)의 하이 레퍼런스 입력 및 감지 증폭기(128)의 하이 레퍼런스 입력으로 전송된다. 유사하게, 도체(41, 63, 51) 상의 데이터는 분포 도체들(132, 136, 134) 각각을 통해, 감지 증폭기(122, 124, 126, 128)로의 적절한 입력들로 전송된다. 전류 기반 데이터의 경우, 분포 도체들(130, 132, 134, 136)에 각각 접속된 부하 디바이스(114, 116, 118, 120)는 전류 신호를 적절한 감지 증폭기로 전송하기 위한 전압 신호로 변환한다. 예를 들어, 부하 디바이스는 저항기, 다이오드-접속된 트랜지스터 또는 정전류원으로 바이어싱된 트랜지스터가 될 수 있다.

[0025] 도 5의 부하 디바이스들, 부하 디바이스(118) 중 하나의 구현 예가 도 6에 도시된다. 도 6과 이전의 도면들 간에 공통인 동일한 소자들은 동일한 참조번호로 주어진다. P-채널 트랜지스터(138)가 V_{DD} 로 라벨링된 전원 공급 단자에 접속된 소스, 전원 레퍼런스(V_{REF})를 수신하기 위한 단자에 접속된 게이트 및 도체(51) 및 분포 도체(134)에 접속된 드레인을 갖는다. 열 디코더(20)는 도체(51)에 접속된다. P-채널 트랜지스터(140)는 분포 도체(134)에 접속된 게이트, V_{DD} 전원 공급 단자에 접속된 소스 및 감지 증폭기(126) 내의 다른 회로에 접속된 드레인을 갖는다. 감지 증폭기(126)는 분포 도체(134)에 P-채널 트랜지스터(142)의 게이트에 접속시킴으로써 제공된 제2 입력을 갖는다. V_{DD} 전원 공급 단자에 트랜지스터(142)의 소스가 접속되고, 감지 증폭기(126) 내의 다른 회로에 트랜지스터(142)의 드레인이 접속된다. P-채널 트랜지스터(144)의 게이트가 분포 도체(134)에 접속된다. V_{DD} 전원 공급 단자에 트랜지스터(144)의 소스가 접속되며, 감지 증폭기(128) 내의 다른 회로에 트랜지스터(144)의 드레인이 접속된다. P-채널 트랜지스터(146)의 게이트가 분포 도체(134)에 접속된다. V_{DD} 전원 공급 단자에 트랜지스터(146)의 소스가 접속되고, 감지 증폭기(124) 내의 다른 회로에 그 드레인이 접속된다.

[0026] 동작시, P-채널 트랜지스터(138)가 도통될 레퍼런스 전압에 의해 바이어싱된다. 트랜지스터(138)는 열디코더(20) 및 도체(51)를 통해 어레이에서 선택된 비트로의 소스 전류에 대해 정전류원으로서 기능한다. 대안의 형태에서, 트랜지스터(138)의 게이트가 다이오드-접속될 수 있으므로, 그 게이트 및 드레인이 도체(134)에서 함께 접속된다. 그러한 형태에서, 트랜지스터들(140, 142, 144, 146)은 트랜지스터(138)로 전류 미러(current mirror)들로서 기능한다. 레퍼런스 또는 비트의 메모리 상태에 의해 발생된 전압 신호는 도체(134)를 통해 감지 동작을 수행하기 위해 감지 증폭기들(126, 128, 124) 내의 P-채널 트랜지스터들 각각으로 전송된다. 만약 부가적인 입력들이 감지 증폭기 구조에 대해 소망된다면, 하나 이상의 입력들이 트랜지스터(142)와 같은 부가적인 트랜지스터를 도체(134)의 입력에 접속시킴으로써 제공될 수 있다. 도시된 형태에서, 감지 증폭기(126)는 트랜지스터들(140, 142)에 의해 형성된 두 개의 입력들을 갖는다. 두 개의 입력들이 감지 증폭기에 제공되는 경우, 비트가 중간-레벨보다 더 높은지 더 낮은지를 판정하기 위해, 비트 입력의 상태와 중간-레벨 레퍼런스 입력의 상태의 비교가 수행된다. 그 결과는 비트가 로직 하이 값으로 고려되는지 또는 로직 로우 값으로 고려되는지를 판정한다. 세개의 입력들이 감지 증폭기에 제공되는 경우, 감지 증폭기는 하이 및 로우 레퍼런스 입력들로부터의 신호를 평균하고, 데이터 비트가 하이 상태인지 로우 상태인지를 판정하기 위해 그 평균 값을 데이터 비트 값에 비교한다. 4개의 입력들이 감지 증폭기에 제공되는 경우, 그 입력들 중 두개는 동일한 비트 데이터 값이 될 것이고 다른 두 개의 입력들은 하이 레퍼런스 및 로우 레퍼런스가 된다. 그 감지 증폭기는 데이터 비트가 하이 상태인지 로우 상태인지를 판정하기 위해, 하이 레퍼런스와 제1의 비트 데이터 값 간의 차와 로우 레퍼런스와 제2의 비트 데이터 값 간의 차를 비교한다. 또한, 상호접속 용량성 밸런싱 보상이 도 3에 관련하여 이전에 기재된 것과 같이 감지 증폭기에서 요구되면, 트랜지스터(142)와 같은 부가적인 트랜지스터들이 유사하게 제공될 수 있다.

[0027] 도 5로 돌아가서, 접속들의 대칭 성질에 기인하여, 모든 데이터 및 감지 증폭기에 대한 레퍼런스 라인들 및 입력들이 로딩 용량에 대해 밸런싱된다. 각각의 서브-어레이에 대해 하나씩 4개의 감지 증폭기들을 사용하는 것은 대칭을 유지하면서 멀티플렉싱 스위치 모듈의 필요성을 제거한다. 멀티플렉싱 스위치 모듈의 제거는 열 디

코드 스위치들을 통해 그 경로에서 연관된 전압 강하 및 부가적인 트랜지스터들의 도입 없이도 감지 증폭기에 비트 라인들을 직접적으로 접속한다. 도 7에 도시된 것은 부하(118)와 같은 도 5의 부하들 중 임의의 부하에 대한 구현으로서 사용될 수 있는 개략적인 대안의 실시예의 개략도이다. 부하는 하이 레퍼런스 출력, 로우 레퍼런스 출력 및 비트 출력을 제공하는데 사용된다. 설명의 편의성을 위해, 도 6에 도시된 부하 실시예의 소자들과 동일한 소자들은 동일하게 번호를 매겼으므로, 구조적인 접속들은 반복하지 않겠다. 부하(118)의 도 7의 구현은 P-채널 트랜지스터(147)가 전압(V)에 접속된 소스를 갖는다는 부하(118)의 도 6의 구현과는 다르다. 전압(V)은 공급 전압(V_{DD})이 될 수 있거나 또는 V_{DD} 보다 낮은 약간의 전압이 될 수 있다. 트랜지스터(147)의 게이트가 그의 드레인에 접속되고 노드(134)에 접속된다. 도 7의 부하(118)의 모든 다른 구조적 접속들은 도 6의 부하(118)에 대해서와 동일하다.

[0028] 동작시, 전압(V)이 트랜지스터(147)의 소스에 인가되어 도체(51) 양단에 전압을 유발한다. 트랜지스터(147)의 속성 및 측정될 비트는 도체(51) 양단의 전압을 규정한다. 입력 상의 보다 높은 저항(도 7에 도시되지는 않았으나 열 디코더(20)를 통해 결합되어 있음)이 도체(51) 양단에 보다 높은 전압을 가질 것이며, 보다 낮은 저항이 보다 낮은 전압을 초래할 것이다. 전압(V)은 도체(51) 상의 전압이 소정의 범위 내에 있게 제한하도록 조절된다.

[0029] 도 8에 도시된 것은 감지 증폭기(126)의 개략도이다. 감지 증폭기(126)는 제1 전원 공급 단자 또는 V_{DD} 공급 전압 단자에 접속된 제1 전류 전극 또는 소스, 감지될 비트 전압(V_B)을 수신하기 위한 제1 입력 단자에 접속된 제어 전극 또는 게이트, 및 전류(i_B)를 도통시키는 제2 전류 전극 또는 드레인을 갖는 P-채널 트랜지스터(140)를 갖는다. 트랜지스터(140)의 드레인은 제1 출력 단자(OUT)를 제공하는 노드(156)에서의 출력 단자에 접속된다. P-채널 트랜지스터(142)는 V_{DD} 공급 전압 단자에 접속된 소스, 감지될 비트 전압(V_B)을 수신하기 위한 입력 단자에 접속된 게이트, 및 전류(i_B)를 또한 도통시키는 드레인을 갖는다. 트랜지스터(142)의 드레인은 노드(169)에 접속된다. P-채널 트랜지스터(150)는 V_{DD} 공급 전압 단자에 접속된 소스, 하이 레퍼런스 전압(V_H)을 수신하기 위한 제2 입력 단자에 접속된 게이트, 및 N-채널 트랜지스터(154)의 드레인에 접속된 드레인을 갖는다. 트랜지스터(154)의 게이트가 그 드레인에 접속된다. 트랜지스터(154)의 소스는 제2 전원 공급 단자 또는 V_{SS} 공급 전압 단자에 접속된다. N-채널 트랜지스터(158)는 노드(156)에 접속된 드레인, 트랜지스터(154)의 드레인에 접속된 게이트 및 V_{SS} 공급 전압 단자에 접속된 소스를 갖는다. N-채널 트랜지스터(158)는 노드(156)에 접속된 드레인, 제2 출력 단자(OUT_B)를 제공하는 노드(164)에 접속된 게이트 및 V_{SS} 공급 전압 단자에 접속된 소스를 갖는다. N-채널 트랜지스터(170)가 그 게이트에 대해 노드(169)에 접속된 드레인을 갖고 V_{SS} 공급 전압 단자에 접속된 소스를 갖는다. N-채널 트랜지스터(166)가 노드(164)에서 제2 출력 단자에 접속된 드레인, 노드(169)에 접속된 게이트 및 V_{SS} 공급 전압 단자에 접속된 소스를 갖는다. N-채널 트랜지스터(168)는 노드(164)에서 제2 출력 단자에 접속된 드레인, 노드(156)에서 제1 출력 단자에 접속된 게이트 및 V_{SS} 공급 전압 단자에 접속된 소스를 갖는다. P-채널 트랜지스터(162)는 V_{DD} 공급 전압 단자에 접속된 소스, 로우 레퍼런스 전압(V_L)을 수신하기 위한 입력을 제공하기 위한 게이트 및 노드(164)에서 제2 출력 단자에 접속된 드레인을 갖는다. 트랜지스터(162)는 전류(i_L)를 도통시킨다. N-채널 동등화 트랜지스터(172)는 노드(156)에서 제1 출력 단자에 접속된 소스, 노드(164)에서 제2 출력 단자에 접속된 드레인 및 동등화 전압(V_{EQ})에 접속된 게이트를 갖는다.

[0030] 동작시, 먼저 신호(VEQ)가 OUT과 OUT_B 간의 전압 포텐셜을 동등하게 하기 위해 활성이 되고 감지 동작이 활성이 된 경우 디스에이블된다. 동등화 특성의 목적은 감지 속도를 개선하기 위한 것이다. 감지 동작 동안, 트랜지스터(150)의 게이트에 인가된 V_H 신호의 전압은 $[(V_H - V_{DD}) - V_t]^2$ 에 비례하는 트랜지스터(150)에 대한 중간 또는 포화 전류 레벨(i_H)을 생성하며, 여기서 V_t 는 P-채널 트랜지스터(150)의 트랜지스터 임계치 전압이다. 유사하게, P-채널 트랜지스터(162)의 게이트에 인가된 V_L 신호의 전압은 $[(V_L - V_{DD}) - V_t]^2$ 에 비례하는 P-채널 트랜지스터(162)에 대한 중간 또는 포화 전류 레벨(i_L)을 생성하며, 여기서 V_t 는 P-채널 트랜지스터(162)의 트랜지스터 임계치 전압이다. 유사하게, 트랜지스터들(140, 142)의 게이트들에 인가된 V_B 신호의 전압은 $[(V_B - V_{DD}) - V_t]^2$ 에 비례하는 두 트랜지스터들(140, 142)에 대한 또 다른 중간 또는 포화 전류 레벨(i_B)을 생성하며, 여기서 V_t 는 각 트랜지스터들(140, 142)의 트랜지스터 임계치 전압이다. 그러므로, 트랜지스터들(150, 154, 140, 15

8)은 제1 차(difference) 또는 감산(subtraction) 회로로서 기능한다. 트랜지스터들(150, 154, 158)은 차를 구현하기 위해 제1 전류 미러로서 기능한다. 트랜지스터들(162, 166, 142, 170)은 제2 차 또는 감산 회로로서 기능한다. 도시된 형태에서, 제2 차 회로는 제2 전류 미러로서 기능하는 트랜지스터들(142, 170, 166)로 구현된다. 전류(I_H)는 i_H 와 동등한 트랜지스터(158)에 대한 포화 전류 레벨을 생성하기 위해 트랜지스터(154)를 통해 미러링된다. 유사하게, 전류(I_B)는 i_B 와 동등한 트랜지스터(166)에 대한 포화 전류 레벨을 생성하기 위해 트랜지스터(170)를 통해 미러링된다. 전류(i_H)는 트랜지스터(158)를 통해 흐르지만, 그 전류, 즉 트랜지스터(158)의 드레인에서 이용할 수 있게 되는 전류는 i_B 와 동일하다. 나머지, 즉 두 전류들($i_B - i_H$) 간의 차는 트랜지스터(160)를 통해 흐른다. 유사하게, i_B 와 동일한 전류가 트랜지스터(166)를 통해 흐르지만 트랜지스터(166)의 드레인에서 이용할 수 있게 되는 전류는 i_L 과 동일하기 때문에, 나머지, 즉 두 전류들($i_L - i_B$) 간의 차는 트랜지스터(168)를 통해 흐른다. 노드(156)에서의 출력 전압(OUT)은 트랜지스터(160)의 드레인-소스 전압에 의해 결정되며, 또한 트랜지스터(160)를 통해 흐르는 전류($i_B - i_H$)에도 의존한다. 유사하게, 출력 전압 노드(164)(OUT_B)는 트랜지스터(168)의 드레인-소스 전압에 의해 결정되며, 또한 트랜지스터(168)를 통해 흐르는 전류($i_L - i_B$)에도 의존한다. 그러므로, 출력 전압들(OUT, OUT_B) 간의 차는 두 전류 차 간의 차 [$(i_B - i_H) - (i_L - i_B)$]의 함수이다. 이러한 방식으로, 트랜지스터들(160, 168, 172)은 제3의 차 또는 감산 회로로서 기능한다. 트랜지스터들(160, 168)의 게이트를 교차-결합하는 것은 출력 전압들(OUT, OUT_B) 간의 차를 더 개선한다. 비록 명백히 도시되지는 않았지만, 출력 전압들(OUT, OUT_B)은 감지되었던 비트(B)의 상태를 판정하기 위한 래치(latch) 단계의 입력에 제공될 수 있다. 래치 단계에서, 출력 전압들(OUT, OUT_B) 간의 차는 증폭되고 저장된다.

[0031]

일례로서, 메모리 셀의 비트(B)가 하이 레퍼런스 상태로 프로그램되었다면, 전류 차($I_B - I_H$)는 제로에 근접하게 된다. 전류 차($I_L - I_B$)는 하이 레퍼런스 비트와 로우 레퍼런스 비트 간의 완전 또는 최대 전류 차인 전류 값이 된다. 그러므로, 전류 차 [$(i_B - i_H) - (i_L - i_B)$]는 종래의 [$I_B - (I_H + I_L)/2$]인 평균 레퍼런스의 사용과 비교하여 2배의 감지용 신호를 제공한다. 그러므로, 출력 전압들(OUT, OUT_B) 간의 차는 훨씬 감지하기 쉽다. 결과적으로, 감지 증폭기(126)는 감지할 평균 레퍼런스 값을 사용하는 감지 증폭기들보다 빠르고 잡음 소스 에러에 더 면역성이 있다.

[0032]

유사하게, 감지된 메모리 셀의 비트(B)가 저저항 상태로 프로그램되었다면, 전류 차($I_L - I_B$)는 제로에 가깝게 된다. 전류 차($I_B - I_H$)는 고저항 비트와 저저항 비트 간의 완전 또는 최대 전류 차와 동일한 전류 값이 된다. 다시, 전류 차 [$(i_B - i_H) - (i_L - i_B)$]는 종래의 평균 레퍼런스의 사용과 비교하여 2배의 감지용 신호를 제공한다.

[0033]

지금까지 세개의 입력을 갖는 감지 증폭기가 제공되었으며, 상기 감지 증폭기는 비트 입력 전압, 하이 레퍼런스 전압 및 로우 레퍼런스 전압을 각각의 전류 값들로 변환하고 (1)비트 전류 및 하이 레퍼런스 전류와 (2)로우 레퍼런스 전류 및 비트 전류 간의 차를 취함으로써 비트 셀의 상태를 판정한다. 전류 스티어링 회로와 관련하여 사용된 전류 미러들은 비트 전류와 하이 레퍼런스 전류의 차를 형성하고 또한 로우 레퍼런스 전류와 비트 전류의 차를 형성한다. 부가적으로, 감지 증폭기는 트랜지스터들(160, 168)을 이용함으로써 두 전류 차 양(量) 간의 차를 반영하기 위해 차 출력을 구동하도록 기능한다.

[0034]

지금까지 감지 증폭기로 데이터(비트 라인 및 레퍼런스)를 전송하기 위한 밸런싱된 메모리 상호접속 구조가 제공되었다. 본 명세서에 제공된 메모리 상호접속 구조는 중간-레벨 레퍼런스를 형성할 때 대칭을 유지하도록 구성될 수 있다. 부가적으로, 본 명세서에 제공된 메모리 상호접속 구조는 데이터 라인의 대칭 로딩을 얻기 위해 비활성 서브-어레이를 이용한다. 소망된다면, 부가적인 스위칭 유닛이 단지 하나의 감지 증폭기의 사용을 허용하는데 이용될 수 있다. 부가적인 스위칭 유닛은 하나, 둘, 셋 또는 그 이상의 데이터 신호들을 감지 증폭기로 전달하도록 구성될 수 있다.

[0035]

본 발명을 구현하는 장치는 대부분이 본 기술분야의 숙련자들에게 공지되어 있는 전자 부품들 및 회로들로 이루어져 있기 때문에, 본 발명의 바탕이 되는 개념들을 이해, 인식하고, 본 발명의 교시로부터 벗어나거나 혼란을 주지 않기 위해, 회로 세부사항들은 앞서 설명된 바와 같은 필수 고려사항 이상의 범위로는 설명하지 않을 것이다.

[0036]

앞서 말한 설명에서, 본 발명은 특정 실시예들에 대해 기재되었다. 그러나, 본 기술분야의 통상의 숙련자라면 첨부 청구항에 설명된 본 발명의 범위로부터 벗어나지 않고도 여러가지 수정 및 변경이 이루어질 수 있음을 이

해할 것이다. 예를 들어, 본 명세서에 교시된 메모리 상호접속 구조가 사용된 감지 증폭기의 회로 구현은 변경될 수 있으며, 데이터 감지를 수행하기 위해 여러가지 방법으로 기능할 수 있다. 특정 도전성 타입의 MOSFET들이 설명되었지만, 그 상호접속 구조를 구현하기 위해 도전성 타입의 변경들 또는 트랜지스터 타입의 변경이 행해질 수도 있다. 멀티플렉싱 스위치 모듈(32)의 회로 구조는 용량성 로딩 밸런스를 여전히 유지하면서 다양한 방식으로 변경될 수 있다. 따라서, 명세서 및 도면들은 제한적 의미보다는 설명적인 것으로 간주되어야 하며, 그러한 모든 수정들 또한 본 발명의 범위 내에 포함되도록 의도된다.

[0037] 이익들, 다른 이점들 및 문제점들의 해결책들이 특정 실시예들에 관해 앞서 설명되었다. 그러나, 이익들, 이점들, 문제점들에 대한 해결책들 및 임의의 이익, 이점 또는 해결책이 생기거나 더 뚜렷해지도록 할 수 있는 임의의 소자(들)가, 임의의 청구항 또는 전체 청구항의 중요한, 요구되는 또는 필수적인 특징 또는 소자로서 파악되어서는 안된다. 본 명세서에 사용된 바와 같이, 용어들 "포함한다", "포함하는" 또는 이들의 임의의 다른 변동은 비-배타적인 포함까지 커버하도록 의도된 것이므로, 소자들의 리스트를 포함하는 처리, 방법, 아티클 또는 장치가 단지 그 소자들만을 포함하는 것이 아니라 그러한 처리, 방법, 아티클 또는 장치에 고유하거나 명백하게 리스트되지 않은 다른 소자들까지도 구비할 수 있다.

도면의 간단한 설명

[0005] 도 1은 메모리 어레이 아키텍처를 블록도 형태로 도시한 도면.

[0006] 도 2는 본 발명에 따른 밸런싱된 부하 메모리 감지 증폭기를 부분적인 개략도 형태로 도시한 도면.

[0007] 도 3은 본 발명에 따른 다른 형태의 밸런싱된 부하 메모리 감지 증폭기를 부분 개략적 형태로 도시한 도면.

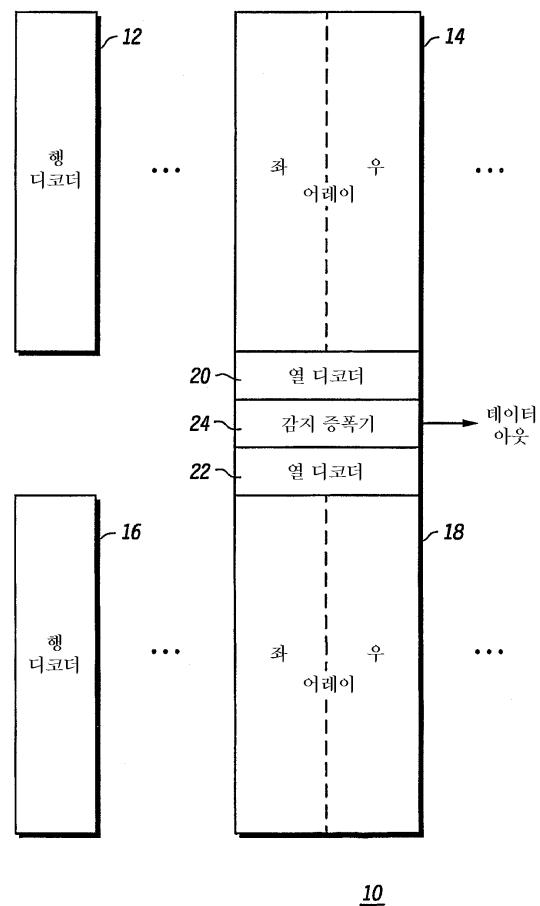
[0008] 도 4는 본 발명에 따른 또 다른 형태의 밸런싱된 부하 메모리 감지 증폭기를 부분 개략적 형태로 도시한 도면.

[0009] 도 5는 스위치 및 연관된 디코드 로직을 멀티플렉싱하는 대신 부하 디바이스를 갖는 본 발명에 따른 밸런싱된 상호접속 스킴을 이용하는 또 다른 메모리 상호접속 구조를 블록도 형태로 도시한 도면.

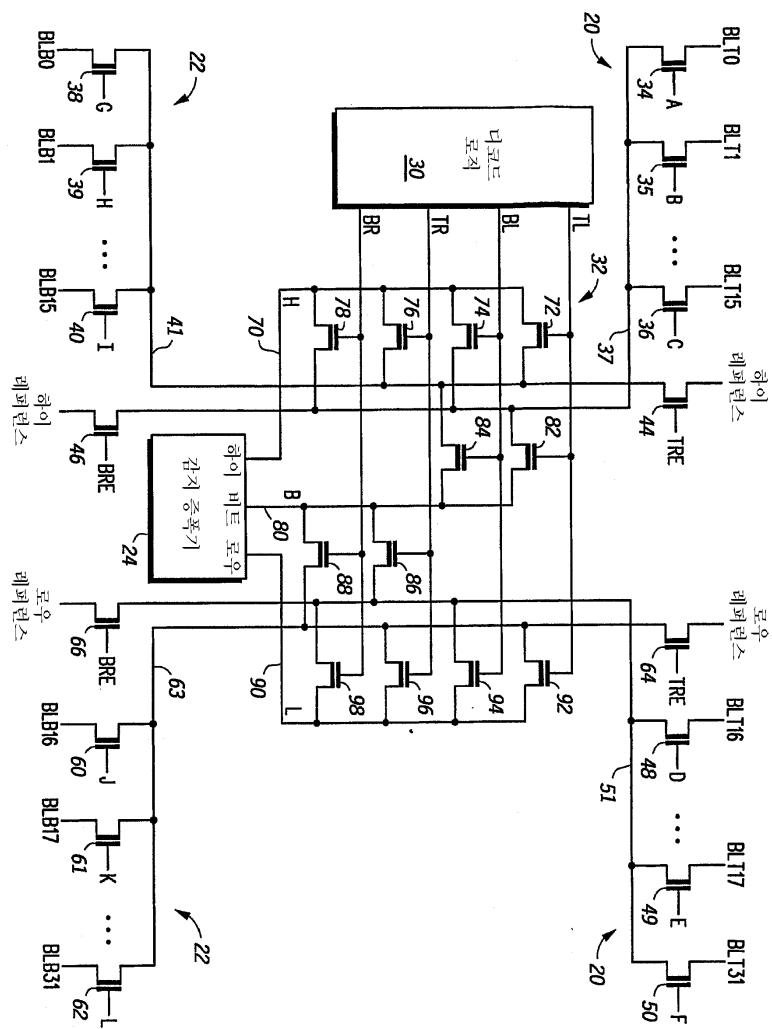
[0010] 도 6은 도 5의 부하들 중 하나의 예시적 구현을 개략적인 형태로 도시한 도면.

[0011] 도 7은 도 5의 부하들 중 하나의 공통 소스 구현의 또 다른 예시적 구현을 개략적인 형태로 도시한 도면.

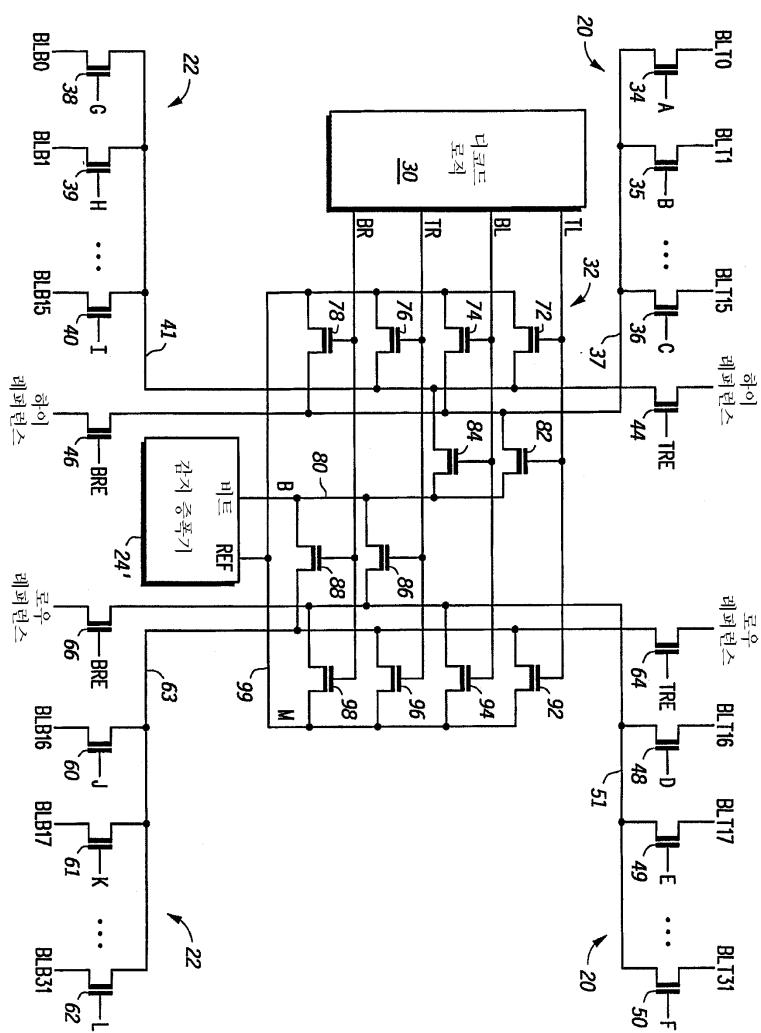
[0012] 도 8은 도 7의 부하 개략도에 의해 발생된 전압을 이용하기 위한 감지 증폭기를 개략적인 형태로 도시한 도면.

도면**도면1**

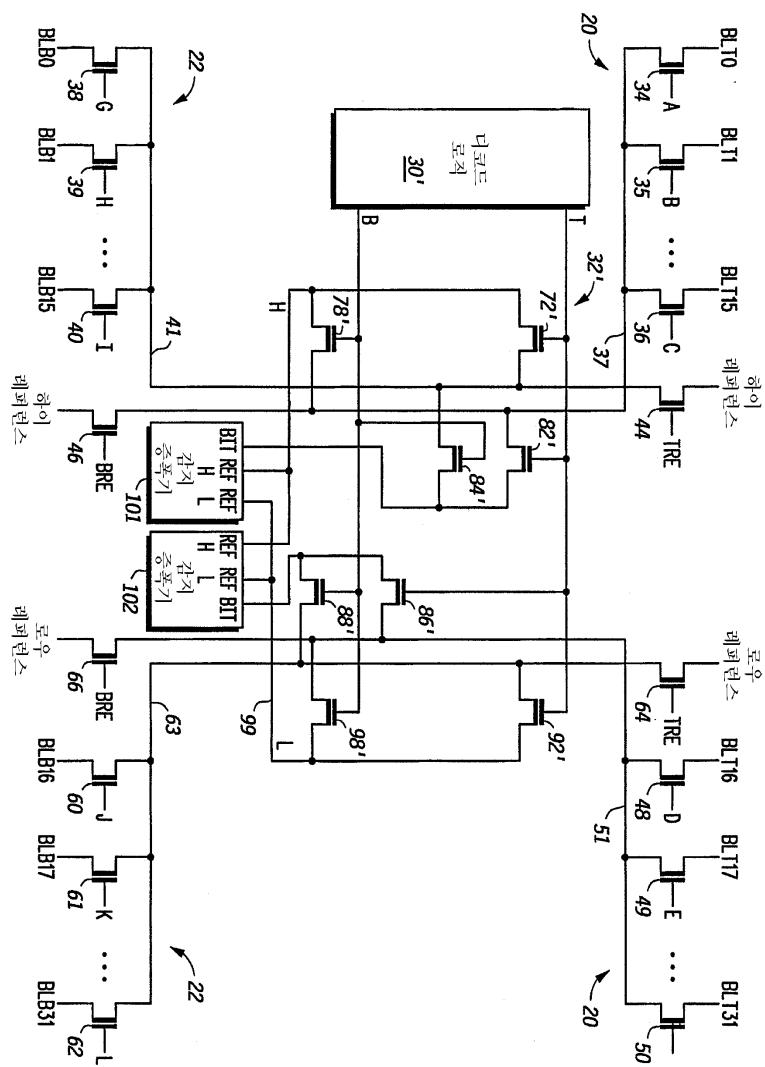
도면2



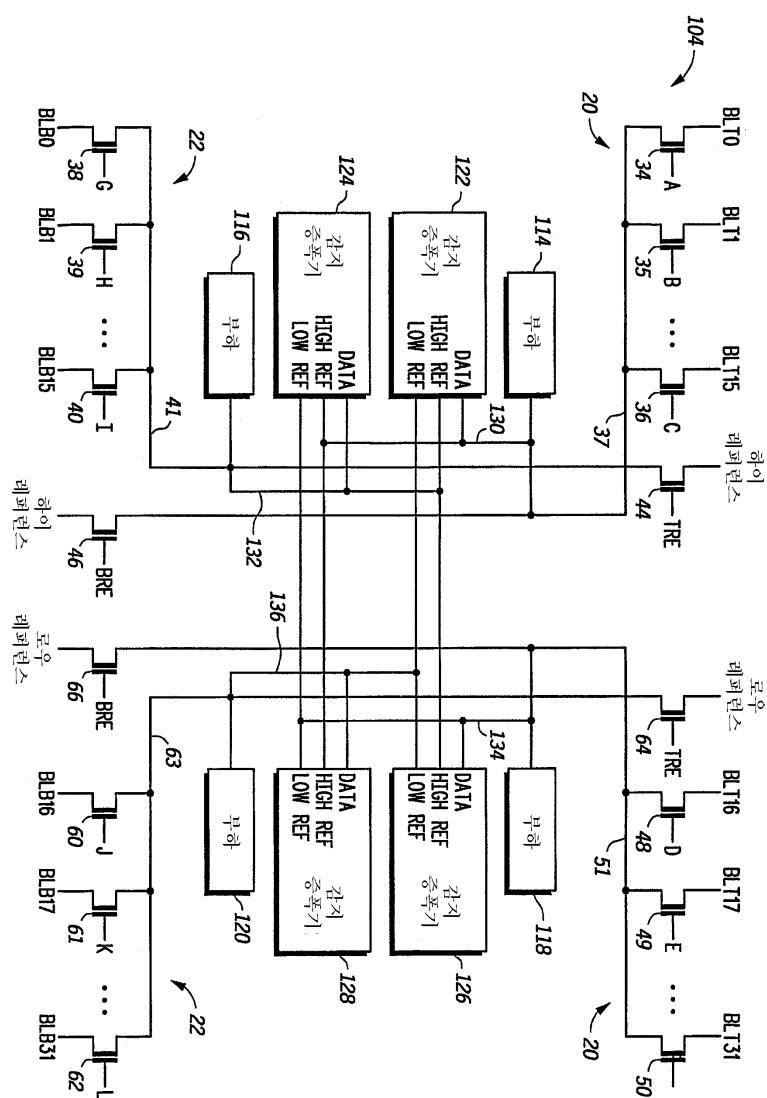
도면3



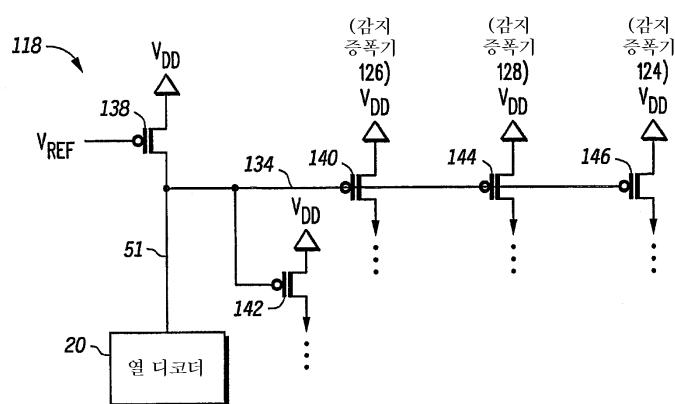
도면4



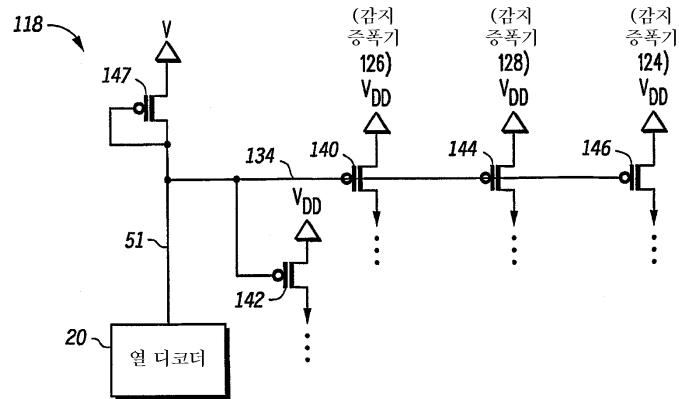
도면5



도면6



도면7



도면8

