

(19) 日本国特許庁(JP)

(12) 登録実用新案公報(U)

(11) 実用新案登録番号

実用新案登録第3144043号  
(U3144043)

(45) 発行日 平成20年8月14日(2008. 8. 14)

(24) 登録日 平成20年7月23日(2008. 7. 23)

(51) Int.Cl.

H03K 4/02 (2006.01)

F I

H03K 4/02

B

評価書の請求 未請求 請求項の数 4 O L (全 11 頁)

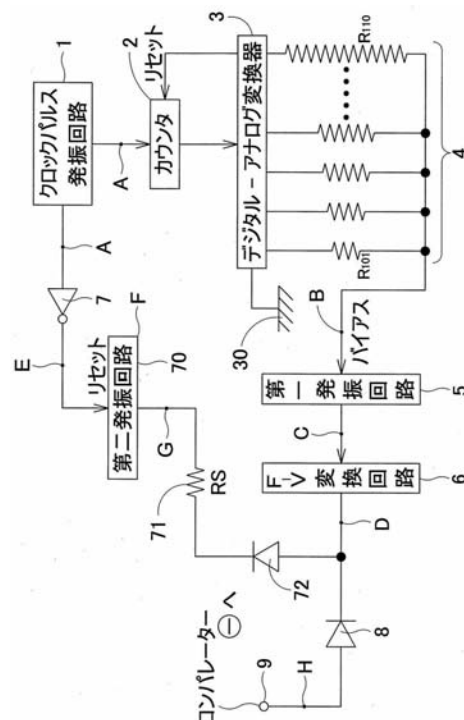
(21) 出願番号 実願2008-3686 (U2008-3686)  
(22) 出願日 平成20年6月3日(2008. 6. 3)(73) 実用新案権者 593196399  
佐藤 正志  
福島県会津若松市神指町上神指2 8 番地  
(74) 代理人 100072213  
弁理士 辻本 一義  
(74) 代理人 100119725  
弁理士 辻本 希世士  
(74) 代理人 100121577  
弁理士 窪田 雅也  
(72) 考案者 佐藤 正志  
福島県会津若松市神指町上神指2 8 番地(54) 【考案の名称】 検出基準電圧作成回路と、前記回路を接続した電気回路と、前記電気回路からなるオーディオF  
M変調アンプ

(57) 【要約】 (修正有)

【課題】 階段状にならず連続した、コンパレータに使用する検出基準電圧を得る回路を提供する。

【解決手段】 入力音声信号の電圧と検出基準電圧とを比較するコンパレータを有する電気回路であって、前記検出基準電圧は、デジタルアナログ変換器にクロックパルス発振回路から発振したパルス进行数するカウンタを接続し、前記クロックパルス発振回路からのパルスを計数するカウンタで、抵抗  $R_{n1} \sim R_{nm}$  を順次切替えて得た第一波を、バイアスと共に第一発振回路通した後、周波数・電圧変換回路で変換することで第二波とし、前記第二波に、第二発振回路からダイオードを通して得られた0から  $1/2\pi$  の正弦波電圧を連続して追加したものを第三波とし、前記第三波が検出基準電圧となることを特徴とする。

【選択図】 図1



## 【実用新案登録請求の範囲】

## 【請求項 1】

入力音声信号の電圧と検出基準電圧とを比較するコンパレーターを有する電気回路であって、前記検出基準電圧は、デジタルーアナログ変換器に抵抗  $R_{n1} \sim R_{nm}$ （但し  $n, m$  は整数）を並列に接続し、このデジタルーアナログ変換器にクロックパルス発振回路から発振したパルスを計数するカウンタを接続し、クロックパルス発振回路からのパルスを計数するカウンタで、抵抗  $R_{n1} \sim R_{nm}$  を順次切換えて得られた電圧を第一発振回路のバイアス電圧として使用し、第一発振回路から得られた電圧を FV 変換回路によって変換されたものであることを特徴とする検出基準電圧作成回路。

## 【請求項 2】

請求項 1 記載の検出基準電圧作成回路において FV 変換回路によって変換された後、クロックパルス発振回路から発振したパルスに同期させた第二発振回路からダイオードを通して得られた 0 から  $1/2\pi$  の正弦波電圧を、連続して追加することを特徴とする検出基準電圧作成回路。

## 【請求項 3】

アナログの入力音声信号の電圧を検出基準電圧と比較するコンパレーターを設け、この＋側に音声電圧入力する入力端子を接続し、一側に請求項 1 又は請求項 2 記載の検出基準電圧の出力を接続し、コンパレーターにより入力音声信号に応じた入力電圧と検出基準電圧とを比較して、検出基準電圧に対応する入力音声信号が入力された時にのみ、音声電圧を出力するようにしたことを特徴とする電気回路。

## 【請求項 4】

音声信号の入力端子とアンプとの間に、可聴周波数域を順次複数の波長域に対応するように分割した複数のブロックを並列に接続し、各ブロックは請求項 3 記載の電気回路でありコンパレーターに接続され、入力音声信号と基本波発振回路からの基本波とを FM 変調する FM 変調回路とから構成され、入力音声信号に応じた入力電圧と検出基準電圧とをコンパレーターで比較し、対応するレベルの入力音声信号の時にのみ、この入力音声信号と基本波発振回路からの基本波とを FM 変調してアンプに出力するようにしたことを特徴とするオーディオ FM 変調アンプ。

## 【考案の詳細な説明】

## 【技術分野】

## 【0001】

本考案は、コンパレーターに使用する検出基準電圧を作成する回路である。

## 【背景技術】

## 【0002】

出願人は、感性が豊かな高音質の音に再生ができるオーディオ FM 変調アンプを提供する為に、実用新案登録第 3135265 を考案した。（特許文献 1）

前述の考案は、

『（従来技術の請求項 1）

音声信号の入力端子とアンプとの間に、可聴周波数域を順次複数の波長域に対応するように分割した複数のブロックを並列に接続し、各ブロックは入力音声信号に応じた入力電圧と複数の波長域に対応するようにそれぞれ分割された検出基準電圧とを比較するコンパレーターと、このコンパレーターに接続され、入力音声信号と基本波発振回路からの基本波とを FM 変調する FM 変調回路とから構成され、入力音声信号に応じた入力電圧と検出基準電圧とをコンパレーターで比較し、対応するレベルの入力音声信号の時にのみ、この入力音声信号と基本波発振回路からの基本波とを FM 変調してアンプに出力するようにしたことを特徴とするオーディオ FM 変調アンプ。

（従来技術の請求項 2）

各ブロックは、アナログの入力音声信号の電圧を検出基準電圧と比較するコンパレーターを設け、この＋側に音声電圧入力する入力端子を接続し、一側に抵抗  $R_{n0}$  を接続し、更にこの抵抗  $R_{n0}$  とデジタルーアナログ変換器との間に、抵抗  $R_{n1} \sim R_{nm}$ （但し  $n,$

10

20

30

40

50

mは整数)を並列に接続し、このデジタル・アナログ変換器にクロックパルス発振回路から発振したパルスを計数するカウンタを接続し、更に前記入力端子と第1の電子リレーを接続すると共に、この第1の電子リレーと前記コンパレーターの出力側との間にインバーターを接続し、このインバーターに接続した第2の電子リレーを介してFM変調回路に基本波発振回路を接続して構成され、前記クロックパルス発振回路からのパルスを計数するカウンタで、抵抗 $R_{n1} \sim R_{nm}$ を順次切換えて検出基準電圧を変え、コンパレーターにより入力音声信号に応じた入力電圧と検出基準電圧とを比較して、検出基準電圧に対応する入力音声信号が入力された時にのみ、第1の電子リレーと第2の電子リレーをオンして、入力音声信号と基本波発振回路からの基本波とをFM変調回路でFM変調してアンプに出力するようにしたことを特徴とする請求項1記載のオーディオFM変調アンプ。』  
というものであり、請求項1記載の考案によって、感性が豊かな高音質の音に再生ができるオーディオFM変調アンプであった。図3に前記FM変調アンプを示す。

10

**【0003】**

しかしながら、図3の点線枠内の回路では、コンパレーターに使用する検出基準電圧が、デジタルの階段状であると共に電圧の出力もクロックパルスの周波数分だけ飛び飛びになるという欠点があった。図2Bにその波を示す。

**【0004】**

このような問題点によって、従来技術の請求項1記載の考案は、性能を充分に発揮することができなかった。

**【0005】**

20

そして、コンパレーターに検出基準電圧を使用するその他の機器も同様の問題があった。

**【特許文献1】実用新案登録第3135265****【考案の開示】****【考案が解決しようとする課題】****【0006】**

したがって、階段状にならず連続した、コンパレーターに使用する検出基準電圧を得る回路を提供することを課題とする。

**【課題を解決するための手段】****【0007】**

30

(請求項1記載の考案)

請求項1記載の検出基準電圧作成回路は、入力音声信号の電圧と検出基準電圧とを比較するコンパレーターを有する電気回路であって、前記検出基準電圧は、デジタル・アナログ変換器に抵抗 $R_{n1} \sim R_{nm}$ (但し $n, m$ は整数)を並列に接続し、このデジタル・アナログ変換器にクロックパルス発振回路から発振したパルスで、抵抗 $R_{n1} \sim R_{nm}$ を順次切換えて得られた電圧を第一発振回路のバイアス電圧として使用し、第一発振回路から得られた電圧をFV変換回路によって変換されたものであることを特徴とする。

**【0008】**

従来例で使用していた検出基準電圧を、バイアスとして利用し、FV変換回路によって変換することによって、飛び飛びではなく、連続した検出基準電圧を得ることができる。

40

**【0009】**

すなわち、電圧が連続していなかった飛び飛びの出力(図2のB)を、連続した出力(図2のD)とすることができる。

**【0010】**

この検出基準電圧作成回路は、コンパレーターと検出基準電圧を使用する機器であれば何でも使用できる。

(請求項2記載の考案)

請求項2記載の検出基準電圧作成回路は、請求項1記載の検出基準電圧作成回路においてFV変換回路によって変換された後、クロックパルス発振回路から発振したパルスに同

50

期させた第二発振回路からダイオードを通して得られた 0 から  $1/2\pi$  の正弦波電圧を、連続して追加することを特徴とする。

【0011】

請求項 1 記載の連続した検出基準電圧に、第二発振回路からダイオードを通して得られた 0 から  $1/2\pi$  の正弦波電圧を連続して追加することによって、図 2 示すように階段状を無くし、連続した検出基準電圧を得ることができる。

【0012】

すなわち、電圧が階段状となっている出力（図 2 の D）を、コンパレータがアナログ波形として認識し易い疑似アナログ波形（図 2 の H）とすることができる。

【0013】

この検出基準電圧作成回路も、コンパレータと検出基準電圧を使用する機器であれば何でも使用できる。

（請求項 3 記載の考案）

請求項 3 記載の電気回路は、アナログの入力音声信号の電圧を検出基準電圧と比較するコンパレータを設け、この + 側に音声電圧入力する入力端子を接続し、一側に請求項 1 又は請求項 2 記載の検出基準電圧の出力を接続し、コンパレータにより入力音声信号に応じた入力電圧と検出基準電圧とを比較して、検出基準電圧に対応する入力音声信号が入力された時にのみ、音声電圧を出力するようにしたことを特徴とする。

【0014】

請求項 1 又は 2 に記載の考案を、従来技術の請求項 1 及び 2 記載の考案の各ブロック（例えば、図 4 の B<sub>1</sub>）に組み込んだ電気回路とすることができる。

（請求項 4 記載の考案）

請求項 4 記載のオーディオ FM 変調アンプは、音声信号の入力端子とアンプとの間に、可聴周波数域を順次複数の波長域に対応するように分割した複数のブロックを並列に接続し、各ブロックは請求項 3 記載の電気回路でありコンパレータに接続され、入力音声信号と基本波発振回路からの基本波とを FM 変調する FM 変調回路とから構成され、入力音声信号に応じた入力電圧と検出基準電圧とをコンパレータで比較し、対応するレベルの入力音声信号の時にのみ、この入力音声信号と基本波発振回路からの基本波とを FM 変調してアンプに出力するようにしたことを特徴とする。

【0015】

請求項 1 乃至 3 のいずれかに記載の考案を、従来技術（実用新案登録第 3135265）の請求項 1 及び 2 記載の考案に組み込むと、性能を充分に発揮することができ、より臨場感のある音を再生できるオーディオ FM 変調アンプとなる。

【考案の効果】

【0016】

この検出基準電圧作成回路は、飛び飛びにならず連続した検出基準電圧を得ることができる。

【考案を実施するための最良の形態】

【0017】

以下に、この考案の検出基準電圧作成回路と前記回路を接続した電気回路の実施形態を、実施例として示す各図と共に説明する。

【実施例 1】

【0018】

図 1 は、本願考案の検出基準電圧作成回路の全体回路図である、図 2 は回路の各段階によって作成される各波を表す図である、図 3 は従来例の実用新案登録第 3135265 号の図 2 である、図 4 は従来例の実用新案登録第 3135265 号の図 1 である。

【0019】

（1. 検出基準電圧作成回路の各部品について）

この検出基準電圧作成回路は、図 1 に示すように、クロックパルス発振回路 1、カウンタ 2、デジタルーアナログ変換器 3、アース 30、抵抗群 4、第一発振回路 5、周波数一

10

20

30

40

50

電圧変換回路（F－V変換回路）6、NANDゲート7、第二発振回路70、抵抗R<sub>s</sub>71、ダイオード72、ダイオード8、出力端子9の各部品からなるものである。

【0020】

（2．検出基準電圧作成回路の各部品の作用について）

前述の各部品は、図1に記載された態様で組み立てられ、各部品のAからHのポイントにおいて、図2に示す波となる。

【0021】

（2－A．ポイントA）

クロックパルス波は、クロックパルス発振回路1から発生する波であり、図2のAに記載されている波である。この波は、等間隔・等電圧で出力され図1のポイントAを通過するものである。

10

【0022】

発生したクロックパルス波は、二つの出力を有し、図2に示すA→B→C→Dと変換されていくと共に、図2に示すA→E→F→Gと変換され、DとGが最終的に合成されることを以下に述べる。また、一つ目の出力と二つ目の出力から出るクロックパルス波は同じものである。

【0023】

（2－B．ポイントB）

一つ目の出力から得られたクロックパルス波をカウンタ2の抵抗群4を用いて飛び飛びの階段状の出力を得る。前記出力は、例えば抵抗群4が4本の場合であると、ポイントBにおいては、図2のBに示す出力である。

20

【0024】

飛び飛びの階段状の出力を得る方法は、クロックパルス発振回路1からのパルス数（即ち図2Aのパルス数）に基づき、抵抗群4の抵抗R<sub>101</sub>～R<sub>110</sub>を、カウンタ2とデジタル－アナログ変換器3を用いて順次切換えて、図2のBに示すような間隔の空いた断続的な（電圧0の箇所を有する）階段状の波形を得る。

【0025】

またデジタル－アナログ変換器3からカウンタ2へ戻るリセット回路を設けることによって、カウンタ2で「1」～「10」まで計測する（すなわち、図2Bの最終段を作成する）と、リセットされて再び「1」～「10」まで繰り返し計測して抵抗R<sub>101</sub>～R<sub>110</sub>を順次切換えるようになっており、次々と飛び飛びの階段状の出力を作成する。

30

【0026】

図2Bにおいては、階段の電圧を4段としたが、実際には10段である。

【0027】

音質が向上する為、段数は多いほど好ましい。すなわち、抵抗群4の本数は多いほうが良く、抵抗R<sub>101</sub>～R<sub>110</sub>は抵抗R<sub>n1</sub>～R<sub>nm</sub>（但しn，mは整数）とすることができる。

【0028】

（2－C．ポイントC）

飛び飛びの階段状の出力（図2のB）をバイアス電圧として第一発振回路5に接続することによって、第一発振回路5からの出力は階段状の電位変化が周波数の変化となった高周波（図2のC）となる。

40

【0029】

（2－D．ポイントD）

得られた高周波（図2のC）の周波数変化をF－V変換回路6を用いて、連続した階段状の出力（図2のD）を得る。すなわち、断続した出力（図2のB）はバイアスとして用いられ、得られた高周波をF－V変換したことによって、クロックパルス休止時の断続（すなわち電圧0）が存在せず、電圧が階段状の連続した出力（図2のD）を得ることができる。

【0030】

50

そして前述の連続した出力は、コンパレータを連続的に作用させることができる。

【0031】

(2-E. ポイントE)

クロックパルス発振回路1からの二つ目の出力(図2のA)を、NANDゲートを通して反転されたクロックパルス(図2のE)を得る。

【0032】

(2-F. ポイントF)

第二発振回路70からの出力は、前述の反転されたクロックパルス(図2のE)の電圧が入った時にリセットされ、 $1/2\pi$ から $2\pi$ までの出力が消滅する。(図2-F)

(2-G. ポイントG)

すなわち、反転されたクロックパルス(図2のE)がOFFの時(図2のAがONの時)に第二発振回路70は、0から $1/2\pi$ の正弦波電圧のみを断続して繰り返し出力(図2のG)する。

【0033】

前述の第二発振回路から発生した正弦波電圧は、抵抗Rsを通して、振幅強さが調整され、ダイオード72を通して、整流されて出力される。図2のGには振幅が適正化されたものを記載した。

【0034】

(2-H. ポイントH)

前述の電圧が階段状の連続した出力(図2のD)と、0から $1/2\pi$ の断続した正弦波電圧(図2のG)と、が合成され、ダイオード8によって整流され、コンパレータをより最適に動作させる出力(図2のH)が出力端子9から出力され、コンパレータの一端子に接続される。

【0035】

(3. この考案の効果について)

上述の考案は以下に示すような効果を有するものである。

【0036】

(3-1. 図2のB記載の出力の問題点)

従来の検出基準電圧作成回路(図3の破線内)は、図2のB記載の出力を作成する回路であり、前記出力を用いてコンパレータを作動させていた。しかしながら図2のB記載の出力はアナログ信号のような連続したものではなく、FM変調をする信号を制御する場合、点でしか制御できなかった。

【0037】

このことから、周波数が多岐に渡らず、実用的でなかった。

【0038】

(3-2. 図2のD記載の出力について)

図2のB記載の出力を第一発振回路のバイアス電圧として使用し、第一発振回路から得られた電圧をFV変換回路によって変換したことにより、出力は連続したもの(図2のD記載の出力)とすることができる。

【0039】

これによって、多岐に渡る、FM変調をする信号の制御ができるものとなる。

【0040】

(3-3. 図2のH記載の出力について)

図2のD記載の出力の電圧は階段状となっている。電圧が有する段差を第二発振回路70から得られた正弦波電圧(図2のG)を加えて、連続した擬似アナログの検出基準電圧(図2のH)とすることができる。

【実施例2】

【0041】

実施例1記載の検出基準電圧作成回路を、実用新案登録第3135265の回路内に組み込むことができる。

10

20

30

40

50

## 【0042】

すなわち、図3の破線枠内の回路を取除き、図1の回路を組み込むことができる。出力端子9は、コンパレーターの一端子に接続する。すると、コンパレーターに最適な検出基準電圧が出力されている電気回路となる。

## 【実施例3】

## 【0043】

実施例2記載の電気回路をブロックB<sub>n</sub>とし、図4に示すように、各周波数を処理するブロックB<sub>1</sub>～ブロックB<sub>10</sub>とすることができる。

## 【0044】

このようにすると、実用新案登録第3135265号記載の発明は、よりクリアで臨場感のある音を出力可能な、FM変調回路となる。 10

## 【図面の簡単な説明】

## 【0045】

【図1】本願考案の検出基準電圧作成回路の全体回路図である。

【図2】回路の各段階によって作成される各波を表す図である。

【図3】従来例の実用新案登録第3135265号の図2である。

【図4】従来例の実用新案登録第3135265号の図1である。

## 【符号の説明】

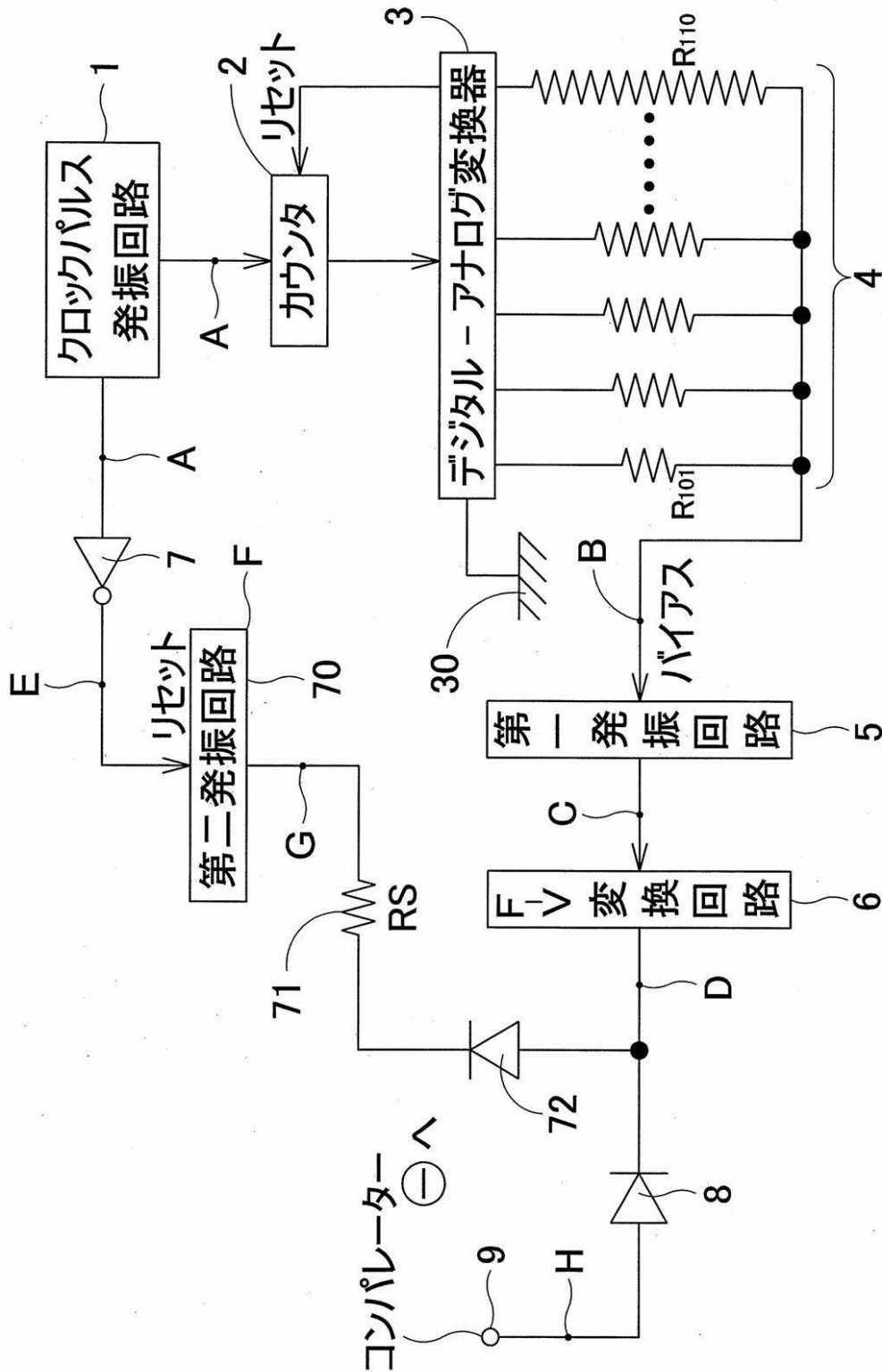
## 【0046】

- 1 クロックパルス発振回路
- 2 カウンタ
- 3 デジタル－アナログ変換器
- 30 アース
- 4 抵抗群
- 5 第一発振回路
- 6 F－V変換回路（周波数－電圧変換回路）
- 7 NANDゲート
- 70 第二発振回路
- 71 抵抗R<sub>s</sub>
- 72 ダイオード
- 8 ダイオード
- 9 出力端子

20

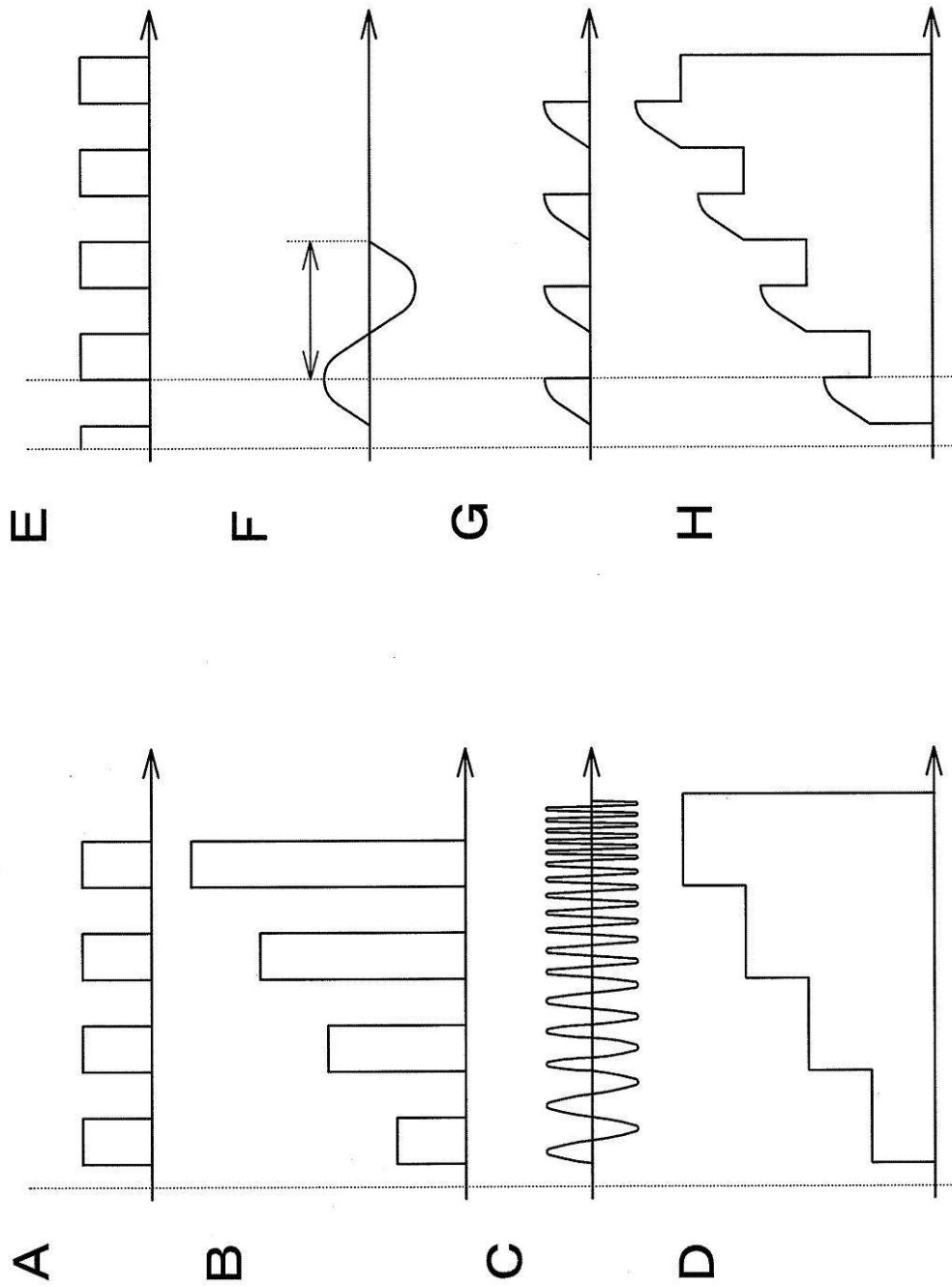
30

【図 1】

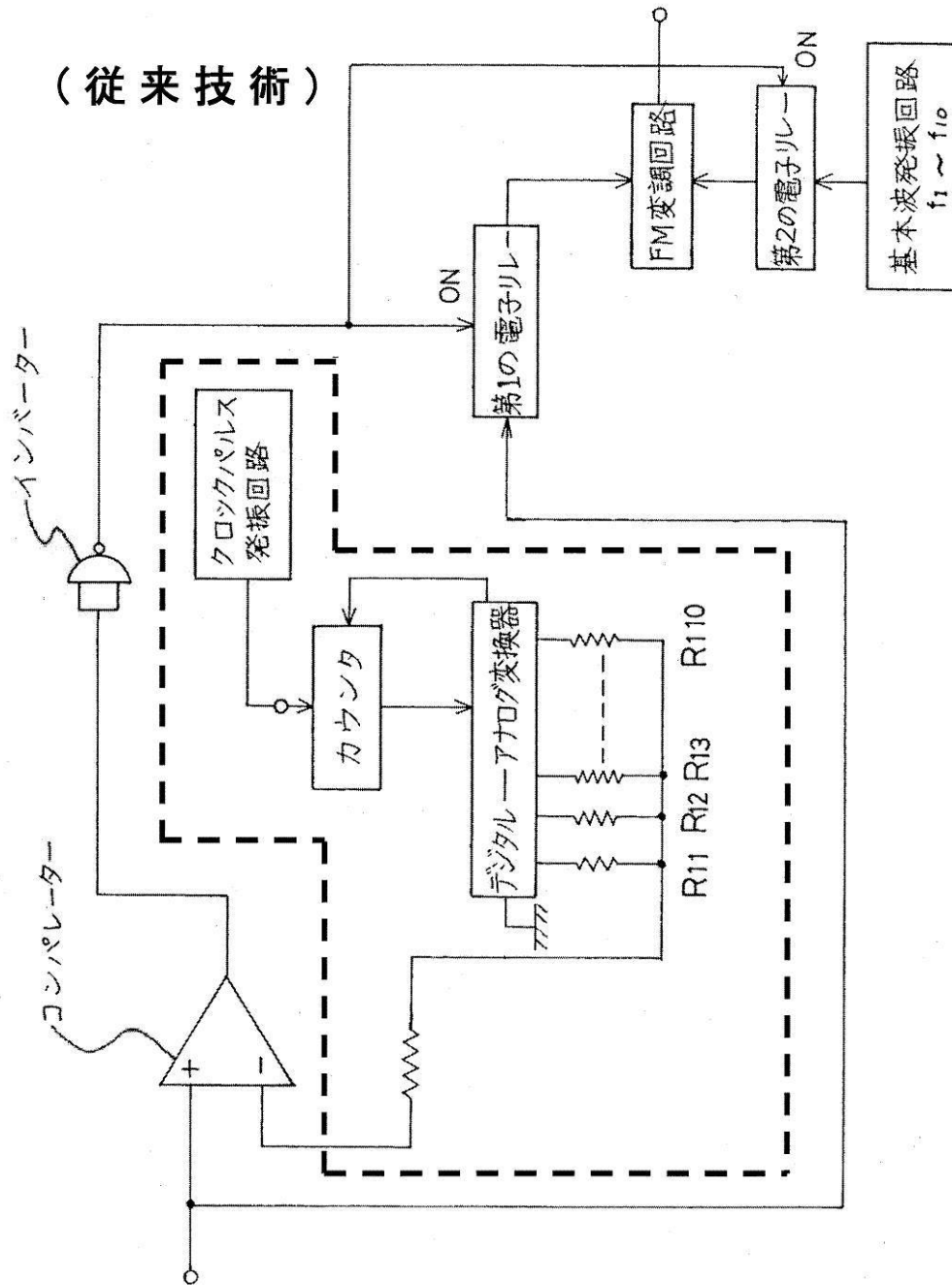




【図 2】



【図 3】



【図 4】

(従来技術)

