



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0000424
(43) 공개일자 2014년01월03일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
(21) 출원번호 10-2012-0067302
(22) 출원일자 2012년06월22일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이상문
경기도 용인시 수지구 신봉2로 72 216-1604 (신봉동, 신봉마을엘지자이2차아파트)
조영진
경기도 용인시 기흥구 예현로35번길 21 102-303 (서천동, 예현마을현대홈타운아파트)
(74) 대리인
리앤목특허법인

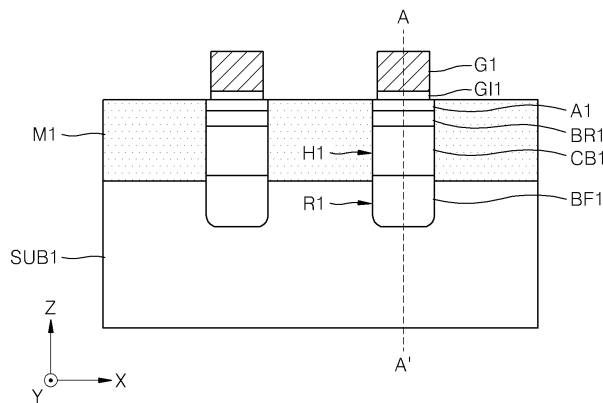
전체 청구항 수 : 총 38 항

(54) 발명의 명칭 반도체소자 및 그 제조방법

(57) 요약

반도체소자 및 그 제조방법에 관해 개시되어 있다. 개시된 반도체소자는 기판과 액티브층 사이에 전류차단층을 포함할 수 있다. 상기 액티브층은 III-V족 물질을 포함할 수 있다. 상기 기판은, 예컨대, 실리콘 기판일 수 있다. 상기 기판과 액티브층 사이에 버퍼층이 더 구비될 수 있다. 상기 버퍼층은 n형 물질층을 포함할 수 있다. 상기 전류차단층은 p형 물질층을 포함할 수 있다. 상기 전류차단층은 III-V족 물질을 포함할 수 있다. 상기 기판 상에 개구부를 갖는 마스크층이 구비될 수 있고, 상기 개구부에 의해 노출된 상기 기판 상에 상기 전류차단층 및 액티브층이 구비될 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

기관;

상기 기관의 일부 상에 구비된 다층 구조체; 및

상기 다층 구조체 상에 구비된 적어도 하나의 전극;을 구비하고,

상기 다층 구조체는 III-V족 물질을 포함하는 액티브층; 및 상기 기관과 상기 액티브층 사이에 구비된 전류차단층;을 포함하는 반도체소자.

청구항 2

제 1 항에 있어서,

상기 기관은 실리콘 기관인 반도체소자.

청구항 3

제 1 항에 있어서,

상기 다층 구조체는 상기 기관과 상기 전류차단층 사이에 구비된 버퍼층을 더 포함하는 반도체소자.

청구항 4

제 3 항에 있어서,

상기 버퍼층은 III-V족 물질을 포함하는 반도체소자.

청구항 5

제 3 항 또는 제 4 항에 있어서,

상기 버퍼층은 n형 물질층인 반도체소자.

청구항 6

제 1 항에 있어서,

상기 다층 구조체는 상기 전류차단층과 상기 액티브층 사이에 구비된 베리어층을 더 포함하고,

상기 베리어층의 에너지 밴드갭(energy band gap)은 상기 액티브층의 에너지 밴드갭보다 큰 반도체소자.

청구항 7

제 1 항에 있어서,

상기 액티브층은 양자우물 구조(quantum well structure)를 갖는 반도체소자.

청구항 8

제 1 항에 있어서,

상기 액티브층은 상기 III-V족 물질로 InGaAs, InP, InSb 및 InAs 중 적어도 하나를 포함하는 반도체소자.

청구항 9

제 1 항에 있어서,

상기 전류차단층은 III-V족 물질을 포함하는 반도체소자.

청구항 10

제 9 항에 있어서,

상기 전류차단층의 상기 III-V족 물질은 In, Ga 및 Al로 구성된 그룹 중 적어도 하나와 As, P 및 Sb로 구성된 그룹 중 적어도 하나를 포함하는 2원계, 3원계 또는 4원계 물질인 반도체소자.

청구항 11

제 1 항에 있어서,

상기 전류차단층의 적어도 일부는 p형 불순물로 도핑된 반도체소자.

청구항 12

제 1 항에 있어서,

상기 전류차단층은 p형 물질층을 포함하는 단층 또는 다층 구조를 갖는 반도체소자.

청구항 13

제 12 항에 있어서,

상기 전류차단층이 상기 다층 구조를 갖는 경우,

상기 전류차단층은 p형의 제1층 상에 n형의 제2층과 p형의 제3층이 교대로 1회 이상 적층된 구조를 갖는 반도체소자.

청구항 14

제 1 항에 있어서,

상기 기판 상에 상기 기판의 일부를 노출시키는 개구부를 갖는 마스크층이 구비되고,

상기 다층 구조체는 상기 개구부에 의해 노출된 상기 기판 상에 구비된 반도체소자.

청구항 15

제 14 항에 있어서,

상기 개구부에 의해 노출된 상기 기판에 리세스 영역이 구비되고,

상기 다층 구조체는 상기 리세스 영역 상에 구비된 반도체소자.

청구항 16

제 1 항에 있어서,

상기 반도체소자는 트랜지스터이고,

상기 액티브층은 채널층인 반도체소자.

청구항 17

제 16 항에 있어서, 상기 적어도 하나의 전극은,

상기 액티브층의 제1 영역 상에 구비된 소오스전극;

상기 액티브층의 제2 영역 상에 구비된 드레인전극; 및

상기 소오스전극과 상기 드레인전극 사이의 상기 액티브층 상에 구비된 게이트전극;을 포함하는 반도체소자.

청구항 18

실리콘 기판;

상기 실리콘 기판 상에 구비되고, 상기 실리콘 기판의 일부를 노출시키는 개구부를 갖는 마스크층;

상기 개구부에 의해 노출된 상기 실리콘 기판 상에 순차로 구비된 버퍼층, 전류차단층 및 채널층을 포함하는 다

층 구조체;

상기 채널층의 제1 영역에 전기적으로 연결된 소오스전극;

상기 채널층의 제2 영역에 전기적으로 연결된 드레인전극; 및

상기 채널층의 제3 영역과 전기적으로 절연된 게이트전극;을 포함하는 트랜지스터.

청구항 19

제 18 항에 있어서,

상기 게구부에 의해 노출된 상기 실리콘 기판에 리세스 영역이 구비되고,

상기 리세스 영역 상에 상기 버퍼층, 상기 전류차단층 및 상기 채널층이 순차로 구비된 트랜지스터.

청구항 20

제 18 항에 있어서,

상기 버퍼층, 상기 전류차단층 및 상기 채널층 중 적어도 하나는 III-V족 물질을 포함하는 트랜지스터.

청구항 21

제 18 항에 있어서,

상기 버퍼층은 n형 물질층인 트랜지스터.

청구항 22

제 18 항에 있어서,

상기 전류차단층은 p형 물질층을 포함하는 단층 또는 다층 구조를 갖는 트랜지스터.

청구항 23

제 18 항에 있어서,

상기 전류차단층은 In, Ga 및 Al로 구성된 그룹 중 적어도 하나와 As, P 및 Sb로 구성된 그룹 중 적어도 하나를 포함하는 2원계, 3원계 또는 4원계의 III-V족 물질을 포함하는 트랜지스터.

청구항 24

제 18 항에 있어서,

상기 전류차단층과 상기 채널층 사이에 구비된 베리어층을 더 포함하고,

상기 베리어층의 에너지 밴드갭(energy band gap)은 상기 채널층의 에너지 밴드갭보다 큰 트랜지스터.

청구항 25

제 24 항에 있어서,

상기 버퍼층은 n-InP층을 포함하고,

상기 전류차단층은 p-InP층을 포함하고,

상기 베리어층은 InAlAs층을 포함하며,

상기 채널층은 InGaAs층을 포함하는 트랜지스터.

청구항 26

기판의 일부 영역 상에 다층 구조체를 형성하는 단계; 및

상기 다층 구조체 상에 적어도 하나의 전극을 형성하는 단계;를 포함하고,

상기 다층 구조체를 형성하는 단계는,
 상기 기판의 일부 영역 상에 전류차단층을 형성하는 단계; 및
 상기 전류차단층 상에 III-V족 물질을 포함하는 액티브층을 형성하는 단계;를 포함하는 반도체소자의 제조방법.

청구항 27

제 26 항에 있어서,
 상기 기판은 실리콘 기판인 반도체소자의 제조방법.

청구항 28

제 26 항에 있어서,
 상기 다층 구조체는 SAG(selective area growth) 방법으로 형성하는 반도체소자의 제조방법.

청구항 29

제 26 항에 있어서,
 상기 다층 구조체를 형성하는 단계 전, 상기 기판 상에 상기 기판의 일부를 노출시키는 개구부를 갖는 마스크층을 형성하는 단계를 더 포함하고,
 상기 개구부에 의해 노출된 상기 기판 상에 상기 다층 구조체를 형성하는 반도체소자의 제조방법.

청구항 30

제 29 항에 있어서,
 상기 마스크층을 형성하는 단계 후, 상기 개구부에 의해 노출된 상기 기판의 일부를 식각하여 리세스 영역을 형성하는 단계를 더 포함하고,
 상기 다층 구조체는 상기 리세스 영역 상에 형성하는 반도체소자의 제조방법.

청구항 31

제 26 항에 있어서, 상기 다층 구조체를 형성하는 단계는,
 상기 기판과 상기 전류차단층 사이에 버퍼층을 형성하는 단계를 더 포함하는 반도체소자의 제조방법.

청구항 32

제 31 항에 있어서,
 상기 버퍼층은 n형 불순물로 도핑된 III-V족 물질을 포함하는 반도체소자의 제조방법.

청구항 33

제 26 항에 있어서, 상기 다층 구조체를 형성하는 단계는,
 상기 전류차단층과 상기 액티브층 사이에 베리어층을 형성하는 단계를 더 포함하고, 상기 베리어층은 상기 액티브층보다 큰 에너지 밴드갭을 갖는 반도체소자의 제조방법.

청구항 34

제 26 항에 있어서,
 상기 액티브층은 상기 III-V족 물질로 InGaAs, InP, InSb 및 InAs 중 적어도 하나를 포함하는 반도체소자의 제조방법.

청구항 35

제 26 항에 있어서,

상기 전류차단층은 III-V족 물질을 포함하는 반도체소자의 제조방법.

청구항 36

제 35 항에 있어서,

상기 전류차단층의 상기 III-V족 물질은 In, Ga 및 Al로 구성된 그룹 중 적어도 하나와 As, P 및 Sb로 구성된 그룹 중 적어도 하나를 포함하는 2원계, 3원계 또는 4원계 물질인 반도체소자의 제조방법.

청구항 37

제 26 항에 있어서,

상기 전류차단층은 p형 물질층을 포함하는 단층 또는 다층 구조를 갖는 반도체소자의 제조방법.

청구항 38

제 26 항에 있어서, 상기 적어도 하나의 전극을 형성하는 단계는,

상기 액티브층의 제1 영역 상에 소오스전극을 형성하는 단계;

상기 액티브층의 제2 영역 상에 드레인전극을 형성하는 단계; 및

상기 소오스전극과 상기 드레인전극 사이의 상기 액티브층 상에 게이트전극을 형성하는 단계;를 포함하는 반도체소자의 제조방법.

명세서

기술분야

[0001] 반도체소자 및 그 제조방법, 보다 자세하게는 III-V족 반도체를 포함하는 반도체소자 및 그 제조방법에 관한 것이다.

배경기술

[0002] 실리콘(Si) 기반의 반도체소자는 지금까지 빠른 속도로 고성능화 및 고집적화되어 왔다. 하지만 실리콘의 물성 한계와 제조공정의 한계 등으로 인해, 향후 수년 후부터는, 실리콘 기반의 반도체소자를 더 이상 고성능화 및 고집적화시키는 것은 어려울 것이라 예상되고 있다.

[0003] 이에, 실리콘 기반의 반도체소자의 한계를 극복하기 위한 방안으로 III-V족 물질(반도체)을 이용하는 소자에 대한 연구가 진행되고 있다. 또한, 실리콘 기반의 소자와 III-V족 물질을 포함하는 소자를 하나의 디바이스로 집적하기 위한 시도 및 III-V족 물질을 포함하는 고효율의 광소자(태양전지 등)를 실리콘 기판 위에 제조하기 위한 연구도 진행되고 있다.

[0004] 그러나 III-V족 물질과 실리콘 사이의 결정상수 차이 및 열팽창계수 차이가 크고 표면 극성도 다르기 때문에, 이들의 계면에서 많은 결함이 발생할 수 있다. 또한, III-V족 물질과 실리콘 사이의 전기적 특성을 제어하기가 어려울 수 있다. 이러한 문제들로 인해 III-V족 물질을 실리콘 기판이나 실리콘 기반의 소자에 적용하는 것이 제한될 수 있다.

발명의 내용

해결하려는 과제

[0005] 성장 결함이 적고 우수한 전기적 특성을 갖는 반도체소자를 제공한다.

[0006] 누설전류가 억제되고 동작 특성이 우수한 반도체소자를 제공한다.

[0007] 기판과 액티브층 사이에 전류차단층을 구비하는 반도체소자를 제공한다.

[0008] 실리콘 기판 상에 III-V족 물질을 적용한 반도체소자를 제공한다.

[0009] SAG(selective area growth) 공정으로 형성한 III-V족 물질을 포함하는 반도체소자를 제공한다.

[0010] 상기 반도체소자의 제조방법을 제공한다.

과제의 해결 수단

- [0011] 본 발명의 일 측면(aspect)에 따르면, 기판; 상기 기판의 일부 상에 구비된 다층 구조체; 및 상기 다층 구조체 상에 구비된 적어도 하나의 전극;을 구비하고, 상기 다층 구조체는 III-V족 물질을 포함하는 액티브층; 및 상기 기판과 상기 액티브층 사이에 구비된 전류차단층;을 포함하는 반도체소자가 제공된다.
- [0012] 상기 기판은 실리콘 기판일 수 있다.
- [0013] 상기 다층 구조체는 상기 기판과 상기 전류차단층 사이에 구비된 버퍼층을 더 포함할 수 있다.
- [0014] 상기 버퍼층은 III-V족 물질을 포함할 수 있다.
- [0015] 상기 버퍼층은 n형 물질층일 수 있다.
- [0016] 상기 다층 구조체는 상기 전류차단층과 상기 액티브층 사이에 구비된 베리어층을 더 포함할 수 있다.
- [0017] 상기 베리어층의 에너지 밴드갭(energy band gap)은 상기 액티브층의 에너지 밴드갭보다 클 수 있다.
- [0018] 상기 액티브층은 양자우물 구조(quantum well structure)를 가질 수 있다.
- [0019] 상기 액티브층은 상기 III-V족 물질로 InGaAs, InP, InSb 및 InAs 중 적어도 하나를 포함할 수 있다.
- [0020] 상기 전류차단층은 III-V족 물질을 포함할 수 있다.
- [0021] 상기 전류차단층의 상기 III-V족 물질은 In, Ga 및 Al로 구성된 그룹 중 적어도 하나와 As, P 및 Sb로 구성된 그룹 중 적어도 하나를 포함하는 2원계, 3원계 또는 4원계 물질일 수 있다.
- [0022] 상기 전류차단층의 적어도 일부는 p형 불순물로 도핑될 수 있다.
- [0023] 상기 전류차단층은 p형 물질층을 포함하는 단층 또는 다층 구조를 가질 수 있다.
- [0024] 상기 전류차단층이 상기 다층 구조를 갖는 경우, 상기 전류차단층은 p형의 제1층 상에 n형의 제2층과 p형의 제3층이 교대로 1회 이상 적층된 구조를 가질 수 있다.
- [0025] 상기 기판 상에 상기 기판의 일부를 노출시키는 개구부를 갖는 마스크층이 구비될 수 있고, 상기 다층 구조체는 상기 개구부에 의해 노출된 상기 기판 상에 구비될 수 있다.
- [0026] 상기 개구부에 의해 노출된 상기 기판에 리세스 영역이 구비될 수 있고, 상기 다층 구조체는 상기 리세스 영역 상에 구비될 수 있다.
- [0027] 상기 반도체소자는 트랜지스터일 수 있다. 이 경우, 상기 액티브층은 채널층일 수 있다.
- [0028] 상기 적어도 하나의 전극은 상기 액티브층의 제1 영역 상에 구비된 소오스전극; 상기 액티브층의 제2 영역 상에 구비된 드레인전극; 및 상기 소오스전극과 상기 드레인전극 사이의 상기 액티브층 상에 구비된 게이트전극;을 포함할 수 있다.
- [0029] 본 발명의 다른 측면에 따르면, 실리콘 기판; 상기 실리콘 기판 상에 구비되고, 상기 실리콘 기판의 일부를 노출시키는 개구부를 갖는 마스크층; 상기 개구부에 의해 노출된 상기 실리콘 기판 상에 순차로 구비된 버퍼층, 전류차단층 및 채널층을 포함하는 다층 구조체; 상기 채널층의 제1 영역에 전기적으로 연결된 소오스전극; 상기 채널층의 제2 영역에 전기적으로 연결된 드레인전극; 및 상기 채널층의 제3 영역과 전기적으로 절연된 게이트전극;을 포함하는 트랜지스터가 제공된다.
- [0030] 상기 개구부에 의해 노출된 상기 실리콘 기판에 리세스 영역이 구비될 수 있고, 상기 리세스 영역 상에 상기 버퍼층, 상기 전류차단층 및 상기 채널층이 순차로 구비될 수 있다.
- [0031] 상기 버퍼층, 상기 전류차단층 및 상기 채널층 중 적어도 하나는 III-V족 물질을 포함할 수 있다.
- [0032] 상기 버퍼층은 n형 물질층일 수 있다.
- [0033] 상기 전류차단층은 p형 물질층을 포함하는 단층 또는 다층 구조를 가질 수 있다.
- [0034] 상기 전류차단층은 In, Ga 및 Al로 구성된 그룹 중 적어도 하나와 As, P 및 Sb로 구성된 그룹 중 적어도 하나를

포함하는 2원계, 3원계 또는 4원계의 III-V족 물질을 포함할 수 있다.

- [0035] 상기 전류차단층과 상기 채널층 사이에 베리어층이 더 구비될 수 있다.
- [0036] 상기 베리어층의 에너지 밴드갭(energy band gap)은 상기 채널층의 에너지 밴드갭보다 클 수 있다.
- [0037] 상기 버퍼층은 n-InP층을 포함할 수 있고, 상기 전류차단층은 p-InP층을 포함할 수 있고, 상기 베리어층은 InAlAs층을 포함할 수 있으며, 상기 채널층은 InGaAs층을 포함할 수 있다.
- [0038] 본 발명의 다른 측면에 따르면, 기판의 일부 영역 상에 다층 구조체를 형성하는 단계; 및 상기 다층 구조체 상에 적어도 하나의 전극을 형성하는 단계;를 포함하고, 상기 다층 구조체를 형성하는 단계는 상기 기판의 일부 영역 상에 전류차단층을 형성하는 단계; 및 상기 전류차단층 상에 III-V족 물질을 포함하는 액티브층을 형성하는 단계;를 포함하는 반도체소자의 제조방법이 제공된다.
- [0039] 상기 기판은 실리콘 기판일 수 있다.
- [0040] 상기 다층 구조체는 SAG(selective area growth) 방법으로 형성할 수 있다.
- [0041] 상기 다층 구조체를 형성하는 단계 전, 상기 기판 상에 상기 기판의 일부를 노출시키는 개구부를 갖는 마스크층을 형성하는 단계를 더 포함할 수 있고, 상기 개구부에 의해 노출된 상기 기판 상에 상기 다층 구조체를 형성할 수 있다.
- [0042] 상기 마스크층을 형성하는 단계 후, 상기 개구부에 의해 노출된 상기 기판의 일부를 식각하여 리세스 영역을 형성하는 단계를 더 포함할 수 있고, 상기 다층 구조체는 상기 리세스 영역 상에 형성할 수 있다.
- [0043] 상기 다층 구조체를 형성하는 단계는 상기 기판과 상기 전류차단층 사이에 버퍼층을 형성하는 단계를 더 포함할 수 있다.
- [0044] 상기 버퍼층은 n형 불순물로 도핑된 III-V족 물질을 포함할 수 있다.
- [0045] 상기 다층 구조체를 형성하는 단계는 상기 전류차단층과 상기 액티브층 사이에 베리어층을 형성하는 단계를 더 포함할 수 있다.
- [0046] 상기 베리어층은 상기 액티브층보다 큰 에너지 밴드갭을 가질 수 있다.
- [0047] 상기 액티브층은 상기 III-V족 물질로 InGaAs, InP, InSb 및 InAs 중 적어도 하나를 포함할 수 있다.
- [0048] 상기 전류차단층은 III-V족 물질을 포함할 수 있다.
- [0049] 상기 전류차단층의 상기 III-V족 물질은 In, Ga 및 Al로 구성된 그룹 중 적어도 하나와 As, P 및 Sb로 구성된 그룹 중 적어도 하나를 포함하는 2원계, 3원계 또는 4원계 물질일 수 있다.
- [0050] 상기 전류차단층은 p형 물질층을 포함하는 단층 또는 다층 구조를 가질 수 있다.
- [0051] 상기 반도체소자는 트랜지스터일 수 있다.
- [0052] 상기 적어도 하나의 전극을 형성하는 단계는 상기 액티브층의 제1 영역 상에 소오스전극을 형성하는 단계; 상기 액티브층의 제2 영역 상에 드레인전극을 형성하는 단계; 및 상기 소오스전극과 상기 드레인전극 사이의 상기 액티브층 상에 게이트전극을 형성하는 단계;를 포함할 수 있다.

발명의 효과

- [0053] 성장 결함이 적고 전기적 특성이 우수한 반도체소자를 구현할 수 있다.
- [0054] 누설전류가 억제되고 우수한 특성을 갖는 반도체소자를 구현할 수 있다.
- [0055] 실리콘 기판 상에 III-V족 물질을 적용한 고성능/고신뢰성의 반도체소자를 구현할 수 있다.
- [0056] SAG(selective area growth) 공정을 이용해서 기판(예컨대, 실리콘 기판) 상에 III-V족 물질을 적용한 반도체소자를 구현할 수 있다.

도면의 간단한 설명

- [0057] 도 1은 본 발명의 실시예에 따른 반도체소자를 보여주는 단면도이다.

도 2는 도 1의 A-A'선에 따른 단면도이다.

도 3은 본 발명의 다른 실시예에 따른 반도체소자를 보여주는 단면도이다.

도 4는 본 발명의 다른 실시예에 따른 반도체소자를 보여주는 단면도이다.

도 5는 도 4의 A-A'선에 따른 단면도이다.

도 6a 내지 도 6f는 본 발명의 실시예에 따른 반도체소자의 제조방법을 보여주는 단면도이다.

도 7은 도 6f의 A-A'선에 따른 단면도이다.

도 8a 내지 도 8c는 본 발명의 다른 실시예에 따른 반도체소자의 제조방법을 보여주는 단면도이다.

도 9는 도 8c의 A-A'선에 따른 단면도이다.

도 10은 본 발명의 실시예에 따른 반도체소자(트랜지스터)의 게이트전압(Vg)-드레인전류(Id) 특성을 보여주는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0058] 이하, 본 발명의 실시예에 따른 반도체소자 및 그 제조방법을 첨부된 도면을 참조하여 상세하게 설명한다. 첨부된 도면에 도시된 층이나 영역들의 폭 및 두께는 명세서의 명확성을 위해 다소 과장되게 도시된 것이다. 상세한 설명 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 나타낸다.

[0059] 도 1은 본 발명의 실시예에 따른 반도체소자를 보여주는 단면도이다. 도 2는 도 1의 A-A'선에 따른 단면도이다.

[0060] 도 1을 참조하면, 기판(SUB1) 상에 마스크층(M1)이 구비될 수 있다. 기판(SUB1)은 단일 원소로 구성된 단결정 기판일 수 있다. 예컨대, 기판(SUB1)은 실리콘 기판일 수 있다. 또한, 기판(SUB1)은 p형 불순물로 도핑된 기판일 수 있다. 따라서, 기판(SUB1)은 p형 실리콘 기판(즉, p-Si 기판)일 수 있다. 마스크층(M1)은 실리콘 산화물 또는 실리콘 질화물과 같은 절연 물질로 형성될 수 있다. 마스크층(M1)은 실리콘 산화물 및 실리콘 질화물 중 적어도 하나를 포함하는 단층 또는 다층 구조를 가질 수 있다. 마스크층(M1)에 적어도 하나의 홈(H1)이 마련될 수 있다. 홈(H1)은 기판(SUB1) 내부까지 형성될 수 있다. 다시 말해, 홈(H1) 영역에서 기판(SUB1)의 일부가 식각(리세스)될 수 있다. 기판(SUB1)이 식각된 부분은 리세스 영역(R1)이라고 할 수 있다. 리세스 영역(R1)은 홈(H1)의 하단부로 여길 수 있다. 홈(H1) 영역은 하나의 '소자 영역'을 정의할 수 있다. 홈(H1) 영역의 X축 방향으로의 폭은 수 nm 내지 수백 nm 정도, 예컨대, 약 10nm 내지 500nm 정도일 수 있다.

[0061] 홈(H1) 영역의 기판(SUB1), 즉, 리세스 영역(R1)의 기판(SUB1) 상에 버퍼층(BF1)이 구비될 수 있고, 버퍼층(BF1) 상에 전류차단층(CB1) 및 액티브층(A1)이 순차로 구비될 수 있다. 따라서 기판(SUB1)과 액티브층(A1) 사이, 보다 구체적으로는, 버퍼층(BF1)과 액티브층(A1) 사이에 전류차단층(CB1)이 구비된다고 할 수 있다. 전류차단층(CB1)과 액티브층(A1) 사이에는 베리어층(BR1)이 더 구비될 수 있다. 버퍼층(BF1), 전류차단층(CB1), 베리어층(BR1) 및 액티브층(A1)은 하나의 다층 구조체 또는 적층 구조체를 구성한다고 볼 수 있다. 버퍼층(BF1), 전류차단층(CB1), 베리어층(BR1) 및 액티브층(A1) 중 적어도 하나는 III-V족 기반의 물질을 포함할 수 있다. 버퍼층(BF1), 전류차단층(CB1), 베리어층(BR1) 및 액티브층(A1)은 모두 III-V족 기반의 물질로 구성될 수 있다. 버퍼층(BF1), 전류차단층(CB1), 베리어층(BR1) 및 액티브층(A1)은 기판(SUB1)으로부터 에피택셜(epitaxial) 성장 방법으로 형성된 층들일 수 있다. 마스크층(M1)에 의해 정의된 좁은 폭의 홈(H1) 영역에 선택적으로 III-V족 물질 층들(즉, BF1, CB1, BR1, A1)을 형성하는 경우, 홈(H1)의 측벽에서 결함들이 트랩(trap) 되기 때문에, 위쪽으로 갈수록 우수한 결정성을 갖는 III-V족 물질층을 형성할 수 있다. 따라서, 본 실시예에서 액티브층(A1)은 우수한 결정성을 가질 수 있다.

[0062] 버퍼층(BF1)은 In, Ga 및 Al로 이루어진 그룹 중 적어도 하나와 As, P 및 Sb로 이루어진 그룹 중 적어도 하나를 포함하는 III-V족 물질로 구성될 수 있다. 버퍼층(BF1)의 III-V족 물질은 2원계, 3원계 또는 4원계 물질일 수 있다. 상기 2원계 물질은, 예컨대, InP, InAs, InSb, GaAs, GaP, GaSb, AlP, AlAs, AlSb 등일 수 있다. 상기 3원계 물질은, 예컨대, InAlAs, InGaP, GaAsP 등일 수 있다. 상기 4원계 물질은, 예컨대, InGaAsP, InGaAlAs 등일 수 있다. 버퍼층(BF1)은 n형 물질층일 수 있다. 버퍼층(BF1)은 n형 불순물로 도핑된 층이거나, n형 불순물로 도핑된 효과를 갖는 층일 수 있다. 구체적인 예로, 버퍼층(BF1)은 n-InP층일 수 있다. 이러한 버퍼층(BF1)은 기판(SUB1)과 액티브층(A1) 사이의 격자상수 및 열팽창계수 차이를 완화시키고, 아울러 결함을 완화하여 액티브층(A1)의 결정성 향상을 위해 구비될 수 있다. 특히, 좁은 폭을 갖는 홈(H1) 내부에 버퍼층(BF1)을 형성할 경우,

버퍼층(BF1)이 형성되면서, 홈(H1)의 측면부에 결함이 트랩(trap) 되기 때문에, 버퍼층(BF1) 위에 형성되는 전류차단층(CB1)에는 결함이 적게 발생할 수 있고, 그 위에 형성되는 액티브층(A1)에는 결함이 거의 발생하지 않을 수 있다. 따라서, 결과적으로 우수한 결정성을 갖는 액티브층(A1)을 얻을 수 있다.

[0063] 전류차단층(CB1)은 버퍼층(BF1)과 유사한 물질(III-V족 물질)을 포함할 수 있다. 보다 구체적으로 설명하면, 전류차단층(CB1)은 In, Ga 및 Al로 이루어진 그룹 중 적어도 하나와 As, P 및 Sb로 이루어진 그룹 중 적어도 하나를 포함하는 III-V족 물질로 구성될 수 있다. 전류차단층(CB1)의 III-V족 물질은 2원계, 3원계 또는 4원계 물질일 수 있다. 상기 2원계 물질은, 예컨대, InP, InAs, InSb, GaAs, GaP, GaSb, AlP, AlAs, AlSb 등일 수 있다. 상기 3원계 물질은, 예컨대, InAlAs, InGaP, GaAsP 등일 수 있다. 상기 4원계 물질은, 예컨대, InGaAsP, InGaAlAs 등일 수 있다. 전류차단층(CB1)의 적어도 일부는 p형 물질층일 수 있다. 즉, 전류차단층(CB1)의 적어도 일부는 p형 불순물로 도핑될 수 있다. 본 실시예에서 전류차단층(CB1)은 전체적으로 p형 불순물로 도핑된 p층일 수 있다. 상기 p형 불순물은, 예컨대, Zn, Mg, C 등일 수 있고, 상기 p형 불순물의 도핑 농도는 $1 \times 10^{18} / \text{cm}^3$ 내지 $3 \times 10^{18} / \text{cm}^3$ 정도일 수 있다. 구체적인 예로, 전류차단층(CB1)은 p-InP층일 수 있다. 전류차단층(CB1)은 버퍼층(BF1)과 반대의 도전 타입을 갖기 때문에, 이들 사이에 pn 접합이 형성되고, 따라서, 전류차단층(CB1)의 상부에서 버퍼층(BF1) 쪽으로 전류의 흐름이 차단(또는 억제)될 수 있다. 또한, 전류차단층(CB1)의 적어도 일부(적어도 하단부)는 버퍼층(BF1)과 유사한 역할을 겸할 수 있다. 다시 말해, 전류차단층(CB1)의 적어도 일부(적어도 하단부)는 버퍼층(BF1)과 유사하게 결함을 완화(완충)하는 역할을 할 수 있다.

[0064] 액티브층(A1)은 III-V족 물질(반도체)을 포함할 수 있다. 액티브층(A1)은 상기 III-V족 물질로, 예컨대, InGaAs, InP, InSb 및 InAs 중 적어도 하나를 포함할 수 있다. 또한, 액티브층(A1)은 양자우물 구조(quantum well structure)를 가질 수 있다. 액티브층(A1)은 채널층으로 사용될 수 있는데, 이 경우, 액티브층(A1)은 양자우물 채널층일 수 있다.

[0065] 액티브층(A1)과 전류차단층(CB1) 사이에 베리어층(BR1)이 더 구비될 수 있다. 베리어층(BR1)은 액티브층(A1)보다 에너지 밴드갭(energy band gap)이 큰 물질을 포함할 수 있다. 또한, 베리어층(BR1)의 전도대 최하위 에너지 레벨(E_c)은 액티브층(A1)의 전도대 최하위 에너지레벨(E_c)보다 높을 수 있다. 이러한 베리어층(BR1)에 의해 액티브층(A1)이 전술한 양자우물 구조를 가질 수 있다. 베리어층(BR1)은 III-V족 물질을 포함할 수 있다. 예컨대, 베리어층(BR1)은 In, Ga 및 Al로 이루어진 그룹 중 적어도 하나와 As, P 및 Sb로 이루어진 그룹 중 적어도 하나를 포함하는 III-V족 물질을 포함할 수 있다. 구체적인 예로, 베리어층(BR1)은 InAlAs, InP 등으로 형성될 수 있다.

[0066] 리세스 영역(R1)을 포함하는 홈(H1)의 깊이, 즉, 리세스 영역(R1)의 저면에서 마스크층(M1)의 상면까지의 거리는, 예컨대, 수백 nm 내지 수 μm 정도일 수 있다. 상기 홈(H1)의 깊이를 'd1'이라 하면, 버퍼층(BF1)의 두께는 'd1'의 5~40% 정도일 수 있고, 전류차단층(CB1)의 두께는 'd1'의 5~40% 정도일 수 있으며, 베리어층(BR1)의 두께는 'd1'의 5~40% 정도일 수 있다. 베리어층(BR1)의 두께는 버퍼층(BF1) 및 전류차단층(CB1) 각각의 두께보다 작을 수 있다. 액티브층(A1)의 두께는 약 100nm 이하, 예컨대, 약 50nm 이하일 수 있다. 도 1에서는 버퍼층(BF1), 전류차단층(CB1), 베리어층(BR1) 및 액티브층(A1)이 모두 홈(H1) 내에 구비된 것으로 도시하였지만, 이들 중 일부는 홈(H1) 위로 돌출될 수도 있다. 예컨대, 액티브층(A1)의 적어도 일부, 혹은, 베리어층(BR1)의 적어도 일부와 액티브층(A1), 혹은, 전류차단층(CB1)의 적어도 일부와 베리어층(BR1) 및 액티브층(A1)이 홈(H1) 위로 돌출될 수 있다.

[0067] 액티브층(A1) 상에 적어도 하나의 전극이 구비될 수 있다. 도 1에서는 액티브층(A1) 상에 게이트전극(G1)이 마련된 경우가 도시되어 있다. 이 경우, 액티브층(A1)과 게이트전극(G1) 사이에 게이트절연층(GI1)이 구비될 수 있다. 도 1에는 도시되지 않았지만, 게이트전극(G1)의 Y축 방향으로의 양측에 소오스전극 및 드레인전극이 구비될 수 있다. 상기 소오스전극 및 드레인전극은 도 1의 A-A'선에 따른 단면도인 도 2에서 확인할 수 있다.

[0068] 도 2를 참조하면, 게이트전극(G1) 양측의 액티브층(A1) 상에 소오스전극(S1) 및 드레인전극(D1)이 구비될 수 있다. 소오스전극(S1)과 액티브층(A1) 사이 및 드레인전극(D1)과 액티브층(A1) 사이에 오믹콘택층(CT1)이 더 구비될 수 있다. 오믹콘택층(CT1)은 저저항의 III-V족 물질을 포함할 수 있다. 일례로, 오믹콘택층(CT1)은 n형 불순물이 고농도로 도핑된 InGaAs, 즉, n+ InGaAs 등으로 형성될 수 있다. 그러나 여기서 제시한 오믹콘택층(CT1)의 구체적인 물질(즉, 상기 n+ InGaAs)은 예시적인 것이고, 이는 다양하게 변화될 수 있다. 게이트전극(G1), 소오스전극(S1) 및 드레인전극(D1)은 다양한 금속이나 도전성 산화물 등으로 형성될 수 있다. 게이트전극(G1)과 소오스/드레인전극(S1, D1)은 동일한 물질로 형성될 수 있지만, 서로 다른 물질로 형성될 수도 있다. 한편, 게이

트절연층(GI1)은, 예컨대, Al_2O_3 , SiO_x , Si_xN_y , Sc_2O_3 , AlN , Ga_2O_3 , Gd_2O_3 , $Al_xGa_{2(1-x)}O_3$, MgO 및 이들의 조합 중 적어도 하나를 포함할 수 있다. 여기서 개시하지 않았더라도 일반적인 트랜지스터에서 사용하는 게이트절연층 물질이면 어느 것이든 게이트절연층(GI1) 물질로 적용될 수 있다. 게이트절연층(GI1)은 매우 큰 에너지 밴드갭을 갖기 때문에, 액티브층(A1)에 대해서 '베리어층'과 같은 역할을 할 수 있다. 다시 말해, 게이트절연층(GI1)은 제2 베리어층의 역할을 겸할 수 있다. 이 경우, 액티브층(A1)은 두 개의 베리어층, 즉, 하부의 베리어층(BR1)과 상부의 베리어층(즉, GI1) 사이에 구비된 것으로 볼 수 있다.

[0069] 도 1 및 도 2에 도시하지는 않았지만, 경우에 따라서는, 액티브층(A1) 상에 제2 베리어층을 별도로 더 구비시킬 수도 있다. 이 경우, 상기 제2 베리어층은 액티브층(A1)과 게이트절연층(GI1) 사이에 구비될 수 있다. 상기 제2 베리어층의 물질은 베리어층(BR1)과 동일하거나 유사할 수 있다.

[0070] 본 발명의 실시예에서는 기판(SUB1)과 액티브층(A1) 사이에 전류차단층(CB1)이 구비되기 때문에, 액티브층(A1)으로부터 기판(SUB1)으로의 전류의 누설이 효과적으로 억제(또는 방지)될 수 있다. 전류차단층(CB1)이 구비되지 않을 경우, 액티브층(A1)으로부터 버퍼층(BF1)을 통해 기판(SUB1)으로 전류의 누설이 용이하게 이루어질 수 있다. 이에 대해서 보다 구체적으로 설명하면, 버퍼층(BF1) 형성시, UID(unintentional doping) 현상으로 인해 버퍼층(BF1)이 $\sim 1 \times 10^{17}/cm^3$ 또는 $\sim 3 \times 10^{18}/cm^3$ 정도의 높은 도핑 레벨(농도)을 갖도록 형성될 수 있다. 따라서, 버퍼층(BF1)은 비교적 높은 전기전도도를 가질 수 있다. 때문에, 전류차단층(CB1)이 없다면, 액티브층(A1)으로부터 버퍼층(BF1)을 통해 기판(SUB1)으로 전류의 누설이 용이하게 이루어질 수 있다. 특히, 소오스전극(S1)으로부터 기판(SUB1) 쪽으로 큰 누설전류가 발생할 수 있다. 이로 인해, 반도체소자에서 요구되는 동작 특성, 예컨대, 트랜지스터에서 요구되는 기본적인 스위칭 특성이 현저히 열화될 수 있다. 하지만, 본 발명의 실시예에서와 같이, 기판(SUB1)과 액티브층(A1) 사이, 보다 구체적으로는, 버퍼층(BF1)과 액티브층(A1) 사이에 전류차단층(CB1)을 구비시킬 경우, 상기한 바와 같은 누설전류의 발생을 효과적으로 억제(혹은 차단)하고, 우수한 동작 특성 및 신뢰성을 갖는 반도체소자(트랜지스터 등)를 구현할 수 있다.

[0071] 또한, 본 발명의 실시예에서는 홈(H1)이 형성된 마스크층(M1)을 이용해서 기판(SUB1)의 국소 영역으로부터 버퍼층(BF1), 전류차단층(CB1) 및 액티브층(A1) 등을 성장시키기 때문에, 결함 발생을 효과적으로 억제/차단할 수 있고, 결과적으로 우수한 결정성을 갖는 액티브층(A1)을 얻을 수 있다. 따라서, 액티브층(A1)을 주요 요소로 사용하는 반도체소자의 특성을 개선할 수 있다. 만약, 마스크층(M1)을 사용하지 않고 실리콘 기판의 전면 상에 III-V족 물질층을 형성하면, 실리콘 기판과 III-V족 물질의 격자상수 및 열팽창계수 차이 등으로 인해, 상기 III-V족 물질층 내에 많은 결함이 발생하는데, 이러한 결함의 성장 및 진행을 억제하기가 어렵다. 따라서, 이 방법으로는 우수한 막질의 III-V족 물질층을 형성하기 어렵다. 하지만, 본 발명의 실시예에서와 같이, 홈(H1)이 형성된 마스크층(M1)을 이용해서 기판(SUB1)의 국소 영역으로부터 III-V족 물질층들을 형성하면, 홈(H1)의 내측 벽이 결함을 트랩(trap) 하는 역할을 하기 때문에, 결정성이 우수한 액티브층(A1)을 얻을 수 있다.

[0072] 도 1 및 도 2에서는 전류차단층(CB1)이 단층 구조를 갖는 경우를 도시하였지만, 본 발명의 다른 실시예에 따르면, 전류차단층(CB1)은 다층 구조를 가질 수도 있다. 그 일례가 도 3에 도시되어 있다.

[0073] 도 3을 참조하면, 전류차단층(CB10)은 적어도 하나의 p형 물질층(p1, p2)과 적어도 하나의 n형 물질층(n1)을 포함하는 다층 구조를 가질 수 있다. 일례로, 전류차단층(CB10)은 p/n/p 다층 구조를 가질 수 있다. 즉, 전류차단층(CB10)은 두 개의 p형 물질층(p1, p2) 사이에 n형 물질층(n1)이 구비된 구조를 가질 수 있다. p형 물질층(p1, p2) 및 n형 물질층(n1)은 모두 III-V족 물질을 포함할 수 있다. 여기서, 상기 III-V족 물질은 도 1의 전류차단층(CB1)에 대해서 설명한 III-V족 물질과 동일할 수 있다. p형 물질층(p1, p2)에 포함된 p형 불순물은, 예컨대, Zn, Mg, C 등일 수 있고, n형 물질층(n1)에 포함된 n형 불순물은, 예컨대, Si, Se, Te, S 등일 수 있다. 또한, 전류차단층(CB10)은 p형의 제1층 상에 n형의 제2층과 p형의 제3층이 적어도 2회 이상 교대로 반복 적층된 구조를 가질 수도 있다. 즉, 전류차단층(CB10)은 p/n/p/n/p 구조 또는 p/n/p/n/p/n/p 구조 등을 가질 수 있다.

[0074] 도 3에서와 같이, 전류차단층(CB10)을 다층 구조로 형성하더라도, 전류차단층(CB10)이 앞서 언급한 바와 같은 구조(즉, p/n/p, p/n/p/n/p, p/n/p/n/p/n/p 구조 등)를 갖는 경우, 전류차단층(CB10)에 의해 액티브층(A1)으로부터 기판(SUB1)으로의 전류의 누설은 효과적으로 억제(혹은 차단)될 수 있다.

[0075] 도 1 내지 도 3에서는 마스크층(M1)의 홈(H1) 영역의 기판(SUB1)에 리세스 영역(R1)을 마련한 후, 리세스 영역(R1) 상에 버퍼층(BF1), 전류차단층(CB1, CB10) 및 액티브층(A1) 등을 구비시킨 경우에 대해서 설명하였지만, 본 발명의 다른 실시예에 따르면, 홈(H1) 영역의 기판(SUB1)을 식각하지 않을 수도 있다. 그 일례가 도 4에 도시되어 있다.

- [0076] 도 4를 참조하면, 기판(SUB2)의 상면은 전체적으로 평탄하고, 그 위에 홈(H2) 영역을 갖는 마스크층(M2)이 마련될 수 있다. 홈(H2)은 기판(SUB2)의 일부를 노출시키는 '개구부'라고 할 수 있다. 홈(H2) 영역에 의해 노출된 기판(SUB2)의 상면으로부터 버퍼층(BF2), 전류차단층(CB2), 베리어층(BR2), 액티브층(A2)이 순차로 구비될 수 있다. 버퍼층(BF2), 전류차단층(CB2), 베리어층(BR2), 액티브층(A2)의 물질 및 특성은 각각 도 1의 버퍼층(BF1), 전류차단층(CB1), 베리어층(BR1), 액티브층(A1)의 그것과 동일하거나 유사할 수 있다. 액티브층(A2) 상에 게이트절연층(GI2) 및 게이트전극(G2)이 구비될 수 있다.
- [0077] 도 4의 A-A' 선에 따른 단면도는 도 5와 같을 수 있다. 도 5에서 참조번호 CT2, S2, D2는 각각 오믹콘택층, 소오스전극, 드레인전극을 나타낸다. 도 5의 구조는 도 2와 유사하므로, 이에 대한 자세한 설명은 생략한다.
- [0078] 도 6a 내지 도 6f는 본 발명의 실시예에 따른 반도체소자의 제조방법을 보여주는 단면도이다.
- [0079] 도 6a를 참조하면, 기판(100) 상에 절연층(110)을 형성할 수 있다. 기판(100)은 단일 원소로 구성된 단결정 기판일 수 있다. 예컨대, 기판(100)은 실리콘 기판일 수 있다. 또한, 기판(100)은 p형 불순물로 도핑된 기판일 수 있다. 따라서, 기판(100)은 p형 실리콘 기판(즉, p-Si 기판)일 수 있다. 절연층(110)은 실리콘 산화물 또는 실리콘 질화물과 같은 절연 물질로 형성할 수 있다. 절연층(110)은 실리콘 산화물 및 실리콘 질화물 중 적어도 하나를 포함하는 단층 또는 다층 구조로 형성할 수 있다. 절연층(110) 상에 감광막 패턴(120)을 형성할 수 있다. 감광막 패턴(120)은 절연층(110)의 일부를 노출시키는 적어도 하나의 개구부를 가질 수 있다.
- [0080] 감광막 패턴(120)을 식각 베리어로 이용해서 절연층(110)을 식각(패터닝)할 수 있다. 그 결과, 도 6b에 도시된 바와 같이, 기판(100)을 노출시키는 홈(H10)을 갖는 절연층 패턴(110')이 형성될 수 있다. 절연층 패턴(110')은 기판(100)에 대하여 일종의 하드 마스크(hard mask)일 수 있다. 이하에서는, 절연층 패턴(110')을 마스크층(110')이라 한다.
- [0081] 마스크층(110')을 식각 베리어로 이용해서 기판(100)의 일부를 식각(리세스)할 수 있다. 그 결과물이 도 6c에 도시되어 있다. 도 6c를 보면, 홈(H10) 아래로 리세스 영역(R10)이 형성되어 있다. 참조번호 100'는 리세스 영역(R10)이 형성된 기판을 나타낸다. 리세스 영역(R10)은 홈(H10)이 아래쪽으로 연장된 영역이라고 볼 수 있다. 즉, 리세스 영역(R10)에 의해 홈(H10)의 깊이가 깊어진 것으로 볼 수 있다. 기판(100)의 일부를 식각하여 리세스 영역(R10)을 형성하는 과정에서 감광막 패턴(120)의 적어도 일부가 제거될 수 있다.
- [0082] 리세스 영역(R10)을 형성한 후, 감광막 패턴(120)이 마스크층(110') 상에 잔류된 경우, 이를 제거하는 공정을 별도로 수행할 수 있다. 감광막 패턴(120)의 제거는, 예컨대, 산소 플라즈마를 이용한 에싱(ashing) 공정으로 수행할 수 있다. 마스크층(110') 상에 잔류된 감광막 패턴(120)을 제거한 결과물은 도 6d에 도시된 바와 같을 수 있다.
- [0083] 도 6e를 참조하면, 기판(100')의 리세스 영역(R10) 상에 버퍼층(210), 전류차단층(220) 및 액티브층(240)을 순차적으로 형성할 수 있다. 전류차단층(220)과 액티브층(240) 사이에는 베리어층(230)을 더 형성할 수 있다. 버퍼층(210), 전류차단층(220), 베리어층(230) 및 액티브층(240) 중 적어도 하나는 III-V족 기반의 물질을 포함하도록 형성할 수 있다. 버퍼층(210), 전류차단층(220), 베리어층(230) 및 액티브층(240)은 모두 III-V족 기반의 물질로 형성할 수 있다. 버퍼층(210), 전류차단층(220), 베리어층(230) 및 액티브층(240)은 기판(100')의 리세스 영역(R10)으로부터 에피택셜(epitaxial) 성장법으로 형성할 수 있다. 마스크층(110')을 이용해서 기판(100')의 일부 영역(즉, 리세스 영역(R10))에만 선택적으로 위와 같은 물질층들(210, 220, 230, 240)을 형성하기 때문에, 이 공정은 SAG(selective area growth) 공정이라 할 수 있다. 또한, 상기 SAG 공정은 SEG(selective epitaxy growth) 공정일 수 있다. 마스크층(110')에 의해 정의된 좁은 폭의 홈(H10) 영역에 선택적으로 III-V족 물질층들을 형성하는 경우, 홈(H10)의 측벽에서 결함들이 트랩(trap) 되기 때문에, 위쪽으로 갈수록 우수한 결정성을 갖는 III-V족 물질층을 형성할 수 있다. 따라서, 본 실시예에 따르면, 우수한 결정성을 갖는 액티브층(240)을 형성할 수 있다.
- [0084] 버퍼층(210)은 In, Ga 및 Al로 이루어진 그룹 중 적어도 하나와 As, P 및 Sb로 이루어진 그룹 중 적어도 하나를 포함하는 III-V족 물질로 형성할 수 있다. 버퍼층(210)의 III-V족 물질은 2원계, 3원계 또는 4원계 물질일 수 있다. 상기 2원계 물질은, 예컨대, InP, InAs, InSb, GaAs, GaP, GaSb, AlP, AlAs, AlSb 등일 수 있다. 상기 3원계 물질은, 예컨대, InAlAs, InGaP, GaAsP 등일 수 있다. 상기 4원계 물질은, 예컨대, InGaAsP, InGaAlAs 등일 수 있다. 버퍼층(210)은 n형 물질층일 수 있다. 버퍼층(210)은 n형 불순물로 도핑된 층이거나, n형 불순물로 도핑된 효과를 갖는 층일 수 있다. 구체적인 예로, 버퍼층(210)은 n-InP층일 수 있다. 좁은 폭을 갖는 홈(H10) 내부에 버퍼층(210)을 형성할 경우, 버퍼층(210)이 형성되면서, 홈(H10)의 측면부에 결함이 트랩(trap) 되기 때

문에, 버퍼층(210) 위에 형성되는 전류차단층(220)에는 결함이 적게 발생할 수 있고, 그 위에 형성되는 액티브층(240)에는 결함이 거의 발생하지 않을 수 있다. 따라서, 결과적으로 우수한 결정성을 갖는 액티브층(240)을 형성할 수 있다.

[0085] 전류차단층(220)은 버퍼층(210)과 유사한 물질(III-V족 물질)을 포함할 수 있다. 보다 구체적으로 설명하면, 전류차단층(220)은 In, Ga 및 Al로 이루어진 그룹 중 적어도 하나와 As, P 및 Sb로 이루어진 그룹 중 적어도 하나를 포함하는 III-V족 물질로 구성될 수 있다. 전류차단층(220)의 III-V족 물질은 2원계, 3원계 또는 4원계 물질일 수 있다. 상기 2원계 물질은, 예컨대, InP, InAs, InSb, GaAs, GaP, GaSb, AlP, AlAs, AlSb 등일 수 있다. 상기 3원계 물질은, 예컨대, InAlAs, InGaP, GaAsP 등일 수 있다. 상기 4원계 물질은, 예컨대, InGaAsP, InGaAlAs 등일 수 있다. 전류차단층(220)의 적어도 일부는 p형 물질층일 수 있다. 즉, 전류차단층(220)의 적어도 일부는 p형 불순물로 도핑될 수 있다. 본 실시예에서 전류차단층(220)은 전체적으로 p형 불순물로 도핑된 p층일 수 있다. 상기 p형 불순물은, 예컨대, Zn, Mg, C 등일 수 있고, 상기 p형 불순물의 도핑 농도는 $1 \times 10^{18} / \text{cm}^3$ 내지 $3 \times 10^{18} / \text{cm}^3$ 정도일 수 있다. 구체적인 예로, 전류차단층(220)은 p-InP층일 수 있다. 전류차단층(220)은 버퍼층(210)과 반대의 도전 타입을 갖기 때문에, 이들 사이에 pn 접합이 형성되고, 따라서, 전류차단층(220)의 상부에서 버퍼층(210) 쪽으로 전류의 흐름이 차단(또는 억제)될 수 있다. 또한, 전류차단층(220)의 적어도 일부(적어도 하단부)는 버퍼층(210)과 유사한 역할을 겸할 수 있다. 다시 말해, 전류차단층(220)의 적어도 일부(적어도 하단부)는 버퍼층(210)과 유사하게 결함을 완화(완충)하는 역할을 할 수 있다.

[0086] 액티브층(240)은 III-V족 물질(반도체)을 포함할 수 있다. 액티브층(240)은 상기 III-V족 물질로, 예컨대, InGaAs, InP, InSb 및 InAs 중 적어도 하나를 포함할 수 있다. 또한, 액티브층(240)은 양자우물 구조(quantum well structure)를 가질 수 있다.

[0087] 액티브층(240)과 전류차단층(220) 사이에 형성된 베리어층(230)은 액티브층(240)보다 에너지 밴드갭이 큰 물질을 포함할 수 있다. 또한, 베리어층(230)의 전도대 최하위 에너지레벨(E_c)은 액티브층(240)의 전도대 최하위 에너지레벨(E_c)보다 높을 수 있다. 이러한 베리어층(230)에 의해 액티브층(240)이 전술한 양자우물 구조를 가질 수 있다. 베리어층(230)은 III-V족 물질을 포함할 수 있다. 예컨대, 베리어층(230)은 In, Ga 및 Al로 이루어진 그룹 중 적어도 하나와 As, P 및 Sb로 이루어진 그룹 중 적어도 하나를 포함하는 III-V족 물질을 포함할 수 있다. 구체적인 예로, 베리어층(230)은 InAlAs, InP 등으로 형성할 수 있다.

[0088] 다음, 액티브층(240) 상에 오믹콘택층(250)을 형성할 수 있다. 오믹콘택층(250)은 저저항의 III-V족 물질을 포함하도록 형성할 수 있다. 일례로, 오믹콘택층(250)은 n형 불순물이 고농도로 도핑된 InGaAs, 즉, n+ InGaAs 등으로 형성할 수 있다. 그러나 여기서 제시한 오믹콘택층(250)의 구체적인 물질(즉, 상기 n+ InGaAs)은 예시적인 것이고, 이는 달라질 수 있다. 오믹콘택층(250)은 에피택셜 성장법으로 형성할 수 있다. 오믹콘택층(250)은 홈(H10) 위쪽에 형성될 수 있는데, 이 경우, 홈(H10)보다 다소 큰 폭(X축 방향으로의 폭)을 가질 수 있다. 즉, 오믹콘택층(250)은 액티브층(240) 위에서 그 양쪽(X축 방향으로의 양쪽)으로 다소 연장된 구조를 가질 수 있다.

[0089] 오믹콘택층(250)의 일부를 제거하여 액티브층(240)의 일부를 노출시킬 수 있다. 이때, 오믹콘택층(250)의 Y축 방향에 따른 중앙부를 제거하여 그에 대응하는 액티브층(240)의 중앙부를 노출시킬 수 있다. 그런 다음, 도 6f에 도시된 바와 같이, 노출된 액티브층(240) 상에 게이트절연층(300) 및 게이트전극(400)을 형성할 수 있다. 게이트절연층(300)은, 예컨대, Al_2O_3 , SiO_x , Si_xN_y , Sc_2O_3 , AlN, Ga_2O_3 , Gd_2O_3 , $\text{Al}_x\text{Ga}_{2(1-x)}\text{O}_3$, MgO 및 이들의 조합 중 적어도 하나를 포함하도록 형성할 수 있다. 여기서 개시하지 않았더라도 일반적인 트랜지스터에서 사용하는 게이트절연층 물질이면 어느 것이든 게이트절연층(300) 물질로 적용할 수 있다. 게이트전극(400)은 다양한 금속이나 도전성 산화물 등으로 형성할 수 있다.

[0090] 도 6f에 나타나지는 않았지만, 게이트전극(400)의 Y축 방향에 따른 양측에는 식각되지 않은 오믹콘택층(도 6e의 250)이 잔류될 수 있는데, 그 위에 각각 소오스전극 및 드레인전극을 형성할 수 있다. 상기 소오스전극 및 드레인전극은 도 6f의 A-A'선에 따른 단면도인 도 7에서 확인할 수 있다.

[0091] 도 7을 참조하면, 게이트전극(400) 양측의 액티브층(240) 상에 소오스전극(500A) 및 드레인전극(500B)을 형성할 수 있다. 소오스전극(500A)과 액티브층(240) 사이 및 드레인전극(500B)과 액티브층(240) 사이에 오믹콘택층(250)이 구비될 수 있다. 소오스전극(500A) 및 드레인전극(500B)은 다양한 금속이나 도전성 산화물 등으로 형성할 수 있고, 게이트전극(400)과 동일한 물질 또는 다른 물질로 형성할 수 있다. 게이트전극(400)을 먼저 형성하고 나서 소오스/드레인전극(500A, 500B)을 형성하거나, 소오스/드레인전극(500A, 500B)을 먼저 형성한 후에 게이트전극(400)을 형성할 수 있다. 게이트전극(400)과 소오스/드레인전극(500A, 500B)을 동일한 물질로 형성하는

경우, 이들(400, 500A, 500B)을 동시에 형성할 수 있다. 또한, 도시하지는 않았지만, 액티브층(240)과 게이트절연층(300) 사이에 제2 베리어층을 더 형성할 수도 있다. 상기 제2 베리어층의 물질은 베리어층(230)과 동일하거나 유사할 수 있다.

- [0092] 도 6a 내지 도 6f의 실시예에서는 기판(100)의 일부를 식각한 후, 리세스 영역(R10) 상에 소자 제조공정을 진행하였지만, 다른 실시예에서는 기판(100)의 일부를 식각하지 않고, 후속 공정을 진행할 수도 있다. 그 일례가 도 8a 내지 도 8c에 도시되어 있다. 이하에서는, 도 8a 내지 도 8c를 참조하여, 본 발명의 다른 실시예에 따른 반도체소자의 제조방법을 설명한다.
- [0093] 도 8a를 참조하면, 기판(101) 상에 소정의 마스크층(111)을 형성할 수 있다. 기판(101)은 도 6a의 기판(100)과 동일할 수 있다. 즉, 기판(101)은 실리콘 기판일 수 있다. 또한, 기판(101)은 p형 불순물도 도핑된 기판일 수 있다. 마스크층(111)은 기판(101)의 상면 일부를 노출시키는 적어도 하나의 홈(H11)을 포함할 수 있다. 마스크층(111)은 도 6b의 마스크층(110')과 유사한 물질 및 방법으로 형성할 수 있다.
- [0094] 도 8b를 참조하면, 홈(H11)에 의해 노출된 기판(101) 부분 상에 버퍼층(211), 전류차단층(221) 및 액티브층(241)을 순차적으로 형성할 수 있다. 전류차단층(221)과 액티브층(241) 사이에는 베리어층(231)을 더 형성할 수 있다. 버퍼층(211), 전류차단층(221), 베리어층(231) 및 액티브층(241) 중 적어도 하나는 III-V족 기반의 물질을 포함하도록 형성할 수 있다. 버퍼층(211), 전류차단층(221), 베리어층(231) 및 액티브층(241)은 모두 III-V족 기반의 물질로 형성할 수 있다. 버퍼층(211), 전류차단층(221), 베리어층(231) 및 액티브층(241) 각각의 구체적인 물질, 특성, 형성방법 등은 도 6e를 참조하여 설명한 바와 동일하거나 유사할 수 있다. 다음, 액티브층(241) 상에 오믹콘택층(251)을 형성할 수 있다. 오믹콘택층(251)은 저저항의 III-V족 물질을 포함하도록 형성할 수 있다.
- [0095] 오믹콘택층(251)의 일부(예컨대, Y축 방향으로의 중앙부)를 제거하여 액티브층(241)의 일부를 노출시킬 수 있다. 그런 다음, 도 8c에 도시된 바와 같이, 노출된 액티브층(241) 상에 게이트절연층(301) 및 게이트전극(401)을 형성할 수 있다. 도 8c에 나타나지는 않았지만, 게이트전극(401)의 Y축 방향에 따른 양측에는 식각되지 않은 오믹콘택층(도 8b의 251)이 구비될 수 있는데, 그 위에 각각 소오스전극 및 드레인전극을 형성할 수 있다. 상기 소오스전극 및 드레인전극은 도 8c의 A-A'선에 따른 단면도인 도 9에서 확인할 수 있다.
- [0096] 도 9를 참조하면, 게이트전극(401) 양측의 액티브층(241) 상에 소오스전극(501A) 및 드레인전극(501B)을 형성할 수 있다. 소오스전극(501A)과 액티브층(241) 사이 및 드레인전극(501B)과 액티브층(241) 사이에 오믹콘택층(251)이 구비될 수 있다. 도 9의 구조는 도 7의 구조와 유사하다.
- [0097] 도 6a 내지 도 6f의 제조방법 및 도 8a 내지 도 8c의 제조방법에서는 전류차단층(220, 221)이 단층 구조를 갖는 경우에 대해서 도시하고 설명하였지만, 전류차단층(220, 221)은 도 3의 전류차단층(CB10)과 같이 다층 구조를 가질 수도 있다. 전류차단층(220, 221)이 상기 다층 구조를 갖는 경우에 대해서는 도 3을 참조하여 설명한 바와 동일하므로, 이에 대한 반복 설명은 배제한다.
- [0098] 도 10은 본 발명의 실시예에 따른 반도체소자(트랜지스터)의 게이트전압(Vg)-드레인전류(Id) 특성을 보여주는 그래프이다. 도 10의 결과를 얻는데 사용한 반도체소자(트랜지스터)는 도 1 및 도 2와 같은 구조를 갖는다. 이때, 기판(SUB1), 버퍼층(BF1), 전류차단층(CB1), 베리어층(BR1), 액티브층(A1), 오믹콘택층(CT1)의 물질은 각각 p-Si, n-InP, p-InP, InAlAs, InGaAs, n+ InGaAs 이었다.
- [0099] 도 10을 참조하면, 본 발명의 실시예에 따른 반도체소자(트랜지스터)는 비교적 우수한 스위칭 특성을 나타내는 것을 확인할 수 있다. 온/오프 전류비(ON/OFF current ratio)는 10^4 정도였다. 만약, 전류차단층(CB1)이 없다면, 액티브층(A1)에서 기판(SUB1)으로의 전류 누설 때문에, 도 10과 같은 스위칭 특성이 나타나지 않고, 게이트전압(Vg)-드레인전류(Id) 그래프는 거의 수평한 형태를 가질 수 있다. 그러나 본 발명의 실시예에서는 전류차단층(CB1)을 사용하기 때문에, 전류의 누설을 효과적으로 차단(억제)할 수 있고, 트랜지스터에서 요구되는 스위칭 특성을 확보할 수 있다.
- [0100] 전술한 설명들에서는 본 발명의 실시예에 따른 반도체소자가 트랜지스터로 사용되는 경우에 대해서 주로 설명하였지만, 본 발명의 실시예에 따른 반도체소자는 트랜지스터 이외에 다른 용도로도 적용될 수 있다. 즉, 소정의 단결정 기판(ex, 실리콘 기판) 상에 III-V족 물질을 적용한 다양한 소자에 본 발명의 사상(idea)을 적용할 수 있다. 예컨대, LED(light emitting diode)나 LD(laser diode)와 같은 광소자(발광소자)나, LED와 LD가 동시에 집적된 OEIC(optoelectronic intergrated circuit), 또는 태양전지 및 포토다이오드(photodiode)와 같은 광발전소자(photovoltaic device) 등에 본 발명의 실시예에 따른 반도체소자의 구조를 적용할 수 있다. 만약, 본 발

명의 실시예에 따른 반도체소자를 광소자에 적용할 경우, 액티브층은 발광층(light emitting layer)이나 광활성층(photoactive layer)으로 사용될 수 있고, 액티브층 상에 구비되는 전극의 개수 및 구성이 전술한 바와 달라질 수 있다. 또한, 액티브층과 전극 사이에 소정의 반도체층이 더 구비될 수 있다. 그 밖에도, 본 발명의 실시예에 따른 반도체소자의 구성은 다양하게 변화될 수 있다.

[0101] 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 구체적인 실시예의 예시로서 해석되어야 한다. 예를 들어, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 도 1 내지 도 5의 반도체소자의 구조는 다양하게 변형될 수 있음을 알 수 있을 것이다. 구체적인 예로, 전류차단층 및 액티브층 등의 물질로 III-V족 물질 이외에 다른 화합물 반도체 물질이 적용될 수 있고, 기판 물질로 실리콘 이외에 다른 물질이 적용될 수 있음을 알 수 있을 것이다. 또한, 베리어층은 구비되지 않을 수도 있음을 알 수 있을 것이다. 그리고 도 6a 내지 도 6f의 제조방법 및 도 8a 내지 도 8c의 제조방법도 다양하게 변화될 수 있음을 알 수 있을 것이다. 부가해서, 당업자라면 본 발명의 사상(idea)은 트랜지스터가 아닌 다른 반도체소자에도 적용될 수 있음을 알 수 있을 것이다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

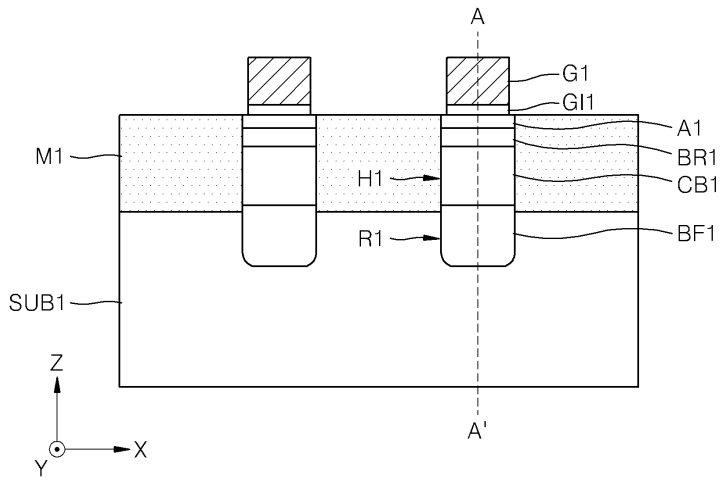
부호의 설명

[0102] * 도면의 주요 부분에 대한 부호설명 *

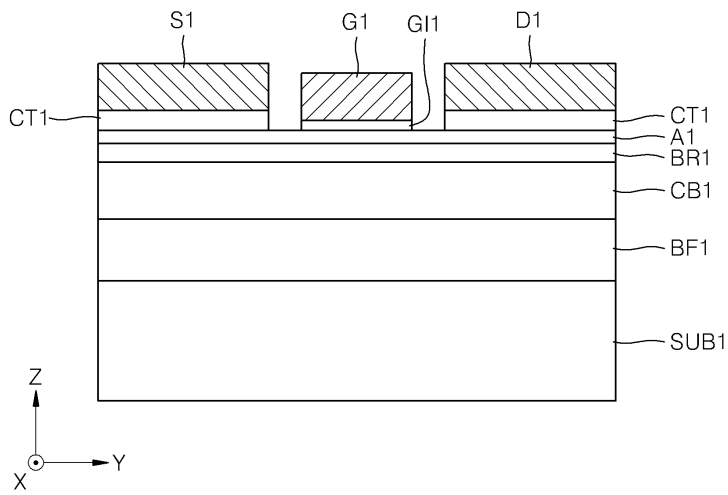
- | | |
|----------------------|------------------------|
| A1, A2 : 액티브층 | BF1, BF2 : 버퍼층 |
| BR1, BR2 : 베리어층 | CB1, CB2, CB10 : 전류차단층 |
| CT1, CT2 : 오믹콘택층 | D1, D2 : 드레인전극 |
| G1, G2 : 게이트전극 | GI1, GI2 : 게이트절연층 |
| H1, H2, H10, H11 : 홈 | M1, M2 : 마스크층 |
| n1 : n형 물질층 | p1, p2 : p형 물질층 |
| R1, R10 : 리세스 영역 | S1, S2 : 소오스전극 |
| SUB1, SUB2 : 기판 | 100, 100', 101 : 기판 |
| 110 : 절연층 | 110', 111 : 마스크층 |
| 120 : 감광막 패턴 | 210, 211 : 버퍼층 |
| 220, 221 : 전류차단층 | 230, 231 : 베리어층 |
| 240, 241 : 액티브층 | 250, 251 : 오믹콘택층 |
| 300, 301 : 게이트절연층 | 400, 401 : 게이트전극 |
| 500A, 501A : 소오스전극 | 500B, 501B : 드레인전극 |

도면

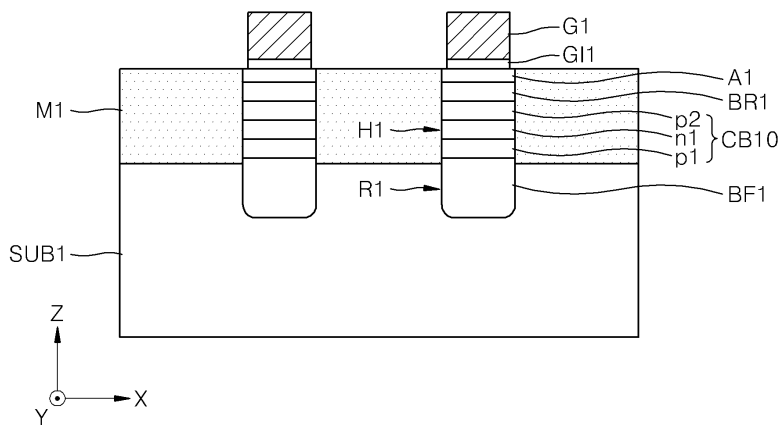
도면1



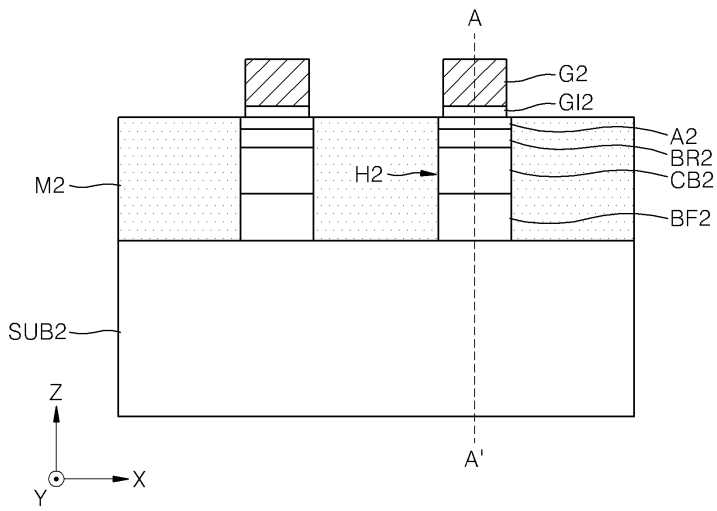
도면2



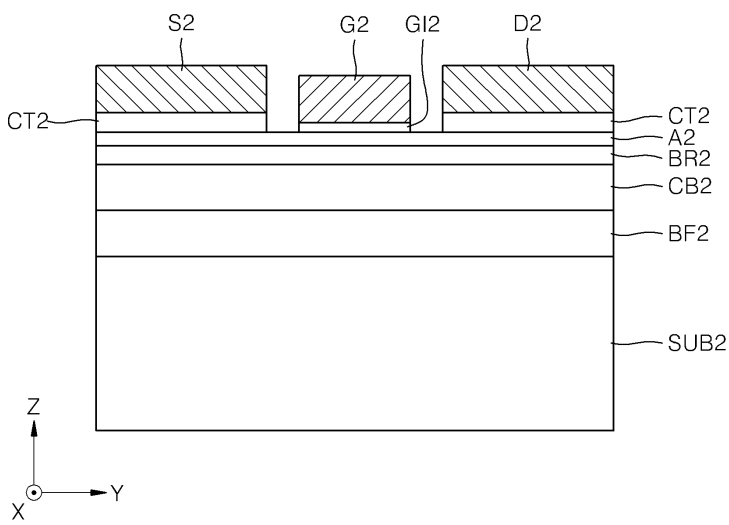
도면3



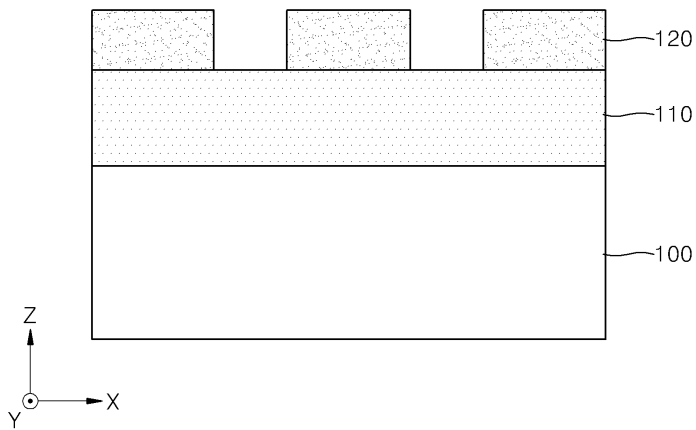
도면4



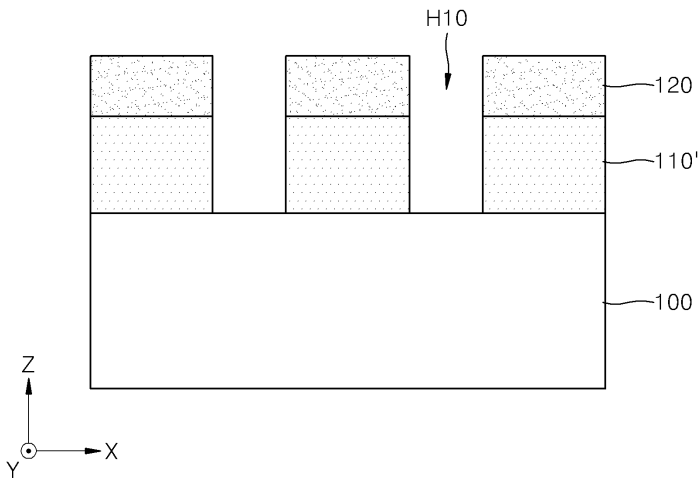
도면5



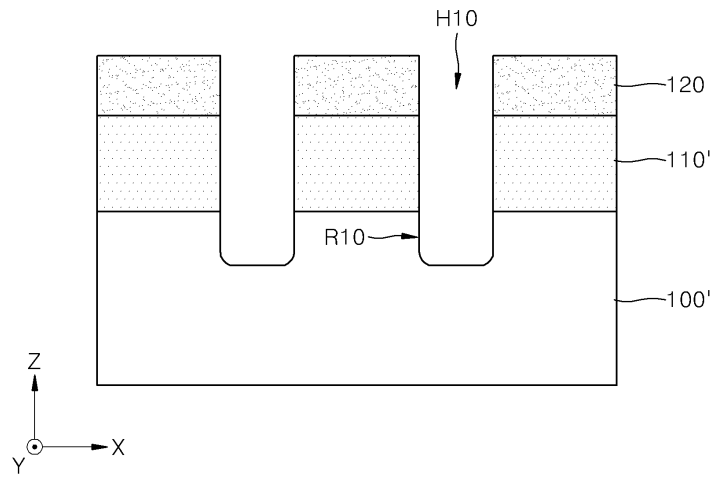
도면6a



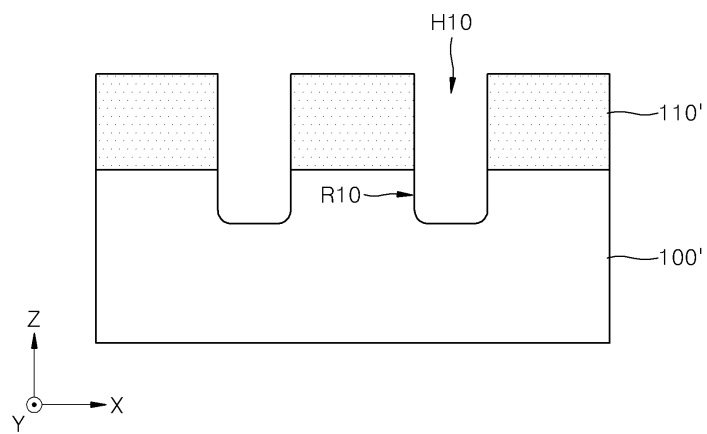
도면6b



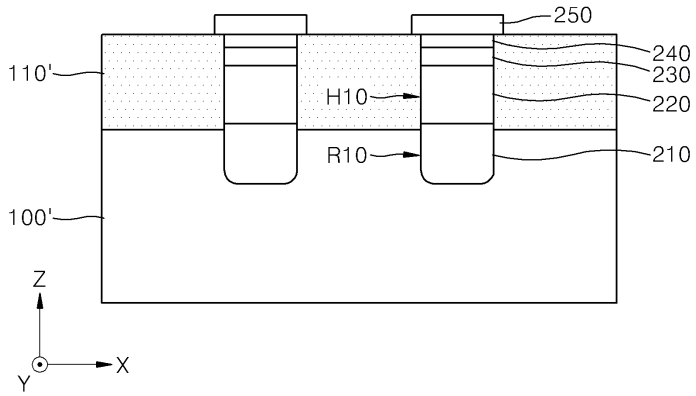
도면6c



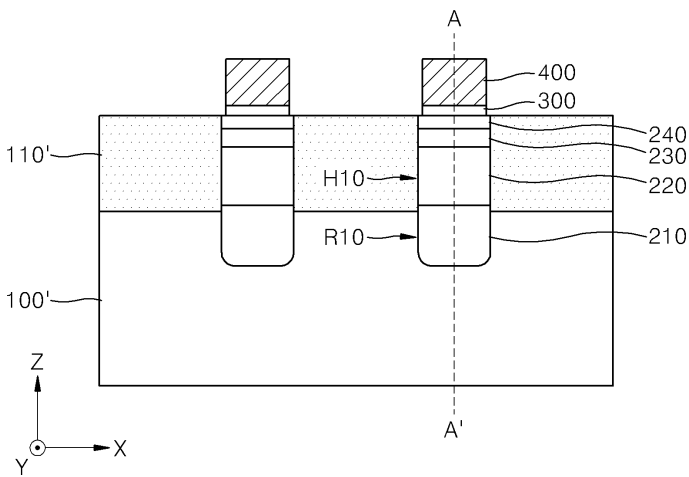
도면6d



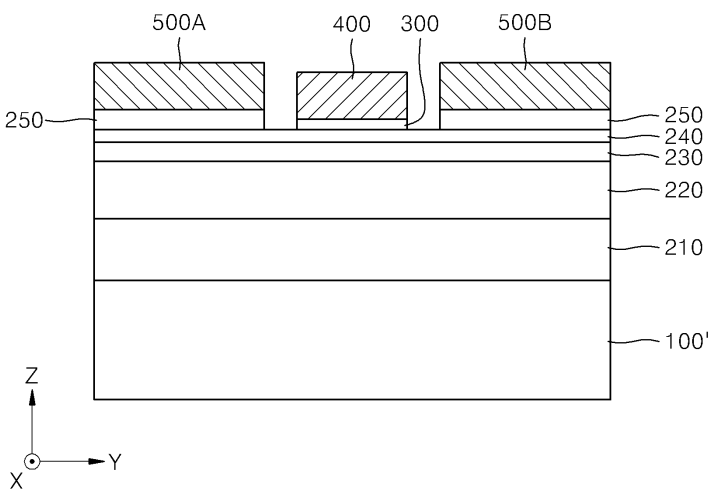
도면6e



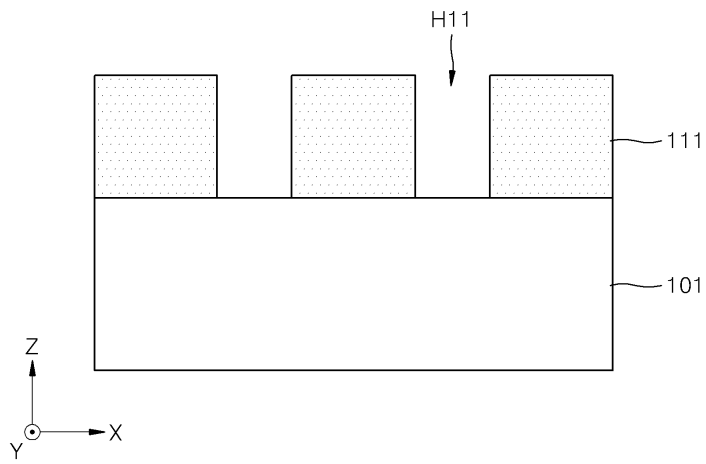
도면6f



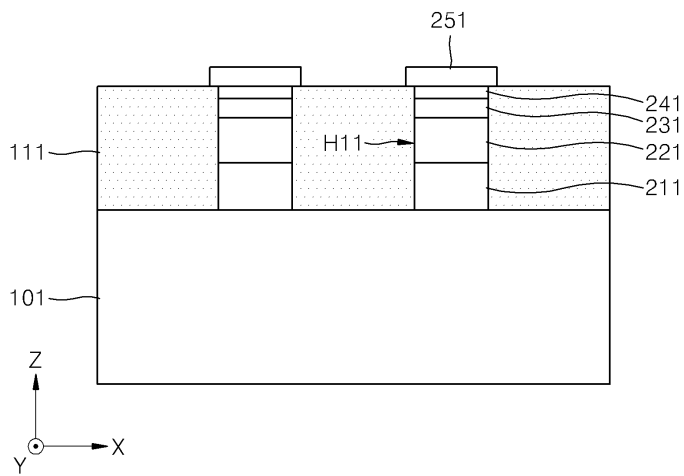
도면7



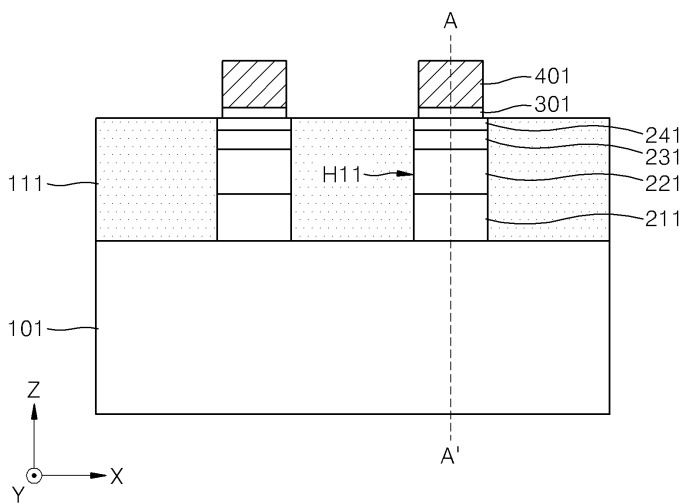
도면8a



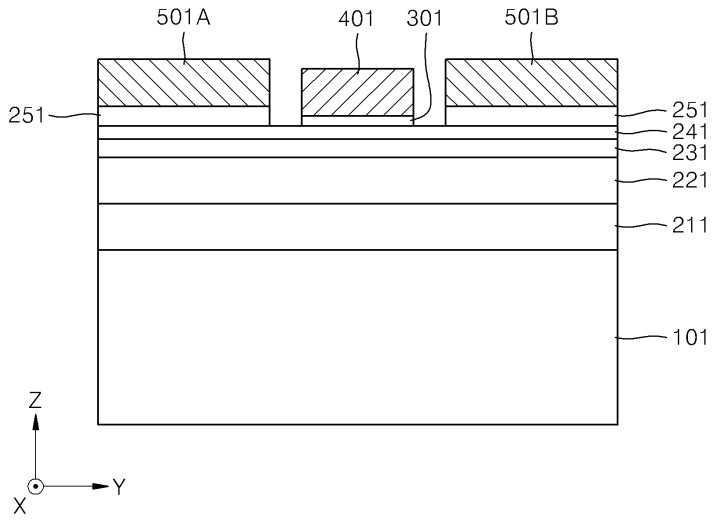
도면8b



도면8c



도면9



도면10

