



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0096589
(43) 공개일자 2018년08월29일

- (51) 국제특허분류(Int. Cl.)
H01L 21/8258 (2006.01) H01L 21/8238 (2006.01)
H01L 27/092 (2006.01)
- (52) CPC특허분류
H01L 21/8258 (2013.01)
H01L 21/823807 (2013.01)
- (21) 출원번호 10-2018-7014246
- (22) 출원일자(국제) 2015년12월22일
심사청구일자 없음
- (85) 번역문제출일자 2018년05월18일
- (86) 국제출원번호 PCT/US2015/067432
- (87) 국제공개번호 WO 2017/111954
국제공개일자 2017년06월29일

- (71) 출원인
인텔 코퍼레이션
미합중국 캘리포니아 95054 산타클라라 미션 칼리지 블러바드 2200
- (72) 발명자
라흐마디, 윌리
미국 97007 오리건주 비버턴 사우스웨스트 넷크래커 코트 10945
메츠, 매튜 브이.
미국 97229 오리건주 포틀랜드 노스웨스트 오로라 플레이스 18860
(뒷면에 계속)
- (74) 대리인
양영준, 김연송, 백만기

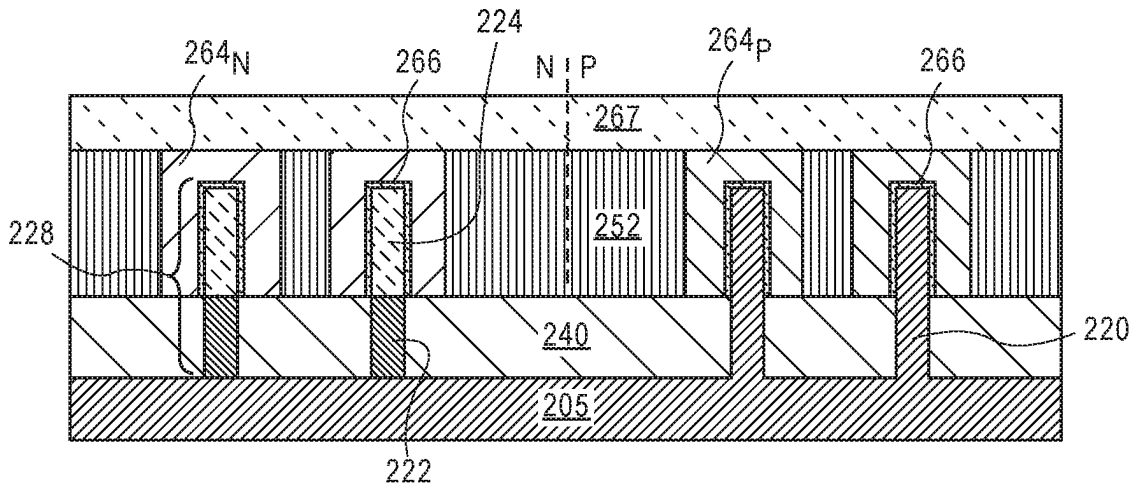
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 **핀 기반 III-V족/SI 또는 GE CMOS SAGE 통합**

(57) 요약

본 발명의 실시예들은 반도체 구조체 및 이러한 구조체를 제조하는 방법을 포함한다. 일 실시예에서, 반도체 구조체는 기판 위에 형성된 제1 핀 및 제2 핀을 포함한다. 제1 핀은 제1 반도체 재료를 포함할 수 있고 제2 핀은 제2 반도체 재료를 포함할 수 있다. 실시예에서, 제1 캐지 구조체는 제1 핀에 인접하여 형성되고, 제2 캐지 구조체는 제2 핀에 인접하여 형성된다. 추가적으로, 실시예들은 제1 핀 위에 형성된 제1 게이트 전극- 제1 캐지 구조체는 제1 게이트 전극과 직접 접촉함 -, 및 제2 핀 위에 형성된 제2 게이트 전극- 제2 캐지 구조체는 제2 게이트 전극과 직접 접촉함 -을 포함할 수 있다.

대표도 - 도21



(52) CPC특허분류

H01L 21/823821 (2013.01)

H01L 27/0924 (2013.01)

(72) 발명자

듀이, 길버트

미국 97123 오리건주 힐스버러 사우스이스트 58번
에비뉴 920

모하파트라, 찬드라 에스.

미국 97006 오리건주 비버턴 노스웨스트 173번 에
비뉴 1865 아파트먼트 2105

카발리에로스, 잭 티.

미국 97229 오리건주 포틀랜드 노스웨스트 브론슨
크레스트 루프 3734

머시, 아난드 에스.

미국 97229 오리건주 포틀랜드 노스웨스트 루체른
코트 10934

가니, 타히르

미국 97229 오리건주 포틀랜드 노스웨스트 스톤브
릿지 드라이브 14191

명세서

청구범위

청구항 1

반도체 구조체로서,

기관;

상기 기관 위에 형성된 제1 핀- 상기 제1 핀은 제1 반도체 재료를 포함함 -;

상기 제1 핀에 인접하여 형성된 제1 케이지 구조체- 상기 제1 핀의 각각의 측벽은 상기 제1 케이지의 가장 가까운 측벽으로부터 제1 간격만큼 이격됨 -;

상기 제1 핀 위에 형성된 제1 게이트 전극- 상기 제1 케이지 구조체는 상기 제1 게이트 전극과 직접 접촉함 -;

상기 기관 위에 형성된 제2 핀- 상기 제2 핀은 제2 반도체 재료를 포함함 -;

상기 제2 핀에 인접하여 형성된 제2 케이지 구조체- 상기 제2 핀의 각각의 측벽은 상기 제2 케이지의 가장 가까운 측벽으로부터 제2 간격만큼 이격됨 -; 및

상기 제2 핀 위에 형성된 제2 게이트 전극- 상기 제2 케이지 구조체는 상기 제2 게이트 전극과 직접 접촉함 - 을 포함하는, 반도체 구조체.

청구항 2

제1항에 있어서,

상기 제2 반도체 재료는 III-V족 반도체 재료인, 반도체 구조체.

청구항 3

제2항에 있어서,

상기 제2 핀은:

상기 기관과 접촉하는 버퍼 층; 및

상기 버퍼 층 위에 형성된 활성 영역- 상기 활성 영역은 상기 제2 반도체 재료로부터 형성됨 - 을 포함하는, 반도체 구조체.

청구항 4

제3항에 있어서,

상기 활성 영역의 상부 표면은 원자적으로 평활한, 반도체 구조체.

청구항 5

제3항에 있어서,

상기 버퍼 층은 그레이디드(graded) 버퍼 층인, 반도체 구조체.

청구항 6

제3항에 있어서,

상기 버퍼 층은 GaAs이고 상기 채널 영역은 InGaAs인, 반도체 구조체.

청구항 7

제3항에 있어서,

상기 제1 반도체 재료는 상기 제2 반도체 재료와 상이한 III-V족 반도체 재료이고, 상기 제1 반도체 재료는 상기 기판과 상이한 재료인, 반도체 구조체.

청구항 8

제7항에 있어서,

상기 제1 핀은 반도체 재료들의 스택을 추가로 포함하는, 반도체 구조체.

청구항 9

제8항에 있어서,

상기 제1 핀에서의 반도체 재료들의 상기 스택은 SiGe/Ge/SiGe 스택이고, 상기 Ge 부분은 상기 제1 핀에서 채널 영역을 형성하는, 반도체 구조체.

청구항 10

제1항에 있어서,

상기 제1 핀은 상기 제2 핀과 상이한 높이인, 반도체 구조체.

청구항 11

제1항에 있어서,

상기 제1 게이트 전극을 상기 제2 게이트 전극에 전기적으로 결합하는 인터커넥트를 추가로 포함하는, 반도체 구조체.

청구항 12

제11항에 있어서,

상기 반도체 구조체는 상보형 금속 산화물 반도체(CMOS) 디바이스를 형성하는, 반도체 구조체.

청구항 13

제11항에 있어서,

상기 제1 핀은 P형 트랜지스터의 컴포넌트이고 상기 제2 핀은 N형 트랜지스터의 컴포넌트인, 반도체 구조체.

청구항 14

반도체 구조체를 형성하는 방법으로서,

제1 반도체 재료로 형성된 기판 위에 캡 층을 형성하는 단계- 상기 캡 층은 상기 제1 반도체 재료에 대해 에칭 선택성이 있음 -;

상기 기판에 제1 및 제2 핀을 형성하는 단계;

상기 기판 위에 그리고 상기 제1 및 제2 핀들 주위에 얇은 트렌치 격리(STI) 층을 형성하는 단계;

상기 제2 핀을 제거하여 상기 STI 층에 개구를 형성하는 단계;

상기 개구에 제2 반도체 재료를 에피택셜 성장시켜 대체 핀을 형성하는 단계;

상기 STI 층을 리세스하는 단계;

상기 제1 핀 및 상기 대체 핀 각각의 측면들에 인접하여 스페이서들을 형성하는 단계;

상기 스페이서들에 인접하여 케이지 구조체들을 형성하는 단계;

상기 스페이서들을 제거하여 적어도 하나의 케이지 구조체와 상기 제1 핀 사이에 개구를 형성하고 적어도 하나의 케이지 구조체와 상기 대체 핀 사이에 개구를 형성하는 단계;

상기 제1 핀 위에 제1 게이트 전극을 형성하는 단계; 및
상기 대체 핀 위에 제2 게이트 전극을 형성하는 단계
를 포함하는, 방법.

청구항 15

제14항에 있어서,
상기 제2 대체 핀은 상기 제2 반도체 재료 위에 형성된 캡 층을 추가로 포함하고, 상기 캡 층은 상기 제2 반도체 재료에 대해 에칭 선택성이 있는, 방법.

청구항 16

제15항에 있어서,
상기 케이지 스페이서들을 제거하기 전에 상기 제1 핀으로부터 상기 캡 층을 제거하고 상기 대체 핀으로부터 상기 캡 층을 제거하는 단계를 추가로 포함하는, 방법.

청구항 17

제16항에 있어서,
상기 대체 핀의 상부 표면들은 상기 캡이 제거된 후에 원자적으로 평활한, 방법.

청구항 18

제14항에 있어서,
상기 제2 반도체 재료는 III-V족 반도체 재료인, 방법.

청구항 19

제14항에 있어서,
상기 제1 게이트 전극을 상기 제2 게이트 전극에 전기적으로 결합하는 인터넥트를 형성하는 단계를 추가로 포함하는, 방법.

청구항 20

제19항에 있어서,
상기 반도체 구조체는 CMOS 디바이스인, 방법.

청구항 21

제14항에 있어서,
상기 제1 핀은 상기 대체 핀의 두께와 상이한 두께를 갖는, 방법.

청구항 22

제14항에 있어서,
상기 대체 핀을 형성하는 단계는,
상기 기판 위에 버퍼 층을 에피택셜 성장시키는 단계;
상기 버퍼 층 위에 대체 채널 층을 에피택셜 성장시키는 단계; 및
상기 대체 채널 층 위에 캡 층을 에피택셜 성장시키는 단계
를 추가로 포함하는, 방법.

청구항 23

제22항에 있어서,

상기 버퍼 층은 그레이디드 층이고, 상기 버퍼 층의 상부 표면은 상기 버퍼 층의 하부 표면과 상이한 격자 간격을 갖는, 방법.

청구항 24

반도체 구조체로서,

기판;

상기 기판 위에 형성된 제1 핀- 상기 제1 핀은 제1 반도체 재료를 포함함 -;

상기 제1 핀에 인접하여 형성된 제1 케이징 구조체- 상기 제1 핀의 각각의 측벽은 상기 제1 케이징의 가장 가까운 측벽으로부터 제1 간격만큼 이격됨 -;

상기 제1 핀 위에 형성된 제1 게이트 전극- 상기 제1 케이징 구조체는 상기 제1 게이트 전극과 직접 접촉함 -;

상기 기판 위에 형성된 제2 핀- 상기 제2 핀은 상기 기판과 접촉하는 버퍼 층 및 상기 버퍼 층 위에 형성된 채널 영역을 포함하고, 상기 채널 영역은 III-V족 반도체 재료로 형성됨 -;

상기 제2 핀에 인접하여 형성된 제2 케이징 구조체- 상기 제2 핀의 각각의 측벽은 상기 제2 케이징의 가장 가까운 측벽으로부터 제2 간격만큼 이격됨 -; 및

상기 제2 핀 위에 형성된 제2 게이트 전극- 상기 제2 케이징 구조체는 상기 제2 게이트 전극과 직접 접촉함 - 을 포함하는, 반도체 구조체.

청구항 25

제24항에 있어서,

상기 반도체 구조체는 CMOS 디바이스를 형성하고,

상기 제1 게이트 전극을 상기 제2 게이트 전극에 전기적으로 결합하는 인터커넥트를 추가로 포함하고, 상기 제1 핀은 P형 트랜지스터의 컴포넌트이고, 상기 제2 핀은 N형 트랜지스터의 컴포넌트인, 반도체 구조체.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 반도체 디바이스들 및 처리 분야, 특히, 그 채널 영역들에 사용되는 상이한 반도체 재료들을 갖는 비평면 N형 및 P형 트랜지스터들을 포함하는 CMOS 디바이스에서의 자기 정렬 게이트 에지 구조체들의 통합 분야에 있다.

배경 기술

[0002] 지난 수십 년 동안, 집적 회로들에서의 피쳐들의 스케일링은 계속 성장하는 반도체 산업의 원동력이 되어 왔다. 점점 더 작은 피쳐들로의 스케일링은 반도체 칩들의 제한된 면적(real estate) 상에서의 기능 유닛들의 증가된 밀도들을 가능하게 한다. 예를 들어, 트랜지스터 크기를 축소시키면 증가된 수의 메모리 또는 논리 디바이스를 칩 상에 수용하는 것이 허용되어, 증가된 용량을 가진 제품들의 제조로 이어진다. 하지만, 점점 더 많은 용량에 대한 욕구가 쟁점이다. 각각의 디바이스의 성능을 최적화할 필요성이 점점 중요해지고 있다.

[0003] 집적 회로 디바이스들의 제조에 있어서, 디바이스 치수들이 계속해서 축소됨에 따라 트라이게이트 트랜지스터(tri-gate transistor)들과 같은 다중 게이트 트랜지스터들이 더 보편적이 되고 있다. 종래의 프로세스들에서, 트라이게이트 트랜지스터들은 일반적으로 벌크 실리콘 기판들 또는 실리콘-온-인슐레이터(silicon-on-insulator) 기판들 중 어느 하나 상에 제조된다. 일부 경우에서, 트라이게이트 트랜지스터들은 전기적으로 결합되어 상보형 금속 산화물 반도체(CMOS) 디바이스들을 형성할 수 있다. CMOS 디바이스들은 논리 연산들을 수행하도록 함께 결합될 수 있는 N형 및 P형 트랜지스터들의 상보형 쌍들을 포함한다.

[0004] CMOS의 성능을 최적화하기 위해, N형 및 P형 트랜지스터들을 상이한 반도체 재료들로 형성하는 것이 종종 필요하다. 통상적으로, 이는 제1 반도체 기판에 제2 반도체 재료의 아일랜드를 형성하는 것에 의해 행해진다. 예

를 들어, 도 1a에서, 개구(110)는 실리콘 기판(105) 내로 에칭된다. 그 후, 도 1b에 도시된 바와 같이, 제2 반도체 재료가 개구(110) 내에 에피택셜 성장되어 아일랜드 영역(112)을 형성한다. 도 1c에 도시된 바와 같이, 그 후 복수의 핀(120)이 건식 에칭 프로세스로 기판(105) 및 아일랜드 영역(112) 내로 패터닝될 수 있다. 그러나, 핀들의 임계 치수가 계속 감소됨에 따라, 건식 에칭 프로세스가 문제점들을 생성하기 시작한다.

[0005] 고 중형비 핀들을 형성하기 위해 사용되는 것들과 같은 이방성 건식 에칭 프로세스들은 일반적으로 이온 충격과 패시베이션의 조합을 포함한다. 패시베이션 층은 노출된 표면들 위에 형성되고, 이온 충격은 패시베이션 층 및 노출된 평면 표면들로부터 에칭되는 재료를 제거한다. 이와 같이, 건식 에칭 프로세스는 반도체 재료를 패시베이팅 종(passivating species)에 노출시키고 이온에 의해 충격이 가해진다. 따라서, 건식 에칭 프로세스는 불순물들을 도입하고, 핀들(120)로 만들어진 트라이게이트 트랜지스터 디바이스들의 성능에 부정적으로 영향을 주는 표면 결함들을 에칭된 핀에 발생시킬 수 있다. III-V족 반도체 재료들은 건식 에칭 프로세스들에 노출될 때 표면 결함들을 형성하는 것에 대해 특히 취약하다는 것이 발견되었다. 따라서, 아일랜드 영역이 III-V족 반도체 재료로 형성되는 경우, 건식 에칭 프로세스로 형성된 결과적인 핀들은 반도체 기판의 다른 부분들에 형성되는 핀들에 비해 불량한 성능 특성들을 가질 수 있다.

도면의 간단한 설명

[0006] 도 1a는 표면 내로 에칭된 개구를 갖는 반도체 기판의 단면도이다.
 도 1b는 제2 반도체 재료가 반도체 기판의 개구에 에피택셜 성장된 후의 반도체 기판의 단면도이다.
 도 1c는 복수의 핀이 건식 에칭 프로세스로 형성된 후의 반도체 기판의 단면도이다.
 도 2a는 본 발명의 실시예에 따라, 캡 층을 포함하는 반도체 기판의 단면도이다.
 도 2b는 본 발명의 실시예에 따라, 핀들이 형성되고 얇은 트렌치 격리(STI) 층이 핀들 사이에 형성된 후의 반도체 기판의 단면도이다.
 도 2c는 본 발명의 실시예에 따라, 기판의 N형 영역에서의 핀들이 제거된 후의 반도체 기판의 단면도이다.
 도 2d는 본 발명의 실시예에 따라, 기판의 N형 영역의 핀 개구들에서 대체 핀들이 성장된 후의 반도체 기판의 단면도이다.
 도 2e는 본 발명의 실시예에 따라, STI 층이 핀들의 상부 표면 아래로 리세스된 후의 반도체 기판의 단면도이다.
 도 2f는 본 발명의 실시예에 따라, 케이지 스페이서(cage spacer)들이 핀들의 노출된 표면들 위에 형성된 후의 반도체 기판의 단면도이다.
 도 2g는 본 발명의 실시예에 따라, 케이지 충전 재료가 케이지 스페이서들 사이에 그리고 케이지 스페이서들 위에 배치된 후의 반도체 기판의 단면도이다.
 도 2h는 본 발명의 실시예에 따라, 케이지 충전 재료 및 케이지 스페이서 층이 리세스되고 핀들의 상부 표면들이 노출된 후의 반도체 기판의 단면도이다.
 도 2i는 본 발명의 실시예에 따라, 캡 층 및 캡 층이 제거된 후의 반도체 기판의 단면도이다.
 도 2j는 본 발명의 실시예에 따라 케이지 스페이서들이 제거된 후의 반도체 기판의 단면도이다.
 도 2k는 본 발명의 실시예에 따라, 더미 게이트 전극들이 핀들 위에 퇴적된 후의 반도체 기판의 단면도이다.
 도 2l은 본 발명의 실시예에 따라, 더미 게이트 전극들이 금속 게이트 전극들로 대체된 후의 반도체 기판의 단면도이다.
 도 3은 본 발명의 하나 이상의 실시예를 구현하는 인터포저의 단면도이다.
 도 4는 본 발명의 실시예에 따라 구축되는 하나 이상의 트랜지스터를 포함하는 컴퓨팅 디바이스의 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0007] 본 명세서에서 반도체 패키지를 포함하는 시스템들 및 이러한 반도체 패키지들을 형성하는 방법이 설명된다. 다음의 설명에서, 예시적인 구현예들의 다양한 양태들은 그 작동의 실체를 본 기술분야의 다른 통상의 기술자들

에게 전달하기 위하여 본 기술분야의 통상의 기술자들에 의해 보편적으로 채용된 용어들을 이용하여 설명될 것이다. 그러나, 설명된 양태들 중 일부만으로 본 발명이 실시될 수 있다는 것이 본 기술분야의 통상의 기술자들에게 명백할 것이다. 설명의 목적상, 예시적인 구현예들의 완전한 이해를 제공하기 위해 특정 번호들, 재료들 및 구성들이 제시된다. 그러나, 본 발명이 구체적인 세부 사항들 없이 실시될 수 있다는 것이 본 기술분야의 통상의 기술자에게 명백할 것이다. 다른 경우들에서는, 예시적인 구현예들을 모호하게 하지 않기 위하여 잘 알려진 피쳐들이 생략되거나 간략화된다.

- [0008] 다양한 동작들은 다수의 별개의 동작으로서, 차례로, 본 발명을 이해하는 데 가장 도움이 되는 방식으로 설명될 것이지만, 그러나, 설명의 순서가 이러한 동작들이 반드시 순서에 의존적인 것을 암시하는 것으로 해석되지는 않아야 한다. 특히, 이러한 동작들은 제시의 순서로 수행될 필요는 없다.
- [0009] 본 발명의 하나 이상의 실시예는 적어도 제1 반도체 재료로부터 형성된 제1 타입의 핀 및 제2 반도체 재료로부터 형성된 제2 타입의 핀 주위에 형성된 하나 이상의 자기 정렬 게이트 에지(SAGE) 구조체를 갖는 반도체 구조체들 또는 디바이스들에 관한 것이다. 실시예에 따르면, 제2 반도체 재료는 III-V족 반도체이고, 제2 타입의 반도체 재료로 형성된 핀들은 건식 에칭 프로세스에 노출되지 않는다.
- [0010] 전술한 바와 같이, 상이한 반도체 재료들과 핀들의 통합은 제1 반도체 재료의 반도체 기판 내에 제2 반도체 재료의 아일랜드를 에피택셜 성장시킴으로써 통상적으로 수행된다. 아일랜드가 형성된 후에, 반도체 재료들 양자 모두가 건식 에칭 프로세스로 패터닝된다. 대조적으로, 본 발명의 실시예들은 제2 반도체 재료를 에피택셜 성장시키는 것 전에 건식 에칭 프로세스로 핀들을 패터닝하는 것을 포함한다. 그 후, 얇은 트렌치 격리(STI) 층이 제1 핀들 주위에 형성될 수 있다. 그 후, 제2 타입의 핀은, STI 층에 대체 핀 개구들을 형성하기 위해 제1 핀들 중 하나 이상을 제거하는 것에 의해 형성될 수 있다. 대체 핀들이 패터닝된 제1 핀들과 실질적으로 동일한 형상을 갖도록 대체 핀 개구들의 측벽들은 제2 반도체 재료의 에피택셜 성장을 국한시킨다. 따라서, 제2 반도체 재료는 건식 에칭 프로세스에 노출되지 않고서 고 종횡비 핀으로 형성될 수 있다. 따라서, 본 발명의 실시예들은, 제2 타입의 핀들이 표면 결함들이 실질적으로 없는 III-V족 반도체 재료로 형성될 수 있게 하는데, 만약 그렇지 않다면 III-V족 반도체 재료가 건식 에칭 프로세스에 노출되었던 경우이었을 것이기 때문이다.
- [0011] 이제 도 2a를 참조하면, 본 발명의 실시예에 따른 반도체 기판(205)의 단면도가 도시된다. 실시예에 따르면, 반도체 기판(205)을 형성하기 위해 사용되는 재료는 제1 반도체 재료로서 지칭될 수 있다. 제1 반도체 재료는 반도체 재료의 나머지 부분들에 상당한 표면 손상을 야기하지 않고서 건식 에칭 프로세스로 에칭될 수 있는 임의의 적합한 반도체 재료일 수 있다. 예를 들어, 반도체 기판(205)은 벌크 실리콘 또는 실리콘-온-인슐레이터 서브구조체를 사용하여 형성된 결정질 기판일 수 있다.
- [0012] 본 발명의 실시예에 따르면, 반도체 기판(205)의 상부 표면 위에 캡 층(230)이 형성될 수 있다. 캡 층(230)은 반도체 기판(205)에 대해 선택적으로 에칭될 수 있는 반도체 재료일 수 있다. 예를 들어, 반도체 기판(205)이 실리콘 기판인 경우, 캡 층(230)은 실리콘 게르마늄(SiGe)일 수 있다. 실시예에 따르면, 캡 층(230)은 에피택셜 성장된다. 캡 층(230)의 두께 T는 이하에서 더 상세히 설명되는 바와 같이, 완성된 트랜지스터 디바이스에서 채널 위에 원하는 게이트 두께를 제공하도록 선택될 수 있다.
- [0013] 이제 도 2b를 참조하면, 핀들(220)이 패터닝된 후에 반도체 기판(205)의 단면도가 도시된다. 본 발명의 실시예들에 따르면, 핀들(220)은 2:1 이상의 높이 대 폭 비율을 갖는 핀들과 같은 고 종횡비 핀들일 수 있다. 본 발명의 실시예들은 대략 20 nm와 150 nm 사이의 높이를 갖고 대략 5 nm와 30 nm 사이의 폭들을 갖는 핀들(220)을 포함한다. 핀들(220)은 마스크 및 에칭과 같은 임의의 널리 공지된 기술로 형성될 수 있다. 본 발명의 실시예들은 건식 에칭 프로세스로 핀들(220)을 형성하는 것을 포함한다. 따라서, N형 영역(도 2b의 좌측) 및 P형 영역(도 2b의 우측)에 형성된 핀들(220)은 단일 건식 에칭 프로세스로 형성될 수 있다.
- [0014] 실시예에 따르면, 핀들(220) 각각 사이에 STI 층(240)이 형성될 수 있다. 실시예에서, 핀들(220)의 상부 표면 위에 형성된 임의의 오버버든은 각각의 핀의 캡 층(230)의 상부 표면이 노출되도록 보장하기 위해 폴리싱 백될 수 있다. 실시예에 따르면, STI 층(240)은 임의의 적합한 산화물, 질화물, 또는 임의의 다른 절연성 재료, 또는 유전체 재료들 중 2개 이상의 조합일 수 있다. 예를 들어, STI 층(240)은 실리콘 이산화물 또는 산질화물일 수 있다.
- [0015] 전술한 바와 같이, CMOS 디바이스들은 종종 N형 및 P형 트랜지스터들에 대해 상이한 반도체 재료들의 사용을 필요로 한다. 그러나, N형 영역에 제2 반도체 재료의 아일랜드 영역을 형성하는 대신에, 본 발명의 실시예들은 대체 핀들을 형성하는 것을 포함할 수 있다. 도 2c에 도시된 바와 같이, N형 영역에서의 핀들(220)은

제거된다. 실시예에 따르면, P형 영역에서의 핀들(220)이 리세스되는 것을 방지하기 위해, 에칭 마스크(232)가 디바이스의 P형 영역들 위에 퇴적될 수 있다. 그 후, N형 영역의 핀들(220)은 에칭 제거되어 대체 핀 개구들(221)을 형성할 수 있다. 캡 층(230) 및 핀들(220) 양자 모두를 제거하기 위해, 일부 실시예들은 재료들 사이의 에칭 선택성으로 인해 다수의 에칭 화학작용을 포함할 수 있다.

[0016] 대체 핀 개구들(221)은 제2 반도체 재료로 형성된 대체 핀들이 에피택셜 성장될 수 있는 구조체를 제공한다. 실시예에 따르면, 대체 핀 개구들(221)은 원래의 핀들(220)과 실질적으로 동일한 형상일 수 있다. 따라서, 제2 반도체 재료의 에피택셜 성장은 측벽(223)에 의해 국한되고 건식 에칭 프로세스로 패터닝될 필요 없이 대체 핀들이 고 종횡비 핀들이 될 수 있게 한다. 다른 실시예에서, 기판(205)의 일부는 핀들(220)이 제거된 후에 제거될 수 있다. 예를 들어, 기판(205)의 일부는 후속적인 에피택셜 성장이 일어날 수 있는 패싯형(faceted) 표면을 제공하기 위해 기판(205)이 형성된 반도체 결정의 패싯들을 따라 에칭될 수 있다.

[0017] 이제 도 2d를 참조하면, 대체 핀들(228)이 대체 핀 개구들(221)에서 형성된 후의 반도체 기판(205)의 단면도가 본 발명의 실시예에 따라 도시된다. 실시예에 따르면, 대체 핀들(228)은 에피택셜 성장될 수 있다. 에칭 마스크(232)가 P형 영역의 상부 표면 위에 여전히 형성되기 때문에, 에피택셜 성장은 N형 영역들로 제한될 것이다. 에피택셜 성장은 대체 핀 개구들(221)의 측벽들(223)에 의해 국한된다. 이와 같이, 에피택셜 성장된 대체 핀들(228)은 트라이게이트 트랜지스터들과 같은 비평면 트랜지스터들에 사용하기에 적합한 고 종횡비 핀들이 될 수 있다.

[0018] 대체 핀들(228)은 반도체 재료의 하나 이상의 상이한 층을 포함할 수 있다. 예를 들어, 도 3d에서의 도시된 실시예는 에피택셜 성장된 반도체 재료들의 3개의 층을 포함한다. 실시예에서, 대체 핀(228)의 상이한 층들은 버퍼 층(222), 활성 영역(224), 및 캡 영역(226)을 포함할 수 있다. 본 발명의 실시예들에서, 대체 핀들(228)은 하나 이상의 상이한 III-V족 반도체 재료들(예를 들어, 알루미늄 비화물(AlAs), 알루미늄 안티몬화물(AlSb), 갈륨 질화물(GaN), 갈륨 인화물(GaP), 갈륨 비화물(GaAs), 인듐 인화물(InP), 인듐 갈륨 비화물(InGaAs) 등)을 포함할 수 있다. III-V족 반도체 재료들의 사용이 N형 트랜지스터들의 성능 특성들을 개선하는 데 바람직할 수 있지만, 디바이스의 특정 니즈에 따라 임의의 반도체 재료가 대체 핀 개구들(221)에서 에피택셜 성장될 수 있다는 점을 인식해야 한다.

[0019] 본 발명의 실시예들은 대체 핀(228)의 활성 영역(224)에서의 결함 밀도를 감소시키는 피쳐들을 포함할 수 있다. 예를 들어, 기판(205)을 형성하기 위해 사용되는 제1 반도체 재료의 제1 격자 간격으로부터 활성 영역(224)을 형성하기 위해 사용되는 제2 반도체 재료의 제2 격자 간격까지의 격자 간격을 변화시키기 위해 하나 이상의 버퍼 층(222)이 사용될 수 있다. 하나 이상의 버퍼 층(222)으로 격자 간격을 변화시키는 것은 활성 영역(224)의 에피택셜 성장이 격자 불일치로 인한 더 적은 결함을 가질 수 있게 한다. 일부 실시예들에서, 버퍼 층(222)은 그레이디드(graded) 버퍼 층으로서 지칭될 수 있다. 그레이디드 버퍼 층은 버퍼 층(222)의 상부 표면의 격자 간격과 상이한 격자 간격을 갖는 하부 표면을 포함할 수 있다. 추가적으로, 대체 핀 개구들(221)의 고 종횡비는 종횡비 트래핑(ART)을 통해 전위 밀도를 또한 감소시킬 수 있다. ART는 격자에서의 전위들이 측벽들(223)을 향해 전파될 수 있게 한다. 전위가 측벽에 도달하면, 전위는 종결되고, 따라서, 대체 핀(228)은 활성 영역(224)에서 감소된 전위 밀도를 가질 것이다.

[0020] 전위 밀도를 감소시키는 것에 더하여, 버퍼 층(224)은 완성된 트랜지스터의 전기적 성능을 또한 개선시킬 수 있다. 활성 영역(224)에 사용되는 반도체 재료로부터의 전도대 오프셋을 갖는 버퍼 층(224)을 포함하는 실시예들에서, 반-절연성(semi-insulating) 효과가 생성될 수 있다. 반-절연성 효과는 디바이스의 동작 동안 활성 영역(224)으로부터 기판(205) 내로의 캐리어들의 흐름을 제한한다. 예를 들어, 활성 영역(224)이 InGaAs이고 버퍼 층(222)이 GaAs인 경우, 반-절연성 효과를 제공하는 전도대 오프셋이 생성될 수 있다.

[0021] 본 발명의 추가적인 실시예들은 활성 영역(224)의 상부 표면 위에 캡 층(226)을 형성하는 것을 또한 포함할 수 있다. 실시예에 따르면, 캡 층(226)은 활성 영역(224)에 대해 선택적으로 에칭될 수 있는 재료일 수 있다. 따라서, 캡 층(226)은 캡 층(230)과 유사하게, 활성 영역(224) 위에 형성된 게이트의 두께가 제어될 수 있게 할 수 있다. 예로서, 활성 영역(224)이 InGaAs일 경우, 캡 층(226)은 GaAs일 수 있다. 도 2d에 도시된 바와 같이, 대체 핀(228)의 에피택셜 성장은 STI(240)의 상부 표면 위로 연장될 수 있다. 에피택셜 성장이 더 이상 국한되지 않기 때문에, 캡 층(226)의 부분들은 STI(240)의 상부 표면을 따라 측방향으로 연장될 수 있다. 이러한 실시예들에서, 오버버튼은, 캡 층(226)의 상부 표면이 STI(240)의 상부 표면과 실질적으로 동일 평면에 있도록 폴리싱 동작으로 제거될 수 있다.

[0022] 실시예에 따르면, 대체 핀(228)의 각각의 층의 두께는 완성된 트랜지스터에 원하는 전기적 특성들을 제공하도록

제어될 수 있다. 예를 들어, 활성 영역(224)의 두께는 원래의 핀들(220)의 높이까지 임의의 원하는 두께일 수 있다. 일 실시예에서, 활성 영역(224)의 두께는 P형 영역에서의 트랜지스터에 형성될 활성 채널 영역의 두께보다 크거나 작을 수 있다. 대체 핀(228)에서 채널의 두께를 맞춤화하는 능력은 성능 차이들을 처리하기 위해 N형 영역과 P형 영역에서의 트랜지스터들 사이의 성능 차이들이 수정될 수 있게 해서, CMOS 디바이스의 양쪽 영역들에서 균형화된 트랜지스터들을 생성시킨다.

[0023] 본 발명의 추가적인 실시예들은 또한 P형 영역에 대체 핀들을 형성하는 것도 포함할 수 있다. 예를 들어, N형 영역에서의 핀들은 마스크 오프될 수 있고, P형 영역에서의 원래의 핀들(220)은 N형 영역에서의 핀들에 대해 전술한 것과 실질적으로 동일한 방식으로 에칭 백될 수 있다. 그 후, 대체 핀들(도시되지 않음)이 P형 영역에서 에피택셜 성장될 수 있다. 본 발명의 실시예들은 임의의 적합한 P형 반도체 재료 또는 반도체 재료들의 스택(예를 들어, 버퍼 층들, 채널 층들 등)으로 P형 대체 핀들을 성장시키는 것을 포함할 수 있다. 일 실시예에서, P형 대체 핀들은 Ge 채널 영역을 포함할 수 있다. 예로서, 적합한 에피택셜 성장된 Ge 채널 영역은 SiGe/Ge/SiGe 스택과 같은 반도체 스택으로 형성될 수 있다.

[0024] 이제 도 2e를 참조하면, STI(240)가 리세스된 후의 반도체 기판(205)의 단면도가 본 발명의 실시예에 따라 도시된다. STI(240)를 리세스하는 것은 트라이게이트 트랜지스터 디바이스들에서 채널에 대해 원하는 치수들을 제공한다. 예를 들어, 핀들(220)에서의 활성 채널 영역의 두께는 STI(240)가 리세스되는 양에 의해 정의될 수 있다. 도시된 실시예에서, STI(240)는, STI(240)의 상부 표면이 대체 핀들(228)에서 활성 영역(224)의 하부 표면과 실질적으로 동일 평면에 있도록 리세스된다. 그러나, 실시예들은 이러한 구성들에 제한되지 않고, 상이한 실시예들에 따라, STI(240)의 상부 표면은 활성 영역(224)의 하부 표면 위 또는 아래에 있을 수 있다.

[0025] STI(240)가 리세스된 후에, 처리는 게이트 구조체의 형성과 함께 진행한다. 위에서 언급한 바와 같이, 스케일링은 트랜지스터 크기들을 계속 축소시키고 패터닝된 피쳐들의 정렬은 점점 더 중요해지고 있다. 통상적으로, 게이트 엔드캡들(즉, 핀들의 측벽들을 따라 형성된 게이트 전극의 부분)의 치수들은 최악의 경우 오정합(mis-registration)에 대해 강건한 트랜지스터 동작을 보장하기 위해 마스크 정합 에러에 대한 허용오차를 포함해야 한다. 마스크 정합 에러에 요구되는 추가 허용오차는 인접한 핀들에 형성된 게이트 엔드캡들 사이의 요구되는 엔드-투-엔드 간격(end-to-end spacing)을 증가시킨다. 따라서, 트랜지스터들을 더 작은 크기로 스케일링하는 것은 게이트 전극들을 정의하기 위해 사용되는 리소그래피 패터닝 프로세스에 의해 제한된다. 마스크 오정합을 처리하기 위해 요구되는 게이트 엔드캡들 사이의 여분의 간격을 제거하기 위해, 본 발명의 실시예들은 자기 정렬 게이트 엔드캡들을 포함한다. 자기 정렬 피쳐의 사용은 마스크 정합 에러의 가능성을 제거하는데, 이는 게이트 엔드캡들을 정의하기 위해 마스크들을 필요로 하는 패터닝 동작이 더 이상 존재하지 않기 때문이다. 따라서, 본 발명의 실시예들은 리소그래피 패터닝으로 이용 가능한 능력들을 넘어서는 비평면 트랜지스터 디바이스들의 스케일링을 허용한다.

[0026] 이제 도 2f를 참조하면, 케이징 스페이서들(250)이 핀들(220 및 228)의 노출된 부분들 위에 형성된 후의 반도체 기판(205)의 단면도가 본 발명의 실시예에 따라 도시된다. 케이징 스페이서들(250)은 후속 처리 동작에서 핀들의 측벽을 따라 형성된 게이트 엔드캡들의 폭이 제어된 폭이 되고 핀과 자기 정렬될 수 있게 하는 희생 층이다. 자기 정렬 피쳐들에 의해 획득된 개선된 정렬은 이웃하는 핀들(220 또는 228) 사이의 간격이 감소될 수 있게 한다.

[0027] 실시예에 따라, 케이징 스페이서들(250)은 핀들(220, 228) 위에 등각으로 퇴적될 수 있고, 이방성 에칭 프로세스로 에칭될 수 있는 임의의 적합한 재료일 수 있다. 예를 들어, 케이징 스페이서들(250)은 케이징 스페이서 재료(250)의 등각 블랭킷 퇴적으로 형성될 수 있다. 실시예에서, 케이징 스페이서 재료는 원자 층 퇴적(ALD), 화학 기상 퇴적(CVD) 등으로 퇴적될 수 있다. 예를 들어, 케이징 스페이서 재료는 실리콘 산화물, 실리콘 질화물 등일 수 있다. 케이징 스페이서 재료가 퇴적된 후에, 평탄한 표면들을 선택적으로 에칭하는 이방성 에칭 프로세스(예를 들어, 플라즈마 에칭 프로세스 등)가 평탄한 표면들을 따라 형성된 케이징 스페이서 재료의 부분들을 제거하기 위해 사용될 수 있다. 이와 같이, 핀들의 측벽들을 따라 형성된 케이징 스페이서들(250)이 남아 있다. 예시된 실시예에서, 케이징 스페이서(250)의 부분들은 핀들(220 및 228)의 상부 부분 위에 남아 있을 수 있지만, 다른 실시예들에서, 케이징 스페이서 에칭 프로세스는 또한 핀들의 상부 표면으로부터 케이징 스페이서 재료를 실질적으로 제거할 수 있다.

[0028] 이제 도 2g를 참조하면, 케이징 충전 재료(252)가 퇴적된 후의 반도체 기판(205)의 단면도가 본 발명의 실시예에 따라 도시된다. 실시예에 따르면, 케이징 충전 재료(252)는 케이징 스페이서들(250)을 형성하기 위해 사용되는 재료에 대해 에칭 선택성이 있는 재료이다. 예를 들어, 케이징 충전 재료(252)는 SiC일 수 있다. 케이징

충전 재료(252)는 케이지 충전 재료(252)가 케이지 스페이서들(250) 사이의 개구들을 채울 수 있게 하는 등각 퇴적 프로세스로 퇴적될 수 있다. 본 발명의 실시예들은 케이지 충전 재료(252)를 ALD, CVD, 리플로우(reflow) 프로세스 등으로 퇴적하는 것을 포함할 수 있다.

[0029] 이제 도 2h를 참조하면, 케이지 충전 재료(252)가 핀들(220 및 228)의 상부 표면과 평탄화된 후의 반도체 기관(205)의 단면도가 본 발명의 실시예에 따라 도시된다. 실시예에서, 평탄화 프로세스는 폴리싱 동작일 수 있다. 핀들(220 및 228)의 상부 부분 위의 케이지 스페이서(250)의 부분들을 포함하는 실시예들에서, 폴리싱 동작은 케이지 스페이서들(250)의 부분들을 또한 제거할 수 있다. 따라서, 본 발명의 실시예들은 핀들(220 및 228)의 상부 표면들을 노출시키는 폴리싱 동작을 포함할 수 있다.

[0030] 이제 도 2i를 참조하면, 캡 층(230) 및 캡 층(226)이 핀들(220 및 228)로부터 제거된 후의 반도체 기관(205)의 단면도가 본 발명의 실시예에 따라 도시된다. 캡 층들(226 및 230)의 제거는 핀들(220 및 228)의 상부 표면을 노출시킨다. 실시예에 따르면, 캡 층들(226 및 228)은 하나 이상의 에칭 프로세스로 제거될 수 있다. 예를 들어, 캡 층(230)은 핀(220)의 나머지를 형성하는 제1 반도체 재료에 대해 캡 층(230)을 선택적으로 에칭하는 제1 에칭 프로세스로 제거될 수 있고, 캡 층(226)은 활성 영역(224)을 형성하는 제2 반도체 재료에 대해 캡 층(226)을 선택적으로 에칭하는 제2 에칭 프로세스로 제거될 수 있다. 캡 층(230)이 SiGe이고 제1 반도체 재료가 Si인 하나의 특정 실시예에서, SiGe는 시트르산 또는 질산으로 선택적으로 에칭될 수 있다. 캡 층(226)이 GaAs이고 활성 영역(224)이 InGaAs인 하나의 특정 실시예에서, GaAs는 TMAH(tetramethylammonium hydroxide)와 같은 염기성 용액으로 선택적으로 에칭될 수 있다. 각각의 핀/캡 쌍에 대해 선택적으로 에칭되는 재료들의 사용은, 핀들이 작은 임계 치수들(예를 들어, 20 nm보다 작은 임계 치수들)을 갖는 경우에도 하부의 핀의 부분들을 제거하지 않고 캡(226 또는 230)의 제거를 완료할 수 있게 한다. 활성 영역 위에서부터 캡(226)을 제거하기 위한 선택적인 에칭의 사용은 원자적으로 평활한 활성 영역(224)의 상부 표면의 형성을 허용한다는 점을 인식해야 한다. 대조적으로, 비선택적인 에칭이 캡(226)을 제거하기 위해 사용되면, 활성 영역(224)의 상부 표면은 원자적으로 평활하지 않을 것이다.

[0031] 이제 도 2j를 참조하면, 케이지 스페이서들(250)이 제거된 후의 반도체 기관(205)의 단면도가 본 발명의 실시예에 따라 도시된다. 도시된 바와 같이, 케이지 스페이서들(250)의 제거는 핀들(220) 및 대체 핀들(228)의 측면들의 일부를 노출시키는 게이트 전극 개구(261)를 제공한다. 케이지 스페이서들(250)이 케이지 충전 재료가 핀들의 측면들을 따라 형성되는 것을 방지했기 때문에, 핀들(220 및 228)의 측면과 케이지(252)의 측면 사이에 폭 W를 갖는 제어된 간격이 형성된다. 이와 같이, 본 발명의 실시예들은 핀들(220 및 228)과 자기 정렬된 케이지(252)(즉, 케이지 구조체(252)의 게이트 전극 개구들(261)이 핀들(220 및 228)과 중심 맞춤됨)를 포함한다.

[0032] 이제 도 2k를 참조하면, 더미 게이트 전극(262)이 게이트 전극 개구(261) 내로 퇴적된 후의 반도체 기관(205)의 단면도가 본 발명의 실시예에 따라 도시된다. 도시된 실시예에서, 더미 게이트 전극(262)은 핀들(220 및 228) 위에 직접 도포된다. 그러나, 더미 게이트 유전체(도시되지 않음)가 더미 게이트 전극(262)을 퇴적하기 전에 핀들(220 및 228) 위에 또한 형성될 수 있다는 점을 인식해야 한다. 실시예에서, 더미 게이트 유전체는 실리콘 산화물 등과 같은 등각 재료일 수 있고, 더미 게이트 전극(262)은 비정질 또는 다결정 실리콘일 수 있다. 대안적인 실시예들에서, 게이트 전극(262)은 최종 게이트 전극 구조체일 수 있고, 예를 들어, "게이트-우선(gate-first)" 프로세스가 채용되는 경우 더미 게이트가 아닐 수 있다.

[0033] 실시예에 따르면, 더미 게이트 전극(262)을 퇴적하는 것으로부터의 오버버튼은 폴리싱 동작으로 제거될 수 있다. 도시된 바와 같이, 더미 게이트 전극(262)의 상부 표면은 리세스되어 케이지(252)의 상부 표면과 평탄하다. 이와 같이, 더미 게이트 전극(262)은 캡 층(230) 및 캡 층(226)의 두께와 각각 실질적으로 유사한 핀들(220 및 228)의 상부 위에 정의된 게이트 두께로 형성된다. 따라서, 캡 층(226)이 캡 층(230)과 상이한 두께일 때, 본 발명의 실시예들은 핀들 위의 게이트 두께가 상이하게 되도록 허용할 수 있다.

[0034] 핀들(220 및 228) 위에 더미 게이트 전극들(262)을 형성한 후에, 본 발명의 실시예들은 비평면 트랜지스터들을 형성하기 위해 통상적으로 사용되는 처리 동작들을 진행할 수 있다. 예를 들어, 도 2l은 더미 게이트 전극들(262)이 영구 게이트 전극들(264)로 대체된 후의 반도체 기관(205)의 단면도이다. 실시예에 따르면, 더미 게이트 전극들(262)은 예를 들어, 핀들에 소스 및 드레인 영역들(도시되지 않음)을 형성하는 것과 같이, 트랜지스터 디바이스를 형성하기 위해 사용되는 하나 이상의 프로세스, 또는 다른 도핑, 어닐링 또는 확산 프로세스들, 또는 상승된 온도들을 필요로 하는 임의의 다른 프로세스 이후에 영구 게이트 전극들(264)로 대체될 수 있다.

[0035] 더미 게이트 전극들(262) 및 더미 게이트 유전체가 제거된 후에, 본 발명의 실시예들은 노출된 핀들(220 및 228) 위에 영구 게이트 유전체 층(266)을 퇴적하는 것을 포함할 수 있다. 게이트 유전체 층(266)은 하나의 층

또는 층들의 스택을 포함할 수 있다. 하나 이상의 층은 실리콘 산화물, 실리콘 이산화물(SiO₂) 및/또는 하이-k 유전체 재료를 포함할 수 있다. 하이-k 유전체 재료는 하프늄, 실리콘, 산소, 티타늄, 탄탈, 란타늄, 알루미늄, 지르코늄, 바륨, 스트론튬, 이트륨, 납, 스칸듐, 니오븀, 및 아연과 같은 원소들을 포함할 수 있다. 게이트 유전체 층에 이용될 수 있는 하이-k 재료들의 예들은, 하프늄 산화물, 하프늄 실리콘 산화물, 란타늄 산화물, 란타늄 알루미늄 산화물, 지르코늄 산화물, 지르코늄 실리콘 산화물, 탄탈 산화물, 티타늄 산화물, 바륨 스트론튬 티타늄 산화물, 바륨 티타늄 산화물, 스트론튬 티타늄 산화물, 이트륨 산화물, 알루미늄 산화물, 납 스칸듐 탄탈 산화물, 및 납 아연 니오베이트(lead zinc niobate)를 포함하지만, 이에 제한되지는 않는다. 일부 실시예들에서, 하이-k 재료가 사용될 때 그 품질을 개선하기 위해 게이트 유전체 층(266)에 대해 어닐링 프로세스가 수행될 수 있다.

[0036] 실시예에 따르면, 게이트 전극(264)은 게이트 유전체 층(266) 상에 형성되고, 트랜지스터가 P형 영역 상에 위치되는지 또는 디바이스의 N형 영역 상에 위치되는지에 따라, 적어도 P형 일함수 금속 또는 N형 일함수 금속으로 구성될 수 있다. 따라서, 대체 게이트 프로세스는 원하는 일함수를 갖는 게이트 전극들(264)의 형성을 허용하기 위한 이중 금속 게이트 대체 프로세스로서 지칭될 수 있다. 일부 구현예들에서, 게이트 전극들(264)은 2개 이상의 금속 층의 스택으로 구성될 수 있는데, 여기서 하나 이상의 금속 층은 일함수 금속 층들이며, 적어도 하나의 금속 층은 충전 금속 층(fill metal layer)이다.

[0037] 디바이스의 P형 영역에 형성된 트랜지스터들에 있어서, 게이트 전극(264_p)에 이용될 수 있는 금속들은 루테튬, 팔라듐, 백금, 코발트, 니켈, 및 전도성 금속 산화물들, 예를 들어 루테튬 산화물을 포함하지만, 이에 제한되지는 않는다. P형 금속 층은 약 4.9 eV와 약 5.2 eV 사이에 있는 일함수를 갖는 PMOS 게이트 전극의 형성을 가능하게 할 것이다. 디바이스의 N형 영역에 형성된 트랜지스터들에 있어서, 게이트 전극(264_n)에 이용될 수 있는 금속들은 하프늄, 지르코늄, 티타늄, 탄탈, 알루미늄, 이러한 금속들의 합금들, 및 이러한 금속들의 탄화물들, 예컨대 하프늄 탄화물, 지르코늄 탄화물, 티타늄 탄화물, 탄탈 탄화물, 및 알루미늄 탄화물을 포함하지만, 이에 제한되지는 않는다. N형 금속 층은 약 3.9 eV와 약 4.2 eV 사이에 있는 일함수를 갖는 NMOS 게이트 전극의 형성을 가능하게 할 것이다. 도시된 실시예에서, 게이트 전극들(264)은 기판(205)의 표면에 실질적으로 평행한 상부 부분 및 기판(205)의 상부 표면에 실질적으로 수직인 2개의 측면 부분을 포함하는 "U"-형상 구조체로 구성될 수 있다(이는 또한 게이트 엔드캡들(gate endcaps)로서 지칭될 수 있음). 게이트 전극들(264)이 케이지 구조체(252)에서의 게이트 전극 개구들을 채우기 때문에, 게이트 전극들(264)은 또한 핀들(220 및 228)과 실질적으로 중심 맞춘다. 실시예에 따르면, 케이지 구조체(252)는 각각의 게이트 전극(264)을 격리하기 위해 최종 구조체 내에 남아 있을 수 있다. 도시된 실시예에서, N형 게이트 전극들(264_n) 및 P형 게이트 전극들(264_p)과 접촉하여 2개 영역 사이에서 케이지 구조체(252) 위에 전도성 경로를 제공하기 위해 로컬 인터커넥트(267)가 형성될 수 있다.

[0038] 또한, 핀들(220)이 도 21에 도시되지만, 본 발명의 실시예들은 도 2d에 대해 전술한 바와 같이 대체 핀들을 포함하는 P형 영역을 또한 포함할 수 있다는 점을 인식해야 한다. 이러한 실시예들에서, P형 영역에서의 핀들은 기판(205)과 상이한 반도체 재료들을 포함할 수 있다. 예를 들어, P형 영역에서의 핀들은 P형 트랜지스터를 형성하기에 적합한 III-V족 반도체 재료의 스택을 포함할 수 있다. 일 실시예에서, Ge 채널 P형 트랜지스터는 반도체 기판(205) 위에 SiGe/Ge/SiGe 스택을 형성하는 것에 의해 P형 영역에 형성될 수 있다.

[0039] 도 3은 본 발명의 하나 이상의 실시예를 포함하는 인터포저(300)를 도시한다. 인터포저(300)는 제1 기판(302)을 제2 기판(304)에 브리징하도록 사용되는 중간 기판이다. 제1 기판(302)은, 예를 들어, 집적 회로 다이일 수 있다. 제2 기판(304)은 예를 들어, 메모리 모듈, 컴퓨터 마더보드, 또는 다른 집적 회로 다이일 수 있다. 일반적으로, 인터포저(300)의 목적은 더 넓은 피치로 접속을 확산시키거나, 또는 접속을 상이한 접속으로 재라우팅하는 것이다. 예를 들어, 인터포저(300)는 제2 기판(304)에 후속하여 결합될 수 있는 볼 그리드 어레이(BGA)(306)에 집적 회로 다이를 결합할 수 있다. 일부 실시예들에서, 제1 및 제2 기판들(302/304)은 인터포저(300)의 반대 측들에 부착된다. 다른 실시예들에서, 제1 및 제2 기판들(302/304)은 인터포저(300)의 동일한 측에 부착된다. 그리고 추가의 실시예들에서, 3개 이상의 기판이 인터포저(300)에 의해 상호접속된다.

[0040] 인터포저(300)는 에폭시 수지, 섬유유리-강화 에폭시 수지, 세라믹 재료, 또는 폴리이미드와 같은 폴리머 재료로 형성될 수 있다. 추가의 구현예들에서, 인터포저는 실리콘, 게르마늄, 및 다른 III-V족 및 IV 족 재료들과 같은, 반도체 기판에 사용하기 위해 전술한 동일한 재료들을 포함할 수 있는 대안적인 강성 또는 유연성 재료들로 형성될 수 있다.

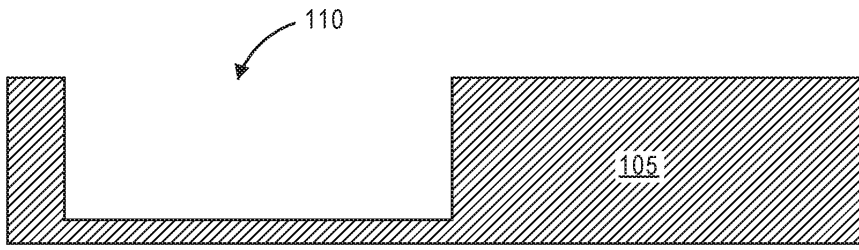
- [0041] 인터포저는 금속 인터커넥트들(308) 및 스루-실리콘 비아들(through-silicon vias)(TSVs)(312)을 포함하지만 이에 제한되지 않는 비아들(310)을 포함할 수 있다. 인터포저(300)는, 수동 및 능동 디바이스들 양자 모두를 포함하는, 임베디드 디바이스들(314)을 추가로 포함할 수 있다. 이러한 디바이스들은 커패시터들, 디커플링 커패시터들, 저항기들, 인덕터들, 퓨즈들, 다이오드들, 변압기들, 센서들 및 정전기 방전(ESD) 디바이스들을 포함하지만, 이에 제한되지는 않는다. 무선 주파수(radio-frequency)(RF) 디바이스들, 전력 증폭기들, 전력 관리 디바이스들, 안테나들, 어레이들, 센서들, 및 MEMS 디바이스들과 같은 더 복잡한 디바이스들이 또한 인터포저(300) 상에 형성될 수 있다.
- [0042] 본 발명의 실시예들에 따르면, 적어도 제1 반도체 재료로부터 형성된 제1 타입의 핀 및 제2 반도체 재료로부터 형성된 제2 타입의 핀 주위에 형성된 하나 이상의 SAGE 구조체들을 포함하는 장치들, 또는 본 명세서에 개시된 이러한 트랜지스터들을 형성하기 위한 프로세스들이 인터포저(300)의 제조 시에 사용될 수 있다.
- [0043] 도 4는 본 발명의 일 실시예에 따른 컴퓨팅 디바이스(400)를 도시한다. 컴퓨팅 디바이스(400)는 다수의 컴포넌트들을 포함할 수 있다. 일 실시예에서, 이러한 컴포넌트들은 하나 이상의 마더보드에 부착된다. 대안적인 실시예에서, 이러한 컴포넌트들은 마더보드보다는 오히려 단일의 시스템-온-칩(SoC) 다이 상에 제조된다. 컴퓨팅 디바이스(400)에서의 컴포넌트들은 집적 회로 다이(402) 및 적어도 하나의 통신 칩(408)을 포함하지만 이에 제한되지 않는다. 일부 구현예들에서, 통신 칩(408)은 집적 회로 다이(402)의 부분으로서 제조된다. 집적 회로 다이(402)는 CPU(404)뿐만 아니라, 임베디드 DRAM(eDRAM) 또는 스핀-전달 토크 메모리(spin-transfer torque memory)(STTM or STTM-RAM)와 같은 기술들에 의해 제공될 수 있는, 캐시 메모리로서 종종 사용되는, 온다이 메모리(406)를 포함할 수 있다.
- [0044] 컴퓨팅 디바이스(400)는 마더보드에 물리적으로 그리고 전기적으로 결합될 수 있거나 결합되지 않을 수 있는, 또는 SoC 다이 내에 제조될 수 있거나 제조되지 않을 수 있는 다른 컴포넌트들을 포함할 수 있다. 이러한 다른 컴포넌트들은, 휘발성 메모리(410)(예를 들어, DRAM), 비휘발성 메모리(412)(예를 들어, ROM 또는 플래시 메모리), 그래픽 처리 유닛(414)(GPU), 디지털 신호 프로세서(416), 암호 프로세서(442)(하드웨어 내에서 암호화 알고리즘들을 실행하는 특수화된 프로세서), 칩셋(420), 안테나(422), 디스플레이 또는 터치스크린 디스플레이(424), 터치스크린 제어기(426), 배터리(428) 또는 다른 전원, 전력 증폭기(도시되지 않음), 글로벌 포지셔닝 시스템(GPS) 디바이스(444), 나침반(430), 모션 코프로세서 또는 센서들(432)(가속도계, 자이로스코프 및 나침반을 포함할 수 있음), 스피커(434), 카메라(436), 사용자 입력 디바이스들(438)(예컨대, 키보드, 마우스, 스타일러스, 및 터치패드), 및 대용량 저장 디바이스(440)(예컨대, 하드 디스크 드라이브, 콤팩트 디스크(CD), 디지털 다목적 디스크(DVD) 등)를 포함하지만, 이에 제한되지 않는다.
- [0045] 통신 칩(408)은 컴퓨팅 디바이스(400)로의 그리고 컴퓨팅 디바이스(400)로부터의 데이터의 전달을 위한 무선 통신들을 가능하게 한다. "무선(wireless)"이라는 용어 및 그 파생어들은, 비-고체 매체를 통한 변조된 전자기 방사(electromagnetic radiation)의 사용을 통해 데이터를 통신할 수 있는, 회로들, 디바이스들, 시스템들, 방법들, 기술들, 통신 채널들 등을 설명하는데 사용될 수 있다. 이 용어는, 연관된 디바이스들이 임의의 와이어들을 포함하지 않는다는 것을 암시하지는 않지만, 일부 실시예들에서 연관된 디바이스들은 임의의 와이어들을 포함하지 않을 수도 있다. 통신 칩(408)은, Wi-Fi(IEEE 802.11 계열), WiMAX(IEEE 802.16 계열), IEEE 802.20, 롱 텀 에볼루션(LTE), Ev-DO, HSPA+, HSDPA+, HSUPA+, EDGE, GSM, GPRS, CDMA, TDMA, DECT, 블루투스, 이들의 파생물들뿐만 아니라, 3G, 4G, 5G, 및 그 이상으로 지정되는 임의의 다른 무선 프로토콜들을 포함하는, 그러나 이에 제한되지 않는, 다수의 무선 표준 또는 프로토콜 중 임의의 것을 구현할 수 있다. 컴퓨팅 디바이스(400)는 복수의 통신 칩(408)을 포함할 수 있다. 예를 들어, 제1 통신 칩(408)은 Wi-Fi 및 Bluetooth와 같은 단거리 무선 통신들에 전용될 수 있고, 제2 통신 칩(408)은 GPS, EDGE, GPRS, CDMA, WiMAX, LTE, Ev-DO 등과 같은 장거리 무선 통신들에 전용될 수 있다.
- [0046] 컴퓨팅 디바이스(400)의 프로세서(404)는 본 발명의 실시예에 따라, 적어도 제1 반도체 재료로 형성된 제1 타입의 핀 및 제2 반도체 재료로 형성된 제2 타입의 핀 주위에 형성된 하나 이상의 SAGE 구조체를 포함하는 CMOS 디바이스들과 같은 하나 이상의 디바이스를 포함한다. "프로세서"라는 용어는 레지스터들 및/또는 메모리로부터의 전자 데이터를 처리하여 해당 전자 데이터를 레지스터들 및/또는 메모리에 저장될 수 있는 다른 전자 데이터로 변환하는 임의의 디바이스 또는 디바이스의 일부를 지칭할 수 있다.
- [0047] 통신 칩(408)은 본 발명의 실시예에 따라, 적어도 제1 반도체 재료로 형성된 제1 타입의 핀 및 제2 반도체 재료로 형성된 제2 타입의 핀 주위에 형성된 하나 이상의 SAGE 구조체와 같은 하나 이상의 디바이스를 또한 포함할 수 있다.

- [0048] 추가의 실시예들에서, 컴퓨팅 디바이스(400) 내에 하우징된 다른 컴포넌트는 본 발명의 실시예에 따라, 적어도 제1 반도체 재료로 형성된 제1 타입의 핀 및 제2 반도체 재료로 형성된 제2 타입의 핀 주위에 형성된 하나 이상의 SAGE 구조체와 같은 하나 이상의 디바이스를 포함할 수 있다.
- [0049] 다양한 실시예들에서, 컴퓨팅 디바이스(400)는 랩톱 컴퓨터, 넷북 컴퓨터, 노트북 컴퓨터, 울트라북 컴퓨터, 스마트폰, 태블릿, 개인용 디지털 보조단말(PDA), 울트라 모바일 PC, 모바일 폰, 데스크톱 컴퓨터, 서버, 프린터, 스캐너, 모니터, 셋톱 박스, 엔터테인먼트 제어 유닛, 디지털 카메라, 휴대용 음악 플레이어, 또는 디지털 비디오 레코더일 수 있다. 추가의 구현예들에서, 컴퓨팅 디바이스(400)는 데이터를 처리하는 임의의 다른 전자 디바이스일 수 있다.
- [0050] 요약서에 설명된 것을 포함하여 본 발명의 예시된 구현예들의 위의 설명은 총망라한 것으로도 의도되지 않고 본 발명을 개시된 정확한 형태들로 제한하는 것으로도 의도되지 않는다. 본 발명의 특정 구현예들 및 본 발명에 대한 예들은 예시적인 목적들로 본 명세서에 설명되지만, 관련 기술분야의 통상의 기술자들이 인식하는 바와 같이, 본 발명의 범위 내에서 다양한 등가의 수정들이 가능하다.
- [0051] 이러한 수정들은 진술한 상세한 설명에 비추어 본 발명에 대해 이루어질 수 있다. 다음의 청구항들에 이용되는 용어들은 본 발명을 본 명세서 및 청구항들에 개시된 특정 구현예들로 제한하는 것으로 해석되어서는 안 된다. 오히려, 본 발명의 범위는 전적으로 다음의 청구항들에 의해 결정되어야 하며, 이들은 청구항 해석의 확립된 원칙들에 따라 해석되어야 한다.
- [0052] 본 발명의 실시예들은 반도체 구조체를 포함하고, 이는 다음을 포함한다: 기판; 기판 위에 형성된 제1 핀- 제1 핀은 제1 반도체 재료를 포함함 -; 제1 핀에 인접하게 형성된 제1 케이징 구조체- 제1 핀의 각각의 측벽은 제1 케이징의 가장 가까운 측벽으로부터 제1 간격만큼 이격됨 -; 제1 핀 위에 형성된 제1 게이트 전극- 제1 케이징 구조체는 제1 게이트 전극과 직접 접촉함 -; 기판 위에 형성된 제2 핀- 제2 핀은 제2 반도체 재료를 포함함 -; 제2 핀에 인접하여 형성된 제2 케이징 구조체- 제2 핀의 각각의 측벽은 제2 케이징의 가장 가까운 측벽으로부터 제2 간격만큼 이격됨 -; 및 제2 핀 위에 형성된 제2 게이트 전극- 제2 케이징 구조체는 제2 게이트 전극과 직접 접촉함 -.
- [0053] 본 발명의 추가적인 실시예들은 반도체 구조체를 포함하고, 제2 반도체 재료는 III-V족 반도체 재료이다.
- [0054] 본 발명의 추가적인 실시예들은 반도체 구조체를 포함하고, 제2 핀은 다음을 포함한다: 기판과 접촉하는 버퍼 층; 및 버퍼 층 위에 형성된 채널 영역- 채널 영역은 제2 반도체 재료로 형성됨 -.
- [0055] 본 발명의 추가적인 실시예들은 반도체 구조체를 포함하고, 채널 영역의 상부 표면은 원자적으로 평활하다.
- [0056] 본 발명의 추가적인 실시예들은 반도체 구조체를 포함하고, 버퍼 층은 그레이디드 버퍼 층이다.
- [0057] 본 발명의 추가적인 실시예들은 반도체 구조체를 포함하고, 버퍼 층은 GaAs이고 채널 영역은 InGaAs이다.
- [0058] 본 발명의 추가적인 실시예들은 반도체 구조체를 포함하고, 제1 반도체 재료는 제2 반도체 재료와 상이한 III-V족 반도체 재료이고, 제1 반도체 재료는 기판과 상이한 재료이다.
- [0059] 본 발명의 추가적인 실시예들은 반도체 구조체를 포함하고, 제1 핀은 반도체 재료들의 스택을 추가로 포함한다.
- [0060] 본 발명의 추가적인 실시예들은 반도체 구조체를 포함하고, 제1 핀에서의 반도체 재료들의 스택은 SiGe/Ge/SiGe 스택이고, Ge 부분은 제1 핀에서 채널 영역을 형성한다.
- [0061] 본 발명의 추가적인 실시예들은 반도체 구조체를 포함하고, 제1 핀은 제2 핀과 상이한 높이이다.
- [0062] 본 발명의 추가적인 실시예들은 제1 게이트 전극을 제2 게이트 전극에 전기적으로 결합하는 인터커넥트를 추가로 포함하는 반도체 구조체를 포함한다.
- [0063] 본 발명의 추가적인 실시예들은 반도체 구조체를 포함하고, 반도체 구조체는 상보형 금속 산화물 반도체(CMOS) 디바이스를 형성한다.
- [0064] 본 발명의 추가적인 실시예들은 반도체 구조체를 포함하고, 제1 핀은 P형 트랜지스터의 컴포넌트이고 제2 핀은 N형 트랜지스터의 컴포넌트이다.
- [0065] 본 발명의 추가적인 실시예들은 반도체 구조체를 포함하고, 제1 게이트 전극은 제2 게이트 전극과 상이한 재료이다.

- [0066] 본 발명의 실시예들은 반도체 구조체를 형성하는 방법을 포함하고, 이 방법은 다음을 포함한다: 제1 반도체 재료로 형성된 기판 위에 캡 층을 형성하는 단계- 캡 층은 제1 반도체 재료에 대해 에칭 선택성이 있음 -; 기판에 제1 및 제2 핀을 형성하는 단계; 기판 위에 그리고 제1 및 제2 핀들 주위에 얇은 트렌치 격리(STI) 층을 형성하는 단계; 제2 핀을 제거하여 STI 층에 개구를 형성하는 단계; 개구에 제2 반도체 재료를 에피택셜 성장시켜 대체 핀을 형성하는 단계; STI 층을 리세스하는 단계; 제1 핀 및 대체 핀 각각의 측벽들에 인접하여 스페이서들을 형성하는 단계; 스페이서들에 인접하여 케이지 구조체들을 형성하는 단계; 스페이서들을 제거하여 적어도 하나의 케이지 구조체와 제1 핀 사이에 개구를 형성하고 적어도 하나의 케이지 구조체와 대체 핀 사이에 개구를 형성하는 단계; 제1 핀 위에 제1 게이트 전극을 형성하는 단계; 및 대체 핀 위에 제2 게이트 전극을 형성하는 단계.
- [0067] 본 발명의 추가적인 실시예들은 반도체 구조체를 형성하는 방법을 포함하고, 제2 대체 핀은 제2 반도체 재료 위에 형성된 캡 층을 추가로 포함하고, 캡 층은 제2 반도체 재료에 대해 에칭 선택성이 있다.
- [0068] 본 발명의 추가적인 실시예들은 반도체 구조체를 형성하는 방법을 포함하고, 이 방법은 다음을 추가로 포함한다: 케이지 스페이서들을 제거하기 전에 제1 핀으로부터 캡 층을 제거하고 대체 핀으로부터 캡 층을 제거하는 단계.
- [0069] 본 발명의 추가적인 실시예들은 반도체 구조체를 형성하는 방법을 포함하고, 캡이 제거된 후에 대체 핀의 상부 표면들은 원자적으로 평활하다.
- [0070] 본 발명의 추가적인 실시예들은 반도체 구조체를 형성하는 방법을 포함하고, 제2 반도체 재료는 III-V족 반도체 재료이다.
- [0071] 본 발명의 추가적인 실시예들은 반도체 구조체를 형성하는 방법을 포함하고, 이 방법은 다음을 추가로 포함한다: 제1 게이트 전극을 제2 게이트 전극에 전기적으로 결합하는 인터커넥트를 형성하는 단계.
- [0072] 본 발명의 추가적인 실시예들은 반도체 구조체를 형성하는 방법을 포함하고, 반도체 구조체는 CMOS 디바이스이다.
- [0073] 본 발명의 추가적인 실시예들은 반도체 구조체를 형성하는 방법을 포함하고, 제1 게이트 전극은 P형 일함수를 갖고, 제2 게이트 전극은 N형 일함수를 갖는다.
- [0074] 본 발명의 추가적인 실시예들은 반도체 구조체를 형성하는 방법을 포함하고, 제1 핀은 대체 핀의 두께와 상이한 두께를 갖는다.
- [0075] 본 발명의 추가적인 실시예들은 반도체 구조체를 형성하는 방법을 포함하고, 대체 핀을 형성하는 단계는 다음을 추가로 포함한다: 기판 위에 버퍼 층을 에피택셜 성장시키는 단계; 버퍼 층 위에 대체 채널 층을 에피택셜 성장시키는 단계; 및 대체 채널 층 위에 캡 층을 에피택셜 성장시키는 단계.
- [0076] 본 발명의 추가적인 실시예들은 반도체 구조체를 형성하는 방법을 포함하고, 버퍼 층은 그레이디드 층이고, 버퍼 층의 상부 표면은 버퍼 층의 하부 표면과 상이한 격자 간격을 갖는다.
- [0077] 본 발명의 실시예들은 반도체 구조체를 포함하고, 이는 다음을 포함한다: 기판; 기판 위에 형성된 제1 핀- 제1 핀은 제1 반도체 재료를 포함함 -;
- [0078] 제1 핀에 인접하여 형성된 제1 케이지 구조체- 제1 핀의 각각의 측벽은 제1 케이지의 가장 가까운 측벽으로부터 제1 간격만큼 이격됨 -; 제1 핀 위에 형성된 제1 게이트 전극- 제1 케이지 구조체는 제1 게이트 전극과 직접 접촉함 -; 기판 위에 형성된 제2 핀- 제2 핀은 기판과 접촉하는 버퍼 층 및 버퍼 층 위에 형성된 채널 영역을 포함하고, 채널 영역은 III-V족 반도체 재료로 형성됨 -; 제2 핀에 인접하여 형성된 제2 케이지 구조체- 제2 핀의 각각의 측벽은 제2 케이지의 가장 가까운 측벽으로부터 제2 간격만큼 이격됨 -; 및 제2 핀 위에 형성된 제2 게이트 전극- 제2 케이지 구조체는 제2 게이트 전극과 직접 접촉함 -.
- [0079] 본 발명의 실시예들은 반도체 구조체를 포함하고, 제1 반도체 재료는 실리콘이고 제2 핀에서의 채널 영역은 InGaAs이다.
- [0080] 본 발명의 실시예들은 반도체 구조체를 포함하고, 반도체 구조체는 CMOS 디바이스를 형성하고, 제1 게이트 전극을 제2 게이트 전극에 전기적으로 결합하는 인터커넥트를 추가로 포함하고, 제1 핀은 P형 트랜지스터의 컴포넌트이고 제2 핀은 N형 트랜지스터의 컴포넌트이다.

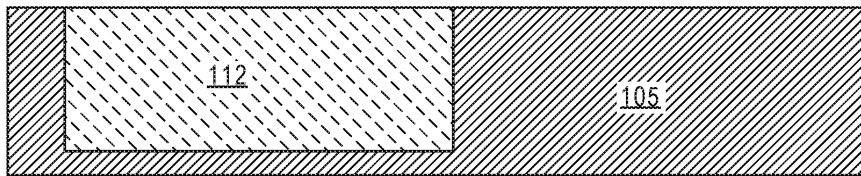
도면

도면1a



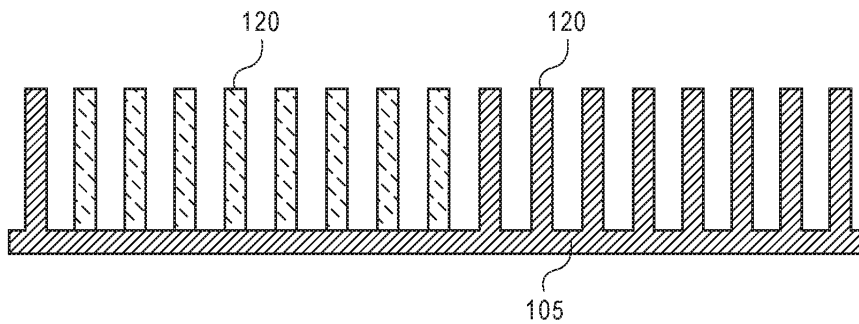
(종래 기술)

도면1b



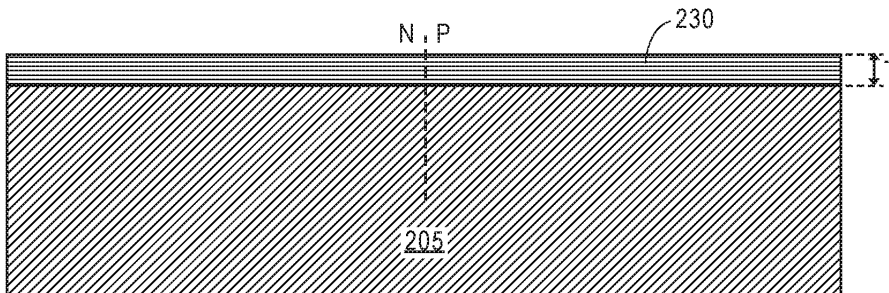
(종래 기술)

도면1c

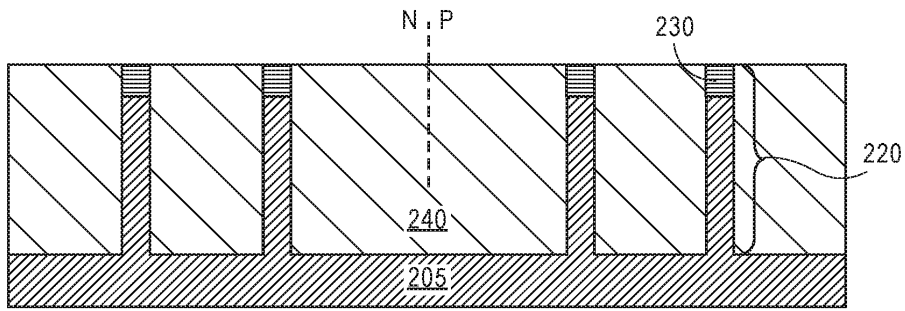


(종래 기술)

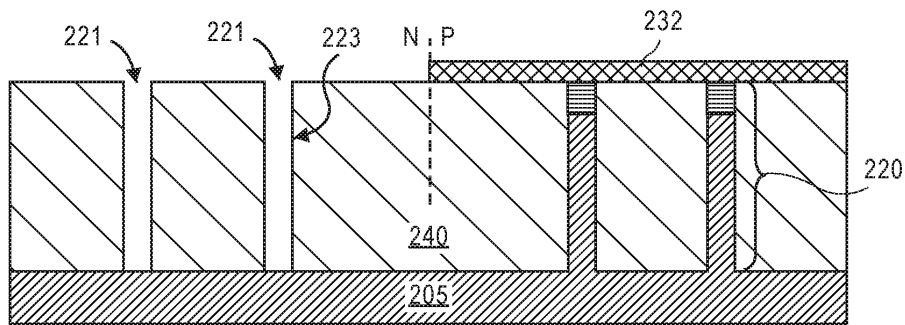
도면2a



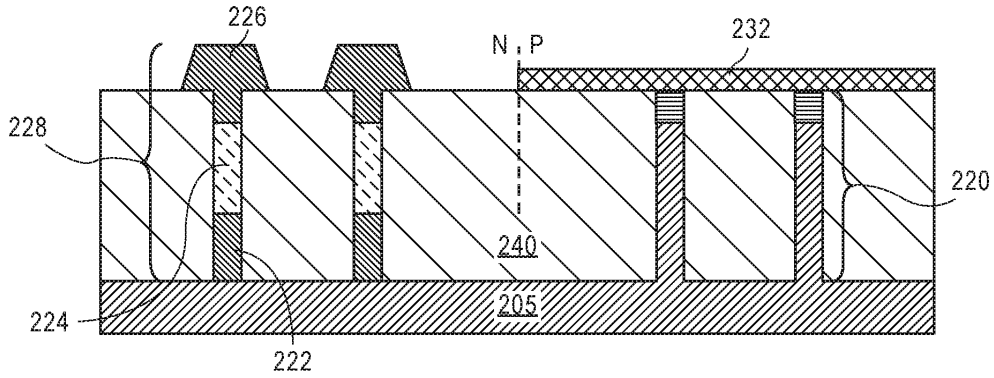
도면2b



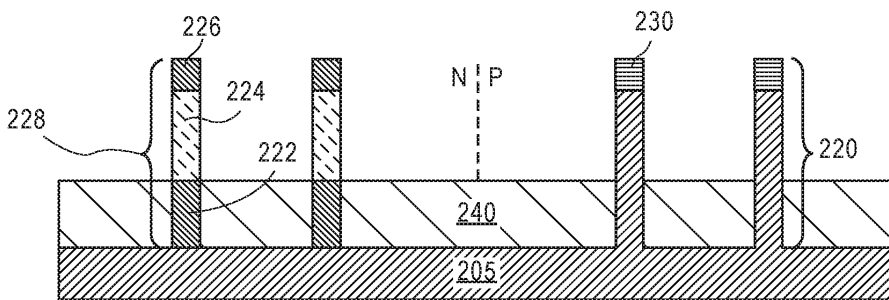
도면2c



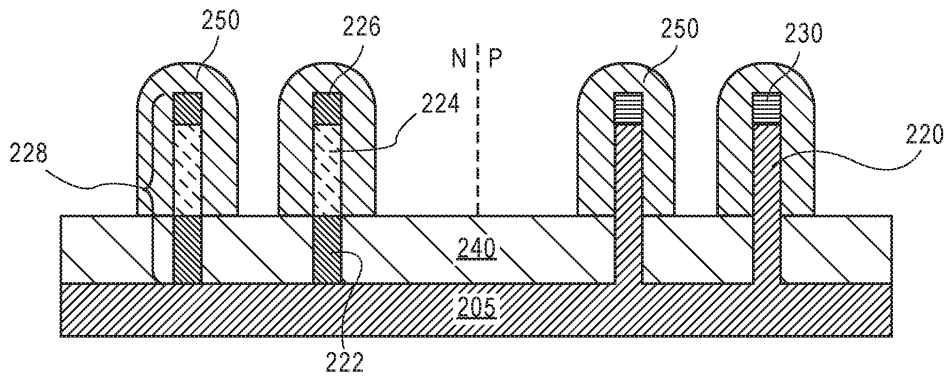
도면2d



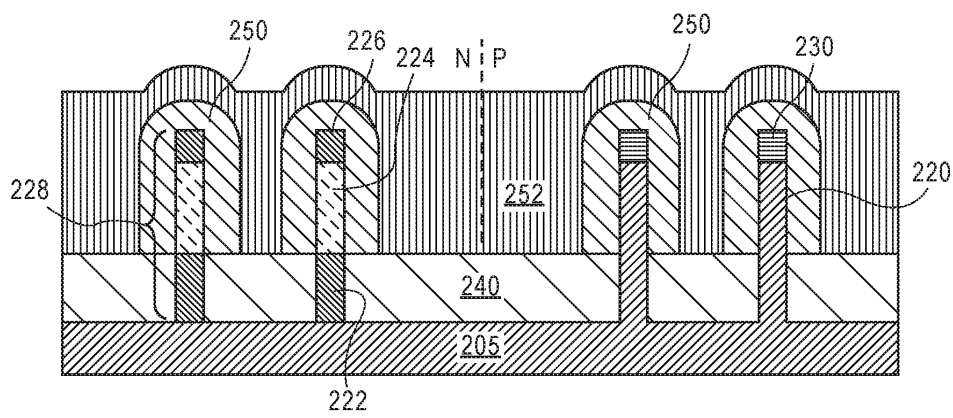
도면2e



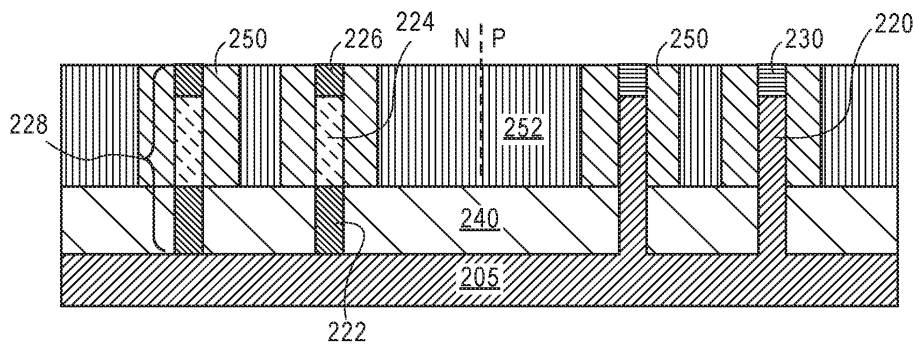
도면2f



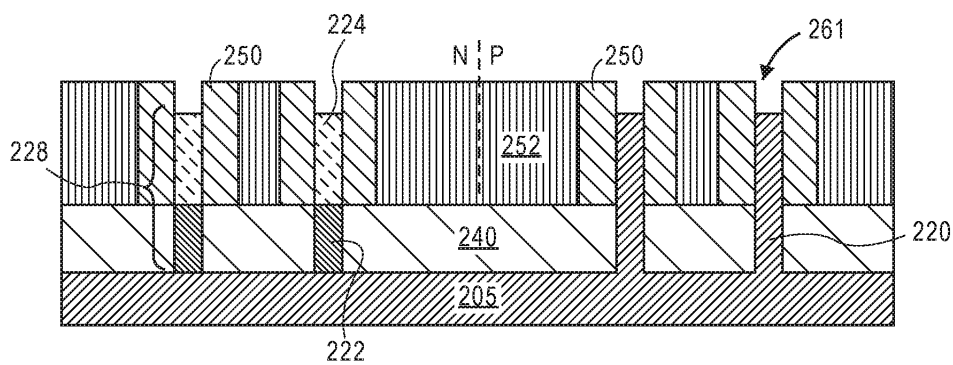
도면2g



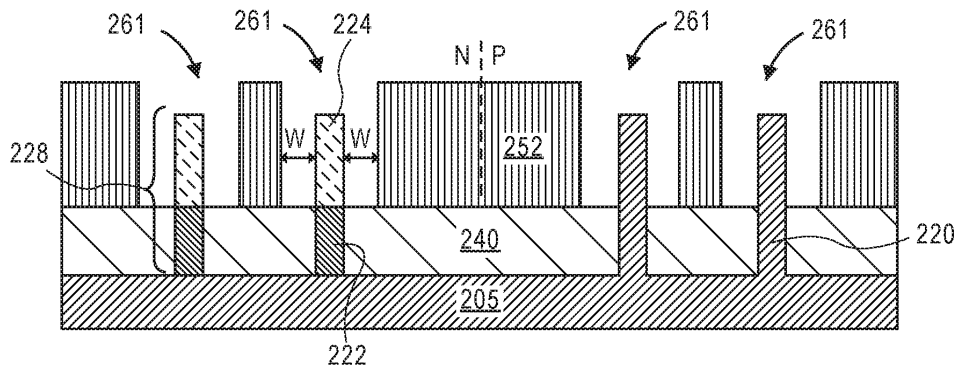
도면2h



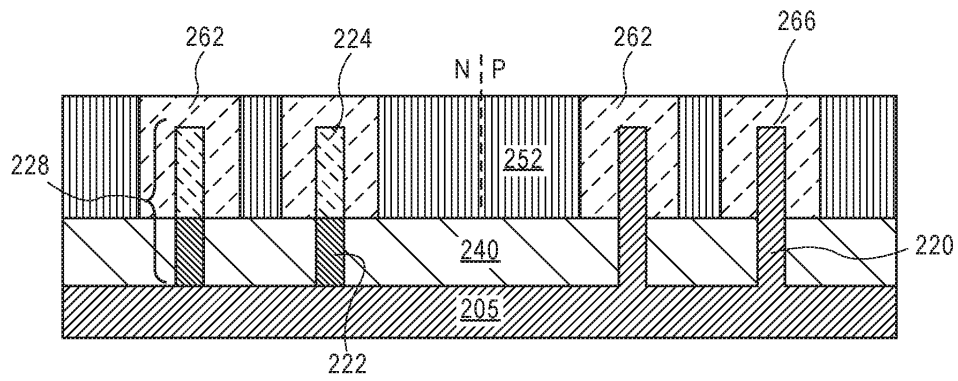
도면2i



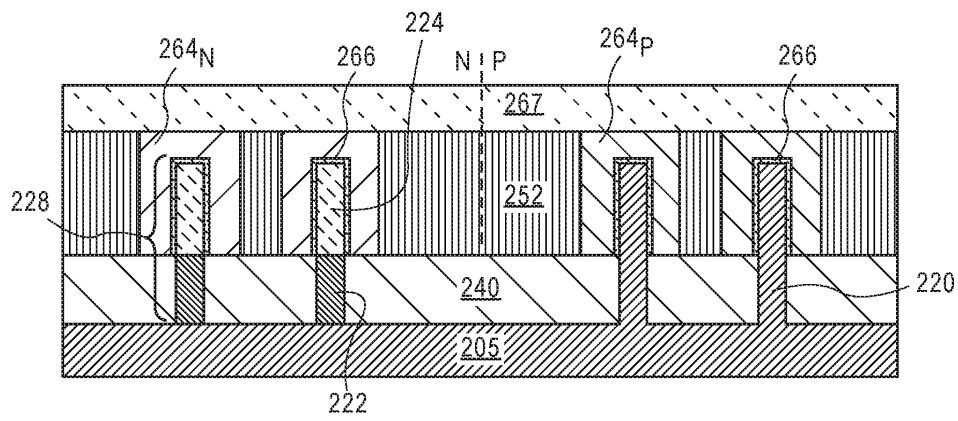
도면2j



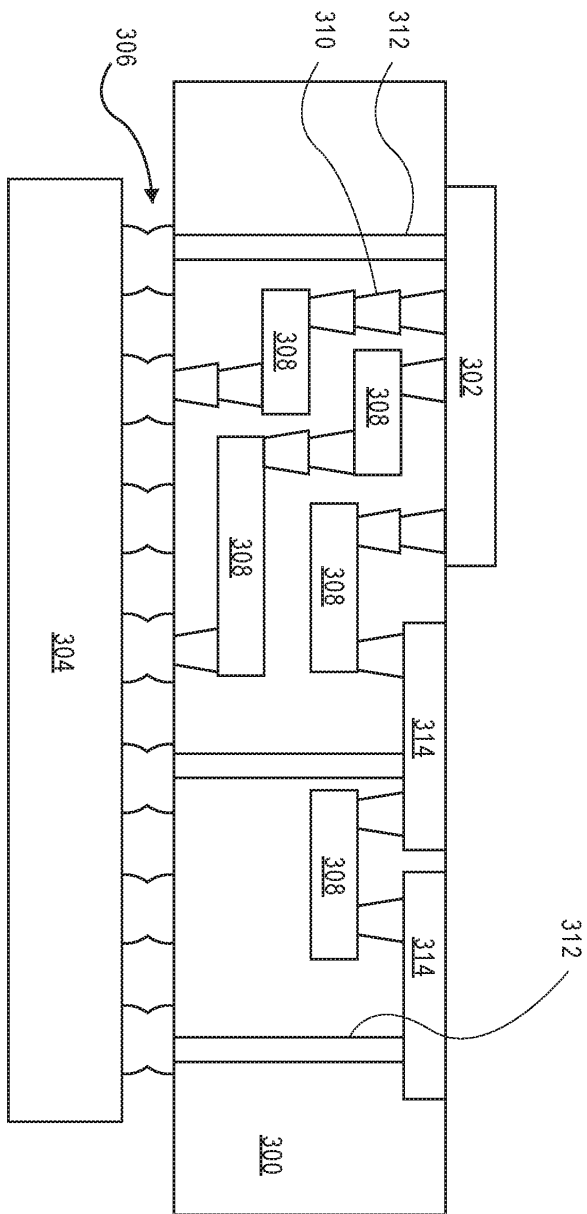
도면2k



도면2l



도면3



도면4

