

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017年2月2日 (02.02.2017)



(10) 国际公布号
WO 2017/015980 A1

- (51) 国际专利分类号:
H01L 21/312 (2006.01) H01L 21/77 (2006.01)
- (21) 国际申请号: PCT/CN2015/086122
- (22) 国际申请日: 2015年8月5日 (05.08.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510447288.1 2015年7月27日 (27.07.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。
- (72) 发明人: 蒋亚茹 (JIANG, Yaru); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。
- (74) 代理人: 北京聿宏知识产权代理有限公司 (YUHONG INTELLECTUAL PROPERTY LAW FIRM); 中国北京市西城区宣武门外大街6号庄胜

广场第一座西翼713室吴大建/刘华联, Beijing 100052 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: LOW-TEMPERATURE POLYSILICON ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR AND DISPLAY DEVICE

(54) 发明名称: 低温多晶硅阵列基板及其制造方法、显示装置

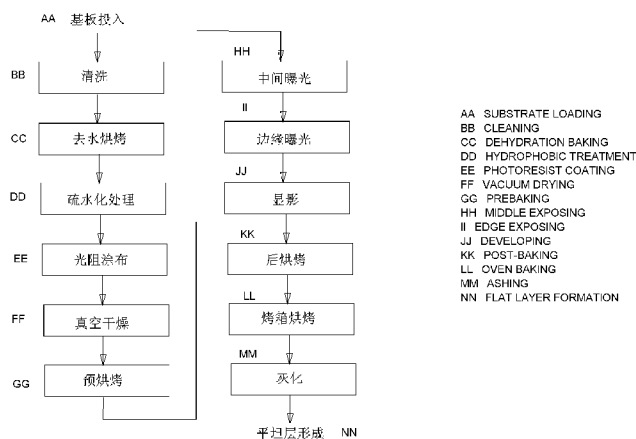


图2

(57) Abstract: Provided are a low-temperature polysilicon array substrate, a manufacturing method therefor and a display device. The method comprises the steps as follows: a flat layer (2) is formed on an electrode (1), and the flat layer (2) is formed by a cleaning procedure, a dehydration baking procedure, a hydrophobic treatment procedure, a photoresist coating procedure, a vacuum drying procedure, a prebaking procedure, an exposing procedure, a developing procedure and an ashing procedure in sequence, wherein the baking procedure comprises baking at least twice at different baking temperatures. The method can play an initial solidification role on an organic film of the flat layer (2), so that the problem of an excessively small Taper angle at a via hole (3) due to the photoresist liquidity is improved.

(57) 摘要: 一种低温多晶硅阵列基板及其制造方法、显示装置。该方法包括在电极(1)上形成平坦层(2), 平坦层(2)依次经过清洗、去水烘烤、疏水化处理、光阻涂布、真空干燥、预烘烤、曝光、显影、烘烤、灰化工序而形成, 其中, 烘烤的工序中包括至少两次烘烤温度不同的烘烤。通过上述方法能起到对平坦层(2)的有机膜初步固化作用, 从而改善过孔(3)处因光阻流动性而导致的Taper角过小的问题。

WO 2017/015980 A1

根据细则 4.17 的声明:

— 发明人资格(细则 4.17(iv))

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

低温多晶硅阵列基板及其制造方法、显示装置

相关申请的交叉引用

本申请要求享有于 2015 年 07 月 27 日提交的名称为“低温多晶硅阵列基板及其制造方法、显示装置”的中国专利申请 CN201510447288.1 的优先权，该申请的全部内容通过引用并入本文中。

技术领域

本发明涉及液晶显示面板生产技术领域，尤其是涉及一种低温多晶硅阵列基板及其制造方法、显示装置。

背景技术

薄膜晶体管液晶显示器可分为多晶硅阵列基板和非晶硅阵列基板，两者的差异在于电晶体特性不同。多晶硅的分子结构在一颗晶粒中的排列状态是整齐而有方向性的，因此电子移动率比排列杂乱的非晶硅快了很多倍。而多晶硅产品则包括高温多晶硅（HTPS）和低温多晶硅（LTPS）两种产品。

低温多晶硅薄膜晶体管液晶显示器是在封装过程中，利用准分子镭射作为热源，镭射光经过折射系统后，会产生能量均匀分布的镭射光束，投射于非晶硅结构的玻璃基板上，当非晶硅结构玻璃基板吸收准分子镭射的能量后，会转变为多晶硅结构，因整个处理过程都是在 600 度以下完成，故一般玻璃基板均可适用。

低温多晶硅液晶显示器具有高分辨率、反应速度快、高亮度、高开口率等优点，加上由于低温多晶硅液晶显示器的硅结晶排量较 a-si 有次序，使得电子移动率相对于高 100 倍之上，可以将外围驱动电路同时制作在玻璃基板上，达到系统整合的目标，节省空间及驱动 IC 的成本，能更好的提高阵列基板的性能，大大改善器件性能。

但是，低温多晶硅阵列基板的制备工艺复杂，有可能造成其表面并不平整，以使得在与彩膜基板组立后，间隔柱（PS）在按压后出现偏移，造成漏光风险。

发明内容

针对现有技术中所存在的上述技术问题，本发明提出了一种低温多晶硅阵列基板及其制造

方法、显示装置。该方法中，通过设置平坦层，以及在形成平坦层过程中，经过至少两次烘烤温度不同的烘烤等工序，能避免设置在平坦层处的锥度角（Taper 角）过小，从而保证低温多晶硅阵列基板的表面的平整。由此，通过本发明能降低液晶显示装置间隔柱（PS）在按压后出现偏移，造成漏光的风险。

根据本发明的一方面，提出了一种低温多晶硅阵列基板的制造方法，包括在电极上形成平坦层，平坦层依次经过清洗、去水烘烤、疏水化处理、光阻涂布、真空干燥、预烘烤、曝光、显影、烘烤、灰化工序而形成，其中，烘烤的工序中包括至少两次烘烤温度不同的烘烤。通过这种设置能起到对平坦层的有机膜形成初步固化作用，有助于避免锥度角过小的问题。

在一个实施例中，在烘烤的工序中依次包括后烘烤和烤箱烘烤两步，并且后烘烤的温度低于烤箱烘烤的温度。通过上述方法，在烘烤的工序中设置至少两道烘烤工序，也就是在烤箱烘烤之前至少有一次烘烤，以对平坦层的有机膜形成初步固化作用，从而改善只进行一次烤箱烘烤，过孔因平坦层的光阻流动性而导致的锥度角过小的问题。同时，这种工艺相对简单，不需要添加额外的设备。

在一个实施例中，后烘烤的温度在 110-130 度之间。优选地，后烘烤的温度为 120 度。

在一个实施例中，后烘烤的时间为 2-4 分钟。

在一个实施例中，烤箱烘烤的温度为 210-230 度。

在一个实施例中，预烘烤的温度为 80-100 度，并预烘烤的时间为 1.5-2 分钟。

在一个实施例中，在曝光的工序中依次包括中间曝光和边缘曝光两步。

根据本发明的第二方面，提供一种低温多晶硅阵列基板，低温多晶硅阵列基板采用上述的制造方法制造。

根据本发明的第三方面，提供一种显示装置，包括上述的低温多晶硅阵列基板。

与现有技术相比，本发明的优点在于，在制造低温多晶硅阵列基板时，形成平坦层的过程中，在烘烤的工序中设置至少两道烘烤工序，也就是在烤箱烘烤之前至少具有一次烘烤，以对平坦层的有机膜形成初步固化作用，从而避免只是设置一次烤箱烘烤时，过孔因光阻流动性而导致的锥度角过小的问题。并且由于改善了锥度角过小的问题，则通过这种方法制成的阵列基板在与彩膜基板组装过程中，降低了 PS 位置偏移的问题，并减少了漏光的风险。

附图说明

下面将结合附图来对本发明的优选实施例进行详细地描述，在图中：

图 1 显示了根据本发明的一种低温多晶硅阵列基板的结构；

图 2 显示了根据本发明的低温多晶硅阵列基板的制作方法；

附图并未按照实际的比例绘制。

具体实施方式

下面将结合附图对本发明做进一步说明。

图 1 显示了低温多晶硅阵列基板 100。如图 1 所示，在制造低温多晶硅阵列基板 100 过程中，在设置电极 1 后，需要在整个低温多晶硅阵列基板 100 的电极 1 的表面上形成平坦层 2。为实现平坦层 2 的有助于平坦化的目的，其由有机材料制成，例如由聚酰亚胺制成。并且为了信号线的导通，在电极 1 区域处的平坦层 2 上设计有过孔 3。过孔 3 的截面大体为梯形，并且过孔 3 的倾斜面与电极 1 的表面形成了锥度角（也就是 Taper 角，即图 1 中所标示的角 α ）。当此低温多晶硅阵列基板 100 与彩膜基板（图中未示出）贴合后，间隔柱（PS）处于平坦层 2 的过孔 3 之间。

由于现有技术中，在生产低温多晶硅阵列基板 100 时，在进行显影工序后，直接进行高温烘烤。而在高温烘烤过程中，由于平坦层 2 的光阻流动性，常出现 Taper 角 α 过小的问题。而由于 Taper 角 α 过小，容易使得两过孔 3 之间的平坦层 2 并不平整而为弧形。由此在生产低温多晶硅阵列基板 100 与彩膜基板组立后，PS 设置在低温多晶硅阵列基板 100 的两过孔 3 之间，如果两过孔 3 之间的平坦层 2 并不平整，在 PS 受压后容易发生偏移，造成漏光风险。因此，在生产低温多晶硅阵列基板 100 的时候，在烘烤工序中可以包括两次烘烤温度不同的烘烤，也就是在对低温多晶硅阵列基板 100 进行烤箱烘烤之前，可对其进行后烘烤，并且后烘烤的温度低于烤箱烘烤。而后烘烤可以对平坦层 2 起到固化作用，以防止在烤箱烘烤过程中，由于平坦层 2 的光阻流动性严重而导致的过孔 3 处的 Taper 角 α 过小。从而，该生产低温多晶硅阵列基板 100 的制造方法避免过孔 3 过小，使得过孔 3 之间的平坦层 2 平整，以保证包含该低温多晶硅阵列基板 100 的显示装置的显示效果。

下面参照图 2 详细地论述平坦层 2 的形成工艺。

在形成电极 1 之后，对低温多晶硅阵列基板 100 进行清洗。在低温多晶硅阵列基板 100 经过制程的每道工序以及传送等，其表面都会受到一定程度的污染。这些污染微粒会引发电路的图形缺陷，使得组件的特性变差。为了清除这些污染，需要采取清洗工序。在此清洗工序中，可以采用水、紫外线或者超音波等方式进行。

在清洗低温多晶硅阵列基板 100 之后，可利用去水烘烤进行干燥处理，以防止低温多晶硅阵列基板 100 表面留下残留水痕或者杂质。例如可以采用气刀干燥、甩干干燥等方式进行。

在进行光阻涂布之前，对低温多晶硅阵列基板 100 进行疏水化处理，以使其表面能更好的与后续设置的平坦层 2 相粘附。

然后,进行光阻涂布,即在多晶硅阵列基板 100 的电极 1 的表面上涂布有机膜层以形成平坦层 2。可以采用旋转涂布或者毛细管现象涂布等方式进行。

为使涂布的有机溶剂挥发出来,需要对多晶硅阵列基板 100 进行真空干燥。接下来,还要进行预烘烤。即将多晶硅阵列基板 100 设置在 80-100 度的范围内,预烘烤 1.5-2 分钟。优选地,预烘烤温度可设置为 90 度。

接着,进行曝光处理,而为了控制所需要的电路图形及显示图像用的像素图形,根据曝光的部位不同,曝光工序依次包括中间曝光和边缘曝光。

为了形成曝光后的图形,要选择性地去除部分有机膜层,因此在曝光工序之后需要进行显影工序。例如,可以选用喷淋显影、浸渍显影或者旋转显影等方式进行。

再次,进行烘烤工序。根据本发明,烘烤的工序中包括至少两次烘烤温度不同的烘烤。也就是在烤箱烘烤之前,增加至少一次后烘烤,对有机膜层进行初步固化,以防止 Taper 角 α 过小的问题。优选地,后烘烤的温度范围为 110-130 度,并且时间为 2-4 分钟。例如,可以在 120 度的温度下,对低温多晶硅阵列基板 100 进行 2.5 分钟的烘烤。然后,再对低温多晶硅阵列基板 100 进行烤箱烘烤,其烘烤温度为 210-230 度之间,烘烤时间设定为 35-50 分钟。

最后,对过孔 3 处进行修饰,即进行灰化处理。由此,低温多晶硅阵列基板 100 的平坦层 2 设置完成。

本发明还涉及通过上述方法形成的低温多晶硅阵列基板 100,而低温多晶硅阵列基板 100 的其它结构和部件是本领域技术人员熟知的,在此不再进行赘述。

根据本发明,还提供包括低温多晶硅阵列基板 100 的显示装置。

以上所述仅为本发明的优选实施方式,但本发明保护范围并不局限于此,任何本领域的技术人员在本发明公开的技术范围内,可容易地进行改变或变化,而这种改变或变化都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以权利要求书的保护范围为准。

权利要求书

1. 一种低温多晶硅阵列基板的制造方法，其中，包括在电极上形成平坦层，所述平坦层依次经过清洗、去水烘烤、疏水化处理、光阻涂布、真空干燥、预烘烤、曝光、显影、烘烤、灰化工序而形成，其中，所述烘烤的工序中包括至少两次烘烤温度不同的烘烤。
2. 根据权利要求 1 所述的制造方法，其中，在所述烘烤的工序中依次包括后烘烤和烤箱烘烤两步，并且所述后烘烤的温度低于所述烤箱烘烤的温度。
3. 根据权利要求 2 所述的制造方法，其中，所述后烘烤的温度在 110-130 度之间。
4. 根据权利要求 3 所述的制造方法，其中，所述后烘烤的温度为 120 度。
5. 根据权利要求 4 所述的制造方法，其中，所述后烘烤的时间为 2-4 分钟。
6. 根据权利要求 2 所述的制造方法，其中，所述烤箱烘烤的温度为 210-230 度。
7. 根据权利要求 3 所述的制造方法，其中，所述烤箱烘烤的温度为 210-230 度。
8. 根据权利要求 4 所述的制造方法，其中，所述烤箱烘烤的温度为 210-230 度。
9. 根据权利要求 5 所述的制造方法，其中，所述烤箱烘烤的温度为 210-230 度。
10. 根据权利要求 6 所述的制造方法，其中，所述预烘烤的温度为 80-100 度，并所述预烘烤的时间为 1.5-2 分钟。
11. 根据权利要求 1 所述的制造方法，其中，在所述曝光的工序中依次包括中间曝光和边缘曝光两步。
12. 一种低温多晶硅阵列基板，其中，所述低温多晶硅阵列基板由以下制造方法制造：
制造方法包括在电极上形成平坦层，所述平坦层依次经过清洗、去水烘烤、疏水化处理、光阻涂布、真空干燥、预烘烤、曝光、显影、烘烤、灰化工序而形成，其中，所述烘烤的工序中包括至少两次烘烤温度不同的烘烤。
13. 根据权利要求 12 所述的低温多晶硅阵列基板，其中，在所述烘烤的工序中依次包括后烘烤和烤箱烘烤两步，并且所述后烘烤的温度低于所述烤箱烘烤的温度。
14. 根据权利要求 13 所述的低温多晶硅阵列基板，其中，所述后烘烤的温度在 110-130 度之间。
15. 根据权利要求 14 所述的低温多晶硅阵列基板，其中，所述后烘烤的温度为 120 度。
16. 根据权利要求 15 所述的低温多晶硅阵列基板，其中，所述后烘烤的时间为 2-4 分钟。
17. 根据权利要求 13 所述的低温多晶硅阵列基板，其中，所述烤箱烘烤的温度为 210-230 度。
18. 根据权利要求 17 所述的低温多晶硅阵列基板，其中，所述预烘烤的温度为 80-100 度，

并所述预烘烤的时间为 1.5-2 分钟。

19. 根据权利要求 12 所述的低温多晶硅阵列基板，其中，在所述曝光的工序中依次包括中间曝光和边缘曝光两步。

20. 一种显示装置，其中，包括低温多晶硅阵列基板，所述低温多晶硅阵列基板由以下方法制造：

制造方法包括在电极上形成平坦层，所述平坦层依次经过清洗、去水烘烤、疏水化处理、光阻涂布、真空干燥、预烘烤、曝光、显影、烘烤、灰化工序而形成，其中，所述烘烤的工序中包括至少两次烘烤温度不同的烘烤。

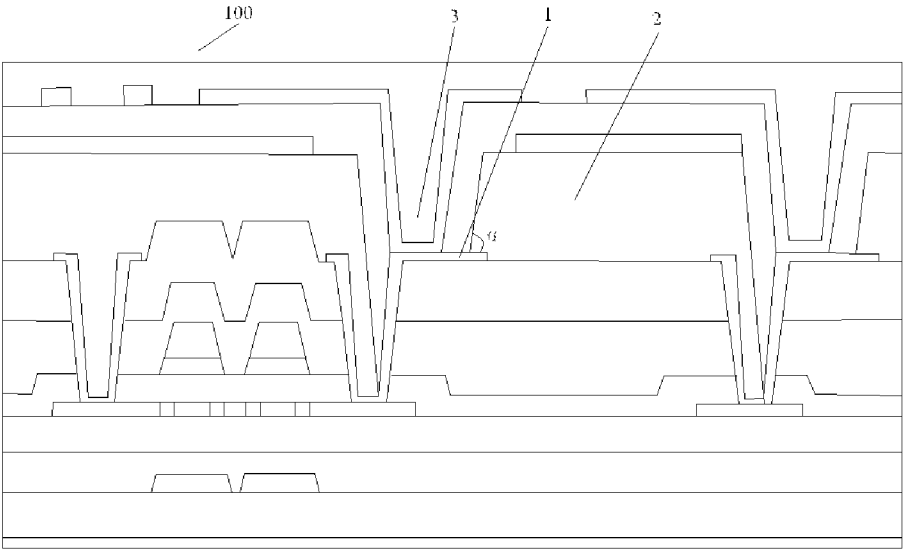


图 1

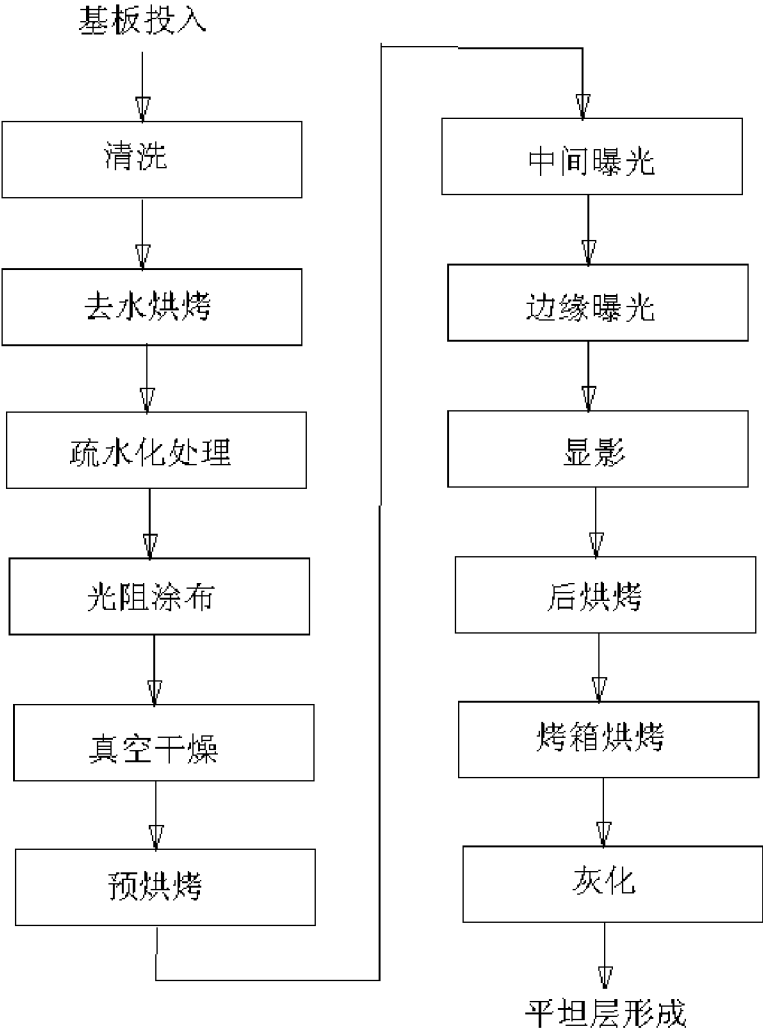


图 2

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/086122

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/312 (2006.01) i; H01L 21/77 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G02F; G03F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN, WPI, EPODOC, CNABS, CNPAT, CNTXT, CNKI: silicon substrate, display, display device, pole, flat layer, coat, film, dry, develop, before baking, after baking, solidify, tapered angle, organic membrane, initial curing, via, light resistance, flow, smooth, planar+, bak+, taper, film, post w cur+, post w bak+, substrate, expos+, coat+, array, base w plate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104658906 A (SHANGHAI EVERDISPLAY OPTRONICS CO., LTD.) 27 May 2015 (27.05.2015) description, paragraphs [0008], [0011] and [0012]	1-20
A	CN 101592752 A (FUJI PHOTO FILM CO., LTD.) 02 December 2009 (02.12.2009) claims 1-7	1-20
A	CN 101101347 A (AU OPTRONICS, CORP.) 09 January 2008 (09.01.2008) description, page 4, the second paragraph to page 5, the fourth paragraph	1-20
A	WO 2005050268 A1 (FUJI FILM ARCH CO., LTD.) 02 June 2005 (02.06.2005) description, paragraphs [0015]-[0025]	1-20
A	CN 102253534 A (SONY CORPORATION) 23 November 2011 (23.11.2011) description, paragraphs [0011]-[0014]	1-20

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 06 April 2016	Date of mailing of the international search report 20 April 2016
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LIU, Jing Telephone No. (86-10) 010-62414238

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/CN2015/086122

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102543861 A (CHI MEI OPTOELECTRONICS CORPORATION et al.) 04 July 2012 (04.07.2012) description, paragraphs [0034]-[0038]	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/086122

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104658906 A	27 May 2015	None	
CN 101592752 A	02 December 2009	JP 2009288656 A	10 December 2009
CN 101101347 A	09 January 2008	CN 100495084 C	03 June 2009
WO 2005050268 A1	02 June 2005	US 2007099094 A1	03 May 2007
		JP 4597590 B2	15 December 2010
		US 8053149 B2	08 November 2011
		KR 20070003769 A	05 January 2007
		TW 200526999 A	16 August 2005
		KR 1093033 B1	13 December 2011
		JP 2005173532 A	30 June 2005
CN 102253534 A	23 November 2011	US 8475223 B2	02 July 2013
		CN 102253534 B	17 June 2015
		US 2011281491 A1	17 November 2011
		TW 201142442 A	01 December 2011
		TW 1442148 B	21 June 2014
		JP 2011242506 A	01 December 2011
CN 102543861 A	04 July 2012	CN 102543861 B	31 December 2014

A. 主题的分类 H01L 21/312(2006.01)i; H01L 21/77(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L;G02F;G03F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) VEN, WPI, EPDOC, CNABS, CNPAT, CNTXT, CNKI: 硅基板, 基板, 阵列, 显示器, 显示装置, 电极, 平坦层, 平坦化层, 镀膜, 膜, 涂布, 干燥, 曝光, 显影, 烘烤前, 烘烤后, 基板, 前烘烤, 两次烘烤, 后烘烤, 烘烤, 固化, 锥度角, 锥角, 有机膜, 初步固化, 过孔, 漏光, 光阻, 流动, 平整, planar+, bak+, taper, film, post w cur+, post w bak+, substrate, expos+, coat+, array, base w plate		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 104658906 A (上海和辉光电有限公司) 2015年 5月 27日 (2015 - 05 - 27) 说明书第8段、第11-12段	1-20
A	CN 101592752 A (富士胶片株式会社) 2009年 12月 2日 (2009 - 12 - 02) 权利要求1-7	1-20
A	CN 101101347 A (友达光电股份有限公司) 2008年 1月 9日 (2008 - 01 - 09) 说明书第4页第2段至第5页第4段	1-20
A	WO 2005050268 A1 (FUJIFILM ARCH CO., LTD.) 2005年 6月 2日 (2005 - 06 - 02) 说明书第15-25段	1-20
A	CN 102253534 A (索尼公司) 2011年 11月 23日 (2011 - 11 - 23) 说明书第11-14段	1-20
A	CN 102543861 A (奇美电子股份有限公司等) 2012年 7月 4日 (2012 - 07 - 04) 说明书第34-38段	1-20
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2016年 4月 6日		2016年 4月 20日
ISA/CN的名称和邮寄地址		授权官员
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		刘静 电话号码 (86-10)010-62414238

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/086122

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104658906	A	2015年 5月 27日	无			
CN	101592752	A	2009年 12月 2日	JP	2009288656	A	2009年 12月 10日
CN	101101347	A	2008年 1月 9日	CN	100495084	C	2009年 6月 3日
WO	2005050268	A1	2005年 6月 2日	US	2007099094	A1	2007年 5月 3日
				JP	4597590	B2	2010年 12月 15日
				US	8053149	B2	2011年 11月 8日
				KR	20070003769	A	2007年 1月 5日
				TW	200526999	A	2005年 8月 16日
				KR	1093033	B1	2011年 12月 13日
				JP	2005173532	A	2005年 6月 30日
CN	102253534	A	2011年 11月 23日	US	8475223	B2	2013年 7月 2日
				CN	102253534	B	2015年 6月 17日
				US	2011281491	A1	2011年 11月 17日
				TW	201142442	A	2011年 12月 1日
				TW	I442148	B	2014年 6月 21日
				JP	2011242506	A	2011年 12月 1日
CN	102543861	A	2012年 7月 4日	CN	102543861	B	2014年 12月 31日

表 PCT/ISA/210 (同族专利附件) (2009年7月)