

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月8日(08.10.2020)



(10) 国際公開番号

WO 2020/203701 A1

(51) 国際特許分類:

G09G 3/20 (2006.01) G09F 9/30 (2006.01)
G09G 3/32 (2016.01) G09F 9/33 (2006.01)
H01L 33/00 (2010.01)

(21) 国際出願番号: PCT/JP2020/013857

(22) 国際出願日: 2020年3月26日(26.03.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2019-067936 2019年3月29日(29.03.2019) JP

(71) 出願人: 株式会社ジャパンディスプレイ (JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).

(72) 発明者: 池田 雅延 (IKEDA, Masanobu); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 伊東 理 (ITO, Osamu); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ

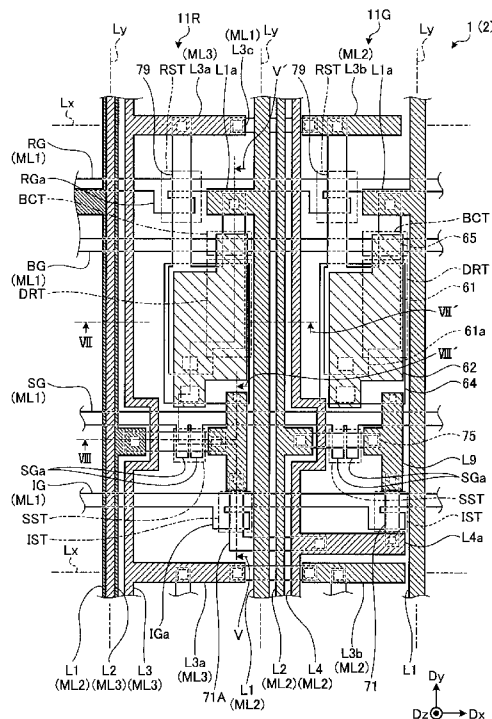
イ内 Tokyo (JP). 青木 義典 (AOKI, Yoshinori); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(74) 代理人: 特許業務法人 酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: This display device comprises: a substrate, a plurality of first and second pixels provided on the substrate; a plurality of inorganic light-emitting elements provided on each of the plurality of first and second pixels; a plurality of signal lines that respectively supply signals to the first and second pixels; and a plurality of power supply lines that respectively supply power supply potentials to the first and second pixels. In the first pixel, at least one among the plurality of signal lines is provided in a layer different from that of the power supply lines, and in the second pixel, the plurality of signal lines and power supply lines are provided in the same layer.

(57) 要約: 表示装置は、基板と、基板に設けられた複数の第1画素及び第2画素と、複数の第1画素及び第2画素の各々に設けられた複数の無機発光素子と、第1画素及び第2画素のそれぞれに信号を供給する複数の信号線と、第1画素及び第2画素のそれぞれに電源電位を供給する複数の電源線と、を有し、第1画素において、複数の信号線のうち少なくとも1つ以上は電源線と異なる層に設けられ、第2画素において、複数の信号線及び電源線は同層に設けられる。

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、表示装置に関する。

背景技術

[0002] 近年、表示素子として微小サイズの発光ダイオード（マイクロＬＥＤ（micro LED））を用いたディスプレイが注目されている（例えば、特許文献１参照）。複数の発光ダイオードは、アレイ基板（特許文献１ではドライババックプレーン）に接続され、アレイ基板は、発光ダイオードを駆動するための画素回路（特許文献１では電子制御回路）を備える。

先行技術文献

特許文献

[0003] 特許文献１：特表２０１７－５２９５５７号公報

発明の概要

発明が解決しようとする課題

[0004] 赤色ＬＥＤは、青色ＬＥＤや緑色ＬＥＤに比べて発光効率が低い。特にGaN LEDの場合にはこの傾向が顕著になる。このため、赤色ＬＥＤの駆動電流を大きくする必要があり、消費電力が増大する可能性がある。一方で、赤色ＬＥＤの発光強度を大きくすると、アレイ基板上の配線により赤色の光が反射されて、他の画素の光と混色が生じる可能性がある。このため、良好に画像を表示することが困難となる場合がある。

[0005] 本発明は、表示品位の低下を抑制することができる表示装置を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の一態様の表示装置は、基板と、前記基板に設けられた複数の第１画素及び第２画素と、複数の前記第１画素及び前記第２画素の各々に設けられた複数の無機発光素子と、前記第１画素及び前記第２画素のそれぞれに信

号を供給する複数の信号線と、前記第 1 画素及び前記第 2 画素のそれぞれに電源電位を供給する複数の電源線と、を有し、前記第 1 画素において、複数の前記信号線のうち少なくとも 1 つ以上は前記電源線と異なる層に設けられ、前記第 2 画素において、複数の前記信号線及び前記電源線は同層に設けられる。

図面の簡単な説明

[0007] [図1]図 1 は、第 1 実施形態に係る表示装置を模式的に示す平面図である。

[図2]図 2 は、複数の画素を示す平面図である。

[図3]図 3 は、画素回路を示す回路図である。

[図4]図 4 は、隣り合う 2 つの画素を模式的に示す平面図である。

[図5]図 5 は、図 4 の V-V' 断面図である。

[図6]図 6 は、円偏光板の光の透過率の波長依存性を模式的に示すグラフである。

[図7]図 7 は、図 4 の V₁-V₁' 断面図である。

[図8]図 8 は、図 4 の V₁₁-V₁₁' 断面図である。

[図9]図 9 は、第 2 実施形態に係る表示装置において、隣り合う 2 つの画素を模式的に示す平面図である。

[図10]図 10 は、図 9 の X-X' 断面図である。

発明を実施するための形態

[0008] 本発明を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。以下の実施形態に記載した内容により本発明が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の

解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0009] (第1実施形態)

図1は、第1実施形態に係る表示装置を模式的に示す平面図である。図1に示すように、表示装置1は、アレイ基板2と、画素 P_{ix} と、駆動回路12と、駆動IC (Integrated Circuit) 210と、カソード配線60と、を含む。アレイ基板2は、各画素 P_{ix} を駆動するための駆動回路基板であり、バックプレーン又はアクティブマトリクス基板とも呼ばれる。アレイ基板2は、基板21、複数のトランジスタ、複数の容量及び各種配線等を有する。

[0010] 図1に示すように、表示装置1は、表示領域AAと、周辺領域GAとを有する。表示領域AAは、複数の画素 P_{ix} と重なって配置され、画像を表示する領域である。周辺領域GAは、複数の画素 P_{ix} と重ならない領域であり、表示領域AAの外側に配置される。

[0011] 複数の画素 P_{ix} は、基板21の表示領域AAにおいて、第1方向 D_x 及び第2方向 D_y に配列される。本明細書において、第1方向 D_x 及び第2方向 D_y は、基板21の表面に対して平行な方向である。第1方向 D_x は、第2方向 D_y と直交する。ただし、第1方向 D_x は、第2方向 D_y と直交しないで交差してもよい。第3方向 D_z は、第1方向 D_x 及び第2方向 D_y と直交する方向である。第3方向 D_z は、例えば、基板21の法線方向に対応する。なお、以下、平面視とは、第3方向 D_z から見た場合の位置関係を示す。

[0012] 駆動回路12は、駆動IC 210からの各種制御信号に基づいて複数のゲート線（例えば、発光制御走査線BG、リセット制御走査線RG、初期化制御走査線IG及び書込制御走査線SG（図3参照））を駆動する回路である。駆動回路12は、複数のゲート線を順次又は同時に選択し、選択されたゲート線にゲート駆動信号を供給する。これにより、駆動回路12は、ゲート

線に接続された複数の画素 P_{ix} を選択する。

[0013] 駆動 IC 210 は、表示装置 1 の表示を制御する回路である。駆動 IC 210 は、基板 21 の周辺領域 GA に COG (Chip On Glass) として実装される。これに限定されず、駆動 IC 210 は、基板 21 の周辺領域 GA に接続された配線基板の上に COF (Chip On Film) として実装されてもよい。なお、基板 21 に接続される配線基板は、例えば、フレキシブルプリント基板やリジット基板である。

[0014] カソード配線 60 は、基板 21 の周辺領域 GA に設けられる。カソード配線 60 は、表示領域 AA の複数の画素 P_{ix} 及び周辺領域 GA の駆動回路 12 を囲んで設けられる。複数の発光素子 3 のカソードは、共通のカソード配線 60 に電氣的に接続され、固定電位（例えば、グランド電位）が供給される。より具体的には、発光素子 3 のカソード端子 33（図 5 参照）は、カソード電極 22 を介して、カソード配線 60 に接続される。なお、カソード配線 60 は、一部にスリットを有し、基板 21 上において、2 つの異なる配線で形成されてもよい。

[0015] 図 2 は、複数の画素を含む画素を示す平面図である。図 2 に示すように、1 つの画素 P_{ix} は、複数の画素 11 を含む。例えば、画素 P_{ix} は、第 1 画素 11 R と、第 2 画素 11 G と、第 3 画素 11 B と、を有する。第 1 画素 11 R は、第 1 色としての原色の赤色を表示する。第 2 画素 11 G は、第 2 色としての原色の緑色を表示する。第 3 画素 11 B は、第 3 色としての原色の青色を表示する。以下において、第 1 画素 11 R と、第 2 画素 11 G と、第 3 画素 11 B とをそれぞれ区別する必要がない場合、画素 11 という。

[0016] 画素 11 は、それぞれ発光素子 3 R、3 G、3 B と、アノード電極 23 と、を有する。なお、以下の説明において、発光素子 3 R、3 G、3 B を区別して説明する必要がない場合には、単に発光素子 3 と表す。表示装置 1 は、第 1 画素 11 R、第 2 画素 11 G 及び第 3 画素 11 B において、発光素子 3 R、3 G、3 B ごとに異なる光（例えば、赤色、緑色、青色の光）を出射することで画像を表示する。

[0017] 発光素子3は、複数の画素P i xの各々に設けられる。発光素子3は、平面視で、数 μm 以上、300 μm 以下程度の大きさを有する無機発光ダイオード(LED:Light Emitting Diode)チップであり、一般的には、一つのチップサイズが100 μm 以上の素子がミニLED(miniLED)であり、数 μm 以上100 μm 未満のサイズの素子がマイクロLED(microLED)である。本発明ではいずれのサイズのLEDも用いることができ、表示装置1の画面サイズ(一画素の大きさ)に応じて使い分けられよい。各画素にマイクロLEDを備える表示装置1は、マイクロLED表示装置とも呼ばれる。なお、マイクロLEDのマイクロは、発光素子3の大きさを限定するものではない。

[0018] 図2に示すように、1つの画素P i xにおいて、第1画素11Rと第2画素11Gは第1方向D xで並ぶ。また、第2画素11Gと第3画素11Bは第2方向D yで並ぶ。なお、第1色、第2色、第3色は、それぞれ赤色、緑色、青色に限られず、補色などの任意の色を選択することができる。なお、複数の発光素子3R、3G、3Bは、4色以上の異なる光を出射してもよい。また、複数の画素11の配置は、図2に示す構成に限定されない。例えば、第1画素11Rは、第3画素11Bと第1方向D xに隣り合ってもよい。また、第1画素11R、第2画素11G及び第3画素11Bが、この順で第1方向D xに繰り返し配列されてもよい。

[0019] 図3は、画素回路を示す回路図である。図3に示す画素回路P i C Aは、第1画素11R、第2画素11G及び第3画素11Bのそれぞれに設けられる。画素回路P i C Aは、基板21に設けられ、駆動信号(電流)を発光素子3R、3G、3Bに供給する回路である。なお、図3において、画素回路P i C Aについての説明は、第1画素11R、第2画素11G及び第3画素11Bのそれぞれが有する画素回路P i C Aに適用できる。

[0020] 図3に示すように、画素回路P i C Aは、発光素子3(発光素子3R、3G、3B)と、5つのトランジスタと、2つの容量と、を含む。具体的には、画素回路P i C Aは、発光制御トランジスタB C T、初期化トランジスタ

I S T、書込トランジスタ S S T（第2トランジスタ）、リセットトランジスタ R S T 及び駆動トランジスタ D R T（第1トランジスタ）を含む。一部のトランジスタは、隣接する複数の画素 1 1 で共有されていてもよい。

[0021] 画素回路 P I C A が有する複数のトランジスタは、それぞれ n 型 T F T（Thin Film Transistor）で構成される。ただし、これに限定されず、各トランジスタは、それぞれ p 型 T F T で構成されてもよい。

[0022] 発光制御走査線 B G は、発光制御トランジスタ B C T のゲートに接続される。初期化制御走査線 I G は、初期化トランジスタ I S T のゲートに接続される。書込制御走査線 S G は、書込トランジスタ S S T のゲートに接続される。リセット制御走査線 R G は、リセットトランジスタ R S T のゲートに接続される。

[0023] 発光制御走査線 B G、初期化制御走査線 I G、書込制御走査線 S G 及びリセット制御走査線 R G は、それぞれ、周辺領域 G A に設けられた駆動回路 1 2（図 1 参照）に接続される。駆動回路 1 2 は、発光制御走査線 B G、初期化制御走査線 I G、書込制御走査線 S G 及びリセット制御走査線 R G に、それぞれ、発光制御信号 V b g、初期化制御信号 V i g、書込制御信号 V s g 及びリセット制御信号 V r g を供給する。

[0024] 駆動 I C 2 1 0（図 1 参照）は、第 1 画素 1 1 R、第 2 画素 1 1 G 及び第 3 画素 1 1 B のそれぞれの画素回路 P I C A に、時分割で映像信号 V s i g を供給する。第 1 画素 1 1 R、第 2 画素 1 1 G 及び第 3 画素 1 1 B の各列と、駆動 I C 2 1 0 との間には、マルチプレクサ等のスイッチ回路が設けられる。映像信号 V s i g は、映像信号線 L 2 を介して書込トランジスタ S S T に供給される。また、駆動 I C 2 1 0 は、リセット信号線 L 3 を介して、リセット電源電位 V r s t をリセットトランジスタ R S T に供給する。駆動 I C 2 1 0 は、初期化信号線 L 4 を介して、初期化電位 V i n i を初期化トランジスタ I S T に供給する。

[0025] 発光制御トランジスタ B C T、初期化トランジスタ I S T、書込トランジスタ S S T、及びリセットトランジスタ R S T は、2 ノード間の導通と非導

通とを選択するスイッチング素子として機能する。駆動トランジスタDRTは、ゲートとドレインとの間の電圧に応じて、発光素子3に流れる電流を制御する電流制御素子として機能する。

[0026] 発光素子3のカソード（カソード端子33）は、カソード電源線L10に接続される。また、発光素子3のアノード（アノード端子32）は、駆動トランジスタDRT及び発光制御トランジスタBCTを介してアノード電源線L1（電源線）に接続される。アノード電源線L1には、アノード電源電位PVDDが供給される。カソード電源線L10には、カソード電源電位PVSSが供給される。アノード電源電位PVDDは、カソード電源電位PVSSよりも高い電位である。カソード電源線L10は、カソード配線60を含む。

[0027] また、画素回路PICAは、容量Cs1及び容量Cs2を含む。容量Cs1は、駆動トランジスタDRTのゲートとソースとの間に形成される保持容量である。容量Cs2は、駆動トランジスタDRTのソース及び発光素子3のアノードと、カソード電源線L10との間に形成される付加容量である。

[0028] リセット期間では、発光制御走査線BG及びリセット制御走査線RGの電位に応じて、発光制御トランジスタBCTがオフ（非導通状態）となり、リセットトランジスタRSTがオン（導通状態）となる。これにより、駆動トランジスタDRTのソースがリセット電源電位Vrstに固定される。リセット電源電位Vrstは、リセット電源電位Vrstとカソード電源電位PVSSとの電位差が、発光素子3が発光を開始する電位差よりも小さい電位である。

[0029] 次に、初期化制御走査線IGの電位に応じて、初期化トランジスタISTは、オンとなる。初期化トランジスタISTを介して駆動トランジスタDRTのゲートが初期化電位Viniに固定される。また、駆動回路12は、発光制御トランジスタBCTをオンとし、リセットトランジスタRSTをオフとする。駆動トランジスタDRTは、ソース電位が $(V_{ini} - V_{th})$ になるとオフになり、各画素11ごとの駆動トランジスタDRTのしきい値電

圧 V_{th} のばらつきがオフセットされる。

[0030] 次に、映像信号書込動作期間では、発光制御トランジスタ BC_T がオフになり、初期化トランジスタ IS_T がオフになり、書込トランジスタ SS_T がオンになる。映像信号 V_{sig} が駆動トランジスタ DR_T のゲートに入力される。

[0031] 次に、発光動作期間では、発光制御トランジスタ BC_T がオンになり、書込トランジスタ SS_T がオフになる。アノード電源線 L_1 から、発光制御トランジスタ BC_T を介して駆動トランジスタ DR_T にアノード電源電位 P_{VDD} が供給される。駆動トランジスタ DR_T は、ゲートソース間の電圧に応じた電流を、発光素子 3 に供給する。発光素子 3 は、この電流に応じた輝度で発光する。

[0032] なお、上述した図 3 に示す画素回路 $PICA$ の構成はあくまで一例であり、適宜変更することができる。例えば 1 つの画素 11 での配線の数及びトランジスタの数は異なってもよい。

[0033] 次に、図 4 から図 8 を参照しつつ、各トランジスタ及び各配線の具体的な構成例について説明する。図 4 は、隣り合う 2 つの画素を模式的に示す平面図である。図 4 は、第 1 方向 D_x に隣り合う 2 つの画素 11 として、第 1 画素 11R と第 2 画素 11G を示す。ただし、第 3 画素 11B も第 2 画素 11G と同様の構成であり、第 2 画素 11G についての説明は、第 3 画素 11B にも適用できる。

[0034] 図 4 に示すように、アノード電源線 L_1 、映像信号線 L_2 、リセット信号線 L_3 及び初期化信号線 L_4 は、第 2 方向 D_y に延在する。リセット制御走査線 RG 、発光制御走査線 BG 、書込制御走査線 SG 及び初期化制御走査線 IG は、第 1 方向 D_x に延在し、平面視で、アノード電源線 L_1 、映像信号線 L_2 、リセット信号線 L_3 及び初期化信号線 L_4 とそれぞれ交差する。また、第 1 方向 D_x に隣り合う 2 つのアノード電源線 L_1 の間に接続配線 L_9 が設けられている。接続配線 L_9 は、駆動トランジスタ DR_T 、書込トランジスタ SS_T 及び初期化トランジスタ IS_T を接続する。

[0035] 第1画素11Rは、信号を供給する信号線として、映像信号線L2及びリセット信号線L3を有する。第2画素11Gは、信号を供給する信号線として、映像信号線L2及び初期化信号線L4を有する。本実施形態では、リセット信号線L3及び初期化信号線L4は、隣り合う2つの画素11で共用されている。言い換えると、第1画素11Rでは、初期化信号線L4は設けられず、映像信号線L2に沿ってリセット信号線L3が設けられている。第2画素11Gでは、リセット信号線L3は設けられず、映像信号線L2に沿って初期化信号線L4が設けられている。なお、リセット信号線L3が第2画素11Gに配置され、初期化信号線L4が第1画素11Rに配置されてもよい。例えば、第1画素11Rに、リセット信号線L3は設けられず、映像信号線L2に沿って初期化信号線L4が設けられてもよい。また、第2画素11Gに、初期化信号線L4は設けられず、映像信号線L2に沿ってリセット信号線L3が設けられてもよい。

[0036] 1つのリセット信号線L3は、第1画素11R及び第2画素11Gにリセット電源電位 V_{rst} を供給する。また、1つの初期化信号線L4は、第1画素11R及び第2画素11Gに初期化電位 V_{ini} を供給する。ただし、これに限定されず、第1画素11R及び第2画素11Gは、それぞれ、3つの映像信号線L2、リセット信号線L3及び初期化信号線L4を有していてもよい。

[0037] 本実施形態において、表示装置1（アレイ基板2）は、第3方向Dzで異なる層に設けられた第1金属層ML1と、第2金属層ML2と、第3金属層ML3とを有する。第1金属層ML1、第2金属層ML2及び第3金属層ML3は、各トランジスタが有する半導体層61、65、71、75、79とは異なる層に設けられる。図4では、第1金属層ML1、第2金属層ML2及び第3金属層ML3を区別するために、第2金属層ML2及び第3金属層ML3に斜線を付している。

[0038] リセット制御走査線RG、発光制御走査線BG、書込制御走査線SG及び初期化制御走査線IGは、第1金属層ML1で形成される。第1画素11R

において、アノード電源線L 1は、第2金属層ML 2で形成されている。映像信号線L 2及びリセット信号線L 3は、第3金属層ML 3で形成されている。すなわち、映像信号線L 2及びリセット信号線L 3は、アノード電源線L 1と異なる層に設けられる。平面視で、映像信号線L 2は、アノード電源線L 1と重なって設けられる。また、リセット信号線L 3は、映像信号線L 2と第1方向D xに隣り合って設けられる。

[0039] 第2画素1 1 Gにおいて、アノード電源線L 1、映像信号線L 2及び初期化信号線L 4は、第2金属層ML 2で形成されている。すなわち、映像信号線L 2及び初期化信号線L 4は、アノード電源線L 1と同層に設けられる。平面視で、映像信号線L 2及び初期化信号線L 4は、アノード電源線L 1と重ならない領域に設けられ、アノード電源線L 1と第1方向D xに隣り合って設けられる。

[0040] 第1画素1 1 Rが有する複数の信号線のうち少なくとも1つ以上は、アノード電源線L 1と異なる層に設けられる。これにより、第1画素1 1 Rにおいて効率よく配線を配置することができる。この結果、表示装置1は、第1画素1 1 Rの金属配線占有率を、第2画素1 1 Gの金属配線占有率よりも小さくすることができる。ここで、金属配線占有率とは、平面視での第1画素1 1 R又は第2画素1 1 Gのそれぞれの面積に対する、複数の信号線、走査線及びアノード電源線L 1を含む各種金属配線の合計面積の割合である。

[0041] また、各画素1 1の面積は、図4に示す仮想線L xと仮想線L yとで区画された領域の面積である。仮想線L xは、リセット信号線L 3に接続された接続配線L 3 a、L 3 bと重なって第1方向D xに延在する仮想線である。仮想線L xは、接続配線L 3 a、L 3 bの第2方向D yの midpoint位置を通る。仮想線L yは、アノード電源線L 1と重なって第2方向D yに延在する仮想線である。仮想線L yは、アノード電源線L 1の第1方向D xの midpoint位置を通る。

[0042] 第1画素1 1 Rの金属配線占有率は、64%以上80%以下程度、例えば72%程度である。第2画素1 1 Gの金属配線占有率は、72%以上80%

以下程度、例えば80%程度である。第1画素11R及び第2画素11Gの金属配線占有率は、あくまで一例であり、画素密度や解像度に応じて適宜異なる値とすることができる。

[0043] このような構成により、第1画素11Rにおいて、映像信号線L2及びリセット信号線L3がアノード電源線L1と同層に設けられた場合に比べて、第1画素11Rが有する発光素子3Rから出射された赤色の光のうち側方や斜め方向に向かう光が、アレイ基板2の各金属配線で反射することを抑制できる。これにより、表示装置1は、第1画素11Rでの不要な反射光を抑制して、他の画素11の光との混色を抑制することができる。

[0044] 第1金属層ML1、第2金属層ML2及び第3金属層ML3として、チタン(Ti)、モリブデン(Mo)、タングステン(W)、タンタル(Ta)、ニオブ、インジウムスズ酸化物(ITO)、アルミニウム(Al)、銀(Ag)、Ag合金、銅(Cu)、カーボンナノチューブ、グラファイト、グラフェン又はカーボンナノバッドが用いられる。ここで、第2金属層ML2で形成されるアノード電源線L1のシート抵抗値は、複数の信号線のうち、アノード電源線L1と異なる層に形成される各信号線(第3金属層ML3)のシート抵抗値以下である。また、第3金属層ML3で形成される各信号線のシート抵抗値は、第1金属層ML1で形成される各ゲート線のシート抵抗値以下である。

[0045] 例えば、アノード電源線L1(第2金属層ML2)のシート抵抗値は、 $30\text{ m}\Omega/\square$ 以上 $120\text{ m}\Omega/\square$ 以下である。また、複数の信号線のうち、第3金属層ML3で形成される各信号線のシート抵抗値は、 $120\text{ m}\Omega/\square$ 以上 $300\text{ m}\Omega/\square$ 以下である。各ゲート線(第1金属層ML1)のシート抵抗値は、 $300\text{ m}\Omega/\square$ 以上 $3000\text{ m}\Omega/\square$ 以下である。これにより、表示装置1は、アノード電源線L1に印加される駆動電圧の電圧降下を抑制し、表示性能の低下を抑制できる。

[0046] なお、第1金属層ML1、第2金属層ML2及び第3金属層ML3は、それぞれ、単層に限定されず、積層膜で構成されていてもよい。例えば、第2

金属層ML 2はTi / Al / TiあるいはMo / Al / Moの積層膜であってもよく、第3金属層ML 3はAlの単層膜であってもよい。また、Ti、Al、Moは合金であってもよい。

[0047] 半導体層6 1、6 5、7 1、7 5は、例えば、アモルファスシリコン、微結晶酸化物半導体、アモルファス酸化物半導体、ポリシリコン、低温ポリシリコン（LTPS: Low Temperature Polycrystalline Silicone）又は窒化ガリウム（GaN）で構成される。酸化物半導体としては、IGZO、酸化亜鉛（ZnO）、ITZOが例示される。IGZOは、インジウムガリウム亜鉛酸化物である。ITZOは、インジウムスズ亜鉛酸化物である。

[0048] 駆動トランジスタDRTは、半導体層6 1、ソース電極6 2及びゲート電極6 4を有する。半導体層6 1、ソース電極6 2及びゲート電極6 4は、平面視で、少なくとも一部が重なって配置され、第1方向Dxに隣り合う2つのアノード電源線L 1と、発光制御走査線BGと、書込制御走査線SGとで囲まれた領域に設けられる。駆動トランジスタDRTは、半導体層6 1と重なって1つのゲート電極6 4が設けられたシングルゲート構造である。ソース電極6 2は、半導体層6 1を覆うように設けられる。半導体層6 1は、部分6 1 aでソース電極6 2と接続される。

[0049] 発光制御トランジスタBCTは、半導体層6 5を有する。半導体層6 5は半導体層6 1と接続されており、発光制御走査線BGと平面視で交差する。半導体層6 5のうち、発光制御走査線BGと重なる領域にチャネル領域が形成される。発光制御走査線BGのうち半導体層6 5と重なる部分が、発光制御トランジスタBCTのゲート電極6 6として機能する。半導体層6 5の一端側は、アノード電源線接続部L 1 aと電氣的に接続される。アノード電源線接続部L 1 aは、アノード電源線L 1から第1方向Dxに分岐された部分である。これにより、駆動トランジスタDRT及び発光制御トランジスタBCTには、アノード電源線L 1からアノード電源電位PVDDが供給される。

[0050] 第2画素1 1 Gでは、初期化トランジスタISTは、半導体層7 1を有す

る。第1画素11Rでは、初期化トランジスタ1STは、半導体層71Aを有する。半導体層71、71Aは、それぞれ、初期化制御走査線1G及び分岐走査線1Gaと平面視で交差する。半導体層71、71Aのうち、初期化制御走査線1G及び分岐走査線1Gaと重なる領域にチャネル領域が形成される。分岐走査線1Gaは、初期化制御走査線1Gから分岐され、第1方向Dxに延出する。初期化制御走査線1G及び分岐走査線1Gaのうち半導体層71、71Aと重なる部分が、それぞれ初期化トランジスタ1STのゲート電極74として機能する。つまり、初期化トランジスタ1STは、半導体層71、71Aのそれぞれに重なって2つのゲート電極が設けられたダブルゲート構造である。ただし、初期化トランジスタ1STは、分岐走査線1Gaが設けられずシングルゲート構造であってもよい。

[0051] 第2画素11Gでは、半導体層71は、第2方向Dyに延在し、一端が接続配線L9に電氣的に接続され、他端が接続配線L4aに接続される。接続配線L4aは、初期化信号線L4から第1方向Dxに分岐された部分である。また、第1画素11Rでは、半導体層71Aは、第2方向Dyに延在する部分と、第1方向Dxに延在する部分とを有する。半導体層71Aのうち、第2方向Dyに延出する部分の一端が接続配線L9に電氣的に接続される。半導体層71Aのうち、第1方向Dxに延出する部分は、平面視でアノード電源線L1及び映像信号線L2と交差して第2画素11Gまで延出し、接続配線L4aに電氣的に接続される。以上のような構成により、1つの初期化信号線L4は、2つの初期化トランジスタ1STに電氣的に接続されて、第1方向Dxに隣り合う2つの画素11で共有される。

[0052] 書込トランジスタSSTは、半導体層75を有する。半導体層75は、第1方向Dxに延在し、2つの分岐走査線SGaと平面視で交差する。半導体層75のうち、2つの分岐走査線SGaと重なる領域にチャネル領域が形成される。2つの分岐走査線SGaは、書込制御走査線SGから第2方向Dyに分岐された部分である。2つの分岐走査線SGaのうち半導体層75と重なる部分が、それぞれ書込トランジスタSSTのゲート電極78として機能

する。つまり、書込トランジスタSSTは、半導体層75に重なって2つのゲート電極78が設けられたダブルゲート構造である。ただし、書込トランジスタSSTは、1つの分岐走査線SGaが設けられたシングルゲート構造であってもよい。

[0053] 半導体層75の一端は、映像信号線L2に接続され、他端は接続配線L9に接続される。第1画素11Rにおいて、半導体層75の一端は、第3金属層ML3で形成される映像信号線L2に接続される。一方、第2画素11Gでは、半導体層75の一端は、第2金属層ML2で形成される映像信号線L2に接続される。

[0054] リセットトランジスタRSTは、半導体層79を有する。半導体層79は、第2方向Dyに延在し、リセット制御走査線RG及び分岐走査線RGaと平面視で交差する。半導体層79のうち、リセット制御走査線RG及び分岐走査線RGaと重なる領域にチャネル領域が形成される。分岐走査線RGaは、リセット制御走査線RGから分岐され、第1方向Dxに延在する。リセット制御走査線RG及び分岐走査線RGaのうち、半導体層79と重なる部分が、それぞれリセットトランジスタRSTのゲート電極として機能する。つまり、リセットトランジスタRSTは、ダブルゲート構造である。ただし、リセットトランジスタRSTは、分岐走査線RGaが設けられずシングルゲート構造であってもよい。

[0055] リセット信号線L3には、第1方向Dxに延在する接続配線L3a、L3b及びブリッジ部L3cが接続されている。接続配線L3aは、第1画素11Rに設けられ、第3金属層ML3で形成される。ブリッジ部L3cは、平面視でアノード電源線L1、映像信号線L2及び初期化信号線L4と交差し、接続配線L3aと接続配線L3bとを接続する。ブリッジ部L3cは、アノード電源線L1（第2金属層ML2）と異なる層、例えば第1金属層ML1で形成される。接続配線L3bは、第2画素11Gに設けられ、第2金属層ML2で形成される。

[0056] 第1画素11Rにおいて、半導体層79の一端は接続配線L3aに接続さ

れる。また、第2画素11Gにおいて、半導体層79の一端は接続配線L3bに接続される。また、半導体層79の他端は、それぞれ半導体層61に接続される。つまり、リセットトランジスタRSTの半導体層79の他端は、駆動トランジスタDRTのソース及び、発光素子3のアノード端子32に電氣的に接続される。以上のような構成により、1つのリセット信号線L3は、2つのリセットトランジスタRSTに電氣的に接続されて、第1方向Dxに隣り合う2つの画素11で共有される。

[0057] また、本実施形態において、発光素子3に駆動電流を供給するための駆動トランジスタDRT及び発光制御トランジスタBCTは、シングルゲート構造である。初期化トランジスタIST、書込トランジスタSST及びリセットトランジスタRSTはダブルゲート構造である。これにより、初期化トランジスタIST、書込トランジスタSST及びリセットトランジスタRSTのリーク電流を抑制することができる。

[0058] 次に、表示装置1の断面構成について説明する。図5は、図4のV-V'断面図である。図5に示すように、表示装置1において、発光素子3は、アレイ基板2の上に設けられる。アレイ基板2は、基板21、アノード電極23、対向電極26、接続電極24、各種トランジスタ、各種配線及び各種絶縁膜を有する。

[0059] 基板21は絶縁基板であり、例えば、石英、無アルカリガラス等のガラス基板、又はポリイミド等の樹脂基板が用いられる。

[0060] なお、本明細書において、基板21の表面に垂直な方向において、基板21から発光素子3に向かう方向を「上側」又は単に「上」とする。また、発光素子3から基板21に向かう方向を「下側」又は単に「下」とする。また、ある構造体の上に他の構造体を配置する態様を表現するにあたり、単に「上に」と表記する場合、特に断りの無い限りは、ある構造体に接するように、直上に他の構造体を配置する場合と、ある構造体の上方に、さらに別の構造体を介して他の構造体を配置する場合との両方を含むものとする。

[0061] 駆動トランジスタDRT、発光制御トランジスタBCT、初期化トランジ

スタ I S T、書込トランジスタ S S T 及びリセットトランジスタ R S T は、基板 2 1 の一方の面側に設けられる。リセットトランジスタ R S T は、初期化トランジスタ I S T 及び書込トランジスタ S S T と同様の層構成を有しており、詳細な説明は省略する。

[0062] 基板 2 1 の上にアンダーコート膜 9 0 が設けられる。アンダーコート膜 9 0、絶縁膜 9 1、9 2、9 3 及び絶縁膜 9 5、9 6 は、無機絶縁膜であり、例えば、酸化シリコン (SiO_2) や窒化シリコン (SiN) 等である。

[0063] 第 1 金属層 M L 1 から形成されるゲート電極 6 4、6 6、7 4、7 8 は、アンダーコート膜 9 0 の上に設けられる。絶縁膜 9 1 は、ゲート電極 6 4、6 6、7 4、7 8 を覆ってアンダーコート膜 9 0 の上に設けられる。半導体層 6 1、6 5、7 1 A、7 5 は、絶縁膜 9 1 の上に設けられる。絶縁膜 9 2 は、半導体層 6 1、6 5、7 1 A、7 5 を覆って絶縁膜 9 1 の上に設けられる。

[0064] 第 2 金属層 M L 2 で形成されるソース電極 6 2 及びドレイン電極 6 7、7 3、7 7 は、それぞれ絶縁膜 9 2 に設けられたコンタクトホールを介して各半導体層と電氣的に接続される。接続配線 L 9 により、書込トランジスタ S S T のドレインと初期化トランジスタ I S T のドレインとが電氣的に接続される。

[0065] 絶縁膜 9 1、9 2 を介して対向するゲート電極 6 4 とソース電極 6 2 とで、容量 C_{s1} が形成される。また、容量 C_{s1} は、絶縁膜 9 3、9 4 を介して対向するゲート電極 6 4 と接続電極 2 4 とで形成される容量も含む。

[0066] 絶縁膜 9 3 は、ソース電極 6 2 及びドレイン電極 6 7、7 3、7 7 を覆って、絶縁膜 9 2 の上に設けられる。絶縁膜 9 4 は、各トランジスタを覆って絶縁膜 9 3 の上に設けられる。絶縁膜 9 4 は、感光性アクリル等の有機材料が用いられる。絶縁膜 9 4 は、平坦化膜であり、駆動トランジスタ D R T や各種配線により形成される凹凸を平坦化することができる。

[0067] 絶縁膜 9 4 の上に接続電極 2 4 及び対向電極 2 6 が設けられる。接続電極 2 4 は、絶縁膜 9 3 及び絶縁膜 9 4 に設けられたコンタクトホールを介して

ソース電極 62 と接続される。接続電極 24 及び対向電極 26 は、例えば ITO (Indium Tin Oxide) 等の透光性を有する導電性材料で構成される。

[0068] アノード電極 23 は、絶縁膜 95 に設けられたコンタクトホールを介して接続電極 24 及びソース電極 62 と電氣的に接続される。これにより、アノード電極 23 は、駆動トランジスタ DRT と電氣的に接続される。アノード電極 23 は、例えば、モリブデン (Mo)、アルミニウム (Al) の積層構造としている。

[0069] 絶縁膜 95 を介して対向するアノード電極 23 と対向電極 26 との間に容量 Cs2 が形成される。絶縁膜 96 は、アノード電極 23 を覆って設けられる。絶縁膜 96 は、アノード電極 23 の周縁部を覆っており、隣り合う画素 11 のアノード電極 23 を絶縁する。

[0070] 絶縁膜 96 は、アノード電極 23 と重なる位置に、発光素子 3 を実装するための開口を有する。絶縁膜 96 の開口の大きさは、発光素子 3 の実装工程における実装ズレ量等を考慮し、発光素子 3 よりも大きい面積の開口とする。すなわち、基板 21 に垂直な方向からの平面視で、アノード電極 23 の面積は、発光素子 3 の面積よりも大きい。

[0071] 発光素子 3 は、半導体層 31、アノード端子 32 及びカソード端子 33 を有する。各発光素子 3 は、アノード端子 32 がアノード電極 23 に接するように実装される。これにより、駆動トランジスタ DRT の半導体層 61 は、第 2 金属層 ML2 で形成されたソース電極 62 を介して発光素子 3 と電氣的に接続される。アノード電極 23 は、アノード端子 32 にアノード電源電位 PVDD を供給する。半導体層 31 は、n 型クラッド層、活性層及び p 型クラッド層が積層された構成を採用することができる。

[0072] 半導体層 31 は、例えば、窒化ガリウム (GaN)、アルミニウムインジウムガリウムリン (AlInGaP) あるいはアルミニウムガリウムヒ素 (AlGaAs) あるいはガリウムヒ素リン (GaAsP) 等の化合物半導体を用いられる。半導体層 31 は、発光素子 3R、3G、3B ごとに異なる材料が用いられてもよい。また、活性層として、高効率化のために数原子層が

らなる井戸層と障壁層とを周期的に積層させた多重量子井戸構造（MQW構造）が採用されてもよい。

[0073] 複数の発光素子3の間に素子絶縁膜27が設けられる。素子絶縁膜27は樹脂材料で形成される。素子絶縁膜27は、少なくとも発光素子3の側面を覆っており、発光素子3のカソード端子33の上には、素子絶縁膜27が設けられていない。素子絶縁膜27の上面と、カソード端子33の上面とが同一面を形成するように、素子絶縁膜27は平坦に形成される。ただし、素子絶縁膜27の上面の位置は、カソード端子33の上面の位置と異なってもよい。

[0074] カソード電極22は、複数の発光素子3及び素子絶縁膜27を覆って、複数の発光素子3に電氣的に接続される。より具体的には、カソード電極22は、素子絶縁膜27の上面と、カソード端子33の上面とに亘って設けられる。カソード電極22は、カソード端子33にカソード電源電位PVSSを供給する。カソード電極22は、例えばITO等の透光性を有する導電性材料が用いられる。これにより、発光素子3からの出射光を効率よく外部に取り出すことができる。

[0075] カソード電極22の上には、接着層98を介して円偏光板5が設けられる。言い換えると、円偏光板5は、複数の発光素子3の上に設けられる。円偏光板5は、例えば、直線偏光板と、直線偏光板の一方の面側に設けられる1/4位相差板（1/4波長板ともいう）と、を備える。直線偏光板よりも1/4位相差板の方が、基板21に近い位置に設けられる。

[0076] 例えば、外光（入射光）は直線偏光板を通過することにより、直線偏光に変更される。直線偏光は1/4位相差板を通過することにより、円偏光に変更される。円偏光は、アレイ基板2の金属配線で反射して、入射光と逆回りの円偏光（反射光）になる。反射光は、再び1/4位相差板を通過することにより、入射時と直交した直線偏光となり、直線偏光板に吸収される。これにより、表示装置1では、外光の反射が抑制される。

[0077] 図6は、円偏光板の光の透過率の波長依存性を模式的に示すグラフである

。図6の縦軸は、円偏光板5を透過する光の透過率を示し、横軸は、光の波長を示す。図6に示すように、円偏光板5は、波長が長くなるにしたがって光の透過率が大きくなる傾向を有する。青色の光の波長領域（例えば、波長450nm）では透過率が38%以上であり、緑色の光の波長領域（例えば、550nm）では透過率が41%以上であり、赤色の光の波長領域（例えば、620nm）では透過率が44%以上である。

[0078] 円偏光板5は、例えば、ポリビニルアルコール系フィルムに、ヨウ素や二色性染料等の二色性物質を吸着させて一軸延伸したものをを用いることができる。円偏光板5は、吸収軸方向に配向されたポリヨウ素錯体（ I_3^- 、 I_5^- ）の吸収特性により、図6に示す波長依存性が得られる。

[0079] 円偏光板5は、赤色の光の透過率が、青色又は緑色の光の透過率よりも高いので、表示装置1は、発光素子3Rから出射された光の取り出し効率を向上させることができる。このため、表示装置1は、発光素子3Rの発光効率が、発光素子3G、3Bよりも低い場合であっても、円偏光板5を透過する際における、赤色の光の強度の低下を抑制することができる。このため、表示装置1は、表示画像の品位の低下を抑制できる。また、図4に示したように、第1画素11Rにおいて、映像信号線L2がアノード電源線L1と重なって設けられているので、円偏光板5の赤色の光の透過率が高い場合であっても、第1画素11Rでの反射光を抑制でき、他の画素11からの光との混色を抑制することができる。

[0080] 図7は、図4のV11-V11'断面図である。なお、図7では、周辺領域GAに設けられたカソード配線60及びトランジスタTrを模式的に示している。

[0081] 図7に示すように、基板21の周辺領域GAには、複数のトランジスタとして、駆動回路12（図1参照）に含まれるトランジスタTr及びカソード配線60が設けられる。カソード配線60は、第2金属層ML2で形成され、周辺領域GAにおいて絶縁膜92の上に設けられる。カソード電極22は、表示領域AAから周辺領域GAまで設けられ、絶縁膜93、94及び素

子絶縁膜 27 に設けられたコンタクトホール H11 を介してカソード配線 60 と電氣的に接続される。なお、カソード配線 60 は、第 3 金属層 ML3 で形成され、絶縁膜 93 の上に設けられていてもよい。

[0082] トランジスタ Tr は、半導体層 81、ソース電極 82、ドレイン電極 83 及びゲート電極 84 を含む。トランジスタ Tr は、画素回路 PICA に含まれる各トランジスタと同様の層構成を有しており、詳細な説明は省略する。トランジスタ Tr のソース電極 82 及びドレイン電極 83 には、第 3 金属層 ML3 で形成される配線が接続されていてもよい。これにより、駆動回路 12 を含む周辺領域 GA の配線を効率よく配置できる。

[0083] 図 7 に示すように、第 1 画素 11R において、アノード電源線 L1 は、絶縁膜 92 の上に設けられ、映像信号線 L2 及びリセット信号線 L3 は、絶縁膜 93 の上に設けられる。映像信号線 L2 は、アノード電源線 L1 の上側に設けられる。また、リセット信号線 L3 は、アノード電源線 L1 と重ならない位置に設けられる。第 2 画素 11G において、アノード電源線 L1、映像信号線 L2 及び初期化信号線 L4 は、絶縁膜 92 の上に同層に設けられる。

[0084] 第 1 画素 11R において、アノード電源線 L1 の幅は、映像信号線 L2 及びリセット信号線 L3 のそれぞれの幅よりも大きい。また、第 2 金属層 ML2 で形成されたアノード電源線 L1 の厚さ t_2 は、第 1 金属層 ML1 で形成されたゲート電極 64 の厚さ t_1 (図 5 参照) よりも厚い。また、第 2 金属層 ML2 で形成されたアノード電源線 L1 の厚さ t_2 は、第 3 金属層 ML3 で形成された映像信号線 L2 及びリセット信号線 L3 の厚さ t_3 よりも厚い。第 1 画素 11R のアノード電源線 L1 の厚さは、第 2 画素 11G のアノード電源線 L1 の厚さよりも厚く形成される。これにより、第 1 画素 11R における、アノード電源線 L1 の抵抗値を小さくすることができる。ただし、これに限定されず、第 1 画素 11R のアノード電源線 L1 の厚さは、第 2 画素 11G のアノード電源線 L1 の厚さと同じであってもよい。

[0085] 各配線の層構成は適宜変更できる。第 1 画素 11R において、映像信号線 L2 及びリセット信号線 L3 の少なくとも一方がアノード電源線 L1 と異な

る層に設けられていればよい。例えば、第1画素11Rにおいて、映像信号線L2及びリセット信号線L3のいずれか一方が、アノード電源線L1と同層に設けられていてもよい。また、リセット信号線L3がアノード電源線L1の上側に設けられ、映像信号線L2がアノード電源線L1と重ならない位置に設けられていてもよい。

[0086] 図8は、図4のV111-V111'断面図である。図8は、第1画素11Rの画素回路PICAに含まれる複数のトランジスタの接続構成の一例として、書込トランジスタSSTの断面図を示す。書込トランジスタSSTの半導体層75は、第3金属層ML3で形成された映像信号線L2と電氣的に接続される。具体的には、書込トランジスタSSTは、第2金属層ML2で形成されるソース電極76を有する。ソース電極76は、絶縁膜92に設けられたコンタクトホールを介して半導体層75と接続される。映像信号線L2は、絶縁膜93に設けられたコンタクトホールを介してソース電極76と接続される。なお、第2画素11Gでは、図4に示すように、映像信号線L2は第2金属層ML2で形成され、絶縁膜92に設けられたコンタクトホールを介して半導体層75と接続される。

[0087] 接続配線L9（ドレイン電極77）は、絶縁膜92に設けられたコンタクトホールを介して半導体層75と接続される。また、接続配線L9は、絶縁膜91、92に設けられたコンタクトホールを介して駆動トランジスタDRTのゲート電極64と接続される。このような構成により、駆動トランジスタDRTのゲート電極64は、第2金属層ML2で形成された接続配線L9を介して書込トランジスタSSTと電氣的に接続される。なお、接続配線L9は、第3金属層ML3に設けられていてもよい。

[0088] なお、図4、5、7、8に示した、各画素11の構成はあくまで一例であり、適宜変更することができる。例えば、1つの画素回路PICAにおける平面視での各トランジスタの配置は図4に示すものに限定されない。また、各配線の厚さ、幅は、必要に応じて適宜変更することができる。

[0089] （第2実施形態）

図9は、第2実施形態に係る表示装置において、隣り合う2つの画素を模式的に示す平面図である。なお、以下の説明では、上述した実施形態で説明したものと同一構成要素には同一の符号を付して重複する説明は省略する。

[0090] 図9に示すように、第2実施形態の表示装置1Aは、第1実施形態に比べて、第1画素11Rにおいて、リセット信号線L3が映像信号線L2と重なって設けられている構成が異なる。より具体的には、映像信号線L2は第2金属層ML2で形成され、アノード電源線L1と第1方向Dxに隣り合って配置される。リセット信号線L3は、第3金属層ML3で形成され、平面視においてアノード電源線L1と重ならない位置に設けられる。

[0091] さらに、第1画素11Rは、重畳配線L11を有する。重畳配線L11は、第2方向Dyに延在し、平面視でアノード電源線L1と重なって設けられる。重畳配線L11は、第3金属層ML3で形成され、リセット信号線L3と同層に設けられる。重畳配線L11は、アノード電源線L1と電氣的に接続される。

[0092] 図10は、図9のX-X'断面図である。図10に示すように、第1画素11Rにおいて、アノード電源線L1及び映像信号線L2は、絶縁膜92の上に設けられる。重畳配線L11及びリセット信号線L3は、絶縁膜93の上に設けられる。重畳配線L11は、アノード電源線L1の上側に設けられ、絶縁膜93に設けられたコンタクトホールH12を介してアノード電源線L1と電氣的に接続される。リセット信号線L3は、映像信号線L2の上側に設けられ、絶縁膜93により映像信号線L2と絶縁される。

[0093] なお、重畳配線L11は、アノード電源線L1と任意の位置で電氣的に接続されていればよい。つまり、コンタクトホールH12は、第1画素11R内に設けられていてもよいし、第1画素11Rの外側、例えば周辺領域GAに設けられていてもよい。

[0094] 第2画素11Gにおいて、アノード電源線L1、映像信号線L2及び初期化信号線L4は、同層に絶縁膜92の上に設けられ、第1方向Dxに隣り合って配置される。すなわち、第2画素11Gにおいて、アノード電源線L1

、映像信号線L 2及び初期化信号線L 4は、第1画素1 1 Rのアノード電源線L 1及び映像信号線L 2と同層に設けられる。

[0095] このような構成により、第2実施形態の表示装置1 Aは、平面視で、第1画素1 1 Rでは、複数の信号線のうち少なくとも1つのリセット信号線L 3は、他の映像信号線L 2と重なって設けられる。これにより、表示装置1 Aは、第1画素1 1 Rの金属配線占有率を、第2画素1 1 Gの金属配線占有率よりも小さくすることができる。第1画素1 1 Rの金属配線占有率は、6 7 %以上8 3 %以下程度、例えば7 5 %程度である。第2画素1 1 Gの金属配線占有率は、第1実施形態と同様に、7 2 %以上8 8 %以下程度、例えば8 0 %程度である。

[0096] また、重畳配線L 1 1が設けられているので、アノード電源線L 1単層の場合に比べて、アノード電源線L 1と重畳配線L 1 1との合計の抵抗値が小さくなる。これにより、発光素子3 Rのアノード端子3 2に供給される信号の電圧降下を抑制することができ、発光素子3 Rの発光強度を向上させることができる。

[0097] なお、第2実施形態において、映像信号線L 2とリセット信号線L 3の積層順は逆であってもよい。つまり、リセット信号線L 3が、第2金属層ML 2で形成され絶縁膜9 2の上に設けられ、映像信号線L 2が、第3金属層ML 3で形成され絶縁膜9 3の上に設けられていてもよい。

[0098] これまでの説明において、アノード端子3 2、カソード端子3 3として表記してきた部分においては、発光素子3の接続方向、及び電圧の印加方向によっては明細書中の記載に限定するものではなく、逆転していても良い。また、図5及び図8においては、発光素子3の一方の電極が下側に、他方の電極が上側にある構成を示しているが、その両方が下側、つまりアレイ基板2に対面する側に有る構成であっても良い。すなわち、表示装置1において、発光素子3の上部でカソード電極2 2に接続されるフェースアップ構造に限定されず、発光素子3の下部が、アノード電極2 3及びカソード電極2 2に接続される、いわゆるフェースダウン構造であってもよい。

[0099] 以上、本発明の好適な実施の形態を説明したが、本発明はこのような実施の形態に限定されるものではない。実施の形態で開示された内容はあくまで一例にすぎず、本発明の趣旨を逸脱しない範囲で種々の変更が可能である。本発明の趣旨を逸脱しない範囲で行われた適宜の変更についても、当然に本発明の技術的範囲に属する。上述した各実施形態及び各変形例の要旨を逸脱しない範囲で、構成要素の種々の省略、置換及び変更のうち少なくとも1つを行うことができる。

符号の説明

- [0100] 1、1 A 表示装置
- 2 アレイ基板
- 3、3 R、3 G、3 B 発光素子
- 5 円偏光板
- 1 1、P i x 画素
- 1 1 R 第1画素
- 1 1 G 第2画素
- 1 1 B 第3画素
- 1 2 駆動回路
- 2 1 基板
- 2 2 カソード電極
- 2 3 アノード電極
- 2 4 接続電極
- 2 6 対向電極
- 2 7 素子絶縁膜
- 3 2 アノード端子
- 3 3 カソード端子
- 6 0 カソード配線
- 6 1、6 5、7 1、7 5、7 9 半導体層
- 9 0 アンダーコート膜

2 1 0 駆動 I C
S S T 書込トランジスタ
I S T 初期化トランジスタ
D R T 駆動トランジスタ
B G 発光制御走査線
I G 初期化制御走査線
S G 書込制御走査線
R G リセット制御走査線
P V D D アノード電源電位
P V S S カソード電源電位
L 1 アノード電源線
L 2 映像信号線
L 3 リセット信号線
L 4 初期化信号線
L 1 0 カソード電源線
L 1 1 重畳配線
M L 1 第 1 金属層
M L 2 第 2 金属層
M L 3 第 3 金属層

請求の範囲

- [請求項1] 基板と、
前記基板に設けられた複数の第1画素及び第2画素と、
複数の前記第1画素及び前記第2画素の各々に設けられた複数の無機発光素子と、
前記第1画素及び前記第2画素のそれぞれに信号を供給する複数の信号線と、
前記第1画素及び前記第2画素のそれぞれに電源電位を供給する複数の電源線と、を有し、
前記第1画素において、複数の前記信号線のうち少なくとも1つ以上は前記電源線と異なる層に設けられ、
前記第2画素において、複数の前記信号線及び前記電源線は同層に設けられる
表示装置。
- [請求項2] 前記第1画素では、前記基板に垂直な方向からの平面視で、前記信号線は前記電源線と重なって設けられ、
前記第2画素では、前記平面視で、前記信号線は前記電源線と隣り合って設けられる
請求項1に記載の表示装置。
- [請求項3] 前記第1画素の前記電源線の厚さは、前記第2画素の前記電源線の厚さよりも厚い
請求項1又は請求項2に記載の表示装置。
- [請求項4] 前記基板に垂直な方向で異なる層に設けられた第1金属層、第2金属層及び第3金属層を有し、
前記第1画素は、前記無機発光素子と電氣的に接続された第1トランジスタと、前記第1トランジスタに接続された第2トランジスタと、前記第1金属層で形成された複数の走査線とを含み、
前記第1トランジスタの半導体層は、前記第2金属層で形成された

電極を介して前記無機発光素子と電氣的に接続され、

前記第2トランジスタの半導体層は、前記第3金属層で形成された前記信号線と電氣的に接続される

請求項2又は請求項3に記載の表示装置。

[請求項5] 前記基板に垂直な方向からの平面視で、前記第1画素では、複数の前記信号線のうち少なくとも1つの前記信号線は、他の前記信号線と重なって設けられ、

前記第2画素では、複数の前記信号線は隣り合って設けられる

請求項1に記載の表示装置。

[請求項6] 前記第1画素において、前記電源線と重なって設けられ、前記電源線と電氣的に接続された重畳配線を有し、

前記重畳配線は、複数の前記信号線のうち少なくとも1つの前記信号線と同層に設けられる

請求項5に記載の表示装置。

[請求項7] 前記電源線のシート抵抗値は、複数の前記信号線のうち前記電源線と異なる層に設けられた前記信号線のシート抵抗値以下である

請求項1から請求項6のいずれか1項に記載の表示装置。

[請求項8] 前記基板に垂直な方向からの平面視で、前記第1画素の面積に対する、複数の前記信号線及び前記電源線を含む金属配線の合計面積の割合は、前記第2画素の面積に対する、複数の前記信号線及び前記電源線を含む金属配線の合計面積の割合よりも小さい

請求項1から請求項7のいずれか1項に記載の表示装置。

[請求項9] 前記基板と対向し、複数の前記無機発光素子の上に設けられた円偏光板を有し、

前記円偏光板は、赤色の波長を有する光の透過率が、青色又は緑色の波長を有する光の透過率よりも高い

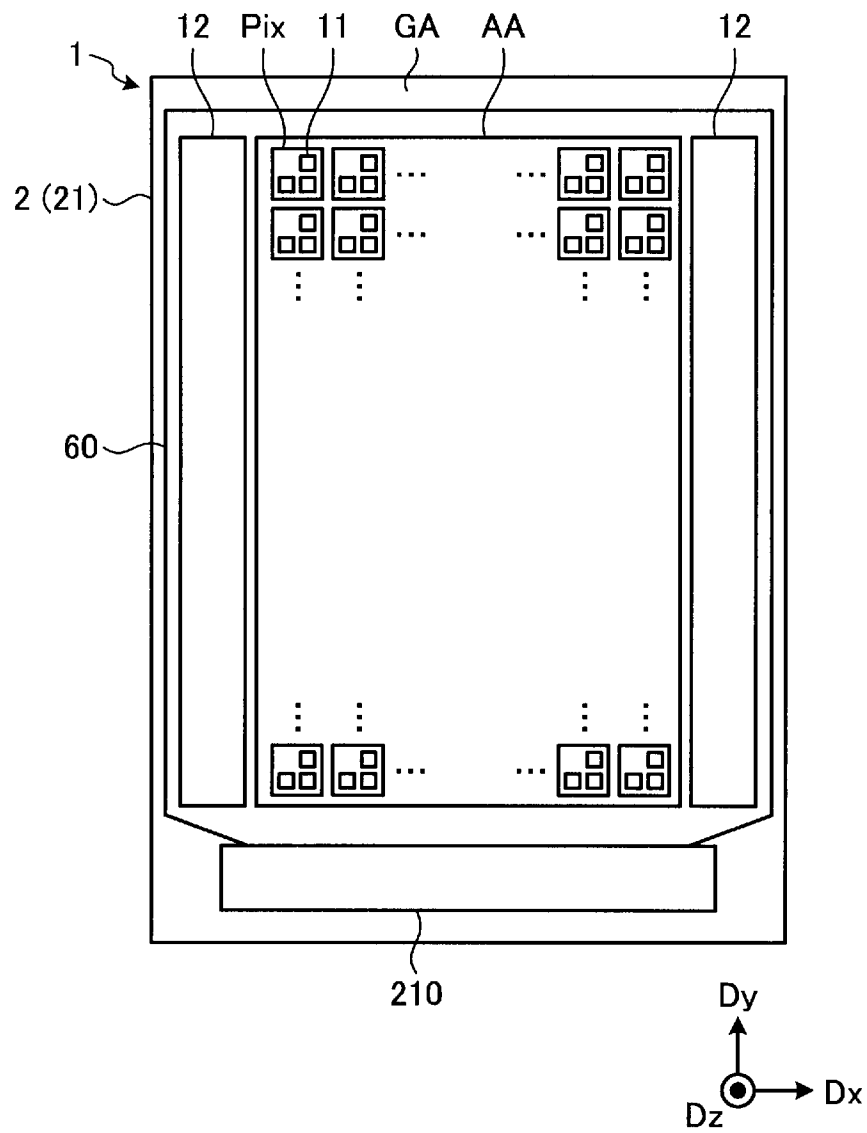
請求項1から請求項8のいずれか1項に記載の表示装置。

[請求項10] 前記第1画素は、赤色を表示し、

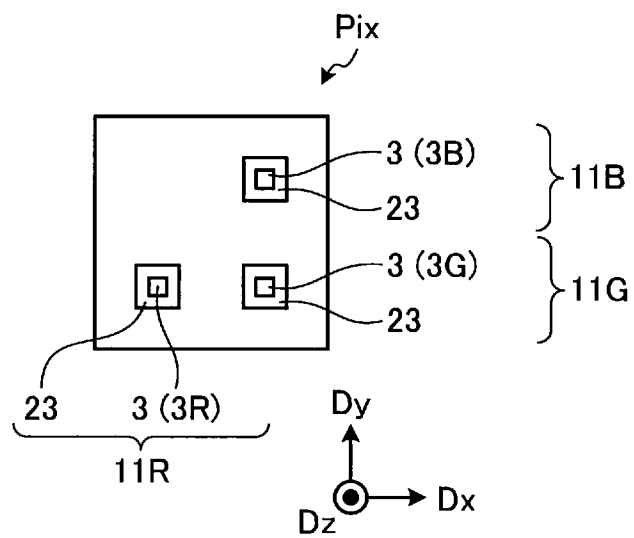
前記第 2 画素は、青色又は緑色を表示する

請求項 1 から請求項 9 のいずれか 1 項に記載の表示装置。

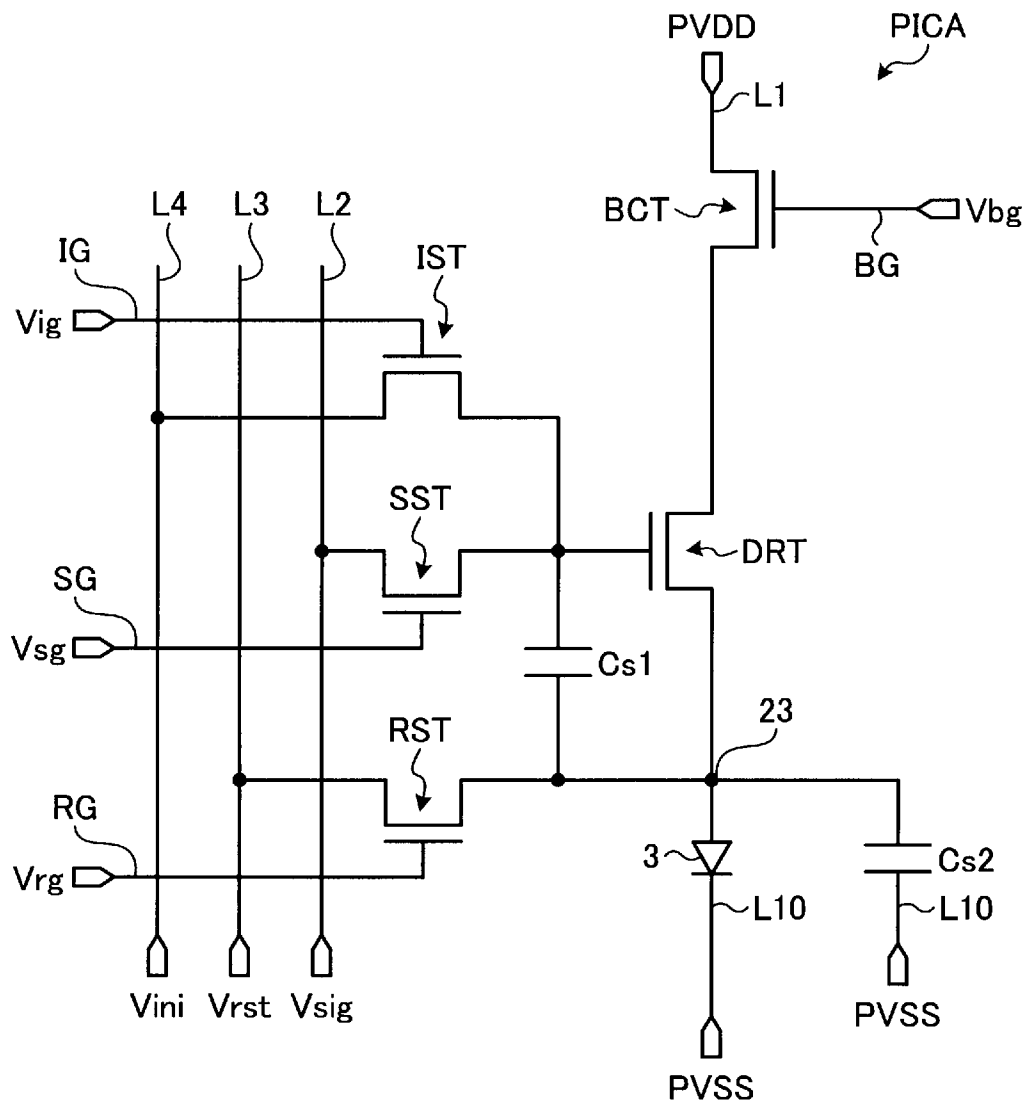
[図1]



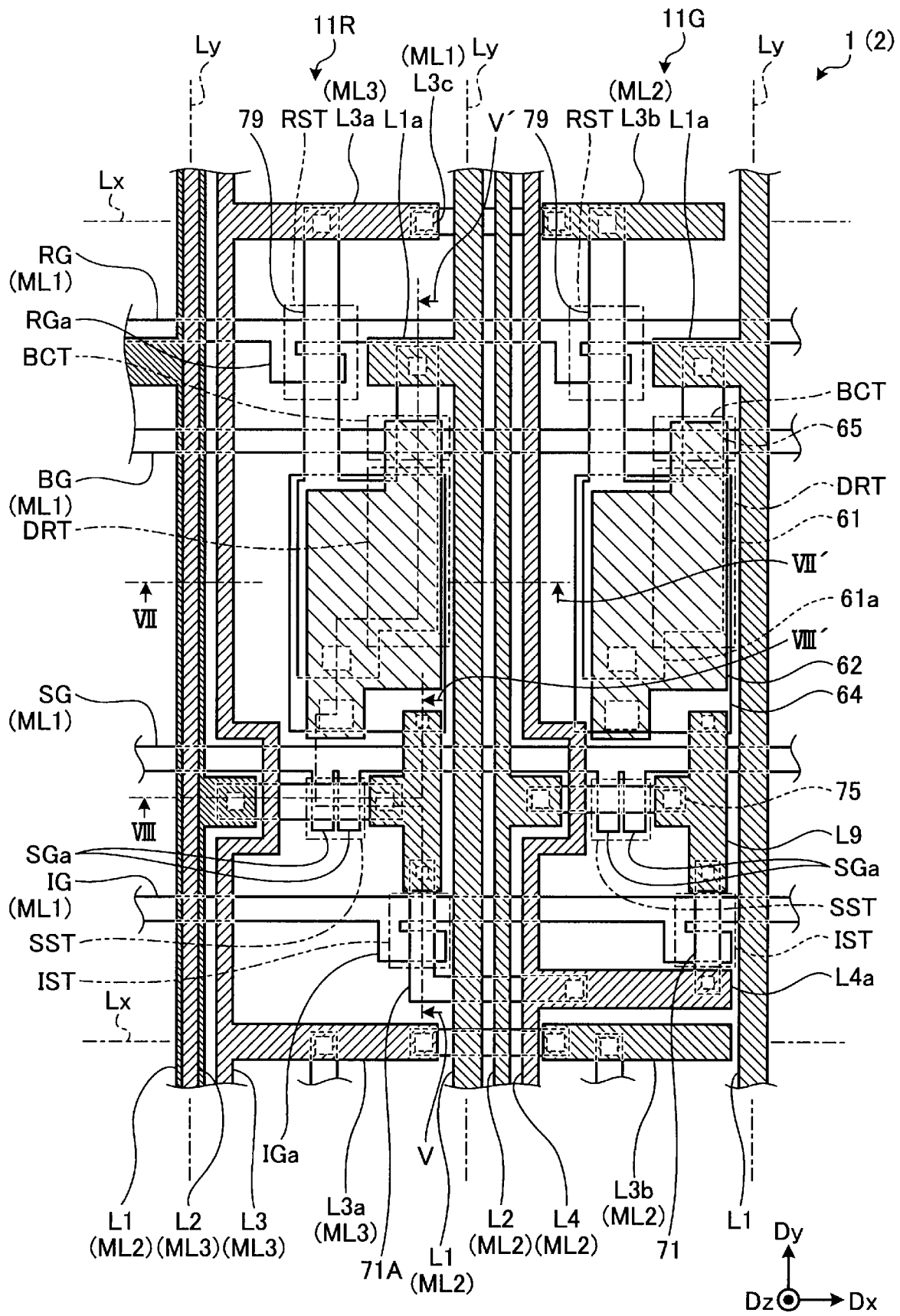
[図2]



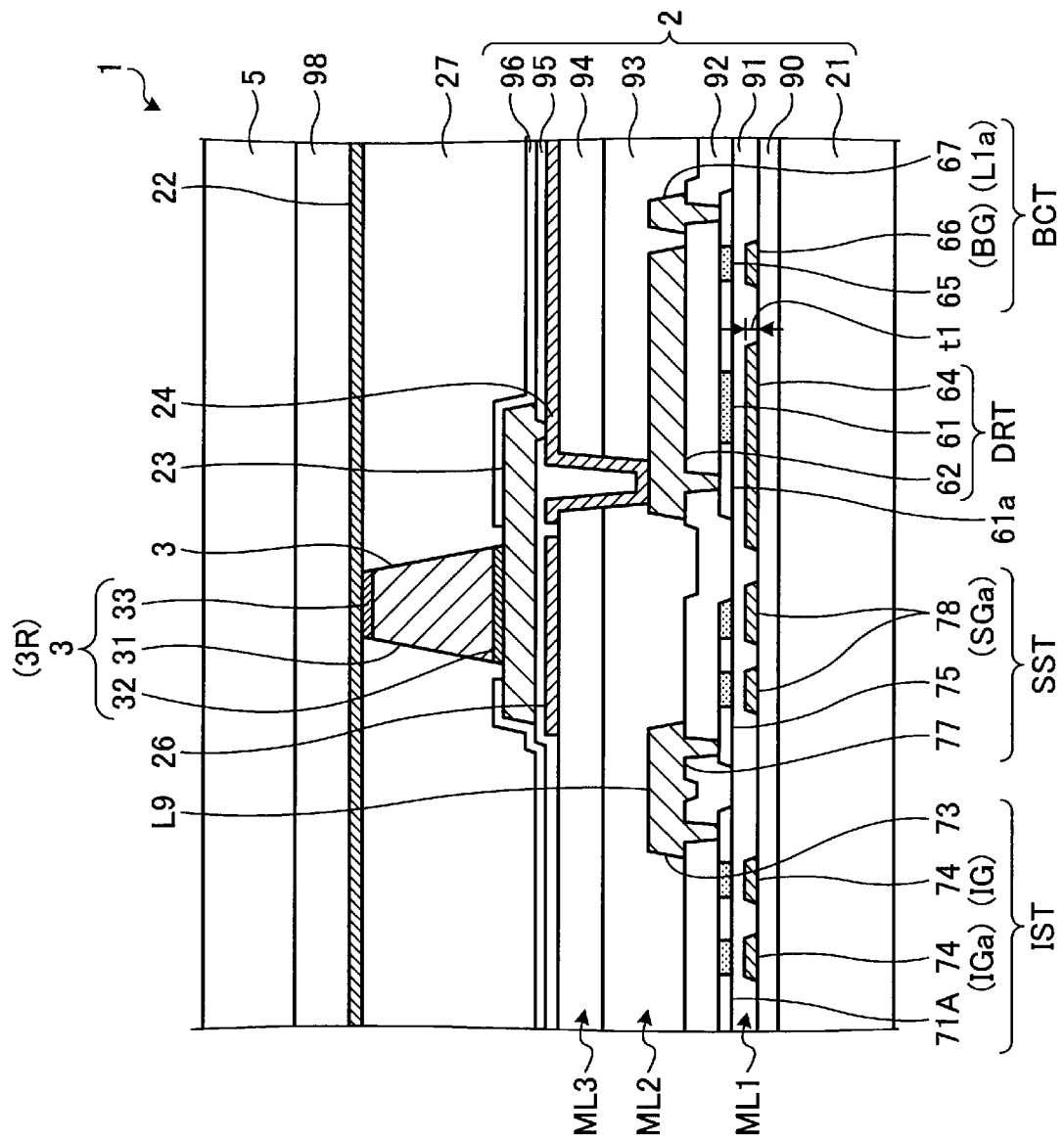
[図3]



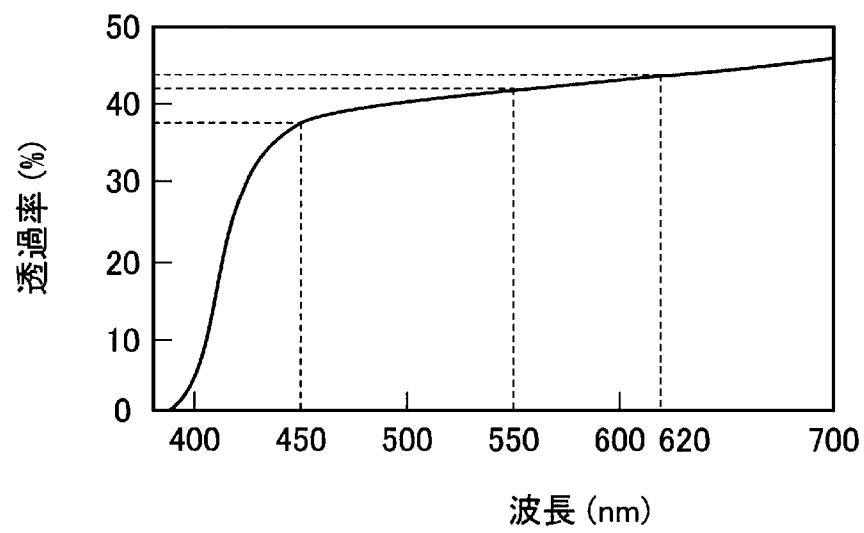
[図4]



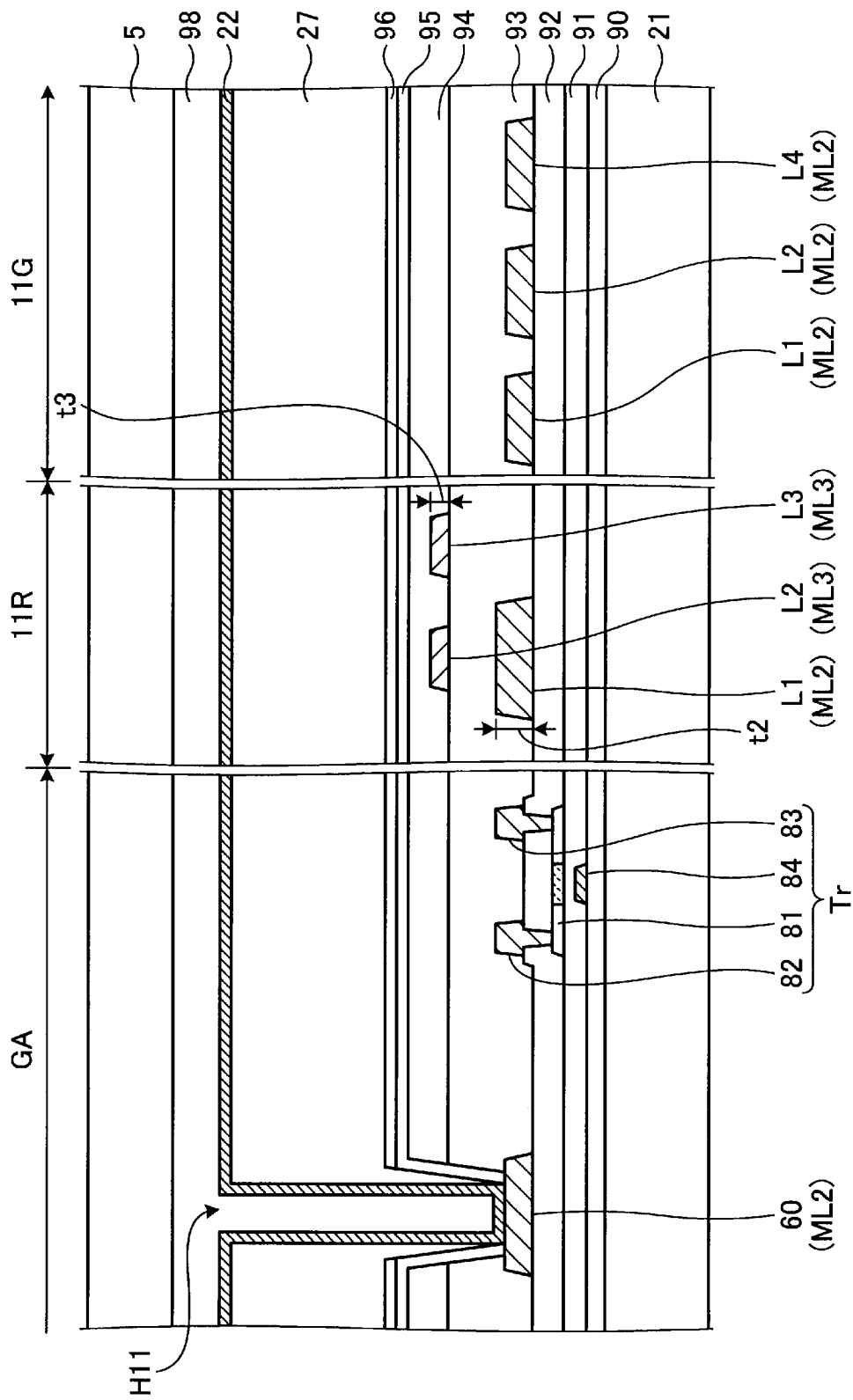
[図5]



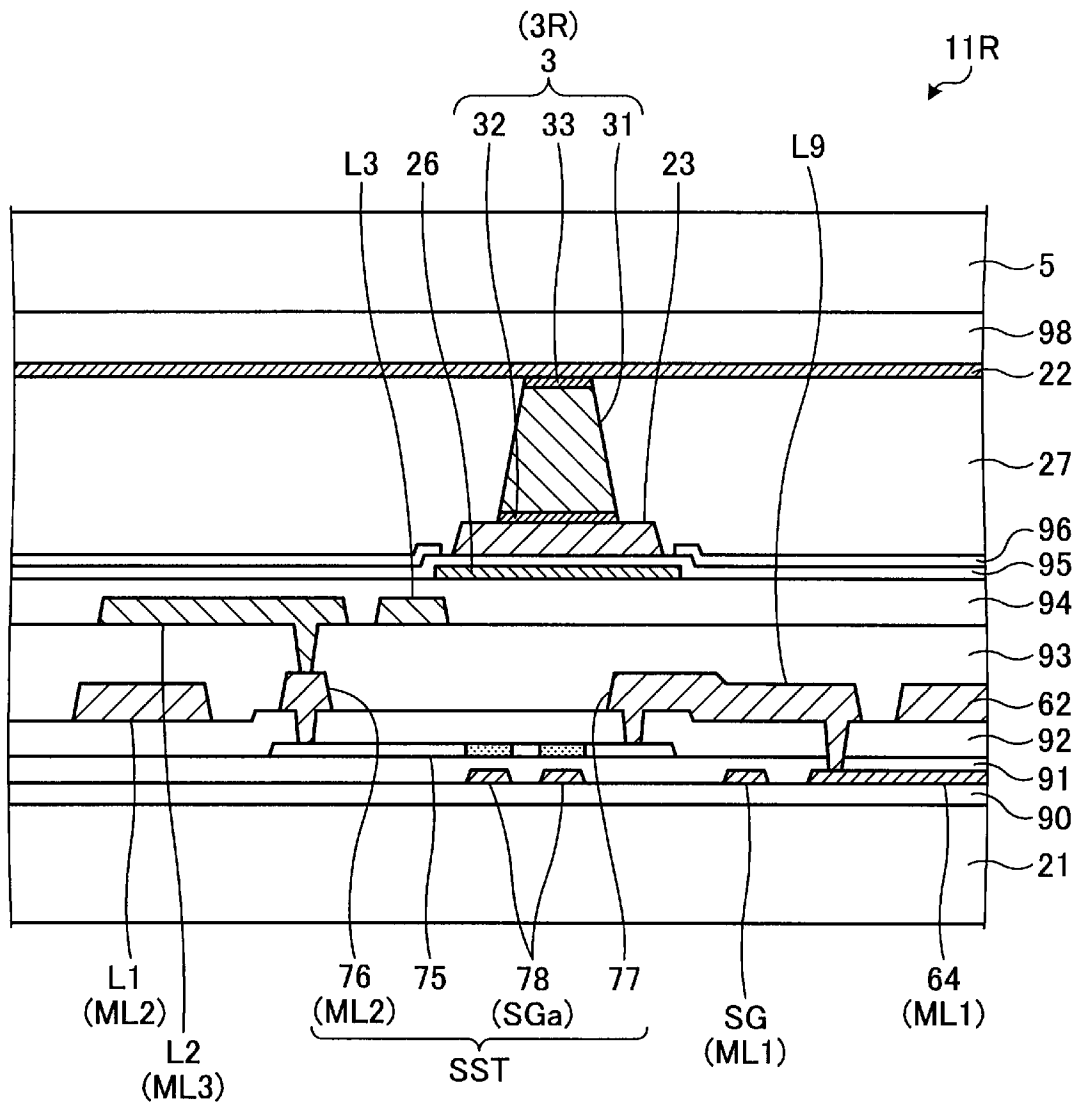
[図6]



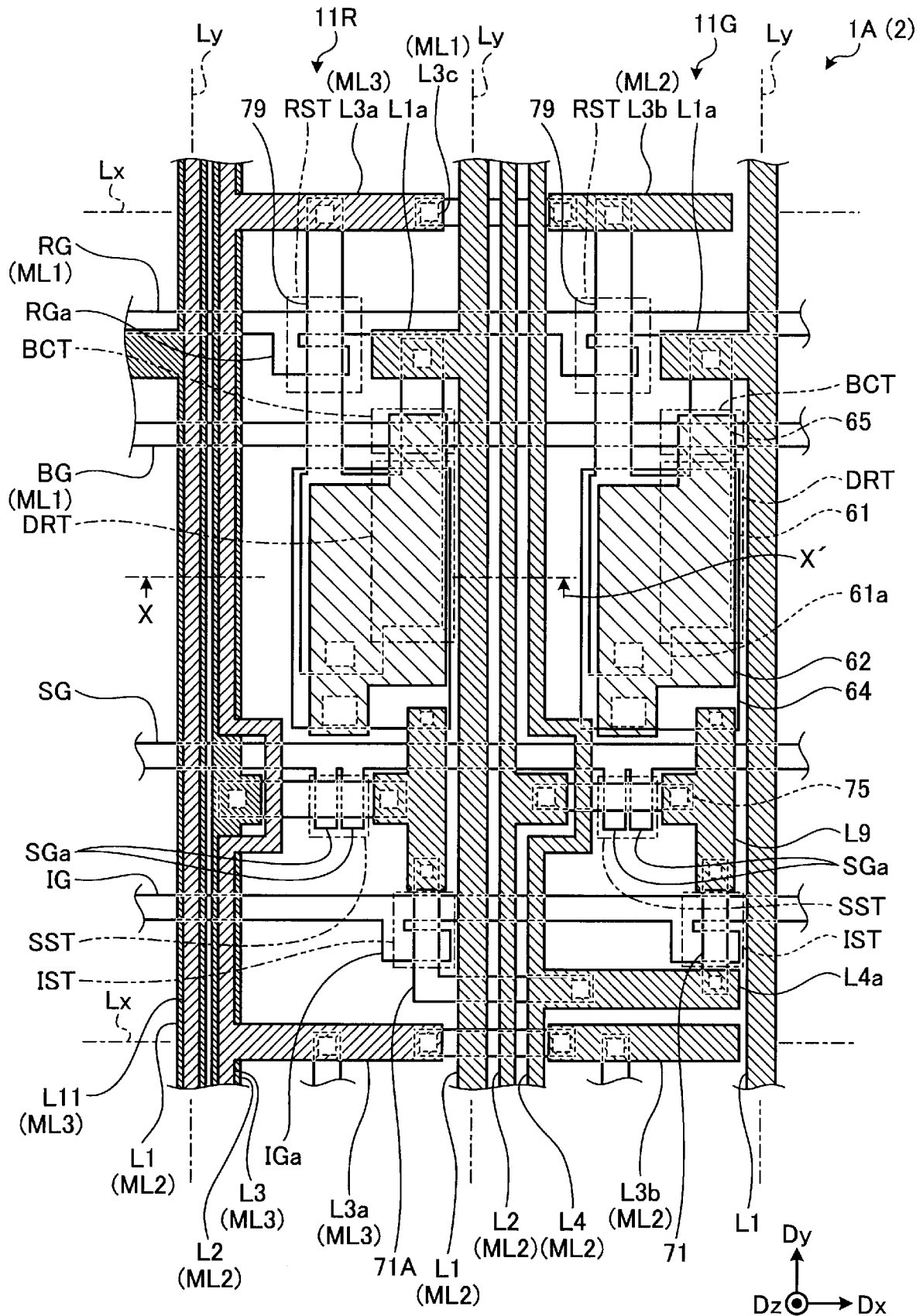
[図7]



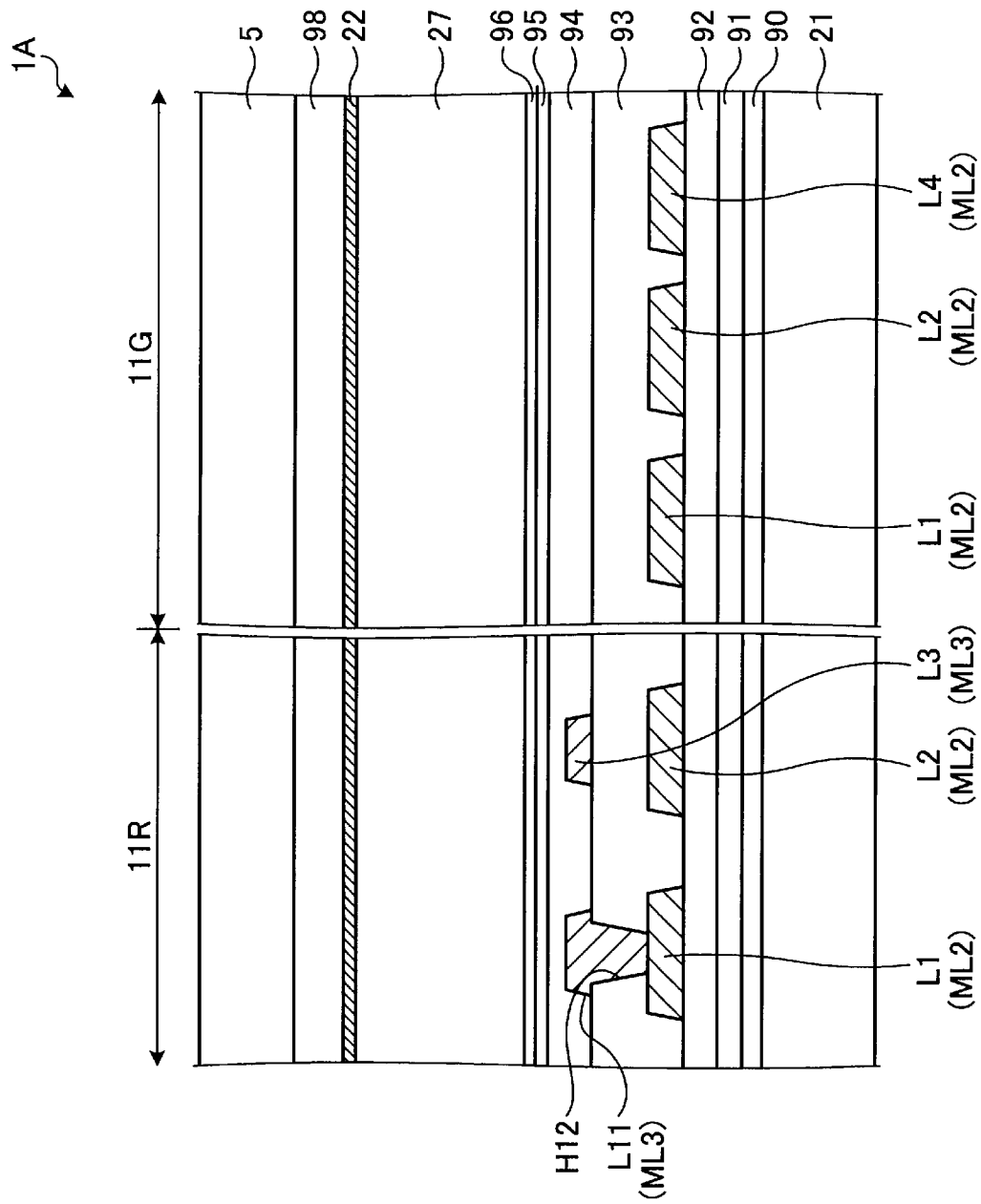
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/013857

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09G3/20(2006.01)i, G09G3/32(2016.01)i, H01L33/00(2010.01)i,
G09F9/30(2006.01)i, G09F9/33(2006.01)i

FI: G09F9/30338, G09G3/32A, G09G3/20624B, G09F9/33, H01L33/00L

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09G3/20, G09G3/32, H01L33/00, G09F9/30, G09F9/33

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2018-205741 A (SAMSUNG ELECTRONICS CO., LTD.) 27.12.2018 (2018-12-27), paragraphs [0022]-[0050], [0133]-[0137], fig. 1-3, 32-35	1-2, 10 7
Y	JP 2009-169410 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 30.07.2009 (2009-07-30), paragraph [0028], fig. 1	7
A	JP 2019-45676 A (DAI NIPPON PRINTING CO., LTD.) 22.03.2019 (2019-03-22), entire text, all drawings	1-10
A	JP 2018-132662 A (DAI NIPPON PRINTING CO., LTD.) 23.08.2018 (2018-08-23), entire text, all drawings	1-10
A	CN 109360851 A (WUHAN TIANMA MICRO ELECTRONICS CO., LTD.) 19.02.2019 (2019-02-19), entire text, all drawings	1-10

☐	Further documents are listed in the continuation of Box C.	☒	See patent family annex.
--------------------------	--	-------------------------------------	--------------------------

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 09.06.2020	Date of mailing of the international search report 23.06.2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/013857

JP 2018-205741 A	27.12.2018	US 2018/0351035 A1 paragraphs [0055]-[0083], [0166]-[0170], fig. 1-3, 32-35 EP 3413350 A1 KR 10-2018-0133192 A CN 108987423 A
JP 2009-169410 A	30.07.2009	US 2009/0159890 A1 paragraph [0053], fig. 1 KR 10-2009-0068143 A
JP 2019-45676 A	22.03.2019	(Family: none)
JP 2018-132662 A	23.08.2018	(Family: none)
CN 109360851 A	19.02.2019	(Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） G09G 3/20(2006.01)i; G09G 3/32(2016.01)i; H01L 33/00(2010.01)i; G09F 9/30(2006.01)i; G09F 9/33(2006.01)i FI: G09F9/30 338; G09G3/32 A; G09G3/20 624B; G09F9/33; H01L33/00 L		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G09G3/20; G09G3/32; H01L33/00; G09F9/30; G09F9/33 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2018-205741 A（三星電子株式会社）27.12.2018（2018-12-27） 段落[0022]-[0050], [0133]-[0137], 図1-3, 32-35	1-2, 10
Y	段落[0022]-[0050], [0133]-[0137], 図1-3, 32-35	7
Y	JP 2009-169410 A（株式会社半導体エネルギー研究所）30.07.2009（2009-07-30） 段落[0028], 図1	7
A	JP 2019-45676 A（大日本印刷株式会社）22.03.2019（2019-03-22） 全文, 全図	1-10
A	JP 2018-132662 A（大日本印刷株式会社）23.08.2018（2018-08-23） 全文, 全図	1-10
A	CN 109360851 A（WUHAN TIANMA MICRO ELECTRONICS CO LTD）19.02.2019（2019-02-19） 全文, 全図	1-10
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 09.06.2020		国際調査報告の発送日 23.06.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 川俣 郁子 21 1167 電話番号 03-3581-1101 内線 3273

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/013857

引用文献			公表日	パテントファミリー文献	公表日
JP	2018-205741	A	27.12.2018	US 2018/0351035 A1 段落[0055]-[0083], [0166]-[0170], 図 1-3, 32-35 EP 3413350 A1 KR 10-2018-0133192 A CN 108987423 A	
JP	2009-169410	A	30.07.2009	US 2009/0159890 A1 段落[0053], 図1 KR 10-2009-0068143 A	
JP	2019-45676	A	22.03.2019	(ファミリーなし)	
JP	2018-132662	A	23.08.2018	(ファミリーなし)	
CN	109360851	A	19.02.2019	(ファミリーなし)	