(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3607319号

(P3607319)

(45)発行日　平成17年1月5日(2005.1.5)　(24)登録日　平成16年10月15日(2004.10.15)

(51)Int.Cl.[7]		F I		
H03K	3/0231	H03K	3/023	A
H03K	3/70	H03K	3/70	
H03K	4/501	H03K	4/50	D

請求項の数 4　(全 15 頁)

(21)出願番号　特願平6-195827
(22)出願日　平成6年8月19日(1994.8.19)
(65)公開番号　特開平8-65111
(43)公開日　平成8年3月8日(1996.3.8)
審査請求日　平成13年1月19日(2001.1.19)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(72)発明者　丹沢　徹
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　田中　智晴
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内

審査官　江嶋　清仁

最終頁に続く

(54)【発明の名称】発振回路

(57)【特許請求の範囲】

【請求項１】

電源端子間に接続され、電源電圧に応じた第１及び第２の分電圧を発生する分圧回路と、

電源電圧により充電され、充放電を行うキャパシタと、

前記キャパシタに接続される抵抗と、

前記キャパシタの電圧と前記第１及び第２の分電圧とをそれぞれ比較し、第１及び第２の差電圧を出力する増幅回路と、

前記第１及び第２の差電圧に応じて前記抵抗を介した前記キャパシタの充電路および放電路を形成する選択回路とを備えたことを特徴とする発振回路。

【請求項２】

１つの電圧を発生する電圧発生回路と、

充放電を行う第１及び第２キャパシタと、

前記電圧と前記第１及び第２キャパシタの充電電圧とをそれぞれ比較し、これら電圧の差に応じて前記第１及び第２キャパシタの充電および放電を交互に行う回路とを備えたことを特徴とする発振回路。

【請求項３】

１つの定電圧およびこの定電圧に応じた定電流を出力する定電圧定電流発生回路と、

充放電を行う第１及び第２キャパシタと、

前記定電圧と前記第１及び第２キャパシタの各々の電圧とを比較し、第１及び第２の差電圧を出力する増幅回路と、

前記１及び第２の差電圧に応じて前記第１及び第２の定電流を前記キャパシタを介して交互に流すための選択回路とを備えたことを特徴とする発振回路。
【請求項４】
電源電圧に応じた１つの基準電圧を発生する分圧回路と、
電源電圧により充電され、充放電を行う第１及び第２キャパシタと、
前記第１及び第２キャパシタにそれぞれ接続される第１及び第２抵抗と、
前記第１及び第２キャパシタの電圧の各々と前記基準電圧とを比較し、第１及び第２の差電圧を出力する増幅回路と、
前記第１及び第２の差電圧に応じて前記第１及び第２抵抗を選択的に介した前記第１及び第２キャパシタの充電路および放電路を形成する選択回路とを備えたことを特徴とする発振回路。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、発振回路、特に半導体集積回路に用いられる発振回路に関する。
【０００２】
【従来の技術】
半導体集積回路に用いられる従来の発振回路は、入力Ｖｉｎが第１入力端子に入力されるＮＡＮＤゲートとこのＮＡＮＤゲートに直列に接続され、その出力をＮＡＮＤゲートの第２入力端子にフイードバックする複数のインバータにより構成され、入力Ｖｉｎがローレベルのとき、スタントバイ状態となり、出力がハイレベルとなる。入力Ｖｉｎがローレベルからハイレベルに変わると、発振を開始する。
【０００３】
【発明が解決しようとする課題】
上記のような従来の発振回路によると、発振周波数は電源電圧と共に変動するばかりではなく、トランジスタ特性の変動によって変ってしまう問題があった。
【０００４】
従って、本発明の目的は、発振周波数は電源電圧の変動およびトランジスタ特性の変動によって変動しない発振回路を提供することにある。
【０００５】
【課題を解決するための手段】
この発明によると、第１及び第２の電圧を発生する電圧発生回路と、充放電を行うキャパシタと、キャパシタの充電電圧に応じて変化する１つの電圧と第１及び第２の電圧の各々とを比較し、これら電圧の差に応じて前記キャパシタの充電および放電を交互に行う回路とにより構成される発振回路が提供される。
【０００６】
また、この発明によると、１つの電圧を発生する電圧発生回路と、充放電を行う第１及び第２キャパシタと、電圧発生回路の電圧と第１及び第２キャパシタの充電電圧の各々とを比較し、これら電圧の差に応じて前記第１及び第２キャパシタの充電および放電を交互に行う回路とにより構成される発振回路が提供される。
【０００７】
【作用】
キャパシタの電圧と互いに異なる２つの電圧の各々とを比較し、これら電圧の差に応じてキャパシタの充電および放電が交互に切り換えられ、これにより発振が行われる。また、１つの基準電圧と２つのキャパシタの電圧の各々とを比較し、これら電圧の差に応じてキャパシタの充電および放電が交互に切り換えられ、これにより発振が行われる。
【０００８】
【実施例】
図１を参照して本発明の第１実施例に従った発振回路のブロック回路を説明する。
【０００９】

図１において、定電圧定電流発生回路１１は、２つの異なる定電圧ＶｒｅｆＨとＶｒｅｆＬとこれらの差に比例する２つの定電流ＩｒｅｆＨとＩｒｅｆＬを出力する。即ち、これらの定電流は次式（１）および（２）により表される。

【００１０】

ＩｒｅｆＨ＝（ＶｒｅｆＨ－ＶｒｅｆＬ）／ｒ１　　（１）

ＩｒｅｆＬ＝（ＶｒｅｆＨ－ＶｒｅｆＬ）／ｒ２　　（２）

但し、ＶｒｅｆＨ＞ＶｒｅｆＬとし、ｒ１およびｒ２はそれぞれの比例係数とする。

【００１１】

上記定電圧定電流発生回路１１は増幅回路１２および選択回路１３に接続される。即ち、定電圧定電流回路１１の定電圧（ＶｒｅｆＨ、ＶｒｅｆＬ）端子は増幅回路１２Ｈおよび１２Ｌの非反転入力端子および反転入力端子にそれぞれ接続され、定電流（ＩｒｅｆＨ、ＩｒｅｆＬ）端子は選択回路１３のスイッチＳ１およびＳ２にそれぞれ接続される。増幅回路１２Ｈおよび１２Ｌの反転入力端子および非反転入力端子は互いに接続され、スイッチＳ１およびＳ２の接続ノードに接続され、さらにＶｃａｐ端子に接続される。電源端子１４、１５の間にキャパシタＣ１およびＣ２が直列に接続され、これらキャパシタＣ１，Ｃ２の接続ノードにＶｃａｐ端子が接続される。

【００１２】

増幅回路１２は、電圧Ｖｃａｐと定電圧ＶｒｅｆＨおよびＶｒｅｆＬを比較し、選択回路１３は、電圧Ｖｃａｐが定電圧ＶｒｅｆＨに等しくなってから定電圧ＶｒｅｆＬに等しくなるまでスイッチＳ１を開成し、スイッチＳ２を閉成することにより、キャパシタＣ１およびＣ２を定電流ＩｒｅｆＬで放電し、電圧Ｖｃａｐが定電圧ＶｒｅｆＬに等しくなってから定電圧ＶｒｅｆＨに等しくなるまでスイッチＳ１を閉成し、スイッチＳ２を開成することにより、キャパシタＣ１およびＣ２を定電流ＩｒｅｆＨで充電する。キャパシタＣ１およびＣ２の全キャパシタンスをｃ１とし、電圧Ｖｃａｐが定電圧ＶｒｅｆＨに等しくなってから定電圧ＶｒｅｆＬに等しくなるまでの時間をＴＦとし、電圧Ｖｃａｐが定電圧ＶｒｅｆＬに等しくなってから定電圧ＶｒｅｆＨに等しくなるまでの時間をＴＲとすると、次式（３）が成立する。

【００１３】

$$c1\,(VrefH-VrefL)=IrefH\times TR=IrefL\times TF \qquad (3)$$

式（１）、（２）、（３）から次式（４）、（５）が成立する。

【００１４】

ＴＲ＝ｒ１×ｃ１　　（４）

ＴＦ＝ｒ２×ｃ１　　（５）

式（４）および（５）から次式（６）が成立し、発振回路の一定周期Ｔ１が得られる。

【００１５】

Ｔ１＝ＴＲ＋ＴＦ　　（６）

即ち、発振回路は、キャパシタＣ１およびＣ２の充放電時間ＴＲ，ＴＦだけで決まる一定周期Ｔ１で発振するので、電源電圧の変動およびトランジスタの特性の変動に影響されずに一定周期で発振することができる。

【００１６】

次に、図２を参照して第２実施例を説明する。

【００１７】

この第２実施例によると、キャパシタＣ１およびＣ２の一端が電源電圧端子１４および１５にそれぞれ接続され、他端が抵抗素子Ｒ１の一端に接続される。増幅回路１２は、キャパシタＣ１，Ｃ２と抵抗素子Ｒ１との接続点の電圧Ｖｃａｐと電源電圧端子１４、１５間に直列接続された抵抗素子Ｒ２，Ｒ３およびＲ４の接続点における電圧ＶｒｅｆＨおよびＶｒｅｆＬとを比較し、電圧Ｖｃａｐが電圧ＶｒｅｆＬに等しくなってから電圧ＶｒｅｆＨに等しくなるまで、選択回路１３のスイッチＳ１およびＳ２は、抵抗素子Ｒ１の他端を

電源端子１５から切り離し、電源電圧端子１４に接続する。抵抗素子Ｒ１～Ｒ４の抵抗値をそれぞれＲＲ１～ＲＲ４、キャパシタＣ１およびＣ２の全キャパシタンスをＣＣ、電源電圧端子１４の電圧をＶＣＣとすると、電圧Ｖｃａｐが電圧ＶｒｅｆＨに等しくなってから電圧ＶｒｅｆＬに等しくなるまでの間には次式（７）が成立する。

【００１８】

ｄＶｃａｐ／ｄｔ＝－Ｖｃａｐ／ＲＲ１／ＣＣ　　（７）

電圧Ｖｃａｐが電圧ＶｒｅｆＨ＝ａＶＣＣ（ａ＝（ＲＲ３＋ＲＲ４）／（ＲＲ２＋ＲＲ３＋ＲＲ４））に等しくなってから時間ｔが経過したときの電圧Ｖｃａｐの初期条件は次式（８）で表される。

【００１９】

Ｖｃａｐ（０）＝ａＶＣＣ　　（８）

上記条件のもとで、次式（９）の関係が得られる。

【００２０】

Ｖｃａｐ（ｔ）＝ａＶＣＣｅｘｐ（－ｔ／ＲＲ１／ＣＣ）　　（９）

従って、電圧Ｖｃａｐが電圧ＶｒｅｆＬに等しくなってから電圧ＶｒｅｆＬ＝ｂＶＣＣ（ｂ＝ＲＲ４／（ＲＲ２＋ＲＲ３＋ＲＲ４））に等しくなるまでの時間ＴＲは次式（１０）で表される。

【００２１】

ＴＦ＝ＲＲ１×ＣＣ×ｌｎ（ａ／ｂ）　　（１０）

同様に、電圧Ｖｃａｐが電圧ＶｒｅｆＬに等しくなってから電圧ＶｒｅｆＨに等しくなるまでの時間ＴＲは次式（１１）で表される。

【００２２】

ＴＲ＝ＲＲ１×ＣＣ×ｌｎ（（１－ｂ）／（１－ａ））　　（１１）

式（１０）および（１１）から次式（１２）が成立し、発振回路の一定周期Ｔ２が求められる。

【００２３】

Ｔ２＝ＴＲ＋ＴＦ　　（１２）

即ち、発振回路は、キャパシタＣ１およびＣ２の充放電時間ＴＲ，ＴＦだけで決まる一定周期Ｔ２で発振するので、電源電圧の変動およびトランジスタの特性の変動に影響されずに一定周期で発振することができる。

【００２４】

次に、図３および図４を参照して、本発明の第３実施例を説明する。

【００２５】

この第３実施例によると、図３に示されるように、定電圧定電流発生回路１１は、ＰチャンネルトランジスタＱＰ１１、ＱＰ１２およびＱＰ１４、ＮチャンネルトランジスタＱＮ１１、ＱＮ１２およびＱＮ１４、抵抗素子Ｒ１１並びにインバータＩ１１によって構成される。選択回路１３は、ＮＡＮＤゲートＧ１１およびＧ１２、ＰチャンネルトランジスタＱＰ１３並びにＮチャンネルトランジスタＱＮ１５によって構成される。

【００２６】

図３の回路において、入力Ｖｉｎがローレベルである間、発振回路はスタンドバイ状態となる。このとき、増幅回路１２に印加される電圧ＶｒｅｆＨおよびＶｒｅｆＬは共にハイレベルとなり、電圧Ｖｃａｐはローレベルとなるので、出力Ｖｏｕｔはローレベルとなる。入力Ｖｉｎがローレベルからハイレベルとなると、発振回路はアクティブ状態となり、図４に示すように発振を開始する。ＰチャンネルトランジスタＱＰ１１および１４並びにＮチャンネルトランジスタＱＮ１１およびＱＮ１４のトランスコンダクタンスをそれぞれβ１、β２、β３およびβ４、抵抗素子Ｒ１１の抵抗値をｒ１１、キャパシタＣ１１とＣ１２の全キャパシタンスをｃ１１、抵抗素子Ｒ１１に流れる電流をＩｒｅｆ、Ｐチャンネ

ルトランジスタＱＰ１３がオンしているときにＰチャンネルトランジスタＱＰ１４を流れる電流をＩｉｎ、ＮチャンネルトランジスタＱＮ１５がオンしているときにＮチャンネルトランジスタＱＮ１４を流れる電流をＩｏｕｔとすると、次式（１３）、（１４）および（１５）が成立する。

【００２７】

$$Iref=(VrefH-VrefL)/r11 \quad (13)$$

$$Iin=\beta 2/\beta 1\times Iref \quad (14)$$

$$Iout=\beta 4/\beta 3\times Iref \quad (15)$$

電圧Ｖｃａｐが定電圧ＶｒｅｆＨに等しくなってから定電圧ＶｒｅｆＬに等しくなるまでは出力Ｖｏｕｔはハイレベルであり、キャパシタＣ１１、Ｃ１２に蓄えられていた電荷がＮチャンネルトランジスタＱＮ１４およびＱＮ１５を介して放電される。一方、電圧Ｖｃａｐが定電圧ＶｒｅｆＬに等しくなってから定電圧ＶｒｅｆＨに等しくなるまで、出力Ｖｏｕｔはローレベルであり、キャパシタＣ１１、Ｃ１２に蓄えられていた電荷はＰチャンネルトランジスタＱＰ１３およびＱＰ１４を介して充電される。従って、電圧Ｖｃａｐが定電圧ＶｒｅｆＨに等しくなってから定電圧ＶｒｅｆＬに等しくなるまでの時間をＴＦとし、電圧Ｖｃａｐが定電圧ＶｒｅｆＬに等しくなってから定電圧ＶｒｅｆＨに等しくなるまでの時間をＴＲとすると、次式（１６）が成立する。

【００２８】

$$c11\,(VrefH-VrefL)=Iin\times TR=Iout\times TF \quad (16)$$

$$TR=r11\times c11\times\beta 1/\beta 2 \quad (17)$$

$$TF=r11\times c11\times\beta 3/\beta 4 \quad (18)$$

但し、ＰチャンネルトランジスタＱＰ１３とＮチャンネルトランジスタＱＮ１５のトランスコンダクタンスは、式（１３）、（１４）が成立するようにそれぞれＰチャンネルトランジスタＱＰ１４とＮチャンネルトランジスタＱＮ１４のトランスコンダクタンスに比べて十分大きく設定される。

【００２９】

式（１７）および（１８）から次式（１９）が成立し、発振回路の一定周期Ｔ３が得られる。

【００３０】

$$T3=TR+TF \quad (19)$$

即ち、発振回路は、キャパシタＣ１１およびＣ１２の充放電時間ＴＲ，ＴＦだけで決まる一定周期Ｔ３で発振するので、電源電圧の変動およびトランジスタの特性の変動に影響されずに一定周期で発振することができる。

【００３１】

次に、図５および図６を参照して、第４実施例を説明する。

【００３２】

この第４実施例によると、図５に示されるように、選択回路１３は、ＮＯＲゲートＧ３１およびＧ３２、ＰチャンネルトランジスタＱＰ３２およびＱＰ３３、ＮチャンネルトランジスタＱＮ３１およびＱＮ３２並びにインバータい３１によって構成される。

【００３３】

この第４実施例において、入力Ｖｉｎがハイレベルである間、発振回路はスタンドバイ状態となる。このとき、２つの増幅回路１２Ｈおよび１２Ｌは非活性化されている。即ち、電圧ＶｒｅｆＨおよびＶｒｅｆＬは共にローレベルとなり、出力Ｖｏｕｔはハイレベルとなり、電圧Ｖｃａｐはローレベルとなる。入力Ｖｉｎがハイレベルからローレベルとなると、発振回路はアクティブ状態となり、図６に示すように発振を開始する。入力Ｖｉｎが

ハイレベルになっている間、２つの増幅回路１２Ｈおよび１２Ｌは活性化される。ここで、抵抗素子Ｒ３１～Ｒ３４の抵抗値をそれぞれｒ３１～ｒ３４、キャパシタＣ３１のキャパシタンスをｃ３１、そして電源電圧をＶＣＣとすると、ＰチャンネルトランジスタＱＰ３１のオン抵抗が、抵抗素子Ｒ３１～Ｒ３３の総抵抗値に比べて十分に小さく、また、ＰチャンネルトランジスタＱＰ３３とＮチャンネルトランジスタＱＮ３２のオン抵抗が、抵抗素子Ｒ３４の抵抗値に比べ十分に小さくなるように、ＰチャンネルトランジスタＱＰ３１およびＱＰ３３とＮチャンネルトランジスタＱＮ３２のトランスコンダクタンスを大きくしておけば、次式（２０）および（２１）が成立する。

【００３４】

$$VrefH=(r32+r33)/(r31+r32+r33)\times VCC \quad (20)$$

$$VrefL=r33/(r31+r32+r33)\times VCC \quad (21)$$

電圧Ｖｃａｐが定電圧ＶｒｅｆＨに等しくなってから定電圧ＶｒｅｆＬに等しくなるまでは出力Ｖｏｕｔはハイレベルであり、キャパシタＣ３１に蓄えられていた電荷はＮチャンネルトランジスタＱＮ３２を介して放電される。一方、電圧Ｖｃａｐが定電圧ＶｒｅｆＬに等しくなってから定電圧ＶｒｅｆＨに等しくなるまで出力Ｖｏｕｔはローレベルであり、キャパシタＣ３１はＰチャンネルトランジスタＱＰ３３を介して充電される。従って、電圧Ｖｃａｐが定電圧ＶｒｅｆＨに等しくなってから定電圧ＶｒｅｆＬに等しくなるまでの時間をＴＦとし、電圧Ｖｃａｐが定電圧ＶｒｅｆＬに等しくなってから定電圧ＶｒｅｆＨに等しくなるまでの時間をＴＲとすると、次式（２２）および（２３）が成立する。

【００３５】

$$TF=r34\times c31\times In(a/b) \quad (22)$$

$$TR=r34\times c31\times In((1-b)/(1-a)) \quad (23)$$

但し、定数ａおよびｂは次式（２４）および（２５）で表される。

【００３６】

$$a=(r32+r33)/(r31+r32+r33) \quad (24)$$

$$b=r33/(r31+r32+r33) \quad (25)$$

式（２２）～（２５）から次式（２６）が成立し、発振回路の一定周期Ｔ４が得られる。

【００３７】

$$T4=TR+TF \quad (26)$$

即ち、発振回路は、キャパシタＣ３１の充放電時間ＴＲ，ＴＦだけで決まる一定周期Ｔ４で発振するので、電源電圧の変動およびトランジスタの特性の変動に影響されずに一定周期で発振することができる。

【００３８】

次に、図７および図８を参照して、第５の実施例を説明する。

【００３９】

この第５実施例によると、図７に示されるように、定電圧定電流発生回路１２１は、ＰチャンネルトランジスタＱＰ１０１、ＱＰ１０２、ＱＰ１０３およびＱＰ１０５、ＮチャンネルトランジスタＱＮ１０１並びに抵抗素子Ｒ１０１によって構成され、１つの定電圧と２つの定電流を発生する。増幅回路１２２は、ＰチャンネルトランジスタＱＰ１０８、ＱＰ１０９、ＱＰ１１０、ＱＰ１１２、ＱＰ１１３およびＱＰ１１４、ＮチャンネルトランジスタＱＮ１０４、ＱＮ１０５、ＱＮ１０６、ＱＮ１０７、ＱＮ１０８およびＱＮ１０９並びにインバータＩ１０１によって構成される。選択回路１２３は、ＮＡＮＤゲートＧ１０１およびＧ１０２、ＰチャンネルトランジスタＱＰ１０４およびＱＰ１０６並びにＮチャンネルトランジスタＱＮ１０２およびＱＮ１０３によって構成される。

【００４０】

図７の発振回路において、入力Ｖｉｎがローレベルである間、発振回路はスタンドバイ状

態となる。このとき、電圧ＶｒｅｆおよびＶｃａｐ１がハイレベル、電圧Ｖｃａｐ２がローレベル、そして出力Ｖｏｕｔがローレベルとなる。入力がローレベルからハイレベルとなると、発振回路はアクティブ状態となり、発振を開始する。ＰチャンネルトランジスタＱＰ１０２のトランスコンダクタンスをβ１、ＰチャンネルトランジスタＱＰ１０３とＱＰ１０５のトランスコンダクタンスをβ２、抵抗素子Ｒ１０１の抵抗値をｒ１０１、キャパシタＣ１０１とＣ１０２のキャパシタンスをｃ１０１、抵抗素子Ｒ１０１を流れる電流をＩｒｅｆ、ＰチャンネルトランジスタＱＰ１０４またはＱＰ１０６がオンしているときにＰチャンネルトランジスタＱＰ１０３またはＱＰ１０５を流れる電流をＩｉｎと表すと、次式（２７）および（２８）が成立する。

【００４１】

$$Iref = Vref / r101 \quad (27)$$

$$Iin = \beta 2 / \beta 1 \times Iref \quad (28)$$

電圧Ｖｃａｐ２が定電圧Ｖｒｅｆに等しくなるまでは出力Ｖｏｕｔはハイレベルであり、この間では、キャパシタＣ１０１に蓄えられていた電荷はＮチャンネルトランジスタＱＮ１０２を介して放電され、キャパシタＣ１０１は接地されることになる。電圧Ｖｃａｐ２が定電圧Ｖｒｅｆに等しくなると、出力Ｖｏｕｔは反転し、ローレベルとなる。これと同時に、ＮチャンネルトランジスタＱＮ１０２はオフし、ＰチャンネルトランジスタＱＰ１０４がオンするため、キャパシタＣ１０１はＰチャンネルトランジスタＱＰ１０４を介して充電される。また、ＮチャンネルトランジスタＱＮ１０３はオンし、ＰチャンネルトランジスタＱＰ１０６がオフするため、キャパシタＣ１０２に蓄えられていた電荷はＮチャンネルトランジスタＱＮ１０３を介して放電され、キャパシタＣ１０２は接地されることになる。このような動作を交互に繰り返されることによって発振が行われる。このようにして、第５実施例の発振回路の発振周期Ｔ５は、次式（２９）および（３０）によって表され、電圧Ｖｃａｐ１またはＶｃａｐ２が接地レベルから定電圧Ｖｒｅｆに等しくなるまでの時間の２倍に等しくなる。

【００４２】

$$c101 \times Vref = Iin \times T5 / 2 \quad (29)$$

即ち、

$$T5 = 2 \times r101 \times c101 \times \beta 1 / \beta 2 \quad (30)$$

但し、ＮチャンネルトランジスタＱＮ１０１のトランスコンダクタンスは、式（２７）が成立するように、即ちＮチャンネルトランジスタＱＮ１０１のオン抵抗が抵抗素子Ｒ１０１の抵抗値に比べ無視できるように、十分大きく設定しておく。また、ＰチャンネルトランジスタＱＰ１０４およびＱＰ１０６のトランスコンダクタンスは、式（２８）が成立するようにＰチャンネルトランジスタＱＰ１０３およびＱＰ１０５のトランスコンダクタンスに比べて十分大きな値に設定する。さらに、ＮチャンネルトランジスタＱＮ１０２およびＱＮ１０３のトランスコンダクタンスは、発振周期の半分の時間内にキャパシタンスｃ１０１に蓄えられた電荷が十分放電されるような値に設定される。このようにして、第５実施例の発振回路は、電源電圧に影響されずに一定周期Ｔ５で発振する。

【００４３】

次に、図９および図１０を参照して、第６実施例を説明する。

【００４４】

この第６実施例によると、図９に示されるように、定電圧定電流発生回路１２１は、ＰチャンネルトランジスタＱＰ１１４、ＮチャンネルトランジスタＱＮ１１２、ＱＮ１１３、ＱＮ１１５およびＱＮ１２５、並びに抵抗素子Ｒ１１１によって構成され、１つの定電圧Ｖｒｅｆと２つの定電流を発生する。増幅回路１２２は、ＮチャンネルトランジスタＱＮ１１６、ＱＮ１１７、ＱＮ１１８、ＱＮ１１９、ＱＮ１２１並びにＰチャンネルトランジスタＱＰ１１３、ＱＰ１１５、ＱＰ１１６、ＱＰ１１８、ＱＰ１１９、ＱＰ１２０およびＱＰ１２１並びにインバータＩ１１１、Ｉ１１２およびＩ１１３によって構成される。選

択回路１２３は、ＮＯＲゲートＧ１１１およびＧ１１２、ＰチャンネルトランジスタＱＰ１１２およびＱＰ１１７並びにＮチャンネルトランジスタＱＮ１１４およびＱＮ１２４によって構成される。

【００４５】

図９の発振回路において、入力Ｖｉｎがハイレベルである間、発振回路はスタンドバイ状態となる。このとき、電圧ＶｒｅｆおよびＶｃａｐ１がローレベル、電圧Ｖｃａｐ２がハイレベル、そして出力Ｖｏｕｔがハイレベルとなる。入力Ｖｉｎがハイレベルからローレベルとなると、発振回路はアクティブ状態となり、図１０に示すように発振を開始する。ＮチャンネルトランジスタＱＮ１１３のトランスコンダクタンスをβ３、ＮチャンネルトランジスタＱＮ１１５とＱＮ１２５のトランスコンダクタンスをβ４、抵抗素子Ｒ１１１の抵抗値をｒ１１１、キャパシタＣ１１１とＣ１１２のキャパシタンスをｃ１１１、抵抗素子Ｒ１１１を流れる電流をＩｒｅｆ、ＮチャンネルトランジスタＱＮ１１４またはＱＮ１２４がオンしているときにＮチャンネルトランジスタＱＮ１１５またはＱＮ１２５を流れる電流をＩｏｕｔ、そして電源電圧をＶＣＣと表すと、次式（３１）および（３２）が成立する。

【００４６】

Ｉｒｅｆ＝（ＶＣＣ－Ｖｒｅｆ）／ｒ１１１　　（３１）

Ｉｏｕｔ＝β４／β３×Ｉｒｅｆ　　（３２）

電圧Ｖｃａｐ２が定電圧Ｖｒｅｆに等しくなるまでは出力Ｖｏｕｔはローレベルであり、この間では、キャパシタＣ１１１はＰチャンネルトランジスタＱＰ１１２を介して電源電圧ＶＣＣまで充電される。電圧Ｖｃａｐ２が定電圧Ｖｒｅｆに等しくなると、出力Ｖｏｕｔは反転し、ハイレベルとなる。これと同時に、ＰチャンネルトランジスタＱＰ１１２はオフし、ＮチャンネルトランジスタＱＮ１１４がオンするため、キャパシタＣ１１１はＮチャンネルトランジスタＱＮ１１４を介して放電される。また、ＰチャンネルトランジスタＱＰ１１７はオンし、ＮチャンネルトランジスタＱＮ１２４がオフするため、キャパシタＣ１１２はＰチャンネルトランジスタＱＰ１１７を介して電源電圧ＶＣＣまで充電される。このような動作を交互に繰り返されることによって発振が行われる。このようにして、第６実施例の発振回路の発振周期Ｔ６は、次式（３３）および（３４）のように電圧Ｖｃａｐ１またはＶｃａｐ２が電源電圧ＶＣＣから定電圧Ｖｒｅｆに等しくなるまでの時間の２倍に等しくなる。

【００４７】

ｃ１１１×（ＶＣＣ－Ｖｒｅｆ）＝Ｉｏｕｔ×Ｔ２／２　　（３３）

即ち、

Ｔ６＝２×ｒ１１１×ｃ１１１×β３／β４　　（３４）

但し、ＰチャンネルトランジスタＱＰ１１４のトランスコンダクタンスは、式（３１）が成立するように、即ちＰチャンネルトランジスタＱＰ１１４のオン抵抗が抵抗素子Ｒ１１１の抵抗値に比べ無視できるように、十分大きく設定しておく。また、ＮチャンネルトランジスタＱＮ１１５およびＱＮ１２５のトランスコンダクタンスは、式（３２）が成立するようにＮチャンネルトランジスタＱＮ１１４およびＱＮ１２４のトランスコンダクタンスに比べて十分大きな値に設定する。さらに、ＰチャンネルトランジスタＱＰ１１２およびＱＰ１１７のトランスコンダクタンスは、発振周期の半分の時間内にキャパシタンスｃ１１１が電源電圧ＶＣＣまで十分充電されるような値に設定される。このようにして、第６実施例の発振回路は、電源電圧の変動およびトランジスタの特性の変動に影響されずに一定周期Ｔ６で発振する。

【００４８】

次に、図１１および図１２を参照して、第７実施例を説明する。

【００４９】

この第７実施例によると、図１１に示されるように、増幅回路１２２は、スタンドバイ時にはＰチャンネルトランジスタＱＰ１３３およびＱＰ１３６並びにＮチャンネルトランジ

スタＱＮ１３２およびＱＮ１３４をオフにしておくことにより非活性化される。選択回路１２３は、ＮＯＲゲートＧ１３１およびＧ１３２、ＰチャンネルトランジスタＱＰ１３２およびＱＰ１３５並びにＮチャンネルトランジスタＱＮ１３１およびＱＮ１３３によって構成される。

【００５０】

図１１の発振回路において、入力Ｖｉｎがハイレベルである間、発振回路はスタンドバイ状態となる。このとき、電圧Ｖｒｅｆがローレベル、出力Ｖｏｕｔはハイレベル、電圧Ｖｃａｐ１がローレベル、そしてＶｃａｐ２がハイレベルとなる。入力Ｖｉｎがハイレベルからローレベルとなると、発振回路はアクティブ状態となり、図１２に示すように発振を開始する。抵抗素子１３１および１３２の抵抗値をそれぞれｒ１３１およびｒ１３２、抵抗素子Ｒ１３３およびＲ１３４の抵抗値はｒ１３３、キャパシタＣ１３１とＣ１３２のキャパシタンスをｃ１３１、電源電圧をＶＣＣとする。ＰチャンネルトランジスタＱＰ１３１のオン抵抗が、抵抗素子Ｒ１３１とＲ１３２の各々の抵抗値に比べ十分に小さく、また、ＰチャンネルトランジスタＱＰ１３２とＱＰ１３５のオン抵抗が、抵抗素子Ｒ１３３およびＲ１３４の抵抗値に比べ十分小さくなるように、ＰチャンネルトランジスタＱＰ１３１およびＱＰ１３３のトランスコンダクタンスを大きくしておく。さらに、発振周期の半分の時間の間にキャパシタＣ１３１およびＣ１３２に蓄えられた電荷を放電し、電圧Ｖｃａｐ１およびＶｃａｐ２が接地レベルになるようにＮチャンネルトランジスタＱＮ１３１およびＱＮ１３３のトランスコンダクタンスを十分に大きく設定する。このとき、次式（３５）が成立する。

【００５１】

Ｖｒｅｆ＝ｒ１３２／（ｒ１３２＋ｒ１３２）×ＶＣＣ　　（３５）

電圧Ｖｃａｐ１が定電圧Ｖｒｅｆに等しくなってから電圧Ｖｃａｐ２が定電圧Ｖｒｅｆに等しくなるまでは出力Ｖｏｕｔはハイレベルであり、キャパシタＣ１３１に蓄えられていた電荷はＮチャンネルトランジスタＱＮ１３１を介して放電される。一方、電圧Ｖｃａｐ２が定電圧Ｖｒｅｆに等しくなってから電圧Ｖｃａｐ１が定電圧Ｖｒｅｆに等しくなるまで出力Ｖｏｕｔはローレベルであり、キャパシタＣ１３２に蓄えられていた電荷はＮチャンネルトランジスタＱＮ１３３を介して放電される。従って、電圧Ｖｃａｐ１またはＶｃａｐ２が接地レベルから定電圧Ｖｒｅｆに等しくなるまでの時間は、発振周期Ｔ７の半分に等しいから次式（３６）が成立する。

【００５２】

Ｔ７＝２×ｒ１３３×ｃ１３１×ｌｎ（１／（１－ａ））　　（３６）

但し、定数ａは次式（３７）で表される。

【００５３】

ａ＝ｒ１３２／（ｒ１３１＋ｒ１３２）　　（３７）

従って、第７実施例の発振回路は、電源電圧の変動およびトランジスタの特性の変動に影響されずに一定周期Ｔ７で発振する。

【００５４】

次に、図１３および図１４を参照して、第８実施例を説明する。

【００５５】

この第８実施例によると、図１３に示されるように、増幅回路１２２は、スタンドバイ時にはＰチャンネルトランジスタＱＰ１４３およびＱ１４５並びにＮチャンネルトランジスタＱＮ１４４およびＱＮ１４５をオフにしておくことにより非活性化される。選択回路１２３は、ＮＡＮＤゲートＧ１４１およびＧ１４２、ＰチャンネルトランジスタＱＰ１４１およびＱＰ１４２並びにＮチャンネルトランジスタＱＮ１４２およびＱＮ１４３によって構成される。

【００５６】

図１３の発振回路において、入力Ｖｉｎがローレベルである間、発振回路はスタンドバイ状態となる。このとき、電圧Ｖｒｅｆがハイレベル、出力Ｖｏｕｔはハイレベル、電圧Ｖｃａｐ１がローレベル、そしてＶｃａｐ２がハイレベルとなる。入力Ｖｉｎがローレベル

からハイレベルとなると、発振回路はアクティブ状態となり、発振を開始する。抵抗素子Ｒ１４１およびＲ１４２の抵抗値をそれぞれｒ１４１およびｒ１４２、抵抗素子Ｒ１４３およびＲ１４４の抵抗値をｒ１４３、キャパシタＣ１４１とＣ１４２のキャパシタンスをｃ１４１、電源電圧をＶＣＣとする。ＮチャンネルトランジスタＱＮ１４１のオン抵抗が、抵抗素子Ｒ１４１とＲ１４２の各々の抵抗値に比べ十分に小さく、また、ＮチャンネルトランジスタＱＮ１４２とＱＮ１４３のオン抵抗が、抵抗素子Ｒ１４３およびＲ１４４の抵抗値に比べ十分小さくなるように、ＮチャンネルトランジスタＱＮ１４２およびＱＮ１４３のトランスコンダクタンスを大きくしておく。さらに、発振周期の半分の時間の間にキャパシタＣ１４１およびＣ１４２を充電し、電圧Ｖｃａｐ１およびＶｃａｐ２が電源電圧ＶＣＣになるようにＰチャンネルトランジスタＱＰ１４１およびＱＰ１４２のトランスコンダクタンスを十分に大きく設定する。このとき、次式（３８）が成立する。

【００５７】

Ｖｒｅｆ＝ｒ１４２／（ｒ１４１＋ｒ１４２）×ＶＣＣ　　（３８）

電圧Ｖｃａｐ１が定電圧Ｖｒｅｆに等しくなってから電圧Ｖｃａｐ２が定電圧Ｖｒｅｆに等しくなるまでは出力Ｖｏｕｔはローレベルであり、キャパシタＣ１４１はＰチャンネルトランジスタＱＰ１４１によって電源電圧ＶＣＣまで充電される。一方、電圧Ｖｃａｐ２が定電圧Ｖｒｅｆに等しくなってから電圧Ｖｃａｐ１が定電圧Ｖｒｅｆに等しくなるまで出力Ｖｏｕｔはハイレベルであり、キャパシタＣ１４２はＰチャンネルトランジスタＱＰ１４２を介して電源電圧まで充電される。従って、電圧Ｖｃａｐ１またはＶｃａｐ２が電源電圧ＶＣＣから定電圧Ｖｒｅｆに等しくなるまでの時間は発振周期Ｔ８の半分に等しいから、次式（３９）が成立する。

【００５８】

Ｔ８＝２×ｒ１４３×ｃ１４１×ｌｎ（１／ｂ）　　（３９）

但し、定数ｂは次式（４０）で表される。

【００５９】

ｂ＝ｒ１４２／（ｒ１４１＋ｒ１４２）　　（４０）

従って、第８実施例の発振回路は、電源電圧の変動およびトランジスタの特性の変動に影響されずに一定周期Ｔ８で発振する。

【００６０】

【発明の効果】

上述した実施例の発振回路によると、発振周波数は電源電圧の変動およびトランジスタの特性の変動の影響を受けないで、一定の周期で発振を行うことができる。

【図面の簡単な説明】

【図１】本発明の第１実施例に従った発振回路の回路図。

【図２】本発明の第２実施例に従った発振回路の回路図。

【図３】本発明の第３実施例に従った発振回路の回路図。

【図４】第３実施例の発振回路の動作を説明するタイミングチャート図。

【図５】本発明の第４実施例に従った発振回路の回路図。

【図６】第４実施例の発振回路の動作を説明するタイミングチャート図。

【図７】本発明の第５実施例に従った発振回路の回路図。

【図８】第５実施例の発振回路の動作を説明するタイミングチャート図。

【図９】本発明の第６実施例に従った発振回路の回路図。

【図１０】第６実施例の発振回路の動作を説明するタイミングチャート図。

【図１１】本発明の第７実施例に従った発振回路の回路図。

【図１２】第７実施例の発振回路の動作を説明するタイミングチャート図。

【図１３】本発明の第８実施例に従った発振回路の回路図。

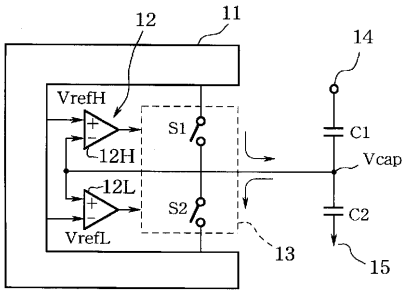
【図１４】第８実施例の発振回路の動作を説明するタイミングチャート図。

【符号の説明】

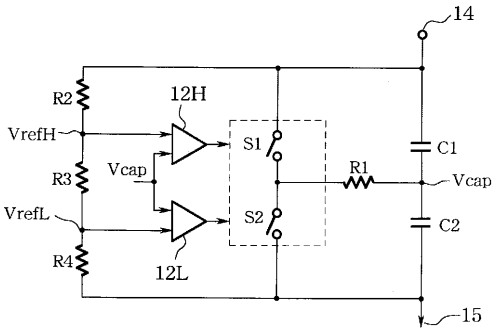
１１、２１、１２１…定電圧定電流回路、１２、２２、１２２…増幅回路、
１３、２３、１２３…選択回路、１４、１５…電源電圧端子、

ＱＰ…Ｐチャンネルトランジスタ、ＱＮ…Ｎチャンネルトランジスタ、
Ｒ…抵抗素子、Ｃ…キャパシタンス、Ｇ…ゲート回路、Ｓ…スイッチ、
Ｉ…インバータ、ＶｒｅｆＨ…高定電圧、ＶｒｅｆＬ…低定電圧、
Ｖｉｎ…入力、ＶＣＣ…電源電圧。

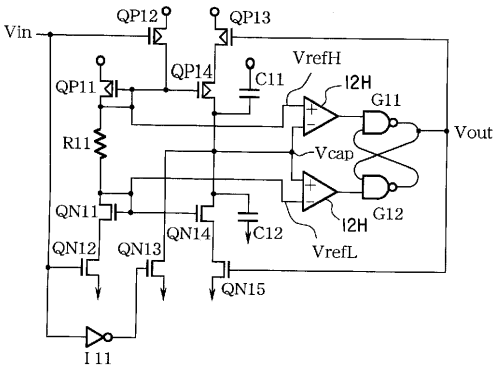
【図１】



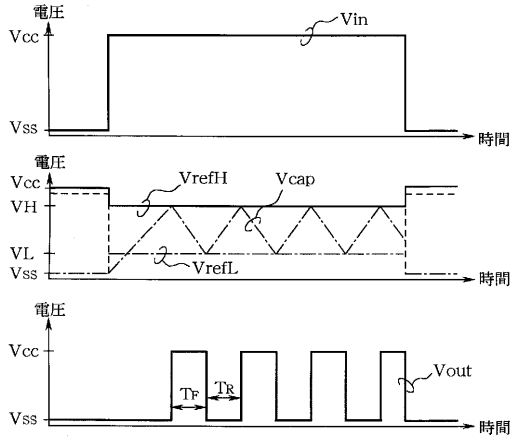
【図２】



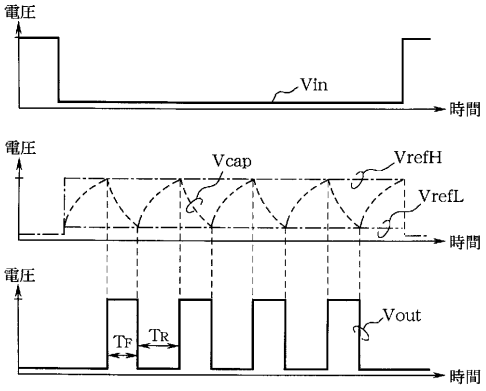
【図３】



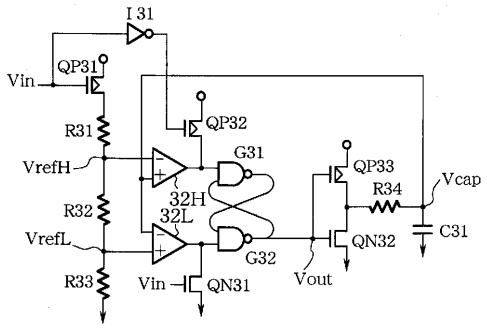
【図４】


電圧
Vcc
Vin
Vss
時間
電圧
Vcc
VH
VL
Vss
VrefH
Vcap
VrefL
時間
電圧
Vcc
Vss
TF
TR
Vout
時間

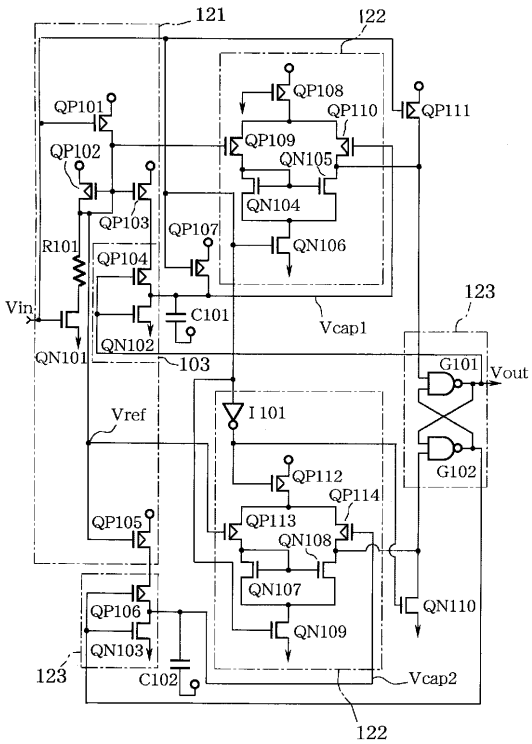
【図６】


電圧
Vin
時間
電圧
Vcap
VrefH
VrefL
時間
電圧
TF
TR
Vout
時間

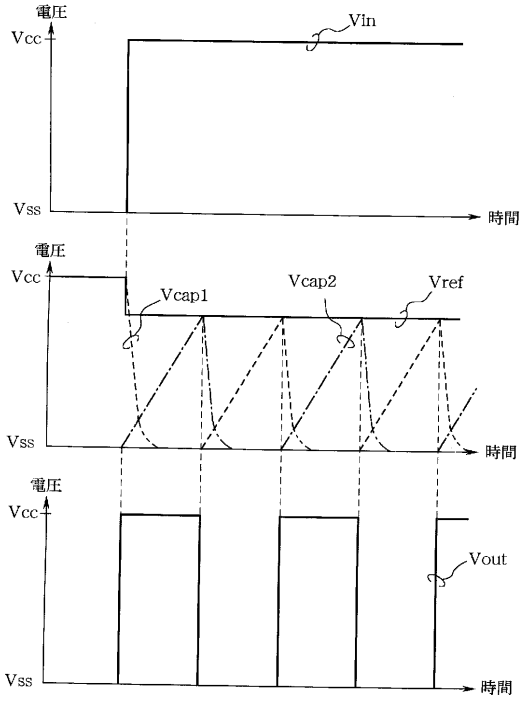
【図５】


I 31
QP31
Vin
R31
QP32
VrefH
G31
QP33
R34
Vcap
32H
R32
32L
VrefL
G32
QN32
C31
R33
Vin
QN31
Vout

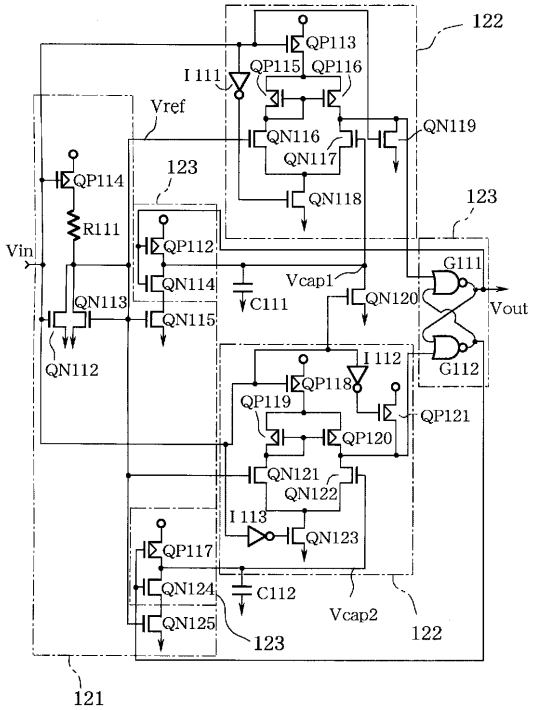
【図７】


121
122
QP108
QP110
QP111
QP101
QP109
QP102
QN105
QN104
QP103
QP107
QN106
R101
QP104
123
Vin
C101
Vcap1
QN102
QN101
103
G101
Vout
I 101
Vref
G102
QP112
QP114
QP105
QP113
QN108
QN107
QN110
QP106
QN109
QN103
123
C102
Vcap2
122

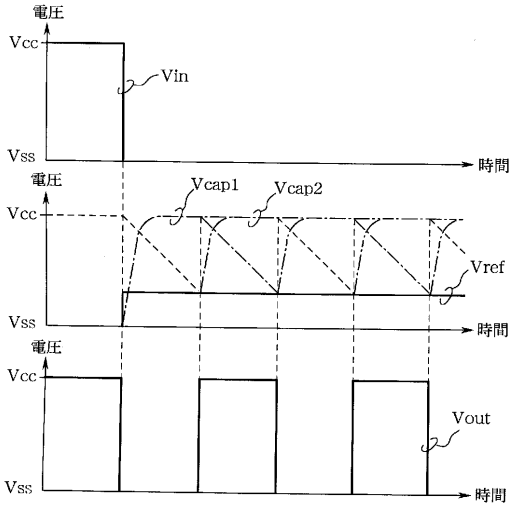
【図８】


電圧
Vcc
Vin
Vss
時間
電圧
Vcc
Vcap1
Vcap2
Vref
Vss
時間
電圧
Vcc
Vout
Vss
時間

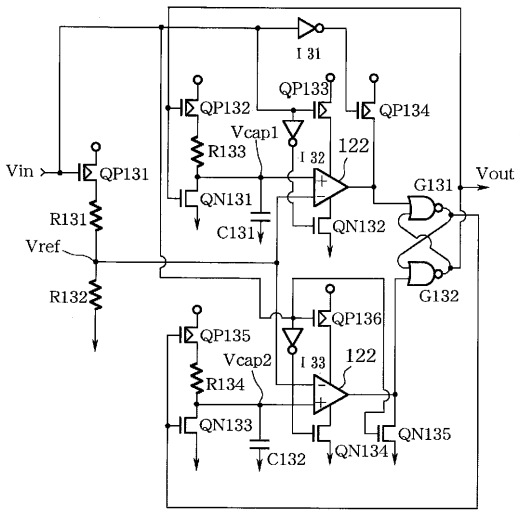
【図９】



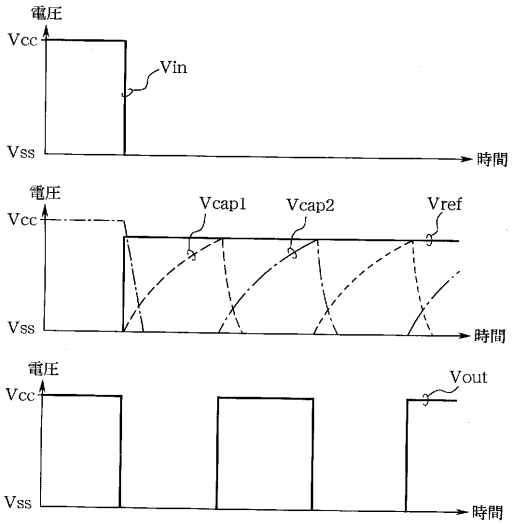
【図１０】



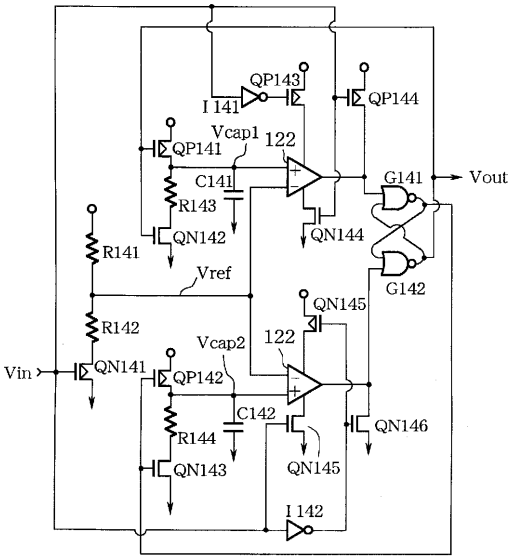
【図１１】



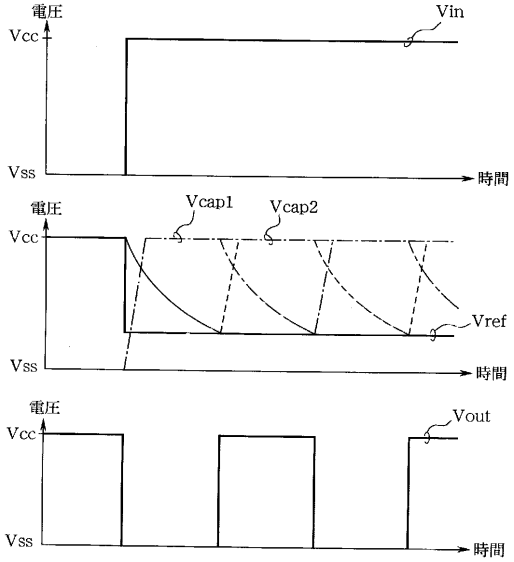
【図１２】



【図１３】


QP143
I 141
QP144
Vcap1
122
QP141
C141
G141
Vout
R143
QN142
QN144
R141
Vref
G142
QN145
R142
Vcap2
122
Vin
QN141
QP142
C142
QN146
R144
QN143
QN145
I 142

【図１４】


電圧
Vcc
Vin
Vss
時間
電圧
Vcap1
Vcap2
Vcc
Vref
Vss
時間
電圧
Vout
Vcc
Vss
時間

フロントページの続き

(56)参考文献 特開平０６－０８５６２５（ＪＰ，Ａ）
特開昭５８－６２９２３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03K 3/70
H03K 4/501
H03K 3/0231