

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-331902

(P2005-331902A)

(43) 公開日 平成17年12月2日(2005.12.2)

(51) Int.Cl.⁷

G09F 9/30
G02F 1/1368
H01L 29/786
H05B 33/14

F I

G09F 9/30 338
G02F 1/1368
H05B 33/14 A
H01L 29/78 612B
H01L 29/78 612C

テーマコード (参考)

2H092
3K007
5C094
5F110

審査請求 未請求 請求項の数 20 O L (全 35 頁) 最終頁に続く

(21) 出願番号 特願2004-236393 (P2004-236393)
(22) 出願日 平成16年8月16日 (2004.8.16)
(31) 優先権主張番号 特願2004-124973 (P2004-124973)
(32) 優先日 平成16年4月21日 (2004.4.21)
(33) 優先権主張国 日本国 (JP)

(71) 出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(74) 代理人 110000338
特許業務法人原謙三国際特許事務所
(72) 発明者 堀田 和重
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通ディスプレイテクノロジーズ
株式会社内
(72) 発明者 渡部 卓哉
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通ディスプレイテクノロジーズ
株式会社内

最終頁に続く

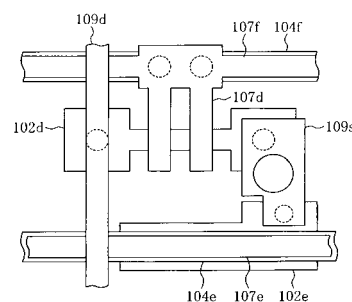
(54) 【発明の名称】 表示装置用アクティブマトリクス基板およびその製造方法

(57) 【要約】

【課題】 異なるゲート絶縁膜厚を有する複数種類の TFT を混載し、高性能で高速動作が可能な表示装置用アクティブマトリクス基板を提供する。

【解決手段】 表示装置用アクティブマトリクス基板は、表示領域において、行方向に沿う複数の走査線と、列方向に沿う複数の画像データ線と、走査線と画像データ線との各交点および周辺回路領域に形成された島状半導体層と、画素用島状半導体層上の第1の厚さの第1のゲート絶縁膜と、前記第1のゲート絶縁膜の上に、第1の配線層で形成された第1のゲート電極と、周辺回路用島状半導体層の一部上の第1の厚さより薄い第2の厚さの第2のゲート絶縁膜と、第2のゲート絶縁膜の上の第2の配線層で形成された第2のゲート電極と、を有し、画素の島状半導体層、第1のゲート絶縁膜、第1のゲート電極が画素トランジスタを構成し、走査線が、第2の配線層で形成された下部走査配線と、第1の配線層で形成され、下部走査配線に接続された上部走査配線とを含む。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

行列状に画素を配列する表示領域と前記表示領域周辺で周辺回路を配置する周辺回路領域とを有する絶縁性基板と、

前記表示領域において、行方向に沿って形成された複数の走査線と、

前記表示領域において、列方向に沿って形成され、前記複数の走査線と共に複数の画素領域を画定する、複数の画像データ線と、

前記表示領域における前記走査線と前記画像データ線との各交点近傍に形成された画素トランジスタ用島状半導体層および前記周辺回路領域に形成された複数の周辺回路トランジスタ用島状半導体層と、

10

前記画素トランジスタ用島状半導体層の中間部を覆う第 1 の厚さの第 1 のゲート絶縁膜と、

前記第 1 のゲート絶縁膜の上に配置され、第 1 の配線層で形成された第 1 のゲート電極と、

前記周辺回路トランジスタ用島状半導体層の少なくとも一部を覆う、前記第 1 の厚さより薄い第 2 の厚さの第 2 のゲート絶縁膜と、

前記第 2 のゲート絶縁膜の上に配置され、第 2 の配線層で形成された第 2 のゲート電極と、

を有し、前記画素トランジスタ用島状半導体層、前記第 1 のゲート絶縁膜、前記第 1 のゲート電極が画素トランジスタを構成し、前記走査線が、前記第 2 の配線層で形成された下部走査配線と、前記第 1 の配線層で前記下部走査配線上方に形成され、前記下部走査配線に接続された上部走査配線とを含む、表示装置用アクティブマトリクス基板。

20

【請求項 2】

前記第 1 のゲート絶縁膜が前記第 2 のゲート絶縁膜と同一層で形成された下部ゲート絶縁膜とその上に形成された上部ゲート絶縁膜とを含む、

請求項 1 記載の表示装置用アクティブマトリクス基板。

【請求項 3】

さらに、前記画素トランジスタ用島状半導体層の前記第 1 のゲート電極両側に形成された第 1 のソース/ドレイン領域と、

前記周辺回路トランジスタ用島状半導体層の前記第 2 のゲート電極両側に形成された第 2 のソース/ドレイン領域と、

30

前記第 1 および第 2 のゲート電極、前記上部走査配線を覆って前記絶縁性基板上方に形成された層間絶縁膜と、

前記層間絶縁膜を貫通し、少なくとも前記第 1 および第 2 のソース/ドレイン領域に達する複数のコンタクトホールと、

前記コンタクトホールを埋め、前記層間絶縁膜上に延在する導電層と、

を有する、請求項 1 または 2 記載の表示装置用アクティブマトリクス基板。

【請求項 4】

前記下部走査配線を覆って、前記上部ゲート絶縁膜と同一層で形成された中間絶縁層が配置され、前記中間絶縁層に中間コンタクトホールが形成され、その上に、前記中間コンタクトホールを介して前記下部走査配線に接続された前記上部走査配線が形成されている、

40

請求項 3 記載の表示装置用アクティブマトリクス基板。

【請求項 5】

前記下部走査配線、前記上部走査配線が、それぞれ延在方向から側方に張り出したコンタクト用張り出し領域を有し、前記複数のコンタクトホールが前記コンタクト用張り出し領域にそれぞれ達する走査配線用コンタクトホールを含み、前記導電層が前記走査配線用コンタクトホールを介して前記下部走査配線、前記上部走査配線を接続する局所配線を含む、

請求項 3 記載の表示装置用アクティブマトリクス基板。

50

【請求項 6】

前記下部走査配線が延在方向内に下部コンタクト領域を含み、前記上部走査配線が前記下部コンタクト領域上方に開口部を有し、開口部近傍に上部コンタクト領域を有し、前記複数のコンタクトホールが前記下部および上部コンタクト領域にそれぞれ達する走査配線用コンタクトホールを含み、前記導電層が前記走査配線用コンタクトホールを介して前記下部走査配線、前記上部走査配線を接続する局所配線を含む、
請求項 3 記載の表示装置用アクティブマトリクス基板。

【請求項 7】

前記上部走査配線の開口部が上部走査配線を分離し、前記上部コンタクト領域が前記開口部の両側に形成され、前記局所配線が分離された上部走査配線も接続する、
請求項 6 記載の表示装置用アクティブマトリクス基板。

10

【請求項 8】

さらに、前記各画素領域において、前記画素トランジスタに接続された表示電極と、前記表示電極に一方の電極が接続された補助容量とを有し、

前記補助容量の一方の電極は前記画素トランジスタ用島状半導体層と同一の半導体層で形成され、前記補助容量の他の電極は、前記第 2 の配線層で形成された下部補助容量バスラインと、前記第 1 の配線層で前記下部補助容量バスライン上方に形成され、前記下部補助容量バスラインに接続された上部補助容量バスラインとを含む、
請求項 3 ～ 7 のいずれか 1 項記載の表示装置用アクティブマトリクス基板。

【請求項 9】

前記補助容量の半導体層は、前記画素トランジスタ用島状半導体層と連続する半導体層である請求項 8 記載の表示装置用アクティブマトリクス基板。

20

【請求項 10】

前記下部補助容量バスラインを覆って、前記上部ゲート絶縁膜と同一層で形成された中間絶縁層が配置され、前記中間絶縁層に中間コンタクトホールが形成され、その上に、前記中間コンタクトホールを介して前記下部補助容量バスラインに接続された前記上部補助容量バスラインが形成されている、
請求項 8 記載の表示装置用アクティブマトリクス基板。

【請求項 11】

前記下部補助容量バスライン、前記上部補助容量バスラインが、それぞれ延在方向から側方に張り出したコンタクト用張り出し領域を有し、前記複数のコンタクトホールが前記コンタクト用張り出し領域にそれぞれ達する補助容量バスライン用コンタクトホールを含み、前記導電層が前記補助容量バスライン用コンタクトホールを介して前記下部補助容量バスライン、前記上部補助容量バスラインを接続する局所配線を含む、
請求項 8 記載の表示装置用アクティブマトリクス基板。

30

【請求項 12】

前記下部補助容量バスラインが延在方向内に下部コンタクト領域を含み、前記上部補助容量バスラインが前記下部コンタクト領域上方に開口部を有し、開口部近傍に上部コンタクト領域を有し、前記複数のコンタクトホールが前記下部および上部コンタクト領域にそれぞれ達する補助容量バスライン用コンタクトホールを含み、前記導電層が前記補助容量バスライン用コンタクトホールを介して前記下部補助容量バスライン、前記上部補助容量バスラインを接続する補助容量局所配線を含む、
請求項 8 記載の表示装置用アクティブマトリクス基板。

40

【請求項 13】

前記上部補助容量バスラインの開口部が上部補助容量バスラインを分離し、前記上部コンタクト領域が前記開口部の両側に形成され、前記補助容量局所配線が分離された上部補助容量バスラインも接続する、
請求項 12 記載の表示装置用アクティブマトリクス基板。

【請求項 14】

さらに、前記各画素領域において、前記画素トランジスタに接続された表示電極と、

50

前記第 1 の配線層と前記第 2 の配線層を用いて形成された第 1 および第 2 の電極を有し、前記第 1 および第 2 の電極の一方が前記表示電極に接続された補助容量と、を有する、請求項 2 または 3 記載の表示装置用アクティブマトリクス基板。

【請求項 1 5】

前記補助容量の第 2 の電極は、前記第 1 の電極下方で前記第 1 の電極より幅広に形成されている請求項 1 4 記載の表示装置用アクティブマトリクス基板。

【請求項 1 6】

さらに、前記画像データ線と同一配線層で形成され、前記補助容量の第 1 および第 2 の電極の他方に接続された補助容量バスラインを有する請求項 1 4 または 1 5 記載の表示装置用アクティブマトリクス基板。

【請求項 1 7】

表示領域と周辺回路領域とを有する絶縁性基板と、

前記表示領域において、行方向に沿って形成された複数の走査線と、

前記表示領域において、列方向に沿って形成され、前記複数の走査線と共に複数の画素領域を画定する、複数の画像データ線と、

前記表示領域における前記走査線と前記画像データ線との各交点近傍に形成された画素トランジスタ用島状半導体層および前記周辺回路領域に形成された複数の周辺回路トランジスタ用島状半導体層と、

前記画素トランジスタ用島状半導体層の中間部を覆う第 1 の厚さの第 1 のゲート絶縁膜と、

前記第 1 のゲート絶縁膜の上に配置され、第 1 の配線層で形成された第 1 のゲート電極と、

前記周辺回路トランジスタ用島状半導体層の少なくとも一部の間部を覆う、前記第 1 の厚さより薄い第 2 の厚さの第 2 のゲート絶縁膜と、

前記第 2 のゲート絶縁膜の上に配置され、第 2 の配線層で形成された第 2 のゲート電極と、

前記画素トランジスタ用島状半導体層に接続された画素電極と

を有し、前記画素トランジスタ用島状半導体層、前記第 1 のゲート絶縁膜、前記第 1 のゲート電極が画素トランジスタを構成し、前記走査線が、前記第 2 の配線層で形成された下部走査配線と、前記第 1 の配線層で前記下部走査配線上方に形成され、前記下部走査配線に接続された上部走査配線とを含む、表示装置。

【請求項 1 8】

表示領域と周辺回路領域とを有する絶縁基板上に半導体層を形成する工程と、

前記半導体層を複数の島状半導体層にパターニングする工程と、

前記島状半導体層を覆って、第 1 のゲート絶縁膜を形成する工程と、

前記第 1 のゲート絶縁膜を覆う第 1 の配線層を形成する工程と、

前記第 1 の配線層をパターニングして、周辺回路の一部のトランジスタのゲート電極および表示領域の下部走査線を形成する工程と、

前記第 1 のゲート絶縁膜上に、第 2 のゲート絶縁膜を形成する工程と、

前記第 2 のゲート絶縁膜をエッチングして、表示領域の下部走査線を露出するコンタクトホールを形成する工程と、

第 2 のゲート絶縁膜上に第 2 の配線層を形成する工程と、

前記第 2 の配線層をパターニングして、表示領域の画素トランジスタのゲート電極および下部走査線に接続される上部走査線を形成する工程と、を含む表示装置用アクティブマトリクス基板の製造方法。

【請求項 1 9】

表示領域と周辺回路領域とを有する絶縁基板上にトランジスタ形成用の島状半導体層を形成する工程と、

前記島状半導体層を覆って、第 1 のゲート絶縁膜、第 1 の配線層を積層する工程と、

前記第 1 の配線層をパターニングして、周辺回路の一部のトランジスタのゲート電極お

10

20

30

40

50

よび表示領域において延在方向から側方に張り出す張り出し領域を有する下部走査線を形成する工程と、

前記ゲート電極および下部走査線を覆って、前記第 1 のゲート絶縁膜上に、第 2 のゲート絶縁膜、第 2 の配線層を積層する工程と、

前記第 2 の配線層をパターンニングして、表示領域において、画素トランジスタのゲート電極および延在方向から側方に張り出す張り出し領域を有する上部走査線を形成する工程と、

前記ゲート電極両側の島状半導体層に不純物を添加し、ソース/ドレイン領域を形成し、トランジスタを構成する工程と、

前記トランジスタ、上部走査線を覆って、前記第 2 のゲート絶縁膜上方に層間絶縁膜を形成する工程と、 10

前記層間絶縁膜を貫通し、前記トランジスタのソース/ドレイン領域、上部および下部走査線の張り出し領域を露出するコンタクトホールを形成する工程と、

前記コンタクトホールを埋め、前記層間絶縁膜上に延在する、前記上部および下部走査線を接続する局所配線を含む導電パターンを形成する工程と、
を含む表示装置用アクティブマトリクス基板の製造方法。

【請求項 20】

表示領域と周辺回路領域とを有する絶縁基板上にトランジスタ形成用の島状半導体層を形成する工程と、

前記島状半導体層を覆って、第 1 のゲート絶縁膜、第 1 の配線層を積層する工程と、 20

前記第 1 の配線層をパターンニングして、周辺回路の一部のトランジスタのゲート電極および表示領域において行方向に延在し、下部コンタクト領域を含む下部走査線を形成する工程と、

前記ゲート電極および下部走査線を覆って、前記第 1 のゲート絶縁膜上に、第 2 のゲート絶縁膜、第 2 の配線層を積層する工程と、

前記第 2 の配線層をパターンニングして、表示領域において、画素トランジスタのゲート電極および前記下部走査線上方で、前記下部コンタクト領域上方に開口を有し、下部コンタクト領域近傍に上部コンタクト領域を有する上部走査線を形成する工程と、

前記ゲート電極両側の島状半導体層に不純物を添加し、ソース/ドレイン領域を形成し、トランジスタを構成する工程と、 30

前記トランジスタ、上部走査線を覆って、前記第 2 のゲート絶縁膜上方に層間絶縁膜を形成する工程と、

前記層間絶縁膜を貫通し、前記トランジスタのソース/ドレイン領域、上部および下部コンタクト領域を露出するコンタクトホールを形成する工程と、

前記コンタクトホールを埋め、前記層間絶縁膜上に延在する、前記上部および下部走査線を接続する局所配線を含む導電パターンを形成する工程と、
を含む表示装置用アクティブマトリクス基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置用基板およびその製造方法に関し、特に薄膜トランジスタを備えた表示装置用アクティブマトリクス基板およびその製造方法に関する。 40

【背景技術】

【0002】

近年、フラットパネルディスプレイとして、液晶表示装置や有機 EL 表示装置が用いられている。表示画素ごとにスイッチング（アクティブ）素子を備えたアクティブマトリクスを用いると、表示装置の機能を高めることができる。このようなアクティブマトリクス基板は、PC（パーソナルコンピュータ）、携帯電話等に広く用いられている。

【0003】

ガラス基板上に薄膜トランジスタを形成する場合、ガラス基板の耐熱温度の制限から、 50

当初は非晶質シリコン膜を用いていた。近年、非晶質シリコン膜を多結晶化することにより、又は最初から多結晶シリコン膜を堆積することにより、非晶質シリコントランジスタに比べ、移動度を大幅に向上させた高性能の多結晶シリコントランジスタが得られるようになっている。多結晶シリコン膜を用いる場合、同一基板上に周辺回路を搭載することもできる。このような構成により、さらなる高性能化、低消費電力化を目指し、開発が進められている。

【0004】

図22は、アクティブマトリクス基板の構成例を示す。ガラス基板等の絶縁性透明基板SUBの上に、表示を行う表示領域DAと周辺回路を形成する周辺回路領域PHが画定されている。表示領域DAにおいては、複数の走査用ゲート配線（バスライン）GLが行（横）方向に延在し、画像データ供給用の複数の画像データ配線（バスライン）DLが列（縦）方向に延在する。

10

【0005】

走査用ゲート配線GLと画像データ配線DLとの各交点に、薄膜トランジスタTFTが接続され、薄膜トランジスタの出力端子はITO等の透明電極で形成される画素電極PXに接続されている。さらに、各画素電極PXに補助容量SCが接続される。補助容量SCの他の電極は、一定電位の補助容量配線（バスライン）SCLに接続される。図の構成においては、補助容量配線SCLは行方向に延在するが、列方向に延在する構成とすることもできる。

【0006】

このようにして、表示領域DAには行列状の画素が配列され、各画素は表示を制御する画素電極PXを備える。画素行に沿って走査用ゲート配線GLが配置され、画素列に沿って画像データ配線DLが配置される。走査用ゲート配線GLによってオン/オフ制御される薄膜トランジスタTFTが画像データ配線DLから画像データを画素電極PXに供給する。薄膜トランジスタTFTがオフすると、画素電極PXは補助容量SCと共に画像データを保持する。

20

【0007】

周辺回路領域PHには、走査用ゲート配線に供給する走査信号群を発生させるためのゲートドライバGD、画像データ配線に供給する画像データを供給するためのデータドライバDD、及び外部より制御信号CSを受け、ゲートドライバGDおよびデータドライバDDを制御する表示コントローラDCが形成されている。ゲートドライバGDは、シフトレジスタSR1、レベルシフタLS1、出力バッファOB等を含む。データドライバDDは、シフトレジスタSR2、レベルシフタLS2、アナログスイッチAS等を含む。さらに、外部より基準電圧VL、VH及び画像信号IDが供給される。

30

【0008】

周辺回路を集積化したアクティブマトリクス基板において、表示コントローラDC、シフトレジスタSR1、SR2は比較的高速動作を行なうことが要求される。レベルシフタLS1、LS2、出力バッファOB、アナログスイッチASは、比較的高電圧で動作する高耐圧であることが要求される。

【0009】

表示エリアにおいて用いられるスイッチング用薄膜トランジスタ（TFT）は、比較的高耐圧が要求される。表示エリアDAのTFTはnチャネルTFTのみで作成しても、周辺回路PHはCMOS回路で構成することが好ましい。従って、nチャネルTFTの他、pチャネルTFTも作成する。同一ゲート絶縁膜を用いて、全TFTを作製する場合、ゲート絶縁膜の厚さは高耐圧TFTに合わせる。多結晶シリコンを用いた表示装置用回路の場合、補助容量は一般的にMOS容量を用いる。

40

【0010】

図23A - 23Gは、図22に示す回路に用いられるCMOS薄膜トランジスタ及び補助容量を作成する従来技術による製造方法の1例の主要工程を示す断面図である。

図23Aに示すように、ガラス板等の透明絶縁基板100の上に、厚さ200nmのS

50

i N層と、厚さ50nmのSiO層を化学気相堆積(CVD)で堆積し、バッファ層101を作成する。バッファ層101の上に、非晶質シリコン膜をCVDで堆積し、エキシマレーザでアニールを行うことにより多結晶シリコンに変換する。なお、直接多結晶シリコン膜を堆積する方法もある。多結晶シリコン膜を得た後、ホトリソグラフィとエッチングにより、多結晶シリコン膜を島状シリコン膜102にパターニングする。図に示した3つの島状シリコン膜は、左からpチャネルTFET用、nチャネルTFET用、補助容量用である。

【0011】

図23Bに示すように、島状シリコン膜102を覆って、厚さ120nmのSiO層103をCVDにより堆積し、ゲート絶縁膜を作成する。ゲート絶縁膜103の上に、厚さ300nmのMo層104をスパッタリングなどの物理気相堆積(PVD)によって堆積し、ホトリソグラフィとエッチングによりパターニングして電極104を形成する。左側の2つの電極はゲート電極であり、右側の1つの電極はキャパシタ用上部電極である。

10

【0012】

ゲート電極およびキャパシタ用上部電極をパターニングした後、ホトリソグラフィとエッチングを用い、ゲート絶縁膜103を電極104よりも幅広にパターニングする。

図23Cに示すように、pチャネルトランジスタを覆い、nチャネルトランジスタ領域を開口するホトレジストパターンPRnを形成し、P⁺イオンを2段階でイオン注入する。一方のイオン注入は、露出したシリコン膜には注入されるが、電極104及び絶縁膜103に注入された不純物は、半導体層に達しない加速エネルギー、ドーズ量で行われる。他方のイオン注入は、絶縁膜103に注入された場合、その一部が絶縁膜103を通過し、半導体層102に達し、低不純物濃度のイオン注入領域を形成する条件で行なう。

20

【0013】

このようにして、ゲート電極側方のゲート絶縁膜下に低濃度ドレイン領域LDD、ゲート絶縁膜側方に高濃度ドレイン領域HDDが形成される。その後ホトレジストパターンPRnは除去する。

【0014】

図23Dに示すように、nチャネルトランジスタ及び補助容量を覆い、pチャネルトランジスタ領域を開口するホトレジストパターンPRpを形成し、p型不純物、例えばB⁺のイオン注入を、上述と同様2段階で行なう。

30

【0015】

一方のイオン注入は、半導体層102に直接注入されたイオンのみが半導体層に添加され、電極104及び絶縁膜103に注入された不純物は半導体層102に達しない条件で行う。他方のイオン注入は、絶縁膜103に注入された不純物は、その一部が絶縁膜103を通過して半導体層102に達し、低不純物濃度領域を形成する条件で行う。

【0016】

なお、pチャネルトランジスタにおいては、LDD領域は必ずしも必要ないので、LDD領域を形成せず、1段階のイオン注入を所望の高濃度を達成するような加速エネルギー、ドーズ量で行なうこともできる。その後ホトレジストパターンPRpは除去する。

【0017】

図23Eに示すように、イオン注入を終了した基板の上に、シラン等のSiソースガスと酸素等のOソースガスを用いたCVDにより厚さ60nmのSiO層を堆積し、シラン等のSiソースガスとNH₃等のNソースガスを用いたCVDにより厚さ360nmのSiN層を堆積し、第1層間絶縁膜108を形成する。

40

【0018】

第1層間絶縁膜108の成膜後、550℃、2時間のアニーリングを行い、イオン注入した不純物を活性化する。アニール工程において、NH₃等の水素を含むソースガスを用いて成膜されたSiN層からは水素が解離され、半導体層の水素化処理が行われる。

【0019】

なお、熱的アニールに代え、不純物の活性化をレーザアニールで行い、その後360

50

等のアニールを行い、半導体層の水素化を行なう方法もある。

半導体層の水素化処理を終えた後、第1層間絶縁膜108上にレジストパターンを作成し、半導体層102の所望領域を開口するため、第1層間絶縁膜108を貫通するエッチングを行う。

【0020】

図23Fに示すように、厚さ100nmのTi層、厚さ200nmのAl又はAl合金層、厚さ50nmのTi層を物理気相堆積(PVD)により堆積し、電極層を形成する。電極層の上にレジストパターンを形成し、エッチングを行うことにより半導体層102の所望領域を第1層間絶縁膜108上に引き出す電極/配線109を残す。その後レジストパターンは除去する。

10

【0021】

図23Gに示すように、配線109を覆って第1層間絶縁膜108の上に、厚さ3μmの透明絶縁樹脂層を形成し、第2層間絶縁膜110を形成する。ホトリソグラフィとエッチングを用いて第2層間絶縁膜を貫通して配線109を露出するコンタクトホールを形成する。なお、第2層間絶縁膜として感光性樹脂を用いると、第2層間絶縁膜を露光現像することによりコンタクトホールを形成することもできる。

【0022】

開口内に露出した配線109に接続するように、厚さ100nmのITO層をCVDにより堆積し、ホトリソグラフィとエッチングを用いてパターンニングし、画素電極111を形成する。画素電極111は、画素のスイッチングトランジスタであるnチャネルTFETのソース/ドレイン電極に接続されると共に、補助容量の一方の電極102にも接続される。なお、補助容量の他方の電極104は、補助容量バスラインを構成している。このようにして、pチャネルTFET、nチャネルTFET及び補助容量SCを作成することができる。

20

【0023】

高速動作が要求されるTFETは、チャンネル長を短くし、LDD構造を無くすことが好ましい。このため、回路の電源電圧は小さい方が望ましい。一般的に、電源電圧を下げるには、TFETの閾値も下げる必要があり、ゲート絶縁膜を薄膜化する必要がある。高耐圧TFETは、所望の高電圧に耐える必要があり、従来通りのゲート絶縁膜厚やLDDを有するTFET構造が望ましい。同一のTFET構造で両者の要求を満足することは難しい。そこで、同一基板上に2種類のTFETを形成する技術が提案されている。

30

【0024】

特開2003-45892号は、島状半導体層を形成した後、低圧TFETに適した第1のゲート絶縁膜を形成し、低圧トランジスタにおいてはその上にゲート電極を形成し、高圧トランジスタ及び画素トランジスタにおいては第1のゲート絶縁膜の上にさらに第2のゲート絶縁膜を積層し、その上にゲート電極を形成することを提案している。低圧トランジスタの第1のゲート絶縁膜は例えば厚さ30nmであり、第1及び第2のゲート絶縁膜の積層である高圧トランジスタ及び画素トランジスタのゲート絶縁膜は、例えば厚さ130nmである。

【0025】

TFETの性能をさらに高度化するために、新たな結晶化技術も提案されている。

40

特開2003-86505号は、非晶質半導体層を島状にパターンニングした後、透明基板裏面から半導体(LD)励起の固体レーザ(DPSSLレーザ)を用い、連続波(CW)レーザ光を照射して多結晶化を行う技術を提案している。この結晶化方法によれば、大きな結晶粒が実現できると説明されている。

【0026】

TFETの製造工程において、不純物の活性化は熱アニールまたはレーザアニールで行われる。高い信頼性を得るためには、熱アニールが望ましい。特に高速動作回路を専用TFETで構成した場合や、CWレーザ光による結晶化を行なう場合、不純物の活性化は熱アニールが望まれる。

50

【 0 0 2 7 】

熱アニールを行なうためには、金属配線としてアルミニウム又はアルミニウム合金を用いることは不適當となり、高融点金属を用いることが必要となる。高融点金属はアルミニウム又はアルミニウム合金と比較して高抵抗であり、大型パネル製作の際には配線抵抗が問題となる。又、表示装置の高精細化に伴い、補助容量電極の面積は小さくすることが望まれる。

【 0 0 2 8 】

【特許文献 1】特開 2 0 0 3 - 4 5 8 9 2 号公報

【特許文献 2】特開 2 0 0 3 - 8 6 5 0 5 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 2 9 】

本発明の目的は、異なるゲート絶縁膜厚を有する複数種類の T F T を混載し、高性能で高速動作が可能な表示装置用アクティブマトリクス基板およびその製造方法を提供することである。

【 0 0 3 0 】

本発明の他の目的は、大型高精細パネルに対応可能で、十分に明るい表示パネルを提供する表示装置用アクティブマトリクス基板およびその製造方法を提供することである。

【課題を解決するための手段】

【 0 0 3 1 】

本発明の 1 観点によれば、行列状に画素を配列する表示領域と前記表示領域周辺で周辺回路を配置する周辺回路領域とを有する絶縁性基板と、前記表示領域において、行方向に沿って形成された複数の走査線と、前記表示領域において、列方向に沿って形成され、前記複数の走査線と共に複数の画素領域を画定する、複数の画像データ線と、前記表示領域における前記走査線と前記画像データ線との各交点近傍に形成された画素トランジスタ用島状半導体層および前記周辺回路領域に形成された複数の周辺回路トランジスタ用島状半導体層と、前記画素トランジスタ用島状半導体層の中間部を覆う第 1 の厚さの第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜の上に配置され、第 1 の配線層で形成された第 1 のゲート電極と、前記周辺回路トランジスタ用島状半導体層の少なくとも一部を覆う、前記第 1 の厚さより薄い第 2 の厚さの第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜の上に配置され、第 2 の配線層で形成された第 2 のゲート電極と、を有し、前記画素トランジスタ用島状半導体層、前記第 1 のゲート絶縁膜、前記第 1 のゲート電極が画素トランジスタを構成し、前記走査線が、前記第 2 の配線層で形成された下部走査配線と、前記第 1 の配線層で前記下部走査配線上方に形成され、前記下部走査配線に接続された上部走査配線とを含む、表示装置用アクティブマトリクス基板が提供される。

【発明の効果】

【 0 0 3 2 】

ゲート絶縁膜厚の異なる複数種類の T F T を作製することができる。高速性の必要な T F T は高速動作可能に、高耐圧の必要な T F T は高耐圧に作製することが可能になる。

走査線が、下部走査配線と上部走査配線との積層構造で形成されると、走査線を低抵抗化することができ、走査線を高融点金属で作成してもその抵抗を低くすることが可能となる。不純物活性化を熱アニールにより行なうことができる。

【発明を実施するための最良の形態】

【 0 0 3 3 】

以下、図面を参照して、本発明の実施例を説明する。作製する表示装置用アクティブマトリクス基板は図 2 2 に示すような構成を有する。図 2 2 を参照して行った説明を援用する。説明の簡略化のため、以下、主に、高速動作可能な p チャンネル T F T、高速動作可能な n チャンネル T F T、高耐圧の p チャンネル T F T、画素トランジスタとなる高耐圧 n チャンネル T F T、補助容量について説明する。

【 0 0 3 4 】

図 1 A - 1 L は、本発明の第 1 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図である。図 2 は、作成されるアクティブマトリクス基板の画素領域の平面構成を示す平面図である。

【 0 0 3 5 】

図 1 A に示すように、ガラス等の透明絶縁基板 1 0 0 の上に、厚さ 2 0 0 n m の S i N 層と厚さ 5 0 n m の S i O 層を C V D により積層し、バッファ層 1 0 1 を形成する。バッファ層 1 0 1 の上に、非晶質シリコン膜 1 0 2 を C V D により堆積する。非晶質シリコン膜 1 0 2 にエキシマレーザ光を照射し、多結晶化を行なう。なお、パルス発振のエキシマレーザ光による多結晶化に代え、連続発振 (C W) する固体レーザ光により多結晶化を行ってもよい。又、バッファ層 1 0 1 の上に直接多結晶シリコン膜を形成してもよい。

10

【 0 0 3 6 】

図 1 B に示すように、シリコン膜 1 0 2 の上に、ホトレジスト層を塗布し、露光現像してホトレジストパターン P R 1 を形成する。ホトレジストパターン P R 1 をエッチングマスクとし、シリコン膜 1 0 2 をエッチングして島状半導体層にパターンニングする。

【 0 0 3 7 】

島状半導体層 1 0 2 a 、 1 0 2 b が薄膜 T F T 用島状半導体層、島状半導体層 1 0 2 c 、 1 0 2 d が厚膜 T F T 用半導体層、島状半導体層 1 0 2 e が補助容量用半導体層である。島状半導体層 1 0 2 a 、 1 0 2 b 、 1 0 2 c 、 1 0 2 d 、 1 0 2 e を総称して半導体層 1 0 2 と呼ぶこともある。半導体層 1 0 2 をパターンニングした後、ホトレジストパターン P R 1 は除去する。

20

【 0 0 3 8 】

図 2 に示すように、表示領域の各画素領域において、画素トランジスタ用に両端に幅が広げられたソース/ドレイン領域、中間に幅が狭められたチャンネル領域を有する島状半導体層 1 0 2 d が形成される。補助容量用下部電極を構成する島状半導体層 1 0 2 e は、接続部が幅広にされた、水平方向に延在する略長方形である。

【 0 0 3 9 】

図 1 C に示すように、パターンニングした島状半導体層を覆って厚さ 3 0 n m の S i O 層を C V D で堆積し、第 1 のゲート絶縁膜 1 0 3 を形成する。第 1 のゲート絶縁膜 1 0 3 の上に、厚さ 3 0 0 n m の M o 層 1 0 4 をスパッタリングにより堆積する。なお、M o に代え、T a 、 W 、 C r 等の他の高融点金属を用いてもよい。

30

【 0 0 4 0 】

図 1 D に示すように、M o 層 1 0 4 の上にホトレジスト層を塗布し、露光現像してホトレジストパターン P R 2 を形成する。ホトレジストパターン P R 2 をエッチングマスクとし、M o 層 1 0 4 をパターンニングする。薄膜 T F T 領域において、ゲート電極 1 0 4 a 、 1 0 4 b をパターンニングし、表示領域の厚膜 T F T 近傍にゲート配線 (バスライン) の裏打ち配線となる配線層 1 0 4 f をパターンニングし、補助容量領域においてキャパシタの上部電極兼補助容量バスライン 1 0 4 e をパターンニングする。その後ホトレジストパターン P R 2 は除去する。各電極 1 0 4 a 、 1 0 4 b 、 1 0 4 f 、 1 0 4 e を総称して電極 1 0 4 と呼ぶことがある。以下参照符号とその添字の関係は同様である。

【 0 0 4 1 】

40

図 2 に示すように、ゲートバスライン 1 0 4 f は、水平方向に延在する。補助容量のキャパシタ上部電極兼バスラインを構成する配線層 1 0 4 e は、島状半導体層 1 0 2 e の上方で、島状半導体層 1 0 2 e より幅狭に、図中水平方向に延在する。上層を幅狭に形成することにより段差を緩和した積層構造を作り、段差部での断切れを緩和することができる。

【 0 0 4 2 】

図 1 E に示すように、パターンニングした電極 1 0 4 を覆うように厚さ 8 0 n m の S i O 層を C V D により堆積し、第 2 のゲート絶縁膜 1 0 5 を形成する。ホトレジスト層を塗布、露光、現像し、電極 1 0 4 の一部を開口するコンタクトホールパターンを有するホトレジストパターン P R 3 を形成する。ホトレジストパターン P R 3 をエッチングマスクとし

50

、S i O 層 1 0 5 を貫通するエッチングを行い、電極 1 0 4 f、1 0 4 e に達するコンタクトホール 1 0 6 を開口する。その後ホトレジストパターン P R 3 は除去する。

【 0 0 4 3 】

図 1 F に示すように、コンタクトホール 1 0 6 を開口した S i O 層 1 0 5 の上に、厚さ 3 0 0 n m の M o 層 1 0 7 をスパッタリングにより堆積する。M o 層 1 0 7 の上にホトレジスト層を塗布し、露光現像してホトレジストパターン P R 4 を作成する。ホトレジストパターン P R 4 をエッチングマスクとし、M o 層 1 0 7 をエッチングする。厚膜 T F T 用のゲート電極 1 0 7 c、1 0 7 d 及び補助容量の裏打ちバスライン 1 0 7 e がパターンニングされる。その後ホトレジストパターン P R 4 は除去する。

【 0 0 4 4 】

図 2 に示すように、ゲート電極 1 0 7 d は、上部ゲートバスライン 1 0 7 f に連続し、島状半導体層 1 0 2 d の中間部に画定されるチャネル領域を 2 箇所横切るゲート電極を形成し、ダブルゲート T F T 構造を構成する。上部ゲートバスライン 1 0 7 f は、下部ゲートバスライン 1 0 4 f 上方で下部ゲートバスライン 1 0 4 f より幅狭に延在し、ゲート電極 1 0 7 d との接続部で幅広にされると共に、下部ゲートバスライン 1 0 4 f に接続されている。下層より上層を幅狭に形成することにより上述のように断切れを緩和することができる。

【 0 0 4 5 】

補助容量バスライン 1 0 7 e は、補助用容量用上部電極兼下部バスライン 1 0 4 e 上方で、下部バスライン 1 0 4 e に接続され、下部バスライン 1 0 4 e より幅狭に水平方向に延在する上部バスラインを構成する。ゲートバスライン、補助容量バスラインが 2 層の金属積層で形成されるので抵抗値は低減する。

【 0 0 4 6 】

図 1 G に示すように、ホトレジスト層を塗布し、露光現像することにより、厚膜 T F T のゲート電極及び補助容量バスラインよりも幅広のホトレジストパターン P R 5 を形成する。ホトレジストパターン P R 5 及び薄膜 T F T 領域におけるゲート電極 1 0 4 a、1 0 4 b をエッチングマスクとし、ゲート絶縁膜 1 0 3、1 0 5 のエッチングを行う。薄膜 T F T 領域においてはゲート電極 1 0 4 a、1 0 4 b と同一平面パターンのゲート絶縁膜がパターンニングされ、厚膜 T F T 領域においてはゲート電極 1 0 7 c、1 0 7 d よりも幅広のゲート絶縁膜がパターンニングされる。補助容量領域においては上部電極よりも幅広の絶縁膜がパターンニングされる。その後ホトレジストパターン P R 5 は除去する。

【 0 0 4 7 】

図 1 H に示すように、p チャネル T F T 領域を覆うホトレジストパターン P R 6 を形成し、n 型不純物である P⁺ イオンのイオン注入を行なう。ゲート絶縁膜を貫通する加速エネルギー、ドーズ量のイオン注入と、ゲート電極、ゲート絶縁膜を通過しないイオン注入との 2 段階イオン注入を行うことにより、不純物濃度の低い L D D 領域がゲート電極から張り出すゲート絶縁膜下に形成され、ゲート絶縁膜両側に露出するソース/ドレイン領域には高濃度 H D D 領域が形成される。その後ホトレジストパターン P R 6 は除去する。

【 0 0 4 8 】

図 1 I に示すように、n チャネル T F T 領域及び補助容量領域を覆うホトレジストパターン P R 7 を形成し、p 型不純物である B⁺ イオンのイオン注入を行なう。ゲート電極を透過する L D D 形成用イオン注入と、ゲート絶縁膜両側に露出した半導体層に高濃度の不純物を注入する H D D 用イオン注入とを行なう。その後ホトレジストパターン P R 7 は除去する。これらのイオン注入は図 2 3 A - 2 3 G を参照して説明した従来技術のイオン注入と同様である。

【 0 0 4 9 】

図 1 J に示すように、作成したトランジタ構造を覆うように、厚さ 6 0 n m の S i O 層及び厚さ 3 5 0 n m の S i N 層を C V D により堆積し、第 1 層間絶縁膜 1 0 8 を形成する。成膜後、注入した不純物を活性化し、半導体層を水素処理するため、5 0 0℃、2 時間のアニールを行なう。第 1 層間絶縁膜 1 0 8 上にホトレジスト層を塗布し、露光現像する

10

20

30

40

50

ことにより、コンタクトホール作成用のレジストパターンPR8を作成する。ホトレジストパターンPR8をエッチングマスクとし、層間絶縁膜108にコンタクトホール形成用のエッチングを行う。その後ホトレジストパターンPR8は除去する。

【0050】

図1Kに示すように、コンタクトホールを形成した第1層間絶縁膜108の上に、厚さ100nmのTi層、厚さ200nmのAl層、厚さ50nmのTi層をスパッタリングにより堆積し、電極/配線層109を形成する。電極/配線層109の上にホトレジストパターンPR9を形成し、電極/配線層109のパターニングを行う。

【0051】

このようにして、各トランジスタ領域及び補助容量領域から上部に引出す配線109s、109d等を作成する。その後ホトレジストパターンPR9は除去する。なお、配線層としてTi層、Al層、Ti層の積層に代え、Ti層、Mo層、Al合金層等、これらの積層等を用いることもできる。

【0052】

図の構成において、電極/配線層109sは、pチャネル厚膜TFEのソース/ドレイン領域と、補助容量の下部電極とを接続する局所配線を構成する。なお、厚膜TFE領域において配線109dとゲート電極107dとが交差するように図示されているが、図面垂直方向の位置が異なり、これらの電極部は互いに分離されている。

【0053】

図2に示すように、島状半導体層102dのドレイン領域に接続される配線（データバスライン）109dは図中垂直方向に延在し、データ配線（バスライン）を構成する。ローカル配線109sは、薄膜トランジスタのソース領域と補助容量の下部電極102eを接続する。

【0054】

図1Lに示すように、第1層間絶縁膜108の上に、電極層を覆うように厚さ3μmの透明絶縁樹脂層を塗布し、第2層間絶縁膜110を形成する。第2層間絶縁膜110を露光現像することなどにより、コンタクトホールを形成する。コンタクトホールを形成した第2層間絶縁膜110の上に、ITO（インジウム錫酸化物）層111をCVDまたはスパッタリングにより堆積する。ITO層111の上にホトレジストパターンPR10を作成し、ホトレジストパターンPR10をエッチングマスクとし、ITO層111のエッチングを行う。その後ホトレジストパターンPR10は除去する。ITO電極111は、画素電極を構成する。

【0055】

図2に示すように、島状半導体層102dは、両端部で幅広に形成され、ソース/ドレイン領域を構成する。中央の幅狭部がチャネル領域を構成する。ゲートバスライン104f、107fおよび補助容量バスライン104e、107eは、図中水平方向に延在する。データバスライン109は、図中垂直方向に延在する。積層金属層でバスラインを形成することによりバスラインの抵抗を低減化することができる。

【0056】

上述の実施例においては、補助容量としてMOS容量を用いた。MOS容量に代え、対向金属層の補助容量を作成することもできる。エキシマレーザによる結晶化に代え、連続発振レーザを用いることもできる。この場合、スポット状に集光したビームを用いる。エキシマレーザを用いた結晶化においてはエキシマレーザを線状ビームに成形し半導体層に照射するが、スポット状のレーザ光で所定の面積を走査するには、面積に比例した時間が必要となる。結晶化すべき半導体層の面積は狭いほど結晶化に要する時間が短縮化できる。

【0057】

図3A - 3E及び図4は、本発明の第2の実施例による表示装置用アクティブマトリクス基板の製造方法を示す断面図及び平面図である。

図3Aは、図1Bに対応するシリコン膜のパターニングを終えた段階を示す。2つの薄

10

20

30

40

50

膜 T F T 用島状半導体層 1 0 2 a、1 0 2 b、および 2 つの厚膜 T F T 用島状半導体層 1 0 2 c、1 0 2 d が形成されている。補助容量領域には島状半導体層は形成されない。

【 0 0 5 8 】

図 4 には、画素用厚膜 T F T 用の島状半導体層 1 0 2 d のみが示されている。補助容量にはシリコン膜を用いないため、シリコン膜の表面積は第 1 の実施例と比べ補助容量分縮小されている。多結晶化を連続 (C W) 発振するスポット状レーザビームで行なう場合、多結晶化に必要な時間が短縮できる。なお、多結晶化を他の方法で行うこともできる。

【 0 0 5 9 】

図 3 B は、図 1 D に対応する薄膜 T F T のゲート電極 1 0 4 a、1 0 4 b をパターンニングした状態を示す。表示部のゲートバスライン 1 0 4 f が同時にパターンニングされる。これらは、第 1 の実施例と同様である。補助容量領域においては、パターンニングされた電極 1 0 4 e が補助容量の下部電極を構成する。

10

【 0 0 6 0 】

図 4 に示すように、補助容量の下部電極 1 0 4 e は、ゲートバスライン 1 0 4 f と共に行方向に延在し、補助容量バスラインを構成する。

図 3 C に示すように、ゲートバスライン 1 0 4 f 等の電極 / 配線 1 0 4 を覆って、第 1 のゲート絶縁膜 1 0 3 上に S i O の第 2 のゲート絶縁膜 1 0 5 を形成し、厚膜 T F T のゲート絶縁膜を形成する。S i O 絶縁層 1 0 5 の上に、厚膜 T F T のゲート電極 1 0 7 c、1 0 7 d、ゲートバスライン 1 0 7 f 及び補助容量の上部電極 1 0 7 e をパターンニングする。

20

【 0 0 6 1 】

図 4 に示すように、第 1 の実施例同様、ゲートバスラインが積層された高融点金属層 1 0 4 f、1 0 7 f で形成される。補助容量領域においては、横方向に延在する高融点金属の補助容量バスライン (下部電極を兼ねる) 1 0 4 e の上方に、絶縁層 1 0 5 を介して画素毎の補助容量上部電極 1 0 7 e が、下部電極 1 0 4 e よりも幅狭に形成され、その間に補助容量を形成する。各補助容量を独立に形成するため、補助容量バスラインは単層のゲート配線層で形成される。

【 0 0 6 2 】

n チャネル T F T 及び p チャネル T F T に対するイオン注入は、第 1 の実施例同様に行われる。各トランジスタ構造を作成した後、S i O 層と S i N 層の積層からなる第 1 層間絶縁膜 1 0 8 が堆積される。不純物の活性化が第 1 層間絶縁膜の成膜後に行われる。

30

【 0 0 6 3 】

図 3 D に示すように、第 1 層間絶縁膜 1 0 8 に対するコンタクトホールを開口し、電極層 1 0 9 を堆積し、パターンニングする。局所配線 1 0 9 s は、画素トランジスタのソース領域と補助容量の上部電極 1 0 7 e とを接続する。

【 0 0 6 4 】

図 4 に示すように、ドレイン配線 1 0 9 d は、第 1 の実施例同様、列方向に延在し、データ配線を構成する。ローカル配線 1 0 9 s は、第 1 の実施例と若干異なり、補助容量の上部電極 1 0 7 e に接続される。

【 0 0 6 5 】

40

図 3 E に示すように、配線層 1 0 9 を形成した後、厚さ 3 μ m の有機絶縁樹脂層を塗布し、第 2 層間絶縁膜 1 1 0 を形成する。第 2 層間絶縁膜 1 1 0 に画素電極用コンタクトホールを形成し、I T O 層 1 1 1 を堆積し、パターンニングして画素電極を形成する。

【 0 0 6 6 】

図 4 に示すように、本実施例によれば補助容量が対向金属層 1 0 4 e、1 0 7 e で形成されており、上部電極 1 0 7 e に画素トランジスタのソース領域が接続される。その他の点は第 1 の実施例と同様である。ゲート配線を M o 等の高融点金属で形成すると、第 2 の実施例においては、補助容量バスラインの抵抗が高くなることが避け難い。

【 0 0 6 7 】

図 5 A - 5 C と図 6 は補助容量バスラインの抵抗を低減化できる第 3 の実施例を示す断

50

面図および平面図である。

図5Aは、図1Jに対応し、各トランジスタ構造及び補助容量構造を形成し、第1層間絶縁膜108で覆い、コンタクトホールを形成した状態を示す。補助容量においては、下部電極104eと上部電極107eとがそれぞれコンタクト領域を有する。

【0068】

図6に示すように、補助容量を形成する下部電極104e、上部電極107eは、画素毎に分離され、列方向に延在する形状を有する。但し、図2、4に示すように、行方向に延在する形状としてもよい。図2、図4の構造と異なり、下部電極104e、上部電極107eとも画素領域内に限られた形状を有する。

【0069】

図5Bは、図1K、図3Dに対応する状態を示し、電極/配線層109を堆積し、パターニングして各配線を形成した状態を示す。ドレイン配線109dが画素TF-Tのドレインに接続され、画素TF-Tのソースは、ローカル配線109sにより補助容量の下部電極104eに接続される。縦方向に延在する配線109eが、補助容量の上部電極107eに接続され、補助容量バスラインを構成する。

【0070】

図6に示すように、補助容量の上部電極107eに接続される配線109eは、画像データ配線109dと共に列方向に延在し、補助容量バスラインを構成する。配線109は、Ti/Al/Ti等の低抵抗金属層で構成されるため、補助容量バスラインの抵抗を低くすることができる。補助容量の上部電極の両端でコンタクトを取れば、抵抗をさらに低減することもできる。補助容量バスラインを電極/配線層109で構成する場合、データ配線109dと交差させるわけには行かないので、補助容量バスラインは列方向に延在することになる。

【0071】

図5Cに示すように、第2層間絶縁膜110、画素電極111を前述の実施例同様に形成する。本実施例によれば、補助容量バスラインがデータバスラインと同一材料で形成されるため、低抵抗の補助容量バスラインが形成される。

【0072】

第3の実施例によれば、補助容量バスラインの抵抗は低減できるが、補助容量の容量は、下部電極と上部電極の対向部分で構成される。補助容量をさらに増大することも可能である。

【0073】

図7A-7C、8は、補助容量を増大することのできる第4の実施例を説明するための断面図及び平面図である。

図7Aは、図5Aに対応する状態を示す。本実施例においては、補助容量の下部電極、上部電極の形状及びそのコンタクト領域の配置が異なる。

【0074】

図7Bは、電極/配線層を形成した状態を示す。補助容量領域において、下部電極104eの上に上部電極107eが配置されるのは上述の実施例と同様である。上部電極107eの上方に下部電極104eと電氣的に接続される電極兼補助容量バスライン109eが配置される。補助容量の上部電極107eの上下を下部電極104eとバスライン109eが挟み、延在することで容量を増加させている。

【0075】

図8に示すように、下部電極104eが縦方向に延在し、その上方に上部電極107eが下部電極の平面形状の内側に（幅狭に）形成され、その一部は左方向に引き出されコンタクト領域を構成している。上部電極107eの上方に、補助容量バスライン109eが上部電極107eよりもさらに幅狭に形成されている。積層電極構造を、上層に向うに従い次第に幅狭に形成すると、上述のように段差における上部配線の段切れを防止するのに有効である。

【0076】

10

20

30

40

50

図7Cは、上述の実施例同様第1層間絶縁膜108の上に第2層間絶縁膜110を形成し、画素電極111を形成した状態を示す。なお、本実施例においても補助容量を縦方向のみに延在させるのではなく、少なくともその一部を横方向にも延在させることもできる。

【0077】

以上説明した実施例においては、2層のゲート配線層を積層して走査用ゲート配線（バスライン）を形成する際、中間のゲート絶縁層（第2のゲート絶縁膜）にコンタクト孔を形成して2層のゲート配線層を接続している。このため、1枚のマスクとエッチング工程が必要である。この工程を簡略化できる実施例を以下説明する。

【0078】

図9A - 9Fから14A - 14Fは、本発明の第5の実施例による表示装置用アクティブマトリクス基板の製造方法を示す断面図及び平面図である。図22に示すように、表示領域において、画素は行列状に配置され、走査線は行方向に沿って複数本配置される。図9Aは、周辺回路における薄膜TFTである高速動作トランジスタHS - TR部分の断面図を示し、図9Bは、周辺回路における厚膜TFTである高耐圧トランジスタHV - TR部分の断面図である。図9Cは、表示領域における画素トランジスタPIX - TRとその周辺の走査線領域を含む平面図であり、図9D、9E、9Fは、図9CにおけるD - D、E - E、F - F線に沿う断面図である。図10A - 10Fから14A - 14Fにおいて、図番の数字の後のA - Fは、同様の意味を表す。

【0079】

図9A - 9Fにおいて、例えば、ガラス基板である絶縁透明基板100の表面上に、プラズマ（PE - ）CVDにより、SiN膜101aを厚さ50nm、SiO₂膜101bを厚さ200nm、下地層として堆積した後、その上にアモルファスのシリコン膜102を厚さ40nm ~ 100nm程度成膜する。エキシマレーザあるいは連続発振の固体レーザ等を用い、基板の全面あるいは結晶化したい領域のみレーザ照射し、アモルファスのシリコン膜を結晶化する。なお、レーザ照射前に450 ~ 550程度の温度でアニールしておく、ガラス基板が大きく変形することなく、かつレーザ照射時に水素の影響によるアブレーションを抑えることができる。

【0080】

シリコン膜102を多結晶化した後、シリコン膜102を島状にパターニングする。例えば、シリコン膜102上にホトレジストパターンを形成し、ホトレジストパターンをマスクとしてフッ素系ガスを用い、ドライエッチングを行って、各トランジスタ用の島状シリコン膜をパターニングする。その後ホトレジストパターンは剥離する。図9A、9B、9C - 9Eに示すように、高速トランジスタ用島状シリコン膜102b、高耐圧トランジスタ用島状シリコン膜102x、画素トランジスタ用島状シリコン膜102dが形成される。

【0081】

図10A - 10Fは、島状にパターニングしたシリコン膜102を覆って高速動作トランジスタ用ゲート絶縁膜、ゲート電極を形成する工程を示す。たとえば、第1のゲート絶縁膜としてPE - CVDによりSiO₂膜103を厚さ30nm成膜し、その上に第1のゲート電極層としてMo膜104を厚さ300nm成膜する。Mo膜104の上にホトレジストパターンを形成し、ホトレジストパターンをマスクとしてMo膜を、フッ素系ガスを用いてドライエッチングするか、磷酸硝酸系エッチャントを用いウエットエッチングして第1のゲート電極104bと下部走査線104s1を形成する。その後ホトレジストパターンは剥離する。

【0082】

図10Aに示すように、周辺回路の高速トランジスタ領域において第1のゲート電極104bが形成される。図10B、10Dに示すように、他のトランジスタ領域においてはMo膜104はエッチング、除去される。図10C、10E、10Fに示すように、表示領域において、横（行）方向に配列する画素トランジスタPIX - TRに沿って、横（行

10

20

30

40

50

）方向に延在する下部走査線 104s1 が形成される。下部走査線 104s1 は、走査線としての機能を果たす行方向に延在する部分 104f と、相互接続部としての機能を果たす、延在方向から側方に（図においては下方に）張り出すコンタクト用張り出し部 104p とを含む。

【0083】

図 11A - 11F は、第 1 のゲート電極及び下部走査線を覆うように、基板上に第 2 のゲート絶縁膜、第 2 のゲート電極層を形成し、第 2 のゲート電極層をパターンニングする状態を示す。例えば、第 2 のゲート絶縁膜として PE - CVD により厚さ 80 nm の SiO₂ 膜 105 を成膜し、その上に第 2 のゲート電極層として、スパッタリングにより厚さ 300 nm の Mo 層 107 を成膜する。Mo 層の上に高耐圧 TFT のゲート電極および上部走査線のパターンを有するレジストパターンを形成し、Mo 膜 107 をエッチングする。エッチングは、上述のようにドライエッチングするか、磷酸硝酸系エッチャントのウェットエッチングで行う。その後ホトレジストパターンは剥離する。

10

【0084】

図 11B、11D に示すように、周辺回路の高耐圧トランジスタ HV - TR のゲート電極 107x 及び画素トランジスタ PIX - TR のダブルゲート電極 107d が形成される。図 11C、11E、11F に示すように、下部走査線 104s1 の上方に上部走査線 107s1 が形成される。

【0085】

図 11C に示すように、上部走査線 107s1 は、下部走査線同様、走査線としての機能を果たす、行方向に延在する部分 107f と、相互接続部としての機能を果たす、延在方向から側方に張り出すコンタクト用張り出し領域 107p を有する。下部走査線の張り出し領域 104p と上部走査線の張り出し領域 107p とは走査線下方で近距離内に並んで配置される。この状態では上部走査線 107s1 と下部走査線 104s1 とは電氣的に分離されている。ダブルゲート電極 107d は、上部走査線 107s1 から連続的にシリコン膜 102d 上方に延在する。

20

【0086】

図 12A - 12F は、第 2 のゲート絶縁膜をパターンニングし、ソース/ドレイン領域に対するイオン注入を行なう工程を示す。図 12A に示すように、高速動作トランジスタ HS - TR においては、第 2 のゲート絶縁膜 105 がエッチングされた後、ゲート電極 104 をマスクとして第 1 のゲート絶縁膜 103 のパターンニングが行われる。

30

【0087】

図 12B、12D に示すように、高耐圧トランジスタ HV - TR 及び PIX - TR においては、レジストマスクを用い、ゲート電極 107x、107d から張り出した領域を有するゲート絶縁膜 105、103 がパターンニングされる。その後レジストマスクは除去される。

【0088】

n チャネルトランジスタの場合は、n 型不純物、例えば P をソース/ドレイン領域にイオン注入する。高濃度ソース/ドレイン領域を形成するイオン注入と、高耐圧トランジスタ HV - TR 及び PIX - TR において LDD 領域を形成するためゲート絶縁膜下のシリコン膜にも不純物が到達するイオン注入とを行なう。例えば、P⁺ イオンを加速エネルギー 10 keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ でイオン注入し、さらに加速エネルギー 90 keV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ でイオン注入する。高加速エネルギーのイオン注入は、ゲート絶縁膜 105、103 を貫通し、その下のシリコン膜に不純物を添加する。このようにして、高速トランジスタ HS - TR においては LDD なしの薄膜トランジスタ、高耐圧トランジスタ HV - TR、PIX - TR においてはゲート電極から張り出したゲート絶縁膜下に LDD 領域を備えた薄膜トランジスタが形成される。

40

【0089】

図 13A - 13F は、形成された薄膜トランジスタを覆って第 1 の層間絶縁膜を成膜し、コンタクト孔を形成し、その上に電極層を形成する工程を示す。例えば、層間絶縁膜 1

50

08としてPE-CVDによりSiO₂膜を厚さ60nm成膜し、その上にSiN膜を厚さ370nm成膜する。層間絶縁膜108上にコンタクト孔の開口を有するレジストパターンを形成し、フッ素系ガスを用いてSiN膜及びSiO₂膜をドライエッチングする。その後レジストパターンは剥離する。さらに、スパッタリングによりTi膜を厚さ50nm、Al膜を200nm、Ti膜を厚さ100nm成膜し、ソース/ドレイン電極層109を形成する。ソース/ドレイン電極層上に電極/配線パターンを有するレジストパターンを形成し、不要部分を塩素系エッチャントを用いたドライエッチングで除去する。その後、レジストパターンは除去する。

【0090】

図13A, 13B, 13Dに示すように、各薄膜トランジスタのソース/ドレイン領域にソース/ドレイン電極109が形成される。

図13Cに示すように、列(縦)方向に配列した画素トランジスタのドレイン電極に連続して、ドレイン線DLも形成される。

【0091】

図13C, 13E, 13Fに示すように、走査線領域においては張り出し領域104p、107pを接続する局所配線109pが形成される。このようにして、下部走査線104s1と上部走査線107s1とが電氣的に接続され、積層で形成された走査線が形成される。

【0092】

図14A-14Fは、ソース/ドレイン電極を覆って第2の層間絶縁膜を成膜し、画素電極用コンタクトホールを開口し、画素電極を形成する工程を示す。パターニングされた電極109を覆って、例えば感光性の透明有機絶縁膜110を塗布し、コンタクトホールを開口するように露光現像する。

【0093】

図14Dに示すように、画素トランジスタPIX-TRのソース電極109上に開口が形成される。図14A, 14Bに示すように、周辺回路領域では透明電極を形成する必要がほとんどないため、開口する必要はない。但し、薄膜トランジスタ作成後回路動作を検査するために検査端子を設ける場合等においては、検査端子部周辺を開口する場合もある。

【0094】

図14Dに示すように、開口内を覆うように、例えばスパッタリングにより厚さ70nmのITO膜111を成膜し、レジストパターンを形成し、ITOエッチャーを用いたウエットエッチングにより、ITO膜111をパターニングする。このようにして、各画素に画素電極111が形成される。

【0095】

本実施例によれば、第2のゲート絶縁膜にコンタクトホールを形成するための別個のマスク工程は不要であり、トランジスタのソース/ドレイン領域に対するコンタクトホールを形成する際、走査線に対するコンタクトホールも同時に形成できる。このようにして、マスク1枚、エッチング工程1回を省略することが可能となる。

【0096】

図15A-15Cは、走査線と共に補助容量を形成した変形例を示す。図15Aは平面図を示し、図15B、15Cは図15AにおけるB-B線及びC-C線に沿う断面を示す。

【0097】

図15Aは、画素トランジスタの図中下方に上述の実施例による走査線を形成し、画素トランジスタの上方に補助容量及び補助容量バスラインを形成する構成を示す。画素トランジスタ用島状シリコン膜102dに連続して、補助容量を形成するための島状シリコン膜104eを形成する。

【0098】

図15Bに示すように、2層の走査層と同時に、補助容量用島状シリコン膜102eの

10

20

30

40

50

上方に２層の補助容量バスライン兼補助容量電極１０４e、１０７eが形成される。

図１５Ａに示すように、走査線同様、補助容量バスラインは延在方向から側方（図においては上方）に張り出すコンタクト用張り出し領域１０４q、１０７qを有する。

【００９９】

図１５Ａ、１５Ｃに示すように、ソース／ドレイン電極と同時にこれら２層の補助容量バスラインのコンタクト用張り出し領域１０４q、１０７qを接続する補助容量局所配線１０９qが形成される。

【０１００】

第５の実施例によれば、２層の走査線を接続する専用のマスクとエッチング工程が省略される。コンタクト用張り出し領域を形成する面積が必要であり、表示領域の開口率は低下する。工程を簡略化し、且つ開口率を低下させないことも可能である。 10

【０１０１】

図１６Ａ－１６Ｄから１９Ａ－１９Ｄは、本発明の第６の実施例による表示装置用アクティブマトリクス基板の製造方法を示す。各図中Ａ図は平面図を示し、Ｂ図、Ｃ図、Ｄ図はＡ図におけるＢ－Ｂ線、Ｃ－Ｃ線、Ｄ－Ｄ線に沿う断面図を示す。

【０１０２】

図１６Ａ－１６Ｄに示すように、前述の実施例同様ガラス基板等の透明絶縁基板１００の上にバッファ絶縁層１０１を形成した後、島状シリコン膜１０２を形成し、第１のゲート絶縁膜１０３で覆い、第１のゲート電極層１０４を形成する。第１のゲート電極層１０４をパターニングすることにより、高速トランジスタのゲート電極と共に、画素領域においては下部走査線１０４fが形成される。 20

【０１０３】

図１７Ａ－１７Ｄは、画素トランジスタの第２のゲート絶縁膜を成膜した後、ゲート電極及び上部走査線を形成する工程を示す。これらの工程は、前述の実施例同様であるが、図１７Ａ、１７Ｄに示すように、上部走査線が開口部ＡＰによって左右に分離された領域１０７f１、１０７f２（まとめて１０７fで指す）で構成されている点が異なる。開口部ＡＰにおいては、第２のゲート絶縁膜１０５が露出され、その下に下部走査線１０４が配置される。すなわち、開口部ＡＰが下部走査線１０４のコンタクト領域を画定し、この開口ＡＰの両側近傍に上部走査線１０７f１、１０７f２のコンタクト領域が画定される。 30

【０１０４】

図１８Ａ－１８Ｄは、ゲート電極を覆って第１の層間絶縁膜１０８を成膜した後、コンタクトホールを開口する工程を示す。

図１８Ｂに示すように、層間絶縁膜１０８を貫通して、画素トランジスタのソース／ドレイン領域を露出するコンタクトホールをエッチングする。

【０１０５】

図１８Ｄに示すように、同時に、走査線上においては開口部ＡＰ両側で上部走査線１０７f１、１０７f２を露出するコンタクトホール及び開口部ＡＰで下部走査線１０４fを露出するコンタクトホールが形成される。

【０１０６】

図１９Ａ－１９Ｄは、ソース／ドレイン電極層の作成工程を示す。図１９Ａ、１９Ｂに示すように、画素トランジスタ領域においては、ソース／ドレイン領域に接触するソース／ドレイン電極１０９および画像データ配線ＤＬが形成される。

【０１０７】

図１９Ｃ、１９Ｄに示すように、ソース／ドレイン電極形成工程と同時に、下部走査線１０４f、上部走査線１０７fを接続する局所配線１０９fが形成される。走査線局所配線１０９fにより、分断された上部走査線１０７f１、１０７f２が接続されると共に、上部走査線１０７fと下部走査線１０４fも接続される。配線用面積の他に、コンタクト用面積を必要とすることなく、積層配線を接続できる。

【０１０８】

10

20

30

40

50

図 20 A、20 B は、第 6 の実施例の変形例を示す。図 20 A は平面図であり、図 20 B は、図 20 A 中の B - B 線に沿う断面図である。図 15 A - 15 C 同様、走査線と同時に補助容量バスラインが形成される。

【0109】

図 20 A に示すように、下部走査線 104 f、上部走査線 107 f は、上述の実施例同様の工程により、局所配線 109 f により接続される。補助容量領域においては、画素トランジスタ用島状シリコン膜 102 d に連続して補助容量用島状シリコン膜 102 e が形成される。その上方に下部走査線と同時に補助容量下部バスライン 104 e、上部走査線と同時に補助容量上部バスライン 107 e が成膜される。これらのバスラインは補助容量の上部電極を兼ねる。

10

【0110】

図 20 A に示すように、補助容量上部バスライン 107 e は、その幅の中央部を除去した開口 A P C を有する。この開口 A P C が、補助容量下部バスラインのコンタクト領域を画定し、補助容量上部バスラインの開口 A P C 近傍領域が補助容量上部バスラインのコンタクト領域を画定する。

【0111】

図 20 B に示すように、補助容量上部バスライン 107 e を覆って、層間絶縁膜 108 が成膜され、レジストパターンをマスクとしてコンタクトホールが開口される。トランジスタのソース/ドレイン領域と共に、補助容量のコンタクト領域、走査線のコンタクト領域もコンタクトホール内に露出される。

20

【0112】

図 20 A に示すように、補助容量下部バスライン 104 e を露出するコンタクトホールが形成されるとともに、その近傍に補助容量上部バスライン 107 e を露出するコンタクトホールが形成される。コンタクトホール形成後、ソース/ドレイン電極層が堆積され、レジストパターンをマスクとしてパターニングされる。ソース/ドレイン電極が形成されると共に、上下の走査線を接続する走査線局所配線 109 f が形成される。同時に、上下の補助容量バスラインを接続する補助容量局所配線 109 q が形成される。コンタクト用張り出し領域を作成することなく上下 2 層の導電層をさらに上方に形成する導電層により接続することができる。

【0113】

補助容量バスラインにおいては、上部バスラインの幅の一部が開口され、その内部に下部補助容量バスラインに達するコンタクトホールを形成した。走査線においてこの構成を採用することもできる。又、上部走査線を分断し、その両側に上部走査線に対するコンタクトホールを形成した構成を補助容量バスラインに採用しても良い。

30

【0114】

なお、上述の実施例において周辺回路領域に形成する回路は、設計に応じて種々に構成することができる。各 T F T の構造も種々変更できる。このようなアクティブマトリクス基板を用い、表示装置を構成することができる。

【0115】

図 21 A は、液晶表示装置の構成例を示す。アクティブマトリクス基板 201 は、表示領域 D A と周辺回路領域 P H を有し、表示領域 D A には走査用ゲート配線 G L、補助容量バスライン S C L、データ配線 D L 及び画素構造が形成されている。周辺回路領域 P H には、ゲートドライバ G D、データドライバ D D が形成されている。対向基板 202 には、画素領域に対応するカラーフィルタ 203 及び全画素共通のコモン電極 204 が形成されている。カラーフィルタ基板 202 とアクティブマトリクス基板 201 との間には、液晶層 205 が挟持される。

40

【0116】

図 21 B は、有機 E L パネルの構成例を示す。アクティブマトリクス基板 201 は、上述の実施例同様、ガラス基板上に走査用ゲート配線、データ配線、薄膜 T F T 等が形成されている。各画素領域において、T F T のソースが例えば I T O で形成されるアノード 2

50

1 1 に接続される。アノード 2 1 1 の上に、正孔輸送層 2 1 2、発光層 2 1 3、電子輸送層 2 1 4、アルミニウム等で形成されたカソード 2 1 5 が積層され、有機 E L 素子構造を形成している。有機 E L 素子から発光した光は、下方に向かい、アクティブマトリクス基板 2 0 1 のガラス基板から外部に出射する。有機 E L 素子の上方は、シール材 2 2 0 によって覆われる。

【 0 1 1 7 】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば第 5、第 6 の実施例例の補助容量用島状半導体層を第 1 の実施例の補助容量用島状半導体層と接続用導電体層に代えて用いる等、実施例同士の組合せが種々可能である。示された材料、厚さなどは、例示であり、設計に応じ種々変更することができる。その他、種々の変更、改良、組合せが可能なのは当業者に自明であらう。

10

【 0 1 1 8 】

以下、本発明の特徴を付記する。

(付記 1) (1)

行列状に画素を配列する表示領域と前記表示領域周辺で周辺回路を配置する周辺回路領域とを有する絶縁性基板と、

前記表示領域において、行方向に沿って形成された複数の走査線と、

前記表示領域において、列方向に沿って形成され、前記複数の走査線と共に複数の画素領域を画定する、複数の画像データ線と、

前記表示領域における前記走査線と前記画像データ線との各交点近傍に形成された画素トランジスタ用島状半導体層および前記周辺回路領域に形成された複数の周辺回路トランジスタ用島状半導体層と、

20

前記画素トランジスタ用島状半導体層の中間部を覆う第 1 の厚さの第 1 のゲート絶縁膜と、

前記第 1 のゲート絶縁膜の上に配置され、第 1 の配線層で形成された第 1 のゲート電極と、

前記周辺回路トランジスタ用島状半導体層の少なくとも一部の間部を覆う、前記第 1 の厚さより薄い第 2 の厚さの第 2 のゲート絶縁膜と、

前記第 2 のゲート絶縁膜の上に配置され、第 2 の配線層で形成された第 2 のゲート電極と、

30

を有し、前記画素トランジスタ用島状半導体層、前記第 1 のゲート絶縁膜、前記第 1 のゲート電極が画素トランジスタを構成し、前記走査線が、前記第 2 の配線層で形成された下部走査配線と、前記第 1 の配線層で前記下部走査配線上方に形成され、前記下部走査配線に接続された上部走査配線とを含む、表示装置用アクティブマトリクス基板。

(付記 2) (2)

前記第 1 のゲート絶縁膜が前記第 2 のゲート絶縁膜と同一層で形成された下部ゲート絶縁膜とその上に形成された上部ゲート絶縁膜とを含む、

付記 1 記載の表示装置用アクティブマトリクス基板。

(付記 3) (3)

さらに、前記画素トランジスタ用島状半導体層の前記第 1 のゲート電極両側に形成された第 1 のソース/ドレイン領域と、

40

前記周辺回路トランジスタ用島状半導体層の前記第 2 のゲート電極両側に形成された第 2 のソース/ドレイン領域と、

前記第 1 および第 2 のゲート電極、前記上部走査配線を覆って前記絶縁性基板上方に形成された層間絶縁膜と、

前記層間絶縁膜を貫通し、少なくとも前記第 1 および第 2 のソース/ドレイン領域に達する複数のコンタクトホールと、

前記コンタクトホールを埋め、前記層間絶縁膜上に延在する導電層と、を有する、付記 1 または 2 記載の表示装置用アクティブマトリクス基板。

(付記 4) (4)

50

前記下部走査配線を覆って、前記上部ゲート絶縁膜と同一層で形成された中間絶縁層が配置され、前記中間絶縁層に中間コンタクトホールが形成され、その上に、前記中間コンタクトホールを介して前記下部走査配線に接続された前記上部走査配線が形成されている、

付記 3 記載の表示装置用アクティブマトリクス基板。

(付記 5) (5)

前記下部走査配線、前記上部走査配線が、それぞれ延在方向から側方に張り出したコンタクト用張り出し領域を有し、前記複数のコンタクトホールが前記コンタクト用張り出し領域にそれぞれ達する走査配線用コンタクトホールを含み、前記導電層が前記走査配線用コンタクトホールを介して前記下部走査配線、前記上部走査配線を接続する局所配線を含む、

10

付記 3 記載の表示装置用アクティブマトリクス基板。

(付記 6) (6)

前記下部走査配線が延在方向内に下部コンタクト領域を含み、前記上部走査配線が前記下部コンタクト領域上方に開口部を有し、開口部近傍に上部コンタクト領域を有し、前記複数のコンタクトホールが前記下部および上部コンタクト領域にそれぞれ達する走査配線用コンタクトホールを含み、前記導電層が前記走査配線用コンタクトホールを介して前記下部走査配線、前記上部走査配線を接続する局所配線を含む、

付記 3 記載の表示装置用アクティブマトリクス基板。

(付記 7) (7)

20

前記上部走査配線の開口部が上部走査配線を分離し、前記上部コンタクト領域が前記開口部の両側に形成され、前記局所配線が分離された上部走査配線も接続する、

付記 6 記載の表示装置用アクティブマトリクス基板。

(付記 8)

前記第 1 および第 2 の配線層が、高融点金属で形成されている付記 3 ~ 7 のいずれか 1 項記載の表示装置用アクティブマトリクス基板。

(付記 9) (8)

さらに、前記各画素領域において、前記画素トランジスタに接続された表示電極と、前記表示電極に一方の電極が接続された補助容量とを有し、

前記補助容量の一方の電極は前記画素トランジスタ用島状半導体層と同一の半導体層で形成され、前記補助容量の他の電極は、前記第 2 の配線層で形成された下部補助容量バスラインと、前記第 1 の配線層で前記下部補助容量バスライン上方に形成され、前記下部補助容量バスラインに接続された上部補助容量バスラインとを含む、

30

付記 3 ~ 8 のいずれか 1 項記載の表示装置用アクティブマトリクス基板。

(付記 10) (9)

前記補助容量の半導体層は、前記画素トランジスタ用島状半導体層と連続する半導体層である付記 9 記載の表示装置用アクティブマトリクス基板。

(付記 11) (10)

前記下部補助容量バスラインを覆って、前記上部ゲート絶縁膜と同一層で形成された中間絶縁層が配置され、前記中間絶縁層に中間コンタクトホールが形成され、その上に、前記中間コンタクトホールを介して前記下部補助容量バスラインに接続された前記上部補助容量バスラインが形成されている、

40

請求項 9 記載の表示装置用アクティブマトリクス基板。

(付記 12) (11)

前記下部補助容量バスライン、前記上部補助容量バスラインが、それぞれ延在方向から側方に張り出したコンタクト用張り出し領域を有し、前記複数のコンタクトホールが前記コンタクト用張り出し領域にそれぞれ達する補助容量バスライン用コンタクトホールを含み、前記導電層が前記補助容量バスライン用コンタクトホールを介して前記下部補助容量バスライン、前記上部補助容量バスラインを接続する局所配線を含む、

付記 9 記載の表示装置用アクティブマトリクス基板。

50

(付記 13) (12)

前記下部補助容量バスラインが延在方向内に下部コンタクト領域を含み、前記上部補助容量バスラインが前記下部コンタクト領域上方に開口部を有し、開口部近傍に上部コンタクト領域を有し、前記複数のコンタクトホールが前記下部および上部コンタクト領域にそれぞれ達する補助容量バスライン用コンタクトホールを含み、前記導電層が前記補助容量バスライン用コンタクトホールを介して前記下部補助容量バスライン、前記上部補助容量バスラインを接続する補助容量局所配線を含む、

付記 9 記載の表示装置用アクティブマトリクス基板。

(付記 14) (13)

前記上部補助容量バスラインの開口部が上部補助容量バスラインを分離し、前記上部コンタクト領域が前記開口部の両側に形成され、前記補助容量局所配線が分離された上部補助容量バスラインも接続する、

請求項 13 記載の表示装置用アクティブマトリクス基板。

(付記 15) (14)

さらに、前記各画素領域において、前記画素トランジスタに接続された表示電極と、前記第 1 の配線層と前記第 2 の配線層を用いて形成された第 1 および第 2 の電極を有し、前記第 1 および第 2 の電極の一方が前記表示電極に接続された補助容量と、を有する、付記 3 ~ 8 のいずれか 1 項記載の表示装置用アクティブマトリクス基板。

(付記 16) (15)

前記補助容量の第 2 の電極は、前記第 1 の電極下方で前記第 1 の電極より幅広に形成されている付記 9 ~ 15 のいずれか 1 項記載の表示装置用アクティブマトリクス基板。

(付記 17) (16)

さらに、前記画像データ線と同一配線層で形成され、前記補助容量の第 1 および第 2 の電極の他方に接続された補助容量バスラインを有する付記 15 または 16 記載の表示装置用アクティブマトリクス基板。

(付記 18)

前記補助容量バスラインが列方向に延在する付記 17 記載の表示装置用アクティブマトリクス基板。

(付記 19)

前記第 2 の電極、第 1 の電極および補助容量バスラインは、絶縁層を介して積層され、前記第 1 の電極は前記補助容量バスラインより幅広である付記 17 または 18 記載の表示装置用アクティブマトリクス基板。

(付記 20)

さらに、前記画像データ線と同一配線層で形成され、前記補助容量の第 1 および第 2 の電極の前記一方と前記画素トランジスタを接続する局所配線を有する付記 5 ~ 9 , 11 ~ 19 のいずれか 1 項記載の表示装置用アクティブマトリクス基板。

(付記 21) (17)

表示領域と周辺回路領域とを有する絶縁性基板と、前記表示領域において、行方向に沿って形成された複数の走査線と、前記表示領域において、列方向に沿って形成され、前記複数の走査線と共に複数の画素領域を画定する、複数の画像データ線と、

前記表示領域における前記走査線と前記画像データ線との各交点近傍に形成された画素トランジスタ用島状半導体層および前記周辺回路領域に形成された複数の周辺回路トランジスタ用島状半導体層と、

前記画素トランジスタ用島状半導体層の中間部を覆う第 1 の厚さの第 1 のゲート絶縁膜と、

前記第 1 のゲート絶縁膜の上に配置され、第 1 の配線層で形成された第 1 のゲート電極と、

前記周辺回路トランジスタ用島状半導体層の少なくとも一部を覆う、前記第 1 の厚さより薄い第 2 の厚さの第 2 のゲート絶縁膜と、

10

20

30

40

50

前記第 2 のゲート絶縁膜の上に配置され、第 2 の配線層で形成された第 2 のゲート電極と、

前記画素トランジスタ用島状半導体層に接続された画素電極と

を有し、前記画素トランジスタ用島状半導体層、前記第 1 のゲート絶縁膜、前記第 1 のゲート電極が画素トランジスタを構成し、前記走査線が、前記第 2 の配線層で形成された下部走査配線と、前記第 1 の配線層で前記下部走査配線上方に形成され、前記下部走査配線に接続された上部走査配線とを含む、表示装置。

(付記 2 2)

さらに、前記画素電極上方に配置された液晶層を有する付記 2 1 記載の表示装置。

(付記 2 3)

さらに、前記画素電極上に形成された有機 EL 構造を有する付記 2 1 記載の表示装置。

(付記 2 4) (1 8)

表示領域と周辺回路領域とを有する絶縁基板上に半導体層を形成する工程と、

前記半導体層を複数の島状半導体層にパターニングする工程と、

前記島状半導体層を覆って、第 1 のゲート絶縁膜を形成する工程と、

前記第 1 のゲート絶縁膜を覆う第 1 の配線層を形成する工程と、

前記第 1 の配線層をパターニングして、周辺回路の一部のトランジスタのゲート電極および表示領域の下部走査線を形成する工程と、

前記第 1 のゲート絶縁膜上に、第 2 のゲート絶縁膜を形成する工程と、

前記第 2 のゲート絶縁膜をエッチングして、表示領域の下部走査線を露出するコンタクトホールを形成する工程と、

第 2 のゲート絶縁膜上に第 2 の配線層を形成する工程と、

前記第 2 の配線層をパターニングして、表示領域の画素トランジスタのゲート電極および下部走査線に接続される上部走査線を形成する工程と、

を含む表示装置用アクティブマトリクス基板の製造方法。

(付記 2 5)

前記表示領域が行列状に配置された画素領域を含み、各画素領域に画素トランジスタ用島状半導体層が形成され、さらに各画素領域に補助容量が形成される付記 2 4 記載の表示装置用アクティブマトリクス基板の製造方法。

(付記 2 6)

さらに、層間絶縁膜を形成する工程と、

前記補助容量の少なくとも一方の電極に達するコンタクトホールを形成する工程と、

前記コンタクトホールを覆う第 3 の配線層を形成する工程と、

を含む付記 2 5 記載の表示装置用アクティブマトリクス基板の製造方法。

(付記 2 7)

前記各画素領域に補助容量用島状半導体層が形成され、前記第 1 の配線層が補助容量用島状半導体層上方にパターニングされて、下部電極を形成し、前記第 2 のゲート絶縁膜に前記下部電極を露出するコンタクトホールが形成され、前記第 2 の配線層がパターニングされて前記下部電極に接続される上部電極を形成する付記 2 6 記載の表示装置用アクティブマトリクス基板の製造方法。

(付記 2 8)

前記第 1 の配線層がパターニングされて、補助容量の一方の電極を形成し、前記第 2 の配線層がパターニングされて前記一方の電極上方に補助容量の他方の電極を形成する付記 2 6 記載の表示装置用アクティブマトリクス基板の製造方法。

(付記 2 9) (1 9)

表示領域と周辺回路領域とを有する絶縁基板上にトランジスタ形成用の島状半導体層を形成する工程と、

前記島状半導体層を覆って、第 1 のゲート絶縁膜、第 1 の配線層を積層する工程と、

前記第 1 の配線層をパターニングして、周辺回路の一部のトランジスタのゲート電極および表示領域において延在方向から側方に張り出す張り出し領域を有する下部走査線を形

10

20

30

40

50

成する工程と、

前記ゲート電極および下部走査線を覆って、前記第 1 のゲート絶縁膜上に、第 2 のゲート絶縁膜、第 2 の配線層を積層する工程と、

前記第 2 の配線層をパターンニングして、表示領域において、画素トランジスタのゲート電極および延在方向から側方に張り出す張り出し領域を有する上部走査線を形成する工程と、

前記ゲート電極両側の島状半導体層に不純物を添加し、ソース/ドレイン領域を形成し、トランジスタを構成する工程と、

前記トランジスタ、上部走査線を覆って、前記第 2 のゲート絶縁膜上方に層間絶縁膜を形成する工程と、

前記層間絶縁膜を貫通し、前記トランジスタのソース/ドレイン領域、上部および下部走査線の張り出し領域を露出するコンタクトホールを形成する工程と、

前記コンタクトホールを埋め、前記層間絶縁膜上に延在する、前記上部および下部走査線を接続する局所配線を含む導電パターンを形成する工程と、
を含む表示装置用アクティブマトリクス基板の製造方法。

(付記 3 0) (2 0)

表示領域と周辺回路領域とを有する絶縁基板上にトランジスタ形成用の島状半導体層を形成する工程と、

前記島状半導体層を覆って、第 1 のゲート絶縁膜、第 1 の配線層を積層する工程と、

前記第 1 の配線層をパターンニングして、周辺回路の一部のトランジスタのゲート電極および表示領域において行方向に延在し、下部コンタクト領域を含む下部走査線を形成する工程と、

前記ゲート電極および下部走査線を覆って、前記第 1 のゲート絶縁膜上に、第 2 のゲート絶縁膜、第 2 の配線層を積層する工程と、

前記第 2 の配線層をパターンニングして、表示領域において、画素トランジスタのゲート電極および前記下部走査線上方で、前記下部コンタクト領域上方に開口を有し、下部コンタクト領域近傍に上部コンタクト領域を有する上部走査線を形成する工程と、

前記ゲート電極両側の島状半導体層に不純物を添加し、ソース/ドレイン領域を形成し、トランジスタを構成する工程と、

前記トランジスタ、上部走査線を覆って、前記第 2 のゲート絶縁膜上方に層間絶縁膜を形成する工程と、

前記層間絶縁膜を貫通し、前記トランジスタのソース/ドレイン領域、上部および下部コンタクト領域を露出するコンタクトホールを形成する工程と、

前記コンタクトホールを埋め、前記層間絶縁膜上に延在する、前記上部および下部走査線を接続する局所配線を含む導電パターンを形成する工程と、
を含む表示装置用アクティブマトリクス基板の製造方法。

【図面の簡単な説明】

【 0 1 1 9 】

【図 1 A】本発明の第 1 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図である。

【図 1 B】本発明の第 1 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図である。

【図 1 C】本発明の第 1 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図である。

【図 1 D】本発明の第 1 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図である。

【図 1 E】本発明の第 1 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図である。

【図 1 F】本発明の第 1 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図である。

10

20

30

40

50

【図 1 G】本発明の第 1 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図である。

【図 1 H】本発明の第 1 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図である。

【図 1 I】本発明の第 1 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図である。

【図 1 J】本発明の第 1 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図である。

【図 1 K】本発明の第 1 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図である。

10

【図 1 L】本発明の第 1 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図である。

【図 2】本発明の第 1 の実施例による表示装置用アクティブマトリクス基板の画素の構成を概略的に示す平面図である。

【図 3】本発明の第 2 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図である。

【図 4】本発明の第 2 の実施例による表示装置用アクティブマトリクス基板の画素の構成を概略的に示す平面図である。

【図 5】本発明の第 3 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図である。

20

【図 6】本発明の第 3 の実施例による表示装置用アクティブマトリクス基板の画素の構成を概略的に示す平面図である。

【図 7】本発明の第 4 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図である。

【図 8】本発明の第 4 の実施例による表示装置用アクティブマトリクス基板の画素の構成を概略的に示す平面図である。

【図 9】本発明の第 5 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図及び平面図である。

【図 10】本発明の第 5 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図及び平面図である。

30

【図 11】本発明の第 5 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図及び平面図である。

【図 12】本発明の第 5 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図及び平面図である。

【図 13】本発明の第 5 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図及び平面図である。

【図 14】本発明の第 5 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す断面図及び平面図である。

【図 15】第 5 の実施例の変形例を示す平面図及び断面図である。

【図 16】第 6 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す平面図及び断面図である。

40

【図 17】第 6 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す平面図及び断面図である。

【図 18】第 6 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す平面図及び断面図である。

【図 19】第 6 の実施例による表示装置用アクティブマトリクス基板の製造方法の主要工程を示す平面図及び断面図である。

【図 20】第 6 の実施例の変形例を示す平面図及び断面図である。

【図 21】表示装置の構成を概略的に示す斜視図及び断面図である。

【図 22】表示装置用アクティブマトリクス基板の構成を概略的に示す平面図である。

50

【図 2 3 A】従来の技術による表示装置用アクティブマトリクス基板の製造方法の主要工程を概略的に示す断面図である。

【図 2 3 B】従来の技術による表示装置用アクティブマトリクス基板の製造方法の主要工程を概略的に示す断面図である。

【図 2 3 C】従来の技術による表示装置用アクティブマトリクス基板の製造方法の主要工程を概略的に示す断面図である。

【図 2 3 D】従来の技術による表示装置用アクティブマトリクス基板の製造方法の主要工程を概略的に示す断面図である。

【図 2 3 E】従来の技術による表示装置用アクティブマトリクス基板の製造方法の主要工程を概略的に示す断面図である。

10

【図 2 3 F】従来の技術による表示装置用アクティブマトリクス基板の製造方法の主要工程を概略的に示す断面図である。

【図 2 3 G】従来の技術による表示装置用アクティブマトリクス基板の製造方法の主要工程を概略的に示す断面図である。

【符号の説明】

【 0 1 2 0 】

1 0 0 透明絶縁基板

1 0 1 バッファ層

1 0 2 シリコン膜（半導体層）

1 0 3、1 0 5 ゲート絶縁膜

20

1 0 4、1 0 7 ゲート電極層

1 0 8 第 1 層間絶縁膜

1 0 9 電極 / 配線層

1 1 0 第 2 層間絶縁膜

1 1 1 画素電極

G L 走査用ゲート配線（走査線）

S C 補助容量

S C L 補助容量配線（補助容量バスライン）

D L 画像データ配線

D A 表示領域

30

P H 周辺回路領域

P R ホトレジストパターン

T F T 薄膜トランジスタ

S U B 絶縁性透明基板

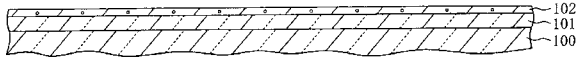
a、b 薄膜（高速）T F T 用添字

c、d 厚膜（高耐圧）T F T 用添字

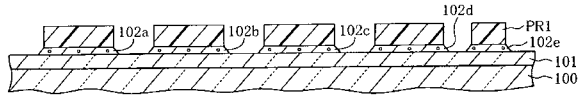
e 補助容量用添字

f ゲート配線用添字

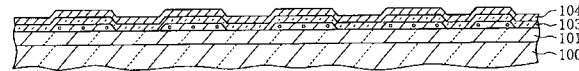
【図 1 A】



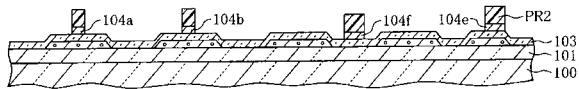
【図 1 B】



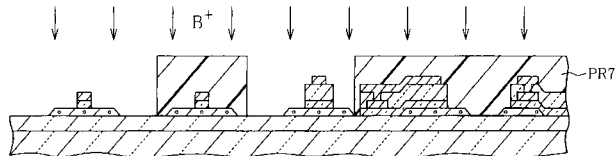
【図 1 C】



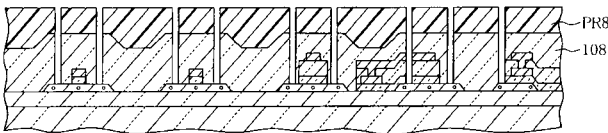
【図 1 D】



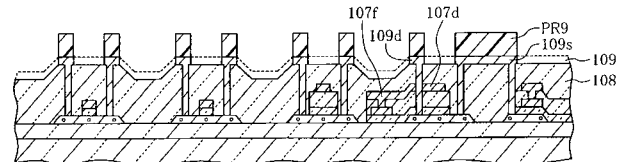
【図 1 I】



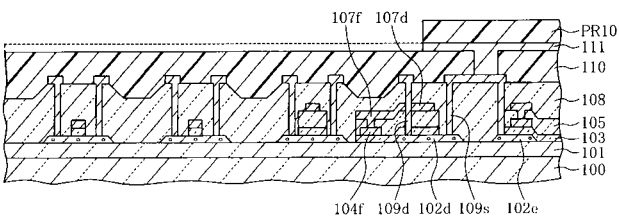
【図 1 J】



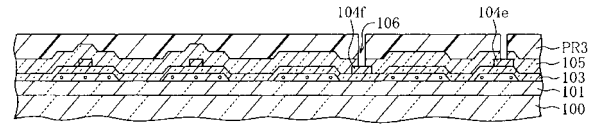
【図 1 K】



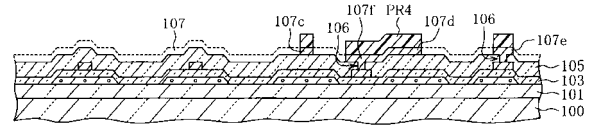
【図 1 L】



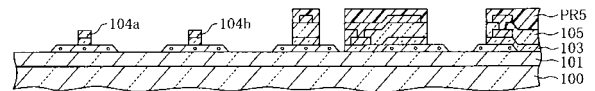
【図 1 E】



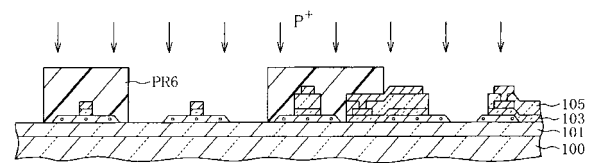
【図 1 F】



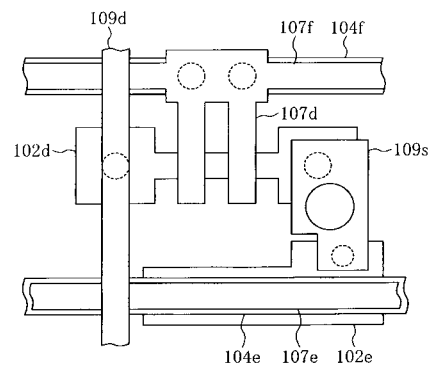
【図 1 G】



【図 1 H】

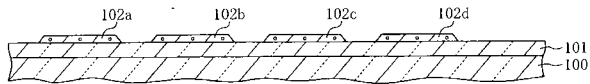


【図 2】

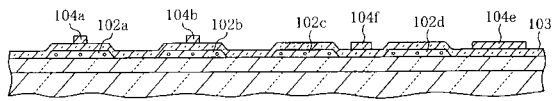


【図 3】

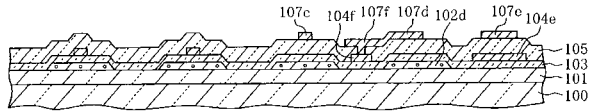
3A



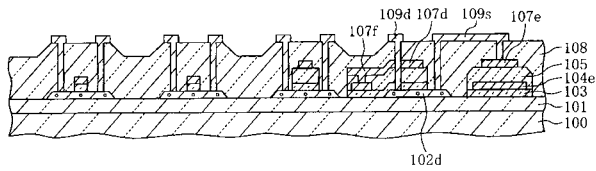
3B



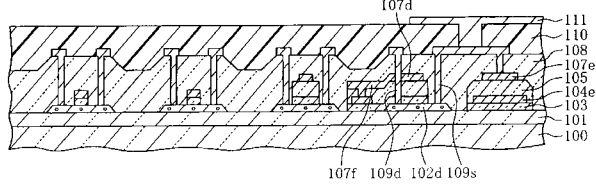
3C



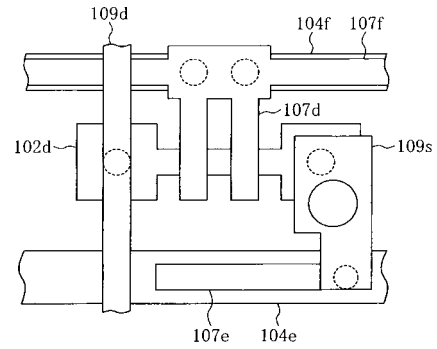
3D



3E

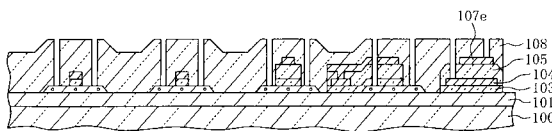


【図 4】

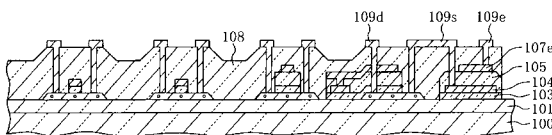


【図 5】

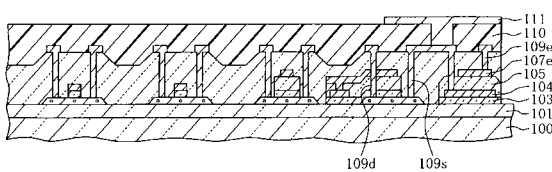
5A



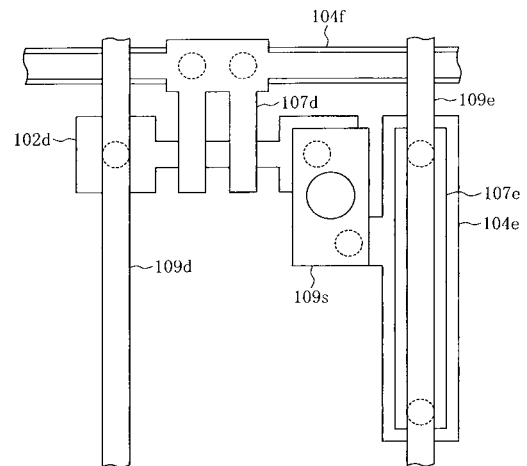
5B



5C

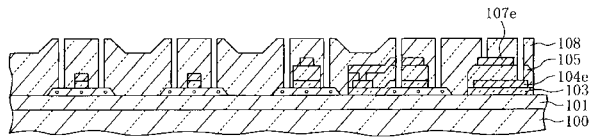


【図 6】

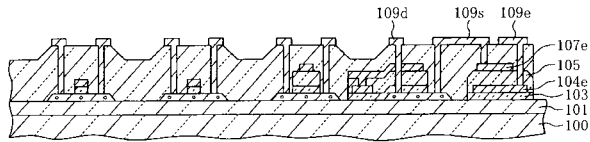


【図 7】

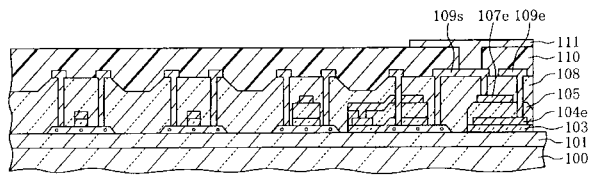
7A



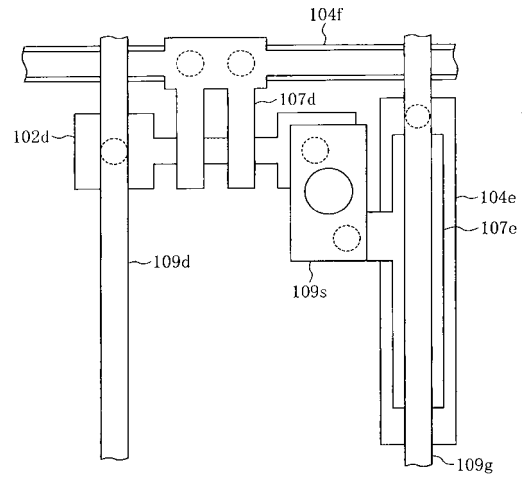
7B



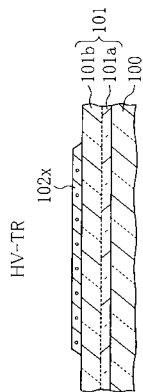
7C



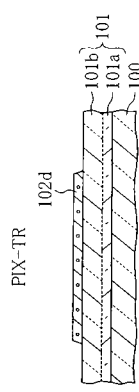
【図 8】



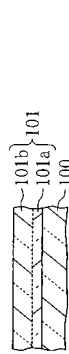
【図 9】



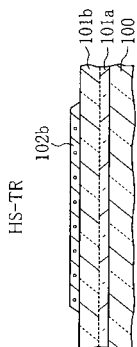
9B



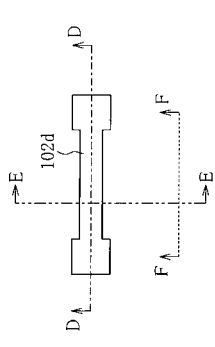
9D



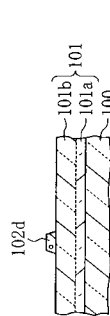
9F



9A

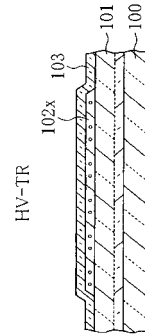


9C

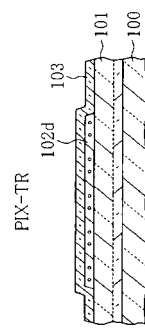


9E

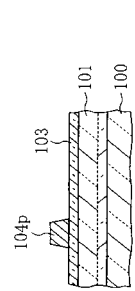
【図 10】



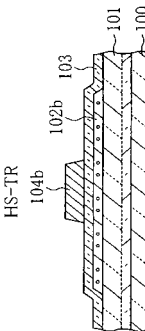
10B



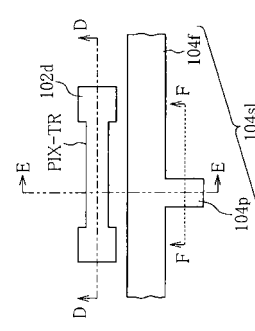
10D



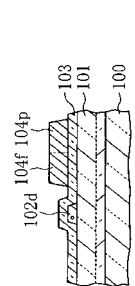
10F



10A

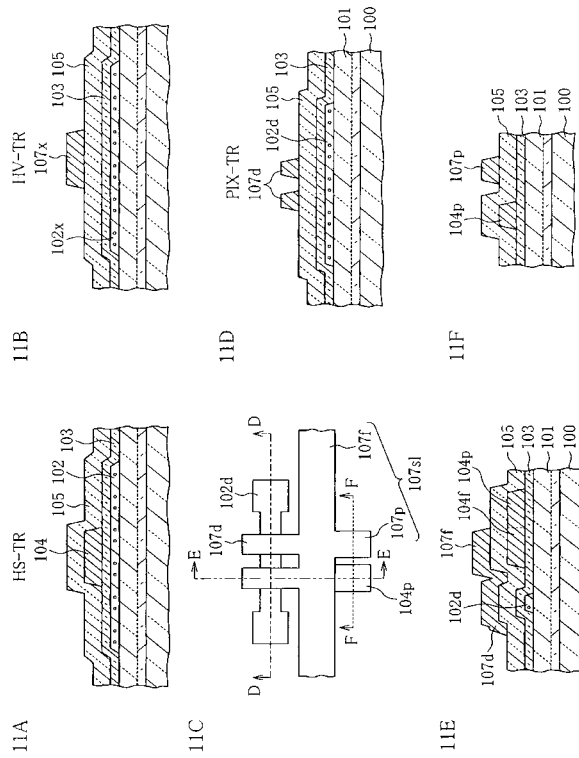


10C

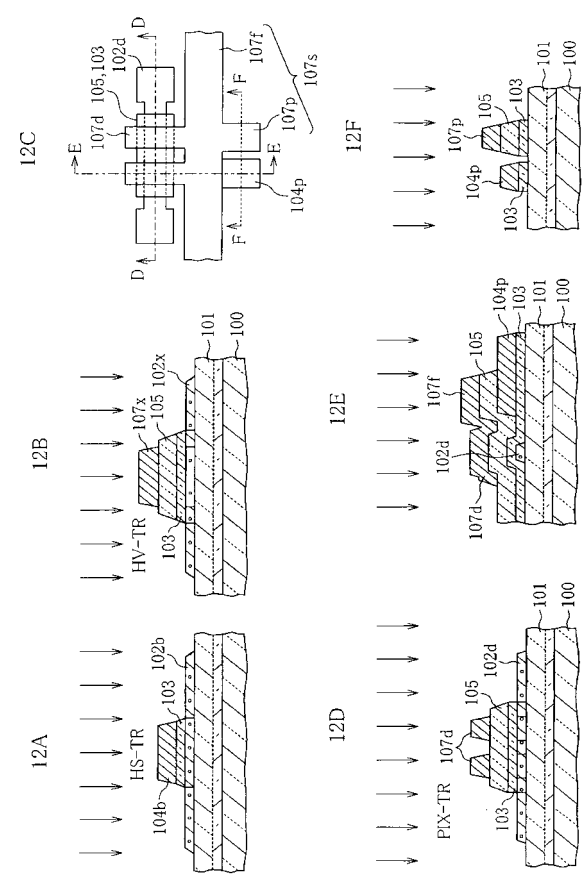


10E

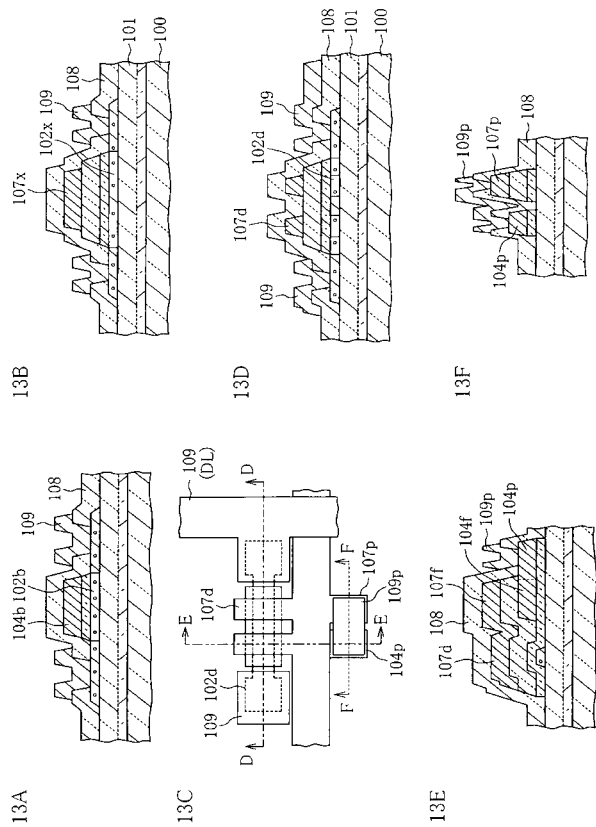
【図 1 1】



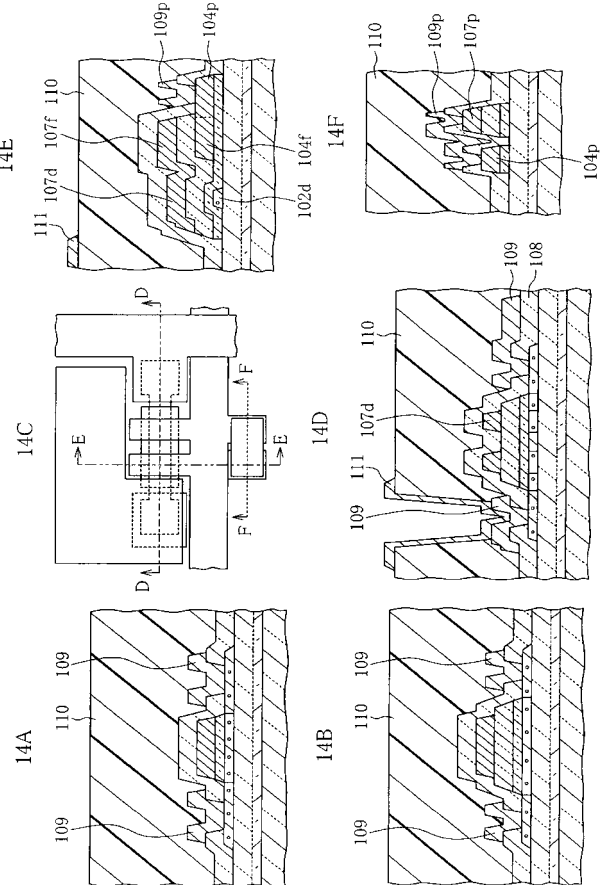
【図 1 2】



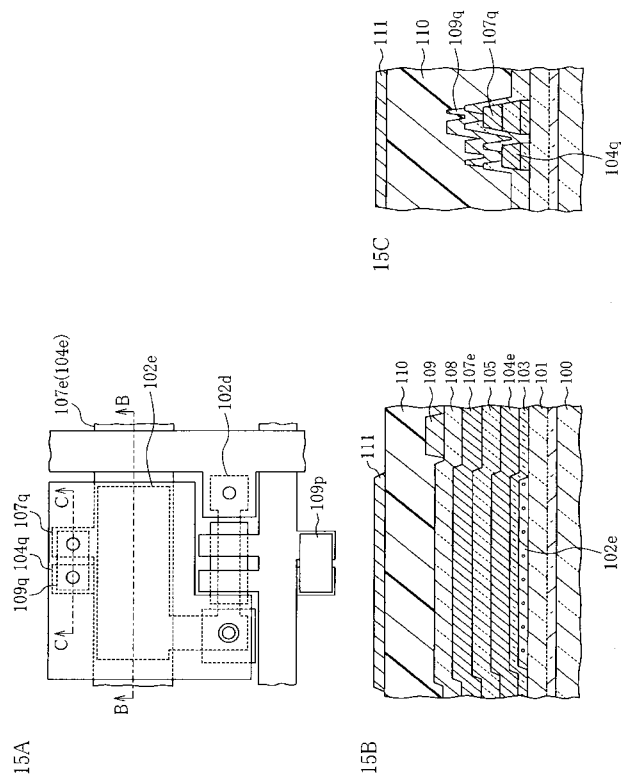
【図 1 3】



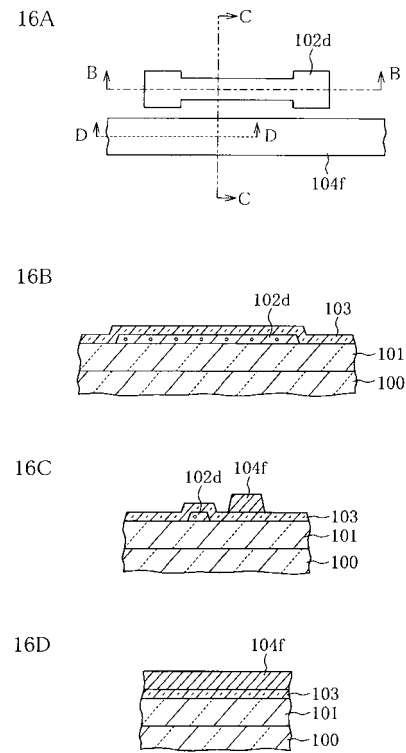
【図 1 4】



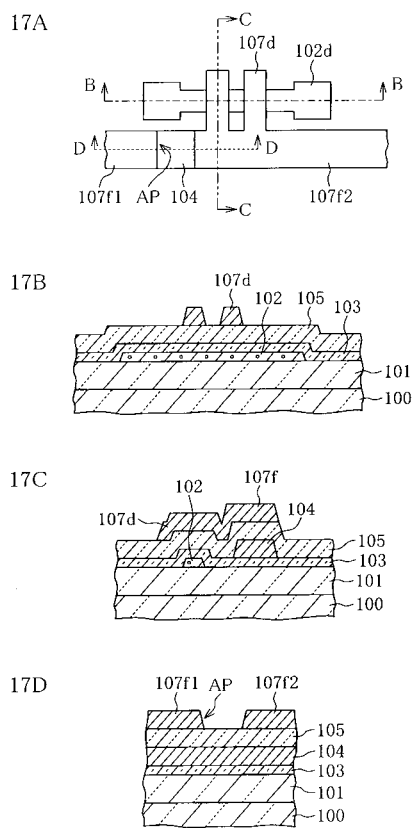
【図 15】



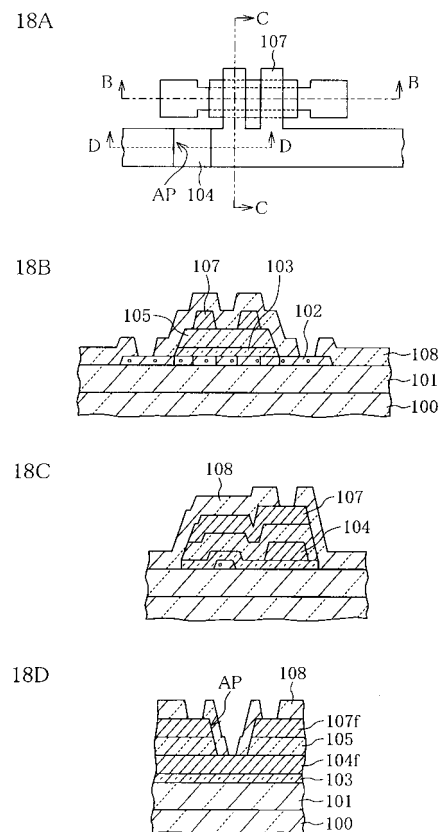
【図 16】



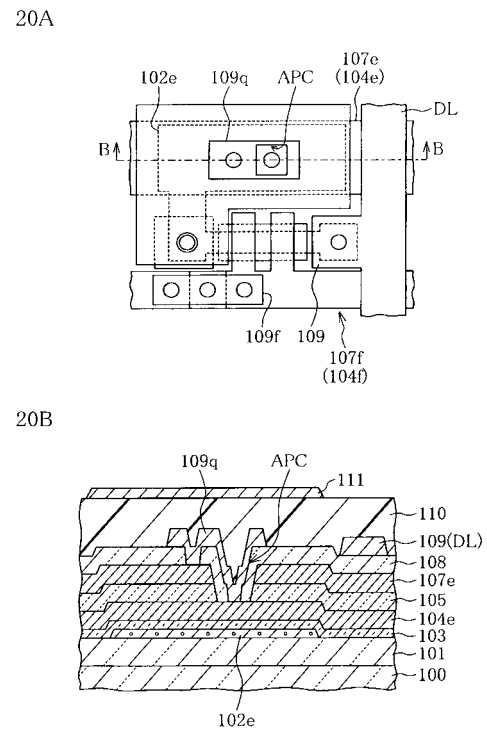
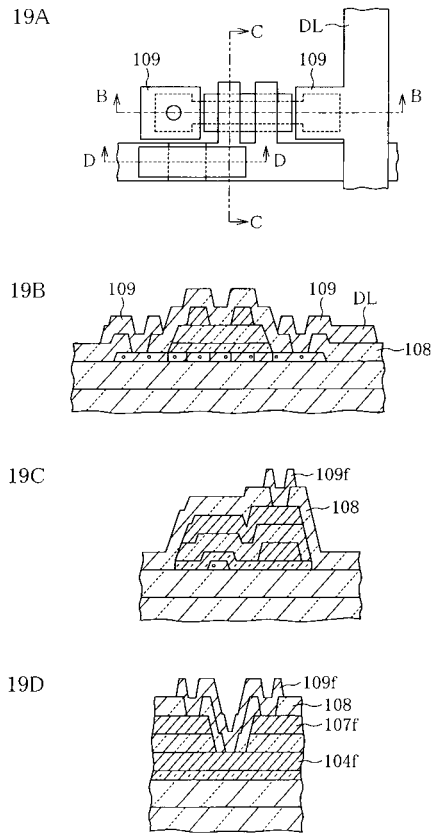
【図 17】



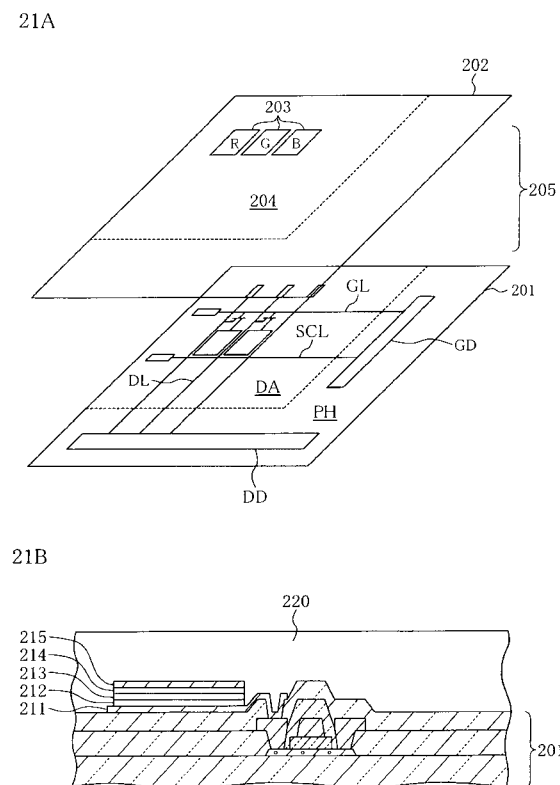
【図 18】



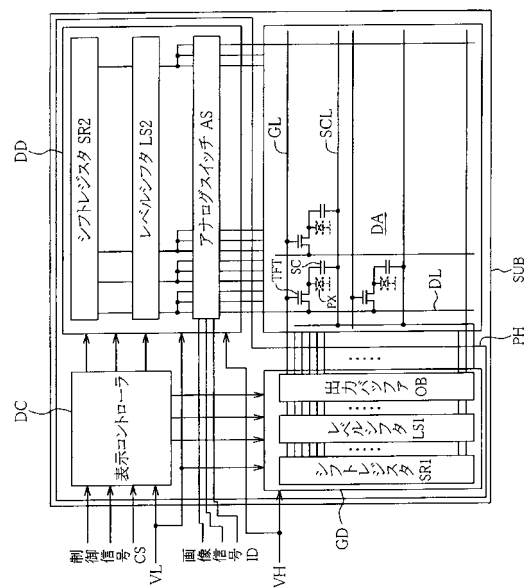
【 図 2 0 】



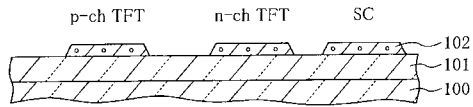
【 図 2 1 】



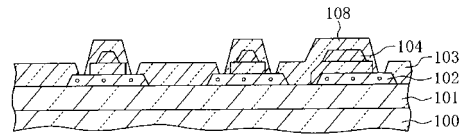
【 ㄨ 2 2 】



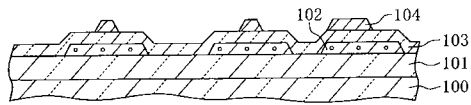
【図 2 3 A】



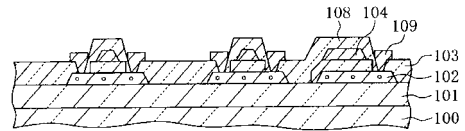
【図 2 3 E】



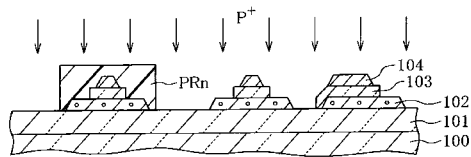
【図 2 3 B】



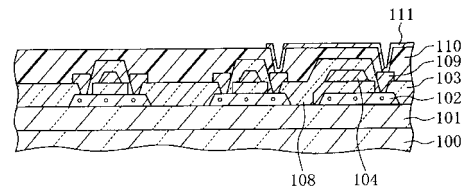
【図 2 3 F】



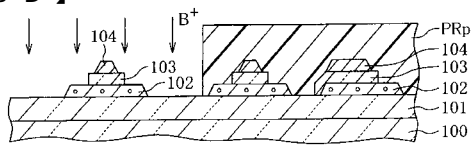
【図 2 3 C】



【図 2 3 G】



【図 2 3 D】



【手続補正書】

【提出日】平成16年10月28日(2004.10.28)

【手続補正 1】

【補正対象書類名】図面

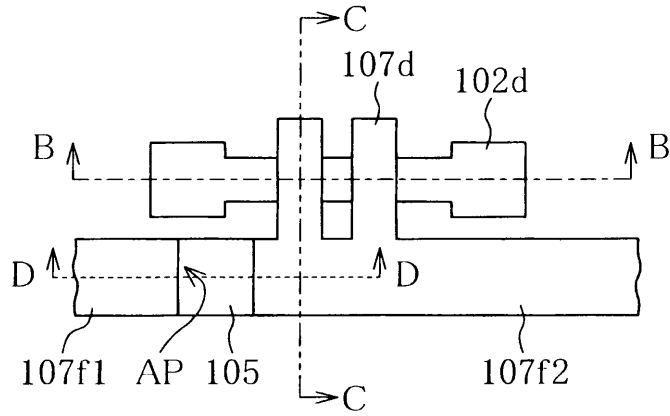
【補正対象項目名】図 1 7

【補正方法】変更

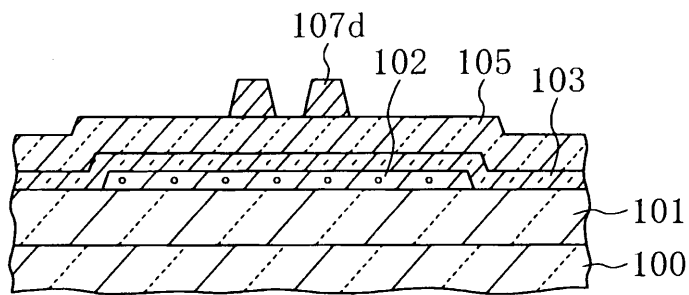
【補正の内容】

【図 17】

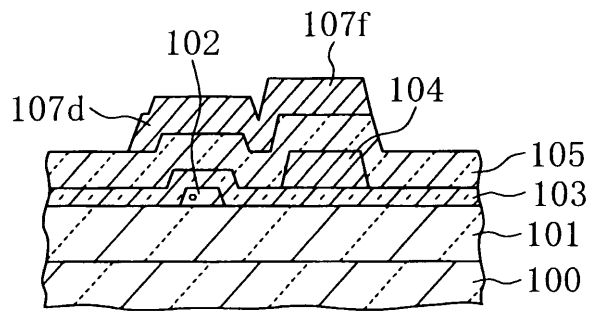
17A



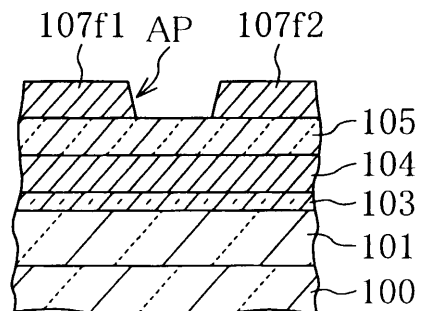
17B



17C



17D



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

H 0 1 L 29/78 6 1 7 U

(72)発明者 大橋 範之

神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

F ターム(参考) 2H092 GA59 JA25 JA35 JA46 JB43 JB69 KA04 MA27 MA30 NA21
3K007 AB18 BA06 FA00 GA00
5C094 AA23 BA03 BA27 BA43 CA19 DA09 DA15 GB10
5F110 AA01 AA03 AA04 AA11 BB02 BB04 CC02 DD02 DD13 DD14
DD17 EE04 EE28 EE37 EE44 FF02 FF09 FF29 FF30 GG02
GG13 GG25 GG44 HJ01 HJ04 HJ13 HL03 HL04 HL06 HL12
HL23 NN03 NN04 NN23 NN24 NN27 NN36 NN73 NN78 PP03
PP06 PP35