

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-59778

(P2017-59778A)

(43) 公開日 平成29年3月23日(2017.3.23)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 25/07 (2006.01)	HO 1 L 25/04 C	5H770
HO 1 L 25/18 (2006.01)	HO 2 M 7/48 Z	
HO 2 M 7/48 (2007.01)		

審査請求 未請求 請求項の数 15 O L (全 20 頁)

(21) 出願番号 特願2015-185802 (P2015-185802)  
 (22) 出願日 平成27年9月18日 (2015.9.18)

(71) 出願人 000004260  
 株式会社デンソー  
 愛知県刈谷市昭和町1丁目1番地  
 (74) 代理人 110001128  
 特許業務法人ゆうあい特許事務所  
 (72) 発明者 山口 晃弘  
 愛知県刈谷市昭和町1丁目1番地 株式会  
 社デンソー内  
 Fターム(参考) 5H770 BA01 DA03 DA41 JA10X PA14  
 PA15 PA16 PA21 PA42 PA43  
 QA01 QA04 QA08 QA11 QA17  
 QA22

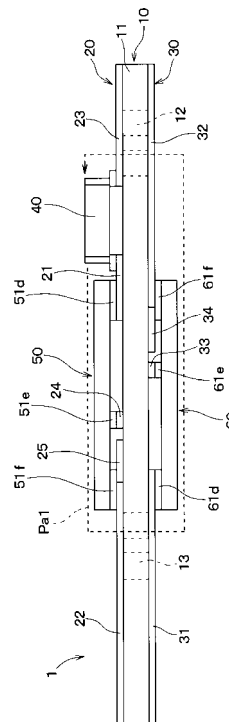
(54) 【発明の名称】 半導体モジュール

(57) 【要約】

【課題】横型構造の半導体素子を備える半導体モジュールにおいて、サージ電圧を抑制する。

【解決手段】絶縁層11を備えるとともに、絶縁層11の表面と裏面とを接続する接続部12、13が形成された基板10と、基板10の表面に形成された第1パターン20と、基板10の裏面に形成された第2パターン30と、基板10の表面側に配置されるとともに、横型構造の第1スイッチング素子51、71、91を備える第1半導体素子50、70、90と、基板10の裏面側に配置されるとともに、横型構造の第2スイッチング素子61、81、101を備える第2半導体素子60、80、100と、コンデンサ40と、を備え、第1パターン20および第1半導体素子50、70、90が構成する経路と、第2パターン30および第2半導体素子60、80、100が構成する経路とは、基板10を挟んで対向しており、かつ、互いに逆の向きに電流を流す。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

絶縁層(11)を備えるとともに、前記絶縁層の表面と裏面とを接続する接続部(12、13)が形成された基板(10)と、

前記基板の表面に形成された配線パターンである第1パターン(20)と、

前記基板の裏面に形成された配線パターンである第2パターン(30)と、

前記基板の表面側に配置されるとともに、横型構造の第1スイッチング素子(51、71、91)を備える第1半導体素子(50、70、90)と、

前記基板の裏面側に配置されるとともに、横型構造の第2スイッチング素子(61、81、101)を備える第2半導体素子(60、80、100)と、

コンデンサ(40)と、を備え、

前記第1スイッチング素子は、第1ドレイン電極(51d)および第1ソース電極(51f)を備え、

前記第2スイッチング素子は、第2ドレイン電極(61d)および第2ソース電極(61f)を備え、

前記第1パターン、前記第2パターン、および前記接続部は、前記第1半導体素子、前記第2半導体素子、および前記コンデンサを電氣的に接続するループ経路(Pa1)を構成し、

前記第1ソース電極は前記第2ドレイン電極に接続され、

前記第1ドレイン電極は前記コンデンサを通して前記第2ソース電極に接続され、

前記ループ経路において、前記第1パターンおよび前記第1半導体素子が構成する経路と、前記第2パターンおよび前記第2半導体素子が構成する経路とは、前記基板を挟んで対向しており、かつ、互いに逆の向きに電流を流すことを特徴とする半導体モジュール。

## 【請求項 2】

前記第1半導体素子および前記第2半導体素子は、前記基板を挟んで対向するように配置されていることを特徴とする請求項1に記載の半導体モジュール。

## 【請求項 3】

前記コンデンサを複数備え、

複数の前記コンデンサは、前記ループ経路において直列に接続されていることを特徴とする請求項1または2に記載の半導体モジュール。

## 【請求項 4】

前記コンデンサは、前記基板の表面に平行な一方向から見て少なくとも一部が前記基板と重なるように配置されており、かつ、2つの電極のうち的一方が前記第1パターンと接続され、他方が前記第2パターンと接続されていることを特徴とする請求項1ないし3のいずれか1つに記載の半導体モジュール。

## 【請求項 5】

前記絶縁層を挟んで対向させられた前記第1パターンと前記第2パターンとによって前記コンデンサが構成されていることを特徴とする請求項1ないし4のいずれか1つに記載の半導体モジュール。

## 【請求項 6】

前記コンデンサに対して直列に接続された抵抗体(15)を備えることを特徴とする請求項1ないし5のいずれか1つに記載の半導体モジュール。

## 【請求項 7】

前記第1半導体素子を冷却する導電性の第1放熱板(110)と、

前記第2半導体素子を冷却する導電性の第2放熱板(120)と、を備えることを特徴とする請求項1ないし6のいずれか1つに記載の半導体モジュール。

## 【請求項 8】

前記第1スイッチング素子は、第1基板(51a)と、前記第1基板の表面に形成された第1積層体(51b)とを備え、

前記第1ドレイン電極および前記第1ソース電極は、前記第1積層体の表面に形成され

10

20

30

40

50

、  
前記第 1 放熱板は、前記第 1 パターンおよび前記第 1 基板と接続されていることを特徴とする請求項 7 に記載の半導体モジュール。

【請求項 9】

前記第 2 スイッチング素子は、第 2 基板 ( 6 1 a ) と、前記第 2 基板の表面に形成された第 2 積層体 ( 6 1 b ) とを備え、

前記第 2 ドレイン電極および前記第 2 ソース電極は、前記第 2 積層体の表面に形成され

、  
前記第 2 放熱板は、前記第 2 パターンおよび前記第 2 基板と接続されていることを特徴とする請求項 7 または 8 に記載の半導体モジュール。

10

【請求項 10】

前記第 1 半導体素子または前記第 2 半導体素子を制御するための制御端子 ( 1 4 1 、 1 4 2 、 1 4 3 、 1 4 4 ) を備え、

前記制御端子は、前記ループ経路を流れる電流の方向に対して垂直に延設されていることを特徴とする請求項 1 ないし 9 のいずれか 1 つに記載の半導体モジュール。

【請求項 11】

前記基板は、前記絶縁層を複数備え、複数の前記絶縁層が配線層 ( 1 4 ) を介して積層された多層基板とされ、

前記絶縁層および前記配線層により、前記第 1 半導体素子および前記第 2 半導体素子を制御するための制御回路 ( 5 ) が構成されていることを特徴とする請求項 1 ないし 10 のいずれか 1 つに記載の半導体モジュール。

20

【請求項 12】

前記基板のうち前記第 1 半導体素子および前記第 2 半導体素子が配置される部分は、1 つの前記絶縁層の表面に前記第 1 パターンが形成され、裏面に前記第 2 パターンが形成された構造とされていることを特徴とする請求項 11 に記載の半導体モジュール。

【請求項 13】

前記第 1 半導体素子は、前記第 1 スイッチング素子を複数備え、

前記第 2 半導体素子は、前記第 2 スイッチング素子を複数備えることを特徴とする請求項 1 ないし 12 のいずれか 1 つに記載の半導体モジュール。

【請求項 14】

30

前記第 1 半導体素子は、前記第 1 スイッチング素子と並列に接続された第 1 整流素子 ( 5 2 、 7 2 、 9 2 ) を備え、

前記第 2 半導体素子は、前記第 2 スイッチング素子と並列に接続された第 2 整流素子 ( 6 2 、 8 2 、 1 0 2 ) を備えることを特徴とする請求項 1 ないし 13 のいずれか 1 つに記載の半導体モジュール。

【請求項 15】

前記第 1 半導体素子および前記第 2 半導体素子をそれぞれ複数備え、

前記ループ経路は、複数の前記第 1 半導体素子および複数の前記第 2 半導体素子により複数構成され、

前記ループ経路を含む回路が複数構成され、

40

前記ループ経路を含む回路は、前記第 1 半導体素子および前記第 2 半導体素子に電力を供給する電源 ( 2 ) に対してそれぞれ並列に接続されていることを特徴とする請求項 1 ないし 14 のいずれか 1 つに記載の半導体モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、横型構造の半導体素子を備える半導体モジュールに関するものである。

【背景技術】

【0002】

三相交流モータ等の駆動を行うインバータ回路では、上下アームのスイッチング素子お

50

よび整流素子等を備える半導体モジュールが用いられている。スイッチング素子としては、例えば I G B T (絶縁ゲート型バイポーラトランジスタ) が用いられ、整流素子としては、例えば F W D (フライホイールダイオード) 素子が用いられる。

【 0 0 0 3 】

インバータ回路では、上下アームのスイッチング素子のオン、オフを切り替えることによりモータが備える複数のコイルに流す電流の向きを制御し、モータを駆動する。このオン、オフの切り替えの際、配線等が構成する寄生インダクタンスにより、サージ電圧が発生する。特に半導体モジュールに大電流が流れる場合、このサージ電圧により、半導体モジュールが備える各素子が破壊されるおそれがある。

【 0 0 0 4 】

これに対し、半導体モジュールにコンデンサを設置することによりサージ電圧を抑制する方法が提案されている。しかし、コンデンサの設置に伴い新たな配線が必要となるため、コンデンサを接続するための配線と、他の配線とで新たに寄生インダクタンスが構成される。

【 0 0 0 5 】

これらの配線のループ面積はコンデンサの位置に応じて変化するため、コンデンサの位置により、この寄生インダクタンスが大きくなる場合がある。この場合、寄生インダクタンスの増加によりサージ電圧が大きくなるため、サージ電圧を十分に低減できない。

【 0 0 0 6 】

そこで、例えば特許文献 1 に記載の半導体モジュールでは、金属製のミドルサイド板の表面に上下アームの半導体素子と絶縁部材とを配置し、絶縁部材の上に導電板を配置し、導電板の上にコンデンサを配置している。そして、上アームの半導体素子の上に金属製のハイサイド板を配置し、下アームの半導体素子の上に金属製のローサイド板を配置し、ハイサイド板とローサイド板とを、導電板およびコンデンサにより接続している。

【 0 0 0 7 】

このような構成では、導電板に流れる電流と、ミドルサイド板に流れる電流とが互いに逆向きになるため、導電板に流れる電流により発生する磁界と、ミドルサイド板に流れる電流により発生する磁界とが互いに打ち消し合う。これにより、実効インダクタンスを低減し、サージ電圧を抑制することができる。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 8 】

【 特許文献 1 】 特開 2 0 1 0 - 2 0 5 9 6 0 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

しかしながら、特許文献 1 に記載の半導体モジュールは、I G B T 素子や S i C 素子等の縦型構造の半導体素子には適用できるものの、次世代デバイスとして期待される G a N 等の横型構造の半導体素子には適用できない。

【 0 0 1 0 】

G a N は高速スイッチング性能を有するため、G a N を用いた半導体モジュールではサージ電圧が大きくなりやすい。また、G a N はアパランシェ耐量が小さいため、サージ電圧により破壊されやすい。そのため、G a N を用いた半導体モジュールでは、インダクタンスを低減し、サージ電圧を抑制することが重要である。

【 0 0 1 1 】

本発明は上記点に鑑みて、横型構造の半導体素子を備える半導体モジュールにおいて、サージ電圧を抑制することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 2 】

上記目的を達成するため、請求項 1 に記載の発明では、絶縁層 ( 1 1 ) を備えるとともに

10

20

30

40

50

に、絶縁層の表面と裏面とを接続する接続部（12、13）が形成された基板（10）と、基板の表面に形成された配線パターンである第1パターン（20）と、基板の裏面に形成された配線パターンである第2パターン（30）と、基板の表面側に配置されるとともに、横型構造の第1スイッチング素子（51、71、91）を備える第1半導体素子（50、70、90）と、基板の裏面側に配置されるとともに、横型構造の第2スイッチング素子（61、81、101）を備える第2半導体素子（60、80、100）と、コンデンサ（40）と、を備え、第1スイッチング素子は、第1ドレイン電極（51d）および第1ソース電極（51f）を備え、第2スイッチング素子は、第2ドレイン電極（61d）および第2ソース電極（61f）を備え、第1パターン、第2パターン、および接続部は、第1半導体素子、第2半導体素子、およびコンデンサを電氣的に接続するループ経路（Pa1）を構成し、第1ソース電極は第2ドレイン電極に接続され、第1ドレイン電極はコンデンサを通して第2ソース電極に接続され、ループ経路において、第1パターンおよび第1半導体素子が構成する経路と、第2パターンおよび第2半導体素子が構成する経路とは、基板を挟んで対向しており、かつ、互いに逆の向きに電流を流すことを特徴としている。

10

#### 【0013】

これによれば、第1パターンおよび第1半導体素子が構成する経路と、第2パターンおよび第2半導体素子が構成する経路とが基板を挟んで対向しており、かつ、これらの2つの経路において互いに逆の向きに電流が流れる。したがって、2つの経路それぞれを流れる電流により発生する磁界が互いに打ち消し合い、実効インダクタンスが小さくなるため、横型構造の半導体素子を備える半導体モジュールにおいて、サージ電圧を抑制することができる。

20

#### 【0014】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係の一例を示すものである。

#### 【図面の簡単な説明】

#### 【0015】

【図1】第1実施形態にかかる半導体モジュールが適用されるインバータ回路の回路図である。

【図2】第1実施形態にかかる半導体モジュールの斜視図である。

30

【図3】第1実施形態にかかる半導体モジュールの上面図である。

【図4】図3のIV矢視図である。

【図5】第1実施形態にかかる半導体モジュールの底面図である。

【図6】半導体素子の断面図である。

【図7】図6のVII矢視図である。

【図8】図4に相当する図であって、第2実施形態にかかる半導体モジュールを示した図である。

【図9】図4に相当する図であって、第3実施形態にかかる半導体モジュールを示した図である。

【図10】図4に相当する図であって、第4実施形態にかかる半導体モジュールを示した図である。

40

【図11】第5実施形態にかかる半導体モジュールの分解斜視図である。

【図12】第5実施形態にかかる半導体モジュールの斜視図である。

【図13】第5実施形態にかかる半導体モジュールの上面図である。

【図14】図13のXIV矢視図である。

【図15】図13のXV矢視図である。

【図16】図13のXVI - XVI線における断面図である。

【図17】熱交換器の斜視図である。

【図18】基板の断面図である。

【図19】基板の断面図である。

50

【図 20】他の実施形態にかかる半導体モジュールの回路図である。

【図 21】他の実施形態にかかる半導体モジュールが適用されるインバータ回路の回路図である。

【発明を実施するための形態】

【0016】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

【0017】

(第 1 実施形態)

本発明の第 1 実施形態について説明する。ここでは、本実施形態にかかる半導体モジュール 1 を、車両用の三相交流モータなどの駆動を行うインバータ回路に適用した例について説明する。

【0018】

まず、図 1 を参照して、半導体モジュール 1 が備えられるインバータ回路の構成について説明する。図 1 に示すように、インバータ回路は、電源 2 に基づいて三相交流モータなどの負荷 3 を駆動するためのものである。電源 2 は、後述する第 1 半導体素子 50、70、90、第 2 半導体素子 60、80、100 に電力を供給する直流電源である。

【0019】

インバータ回路には平滑コンデンサ 4 が並列接続されており、スイッチング時のリップルの低減やノイズの影響を抑制して一定な電源電圧が形成できるようにしてある。また、インバータ回路には後述する第 1 半導体素子 50、70、90 および第 2 半導体素子 60、80、100 を制御するための制御回路 5 が接続されており、制御回路 5 により後述するトランジスタ 51 ~ 101 のスイッチングが行われる。

【0020】

インバータ回路は、直列接続した上下アームの半導体素子が三相分並列接続された構成とされる。上アーム（ハイサイド）の 3 つの半導体素子をそれぞれ第 1 半導体素子 50、70、90 とし、下アーム（ローサイド）の 3 つの半導体素子をそれぞれ第 2 半導体素子 60、80、100 とする。

【0021】

インバータ回路では、第 1 半導体素子 50、70、90 と第 2 半導体素子 60、80、100 との各中間電位を負荷 3 となる三相交流モータの U 相、V 相、W 相の各相に順番に入れ替えながら印加する。

【0022】

具体的には、第 1 半導体素子 50、70、90、第 2 半導体素子 60、80、100 は、それぞれ、GaN 等で構成される横型構造のスイッチング素子であるトランジスタ 51、71、91、61、81、101 を備えている。トランジスタ 51 ~ 101 は、それぞれ、ゲート電極が制御回路 5 に接続されており、制御回路 5 からの信号に基づいてオン、オフが切り替えられる。

【0023】

なお、トランジスタ 51 ~ 101 は、ローレベルのゲート電圧が印加され、オフ状態とされている場合にも、ソース電極からドレイン電極へは電流を流す。

【0024】

なお、後述する図 6、図 7 に示すように、トランジスタ 51 のドレイン電極、ゲート電極、ソース電極を、それぞれ、ドレイン電極 51 d、ゲート電極 51 e、ソース電極 51 f とする。また、トランジスタ 61 のドレイン電極、ゲート電極、ソース電極を、それぞれ、ドレイン電極 61 d、ゲート電極 61 e、ソース電極 61 f とする。また、図 7 に示すように、トランジスタ 51、61 の SS 電極をそれぞれ SS 電極 51 g、61 g とする。なお、図 6 では、SS 電極 51 g、61 g の図示を省略している。

【0025】

図 1 に示すインバータ回路では、トランジスタ 51 ~ 101 をオンオフ制御することで

10

20

30

40

50

、三相交流モータに対して周期の異なる三相の交流電流を供給する。これにより、三相交流モータの駆動を可能としている。

【0026】

トランジスタ51、71、91は、それぞれ、本発明の第1スイッチング素子に相当する。また、トランジスタ61、81、101は、それぞれ、本発明の第2スイッチング素子に相当する。

【0027】

本実施形態では、第1半導体素子50が形成された半導体チップと、第2半導体素子60が形成された半導体チップとをモジュール化して一体化している。つまり、2つのアームを一体化した2in1構造の半導体モジュール1を用いてインバータ回路を構成している。なお、本実施形態では、第1半導体素子70および第2半導体素子80を備え、三相交流モータのV相に電圧を印加する半導体モジュールについても、半導体モジュール1と同様に構成されている。また、第1半導体素子90および第2半導体素子100を備え、三相交流モータのW相に電圧を印加する半導体モジュールについても、半導体モジュール1と同様に構成されている。

10

【0028】

続いて、半導体モジュール1の詳細構造について、図1～図7を参照して説明する。図2に示す半導体モジュール1は、図3～図5に示すように、基板10と、第1パターン20と、第2パターン30と、コンデンサ40と、第1半導体素子50と、第2半導体素子60とを備えている。図2～図5に示すように、基板10の表面側に配置されたコンデンサ40および第1半導体素子50と、基板10の裏面側に配置された第2半導体素子60とは、第1パターン20、第2パターン30および基板10に形成されたビア12、13により接続されている。

20

【0029】

図4に示すように、基板10は、絶縁層11によって構成されている。絶縁層11は、例えば樹脂により構成される。基板10には、絶縁層11の表面と裏面とを接続するビアが形成されている。本実施形態では、基板10には、複数のビア12および複数のビア13が形成されている。

【0030】

複数のビア12および複数のビア13は、内部にCu等の導電材料が埋め込まれた貫通ビアであり、本発明の接続部に相当する。複数のビア12は、図1のインバータ回路において、第2半導体素子60とコンデンサ40との接続点に相当する部分に配置されており、後述するN配線23とN配線32とを接続している。複数のビア13は、図1のインバータ回路において、第1半導体素子50と第2半導体素子60との接続点に相当する部分に配置されており、後述するO配線22とO配線31とを接続している。図3、図5に示すように、複数のビア12および複数のビア13は、それぞれ、基板10の上面から見て、格子状に並んでいる。

30

【0031】

基板10の表面および裏面には、Cu等で構成された配線パターンが形成されている。基板10の表面に形成された配線パターンを第1パターン20とし、基板10の裏面に形成された配線パターンを第2パターン30とする。

40

【0032】

図3に示すように、第1パターン20は、P配線21と、O配線22と、N配線23と、G配線24と、SS配線25とを備えている。

【0033】

P配線21は、コンデンサ40と第1半導体素子50とを接続する配線である。具体的には、P配線21の両端部のうち一方の上面にはレジストが塗布されていない部分が存在し、この部分と、コンデンサ40が備える2つの電極のうち一方とが、はんだにより接合されている。そして、P配線21の両端部のうちコンデンサ40とは反対側の端部は、トランジスタ51のドレイン電極51dに接続されている。また、図示しないが、P配線2

50

1 は、電源 2、平滑コンデンサ 4、第 1 半導体素子 7 0 および第 1 半導体素子 9 0 に接続されている。

【 0 0 3 4 】

O 配線 2 2 は、ビア 1 3 と第 1 半導体素子 5 0 とを接続する配線である。具体的には、図 3 に示すように、O 配線 2 2 はビア 1 3 の一方の端部および周辺に形成され、ビア 1 3 と電氣的に接続されている。また、O 配線 2 2 はトランジスタ 5 1 のソース電極 5 1 f に接続されている。また、図示しないが、O 配線 2 2 は、負荷 3 に接続されている。

【 0 0 3 5 】

N 配線 2 3 は、ビア 1 2 とコンデンサ 4 0 とを接続する配線である。具体的には、図 3 に示すように、N 配線 2 3 は、ビア 1 2 の一方の端部および周辺に形成され、ビア 1 2 と電氣的に接続されている。また、N 配線 2 3 の端部の上面にはレジストが塗布されていない部分が存在し、この部分と、コンデンサ 4 0 が備える 2 つの電極のうち的一方とが、はんだにより接合されている。これにより、P 配線 2 1 と N 配線 2 3 とがコンデンサ 4 0 を介して接続されている。G 配線 2 4 は、トランジスタ 5 1 のゲート電極 5 1 e と制御回路 5 とを接続する配線である。

【 0 0 3 6 】

SS 配線 2 5 は、ゲート駆動用に設けられた専用のソース配線であり、SS 電極 5 1 g を介して、ソース電極 5 1 f と電氣的に接続されている。ソース配線と比べ、SS 配線 2 5 は小さな電流が流れるようになっているため、ゲート - ソース間の駆動電圧にスイッチング時のノイズが乗りづらくなっている。なお、ソース電極 5 1 f と SS 電極 5 1 g とは、第 1 半導体素子 5 0 の内部で電氣的に接続されている。

【 0 0 3 7 】

図 5 に示すように、第 2 パターン 3 0 は、O 配線 3 1 と、N 配線 3 2 と、G 配線 3 3 と、SS 配線 3 4 とを備えている。O 配線 3 1 は、ビア 1 3 と第 2 半導体素子 6 0 とを接続する配線である。具体的には、図 5 に示すように、O 配線 3 1 はビア 1 3 のうち O 配線 2 2 とは反対側の端部と、ビア 1 3 の周辺とに形成され、ビア 1 3 と電氣的に接続されている。また、O 配線 3 1 は、トランジスタ 6 1 のドレイン電極 6 1 d に接続されている。

【 0 0 3 8 】

N 配線 3 2 は、ビア 1 2 と第 2 半導体素子 6 0 とを接続する配線である。具体的には、図 5 に示すように、N 配線 3 2 はビア 1 2 のうち N 配線 2 3 とは反対側の端部と、ビア 1 2 の周辺とに形成され、ビア 1 2 と電氣的に接続されている。また、N 配線 3 2 は、トランジスタ 6 1 のソース電極 6 1 f に接続されている。また、図示しないが、N 配線 3 2 は、電源 2、平滑コンデンサ 4、第 2 半導体素子 8 0 および第 2 半導体素子 1 0 0 に接続されている。G 配線 3 3 は、トランジスタ 6 1 のゲート電極 6 1 e と制御回路 5 とを接続する配線である。

【 0 0 3 9 】

SS 配線 3 4 は、ゲート駆動用に設けられた専用のソース配線であり、SS 電極 6 1 g を介して、ソース電極 6 1 f と電氣的に接続されている。ソース配線と比べ、SS 配線 3 4 は小さな電流が流れるようになっているため、ゲート - ソース間の駆動電圧にスイッチング時のノイズが乗りづらくなっている。なお、ソース電極 6 1 f と SS 電極 6 1 g とは、第 2 半導体素子 6 0 の内部で電氣的に接続されている。

【 0 0 4 0 】

コンデンサ 4 0 は、サージ電圧を低減するためのコンデンサである。図 2 ~ 図 4 に示すように、本実施形態では、コンデンサ 4 0 は、基板 1 0 の表面側に配置されている。また、前述したように、コンデンサ 4 0 が備える 2 つの電極のうち的一方は P 配線 2 1 に接続され、他方は N 配線 2 3 に接続されている。本実施形態では、半導体モジュール 1 は、コンデンサ 4 0 を複数備えており、複数のコンデンサ 4 0 は、P 配線 2 1 と N 配線 2 3 との間で並列に接続されている。

【 0 0 4 1 】

基板 1 0 の表面側には、上アーム (ハイサイド) の第 1 半導体素子 5 0 が配置されてい

10

20

30

40

50

る。前述したように、第1半導体素子50は、トランジスタ51を備えている。図6に示すように、トランジスタ51は、横型構造の半導体素子であり、基板51aと、積層体51bと、絶縁層51cと、ドレイン電極51dと、ゲート電極51eと、ソース電極51fとを備えている。また、図7に示すように、トランジスタ51は、SS電極51gを備えている。

【0042】

なお、図6は半導体素子の断面図であるが、第1半導体素子50および第2半導体素子60は同じ断面形状であるため、図6を用いて第1半導体素子50および第2半導体素子60について説明する。

【0043】

基板51aは、例えばSi等で構成されており、本発明の第1基板に相当する。積層体51bは、基板51aの上面に、図示しないバッファ層、GaN層、AlGaN層を順に積層することにより形成されており、本発明の第1積層体に相当する。

【0044】

図6に示すように、積層体51bの上面に、ドレイン電極51dおよびソース電極51fが互いに離されて形成されている。ドレイン電極51d、ソース電極51fは、それぞれ、本発明の第1ドレイン電極、第1ソース電極に相当する。

【0045】

また、図6に示すように、積層体51bの上面のうち、ドレイン電極51dとソース電極51fとで挟まれた部分には、絶縁層51cが形成されている。そして、図6、図7に示すように、絶縁層51cの上面において、ドレイン電極51dおよびソース電極51fから離れた位置にゲート電極51eが形成されている。

【0046】

また、図7に示すように、絶縁層51cの上面のうち、ゲート電極51eとソース電極51fとの間に位置する領域の一部には、SS電極51gが形成されている。SS電極51gは、ゲート電極51eおよびソース電極51fから離れた位置に形成されているが、上述したように、第1半導体素子50の内部でソース電極51fと電氣的に接続されている。

【0047】

このような構成のトランジスタ51では、ゲート電極51eに電圧を印加することにより、積層体51bに形成される二次元電子ガス(2DEG)およびチャネルを通過して、ドレイン電極51dからソース電極51fへ電流が流れる。

【0048】

なお、第1半導体素子50は、このように形成されたトランジスタ51を図示しない樹脂により封止したパッケージとされている。

【0049】

基板10の裏面側には、下アーム(ローサイド)の第2半導体素子60が配置されている。前述したように、第2半導体素子60は、トランジスタ61を備えている。図6に示すように、トランジスタ61は、横型構造の半導体素子であり、基板61aと、積層体61bと、絶縁層61cと、ドレイン電極61dと、ゲート電極61eと、ソース電極61fとを備えている。また、図7に示すように、トランジスタ61は、SS電極61gを備えている。

【0050】

基板61aは、例えばSi等で構成されており、本発明の第2基板に相当する。積層体61bは、基板61aの上面に、図示しないバッファ層、GaN層、AlGaN層を順に積層することにより形成されており、本発明の第2積層体に相当する。

【0051】

図6に示すように、積層体61bの上面に、ドレイン電極61dおよびソース電極61fが互いに離されて形成されている。ドレイン電極61d、ソース電極61fは、それぞれ、本発明の第2ドレイン電極、第2ソース電極に相当する。

10

20

30

40

50

## 【0052】

また、図6に示すように、積層体61bの上面のうち、ドレイン電極61dとソース電極61fとで挟まれた部分には、絶縁層61cが形成されている。そして、図6、図7に示すように、絶縁層61cの上面において、ドレイン電極61dおよびソース電極61fから離れた位置にゲート電極61eが形成されている。

## 【0053】

また、図7に示すように、絶縁層61cの上面のうち、ゲート電極61eとソース電極61fとの間に位置する領域の一部には、SS電極61gが形成されている。SS電極61gは、ゲート電極61eおよびソース電極61fから離れた位置に形成されているが、上述したように、第2半導体素子60の内部でソース電極61fと電氣的に接続されている。

10

## 【0054】

このような構成のトランジスタ61では、ゲート電極61eに電圧を印加することにより、積層体61bに形成される二次元電子ガス(2DEG)およびチャネルを通して、ドレイン電極61dからソース電極61fへ電流が流れる。

## 【0055】

なお、第2半導体素子60は、このように形成されたトランジスタ61を図示しない樹脂により封止したパッケージとされている。

## 【0056】

図2、図4に示すように、第1半導体素子50および第2半導体素子60は、基板10を挟んで対向するように配置されている。

20

## 【0057】

また、図4に示すように、第1パターン20、第2パターン30、ビア12、ビア13は、第1半導体素子50、第2半導体素子60、およびコンデンサ40を電氣的に接続するループ経路Pa1を構成している。

## 【0058】

具体的には、トランジスタ51のソース電極51fは、O配線22、ビア13、O配線31を介して、トランジスタ61のドレイン電極61dに接続されている。また、トランジスタ51のドレイン電極51dは、P配線21、コンデンサ40、N配線23、ビア12、N配線32を介して、トランジスタ61のソース電極61fに接続されている。

30

## 【0059】

図4に示すように、ループ経路Pa1において、第1パターン20および第1半導体素子50が構成する経路と、第2パターン30および第2半導体素子60が構成する経路とは、基板10を挟んで対向している。そして、これら2つの経路において、互いに逆の向きに電流が流れる。したがって、2つの経路それぞれを流れる電流により発生する磁界が互いに打ち消し合い、実効インダクタンスが小さくなるため、サージ電圧を抑制することができる。

## 【0060】

このように、本実施形態では、横型構造の半導体素子であるトランジスタ51、61を備える半導体モジュール1において、サージ電圧を抑制することができる。

40

## 【0061】

また、本実施形態では、電流経路が簡素であり、ループ経路Pa1のうち、第1パターン20および第1半導体素子50とで構成される経路と、第2パターン30および第2半導体素子60とで構成される経路とが、基板10を挟んで配置されている。そのため、これら2つの経路の距離が短い。これにより、2つの経路それぞれを流れる電流により発生する磁界が互いに打ち消し合う効果が向上し、実効インダクタンスがさらに小さくなるため、サージ電圧をさらに抑制することができる。また、本実施形態では、電流経路が簡素であるため、ループ面積が小さい。そのため、本実施形態では、寄生インダクタンスを低減し、サージ電圧をさらに抑制することができる。

## 【0062】

50

また、本実施形態では、第1半導体素子50と第2半導体素子60とが、基板10を挟んで対向するように配置されている。そのため、第1半導体素子50と第2半導体素子60とを、基板10の表面に対する法線方向から見て互いに離間して配置する場合に比べて、この方向から見た第1半導体素子50と第2半導体素子60とで構成される部分の面積が小さくなる。これにより、半導体モジュール1を小型化することができる。

#### 【0063】

また、本実施形態では、コンデンサ40、第1半導体素子50、第2半導体素子60を基板10に実装するのみでよく、他の部品が必要とされないため、部品の実装が容易であり、半導体モジュール1を容易に製造することができる。また、半導体モジュール1の製造コストを低減することができる。

10

#### 【0064】

なお、ループ経路Pa1のループ面積を小さくして配線インダクタンスをさらに低減するため、ビア12およびビア13をコンデンサ40、第1半導体素子50および第2半導体素子60の付近に形成することが好ましい。また、配線インダクタンスをさらに低減するため、ビア12およびビア13を多く形成することが好ましい。

#### 【0065】

また、G配線24、33、SS配線25、34を流れる電流がループ経路Pa1を流れる電流により発生する磁界の影響を受け、誤動作が生じるおそれがある。そのため、誤動作が生じることを抑制するために、G配線24、33、SS配線25、34をループ経路Pa1を構成する配線に対して垂直に配置し、磁界の影響を低減することが好ましい。

20

#### 【0066】

(第2実施形態)

本発明の第2実施形態について説明する。本実施形態は、第1実施形態に対してコンデンサ40の数を変更したものであり、その他に関しては第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

#### 【0067】

本実施形態では、複数のコンデンサ40が直列に接続されている。具体的には、コンデンサ40は、図8に示すように基板10の表面側に加えて裏面側にも配置されており、基板10の表面側のコンデンサ40と、基板10の裏面側のコンデンサ40とは、ループ経路Pa1において直列に接続されている。

30

#### 【0068】

また、本実施形態のN配線32は、第1実施形態のN配線32を2つに分けたものであり、基板10の裏面側のコンデンサ40は、2つに分かれたN配線32のうち的一方によりビア12と接続されており、他方により第2半導体素子60と接続されている。

#### 【0069】

また、本実施形態では、基板10の裏面側に複数のコンデンサ40が配置されており、基板10の裏面側に配置された複数のコンデンサ40は、ループ経路Pa1において並列に接続されている。

#### 【0070】

このように複数のコンデンサ40を直列に接続した構成では、例えば基板10の表面側のコンデンサ40が破壊されてショートした場合でも、基板10の裏面側のコンデンサ40が破壊されていなければ半導体モジュール1全体としては短絡が生じない。したがって、このような構成の半導体モジュール1では、半導体モジュール1の故障が抑制されるため、半導体モジュール1の信頼性を高めることができる。

40

#### 【0071】

また、本実施形態では、複数のコンデンサ40を直列に接続することにより、複数のコンデンサ40それぞれに加わる電圧が低くなるので、耐圧の低い小型のコンデンサを使用することが可能となる。したがって、半導体モジュール1をさらに小型化することができる。また、半導体モジュール1の製造コストをさらに低減することができる。

#### 【0072】

50

(第3実施形態)

本発明の第3実施形態について説明する。本実施形態は、第1実施形態に対してコンデンサ40の配置と、基板10、第1パターン20および第2パターン30の構成とを変更したものであり、その他に関しては第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

【0073】

図9に示すように、本実施形態では、コンデンサ40は、コンデンサ40を流れる電流の向きが基板10に対し垂直となるように配置されている。また、コンデンサ40は、基板10の表面に平行な一方向から見て少なくとも一部が基板10と重なるように配置されている。

10

【0074】

また、本実施形態では、基板10はビア12を備えておらず、第1パターン20はN配線23を備えていない。そして、P配線21は、第1半導体素子50とは反対側の端部においてコンデンサ40が備える2つの電極のうち一方に接続されている。また、N配線32は、第2半導体素子60とは反対側の端部において、コンデンサ40が備える2つの電極のうちP配線21とは反対側の電極に接続されている。これにより、P配線21とN配線32とがコンデンサ40を介して接続される。

【0075】

コンデンサ40をこのように配置することにより、ループ経路Pa1のループ面積がさらに小さくなるため、本実施形態では、インダクタンスをさらに低減し、サージ電圧をさらに抑制することができる。

20

【0076】

(第4実施形態)

本発明の第4実施形態について説明する。本実施形態は、第3実施形態に対してコンデンサ40の構成を変更したものであり、その他に関しては第3実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

【0077】

図10に示すように、本実施形態では、絶縁層11を挟んで対向させられた第1パターン20と第2パターン30とによってコンデンサ40が構成されている。つまり、本実施形態では、第1パターン20のP配線21と、第2パターン30のN配線32との間の寄生容量を、サージ電圧の抑制のために使用している。

30

【0078】

上記のようにコンデンサ40を構成した本実施形態では、第1パターン20と、基板10の絶縁層11と、第2パターン30とがコンデンサ40の構成要素を兼ねているため、半導体モジュール1の製造コストをさらに低減することができる。また、ループ経路Pa1のループ面積を小さくして、インダクタンスをさらに低減し、サージ電圧をさらに抑制することができる。

【0079】

(第5実施形態)

本発明の第5実施形態について説明する。本実施形態は、第1実施形態に対して放熱板を追加したものであり、その他に関しては第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

40

【0080】

図11～図16に示すように、本実施形態の半導体モジュール1は、第1実施形態の半導体モジュール1が備える構成に加えて、第1放熱板110と、第2放熱板120と、第3放熱板130とを備えている。また、本実施形態の第1半導体素子50および第2半導体素子60は、樹脂で封止されておらず、ベアチップとされている。

【0081】

第1放熱板110は、第1半導体素子50を冷却する導電性の放熱板である。また、第1放熱板110は、第1パターン20と接続され、第1半導体素子50の基板51aの電

50

位を固定している。具体的には、第1放熱板110は、O配線22および基板51aと接続され、基板51aとO配線22およびソース電極51fとを電氣的に接続している。

【0082】

第2放熱板120は、第2半導体素子60を冷却する導電性の放熱板である。また、第2放熱板120は、第2パターン30と接続され、第2半導体素子60の基板61aの電位を固定している。具体的には、第2放熱板120は、N配線32および基板61aと接続され、基板61aとN配線32およびソース電極61fとを電氣的に接続している。

【0083】

第3放熱板130は、基板10を冷却する導電性の放熱板であり、P配線21上に配置され、P配線21と電氣的に接続されている。

10

【0084】

第1放熱板110、第2放熱板120、第3放熱板130は、それぞれ、熱交換器150に配置された半導体モジュール1を外部の配線と接続するためのO端子111、N端子121、P端子131を備えている。

【0085】

また、本実施形態の半導体モジュール1は、第1半導体素子50を制御するための制御端子であるG端子141およびSS端子142と、第2半導体素子60を制御するための制御端子であるG端子143およびSS端子144とを備えている。G端子141、SS端子142、G端子143、SS端子144は、それぞれ直線状とされ、一端がG配線24、SS配線25、G配線33、SS配線34に接続されており、他端が制御回路5に接続されている。G端子141、SS端子142、G端子143、SS端子144は、それぞれ、本発明の制御端子に相当する。

20

【0086】

O端子111、N端子121、P端子131、G端子141、SS端子142、G端子143、SS端子144は、ループ経路Pa1を流れる電流の方向に対して垂直に延設されている。

【0087】

このような構成の半導体モジュール1を図17に示す熱交換器150に配置することで、半導体モジュール1を冷却することができる。熱交換器150は、流路管151と、突出管部152と、媒体導入部153と、媒体導出部154とを備えている。

30

【0088】

流路管151は、内部に熱媒体が流通する媒体流路が形成された扁平形状の配管である。図17に示すように、熱交換器150は、流路管151を複数積層することにより構成されている。

【0089】

半導体モジュール1は、隣り合う2つの流路管151の間に配置されている。具体的には、半導体モジュール1は、両側に置かれた流路管151のうち一方に第1放熱板110および第3放熱板130が接し、他方に第2放熱板120が接するように配置されている。なお、第1放熱板110、第2放熱板120、第3放熱板130の表面のうち流路管151に接する部分には、図示しない絶縁層が形成されており、第1放熱板110、第2放熱板120、および第3放熱板130と、流路管151とは、電氣的に絶縁されている。

40

【0090】

G端子141、SS端子142、G端子143、SS端子144は、半導体モジュール1が流路管151の間に配置されたときに一端が熱交換器150の外側に位置するように延設されており、図示しない配線により制御回路5に接続されている。

【0091】

また、同様に、O端子111、N端子121、P端子131は、半導体モジュール1が流路管151の間に配置されたときに一端が熱交換器150の外側に位置するように延設されている。そして、図示しない配線により、O端子111は負荷3に接続されており、N端子121およびP端子131は電源2に接続されている。

50

## 【 0 0 9 2 】

本実施形態では、三相交流モータのV相、W相にそれぞれ電圧を印加する2つの半導体モジュールと半導体モジュール1とが流路管151の間に配置されている。具体的には、三相交流モータのU相に電圧を印加する半導体モジュール1と、V相に電圧を印加する半導体モジュールと、W相に電圧を印加する半導体モジュールとが、間に流路管151を挟んで順に積層されている。また、本実施形態では、これらの半導体モジュールがそれぞれ複数用意され、3つの半導体モジュールと流路管151の積層構造が複数構成されている。

## 【 0 0 9 3 】

また、各半導体モジュールは、各半導体モジュールが備えるG端子、SS端子が同じ向きに延設され、かつ、各半導体モジュールが備えるO端子、N端子、P端子が同じ向きに延設されるように配置されている。そして、図示しない配線により、各G端子および各SS端子は制御回路5に接続されており、各O端子は負荷3に接続されており、各N端子および各P端子は電源2に接続されている。

10

## 【 0 0 9 4 】

流路管151の長手方向の両側には、突出管部152が設けられている。突出管部152は、隣り合う流路管151を連結する配管であり、流路管151の積層方向に開口すると共に、流路管151の積層方向に突出した円筒状とされている。

## 【 0 0 9 5 】

複数の流路管151のうち、積層方向の最も外側に位置する一対の流路管151以外の流路管151には、積層方向の両側に突出管部152が設けられている。一方、複数の流路管151のうち、積層方向の最も外側に位置する一対の流路管151には、隣り合う流路管151に対向する一面にだけ突出管部152が設けられている。

20

## 【 0 0 9 6 】

複数の流路管151は、突出管部152同士を嵌合させると共に、突出管部152の側壁同士を接合することにより連結されている。これにより、隣り合う流路管151は、互いの媒体流路が連通している。

## 【 0 0 9 7 】

図17に示すように、複数の流路管151のうち、積層方向の最も外側に配置される一対の流路管151の一方には、媒体導入部153および媒体導出部154が接続されている。媒体導入部153は、熱媒体を熱交換器150に導入するための配管であり、媒体導出部154は、熱媒体を熱交換器150から導出するための配管である。媒体導入部153および媒体導出部154は、ろう付け等の接合技術により流路管151に接合されている。

30

## 【 0 0 9 8 】

本実施形態では、熱交換器150において、熱媒体は、図示しないポンプにより媒体導入部153を通して熱交換器150へ供給され、各流路管151の内部を通り、媒体導出部154を通して熱交換器150から排出される。このとき、半導体モジュール1が備える第1放熱板110、第2放熱板120、第3放熱板130と熱媒体との熱交換により、半導体モジュール1が冷却される。

40

## 【 0 0 9 9 】

半導体モジュール1に大電流が流れると、半導体モジュール1の発熱量が大きくなる。このとき、本実施形態のように半導体モジュール1に放熱板を設置し、半導体モジュール1を熱交換器150に配置することにより、半導体モジュール1を冷却し、半導体モジュール1が高温により破壊されることを抑制することができる。

## 【 0 1 0 0 】

また、本実施形態では、樹脂モールドを省略している。これにより、半導体モジュール1を冷却して半導体モジュール1の高温による破壊を抑制しつつ、モジュール体格を小型化することができる。

## 【 0 1 0 1 】

50

また、本実施形態では、第1半導体素子50がベアチップとされており、第1半導体素子50のトランジスタ51が備える基板51aと、0配線22およびソース電極51fとが、第1放熱板110を介して電氣的に接続されている。これにより、トランジスタ51の基板51aの電位を固定することができる。

【0102】

また、本実施形態では、第2放熱板120は、トランジスタ61の基板61aと、N配線32およびソース電極61fとを電氣的に接続している。これにより、トランジスタ61の基板61aの電位を固定することができる。

【0103】

(他の実施形態)

なお、本発明は上記した実施形態に限定されるものではなく、特許請求の範囲に記載した範囲内において適宜変更が可能である。

【0104】

例えば、上記第1実施形態では、コンデンサ40を基板10の表面側に配置したが、コンデンサ40を基板10の裏面側に配置してもよい。

【0105】

また、上記第1実施形態では、半導体モジュール1を、2つのアームを一体化した2in1構造の半導体モジュールとしたが、半導体モジュール1が、第1半導体素子および第2半導体素子をそれぞれ複数備えていてもよい。例えば、半導体モジュール1を、4つのアームを一体化した4in1構造の半導体モジュールとし、半導体モジュール1が、第1半導体素子50、70および第2半導体素子60、80を備えていてもよい。この場合、複数の第1半導体素子および第2半導体素子によりループ経路が複数構成され、ループ経路を含む回路が複数構成され、ループ経路を含む複数の回路が電源2に対してそれぞれ並列に接続されていてもよい。また、半導体モジュール1が、第1半導体素子50、90および第2半導体素子60、100を備えていてもよい。また、半導体モジュール1が、第1半導体素子70、90および第2半導体素子80、100を備えていてもよい。また、半導体モジュール1が、第1半導体素子50、70、90および第2半導体素子60、80、100を備え、6つのアームを一体化した6in1構造の半導体モジュールとされていてもよい。

【0106】

また、上記第1～第5実施形態では、制御回路5は基板10とは別に配置されているが、制御回路5を基板10上に形成してもよい。このとき、基板10が、図18に示すように絶縁層11を複数備え、複数の絶縁層11が例えばCu等により構成される配線層14を介して積層された多層基板とされ、制御回路5が、絶縁層11および配線層14により構成されていてもよい。制御回路5を基板10に形成することにより、インバータ回路のうち、半導体モジュール1と制御回路5とで構成される部分を小型化することができる。

【0107】

また、このとき、図19に示すように、基板10のうち第1半導体素子50および第2半導体素子60が配置される部分を、1つの絶縁層11の表面に第1パターン20が形成され、裏面に第2パターン30が形成された2層構造としてもよい。これにより、インバータ回路のうち半導体モジュール1と制御回路5とで構成される部分を小型化しつつ、ループ経路Pa1のループ面積を小さいまま保持して、上記第1～第5実施形態と同様にサージ電圧を抑制することができる。

【0108】

また、上記第1～第4実施形態では、第1半導体素子50および第2半導体素子60をそれぞれ樹脂により封止したが、第1半導体素子50および第2半導体素子60を樹脂により封止せず、ベアチップとしてもよい。ただし、実用上、第1半導体素子50および第2半導体素子60をそれぞれ樹脂により封止することが好ましい。

【0109】

また、上記第1～第5実施形態において、図20に示すように、コンデンサ40に対し

10

20

30

40

50

て直列に抵抗体 15 を接続し、RC 回路を構成してもよい。これにより、インバータ回路の共振を抑制することができる。

【0110】

また、上記第 5 実施形態では、基板 51a と O 配線 22 およびソース電極 51f とを第 1 放熱板 110 により接続したが、基板 51a と P 配線 21 およびドレイン電極 51d とを第 3 放熱板 130 により接続し、基板 51a の電位をドレイン電極 51d の電位に固定してもよい。

【0111】

また、上記第 5 実施形態では、基板 61a と N 配線 32 およびソース電極 61f とを第 2 放熱板 120 により電氣的に接続したが、基板 61a と O 配線 31 およびドレイン電極 61d とを電氣的に接続してもよい。

10

【0112】

また、第 1 半導体素子 50 および第 2 半導体素子 60 が、温度測定用のダイオードを備えていてもよい。この場合、温度測定用のダイオードを他の装置と接続するための配線を、各 G 配線、各 S S 配線と同様に、ループ経路 Pa1 に対して垂直に延設することが好ましい。

【0113】

また、第 1 半導体素子 50、70、90 が、それぞれ、トランジスタ 51、71、91 を複数備えていてもよい。また、第 2 半導体素子 60、80、100 が、それぞれ、トランジスタ 61、81、101 を複数備えていてもよい。

20

【0114】

また、図 21 に示すように、第 1 半導体素子 50、70、90、第 2 半導体素子 60、80、100 が、それぞれ、FWD などの還流を目的とした整流素子であるダイオード 52、72、92、62、82、102 を備えていてもよい。この場合、ダイオード 52、72、92、62、82、102 のカソード電極は、それぞれ対応するトランジスタ 51、71、91、61、81、101 のドレイン電極に接続される。また、ダイオード 52、72、92、62、82、102 のアノード電極は、それぞれ対応するトランジスタ 51、71、91、61、81、101 のソース電極に接続される。なお、ダイオード 52、72、92 は、それぞれ、本発明の第 1 整流素子に相当する。また、ダイオード 62、82、102 は、それぞれ、本発明の第 2 整流素子に相当する。

30

【0115】

また、トランジスタ 51 ~ 101 を、ダイオード 52 ~ 102 と同様の向きの整流作用を有する内蔵ダイオードが形成された横型の SiC-MOSFET で構成してもよい。

【0116】

また、上記第 1 ~ 第 5 実施形態では、半導体モジュール 1 を車両用の三相交流モータなどの駆動を行うインバータ回路に適用した例について説明したが、本発明をインバータ以外の電力変換器に適用してもよい。例えば、本発明を DC/DC コンバータ、充電器等に適用してもよい。

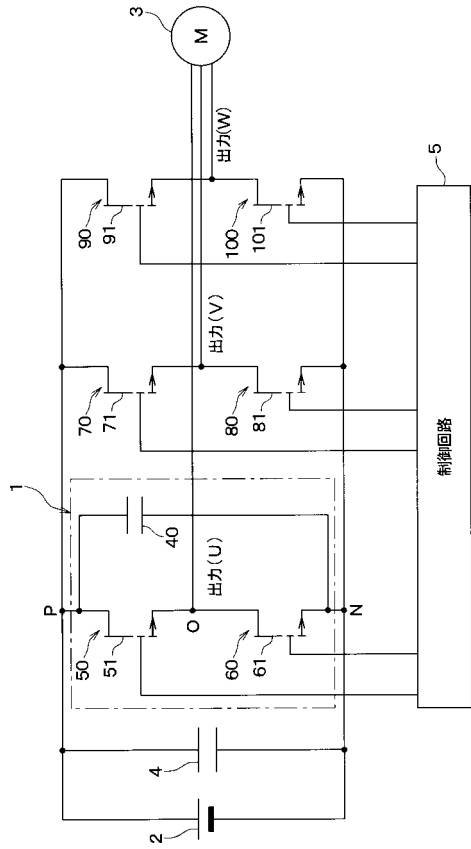
【符号の説明】

【0117】

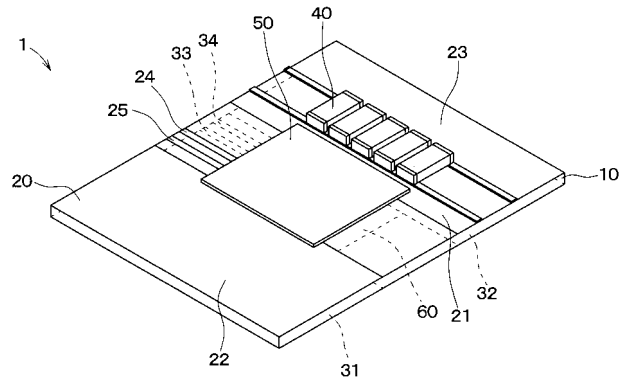
40

- 10 基板
- 12 ピア
- 13 ピア
- 20 第 1 パターン
- 30 第 2 パターン
- 40 コンデンサ
- 50 第 1 半導体素子
- 60 第 2 半導体素子

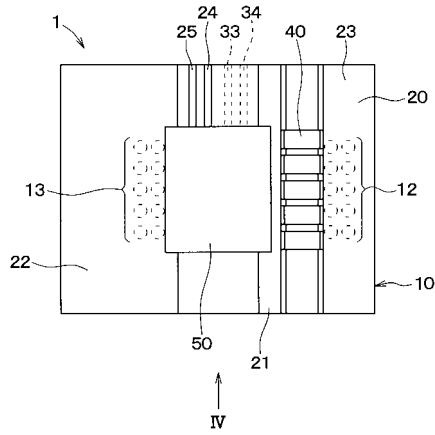
【図1】



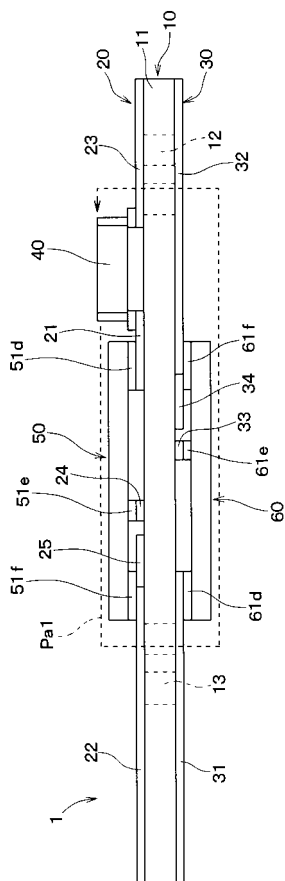
【図2】



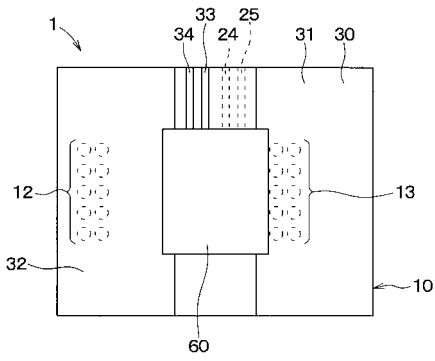
【図3】



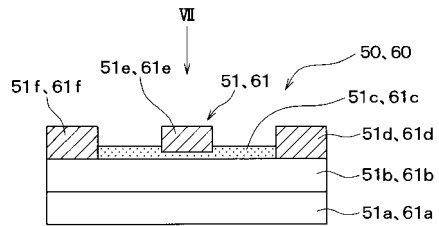
【図4】



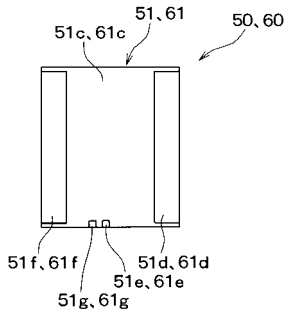
【図5】



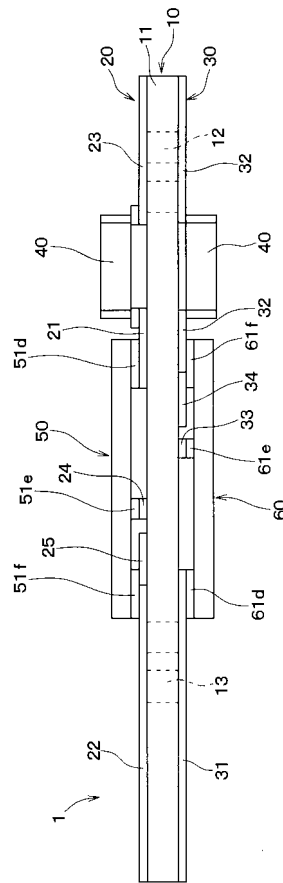
【図6】



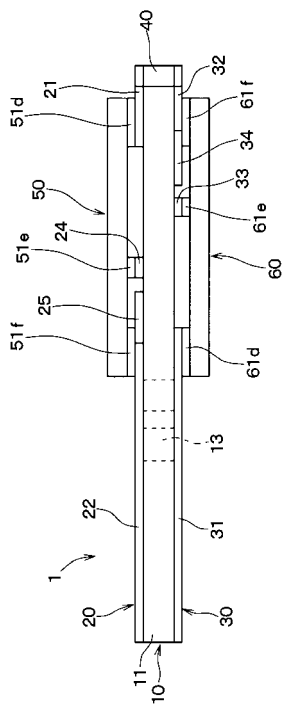
【 図 7 】



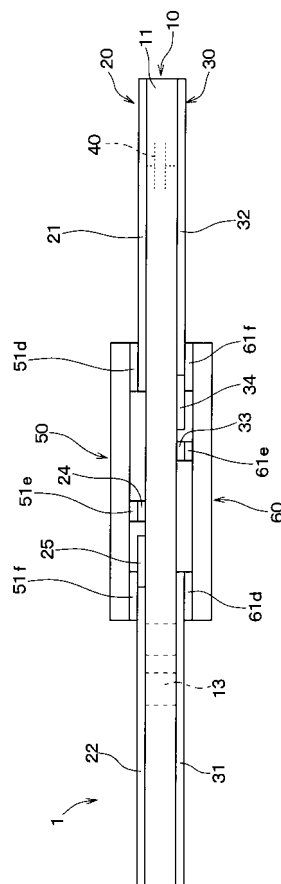
【 図 8 】



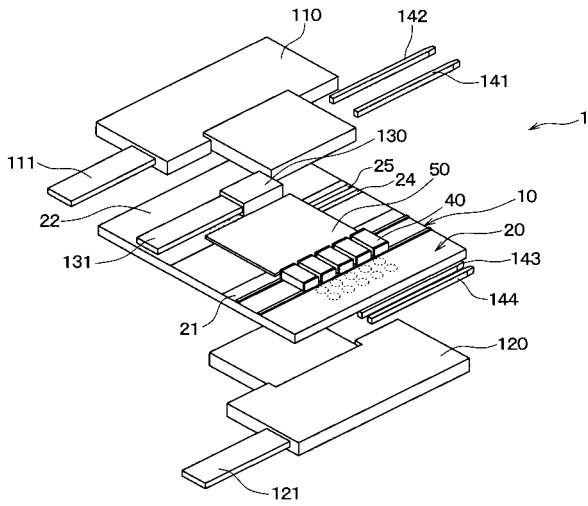
【 図 9 】



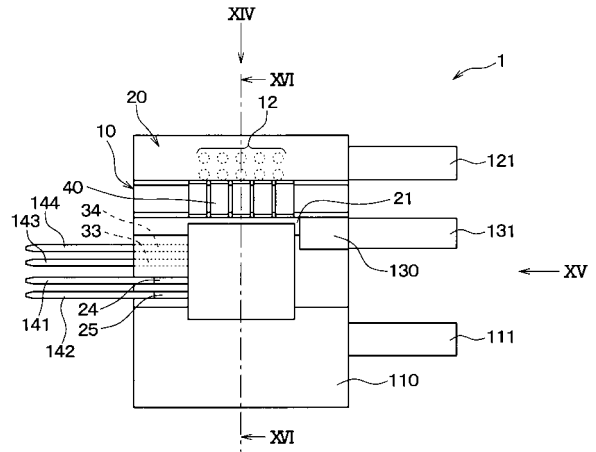
【 図 10 】



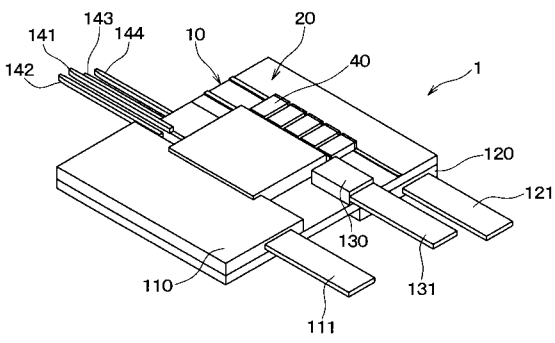
【図 1 1】



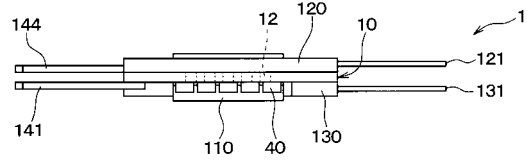
【図 1 3】



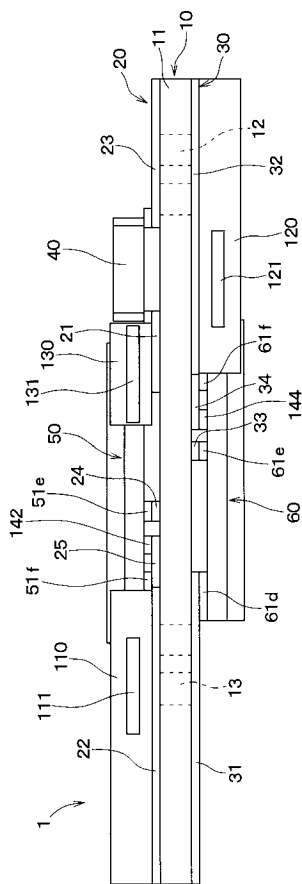
【図 1 2】



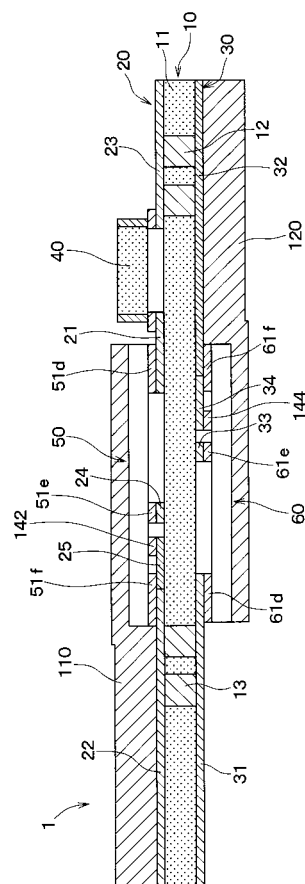
【図 1 4】



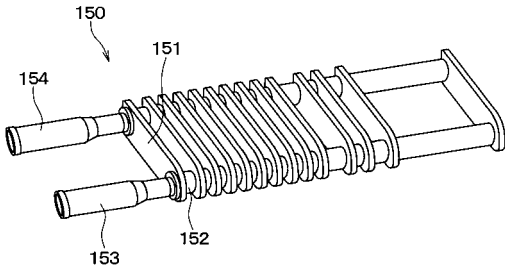
【図 1 5】



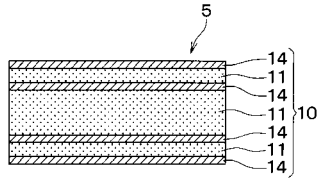
【図 1 6】



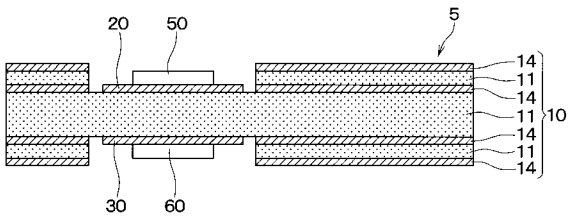
【図 17】



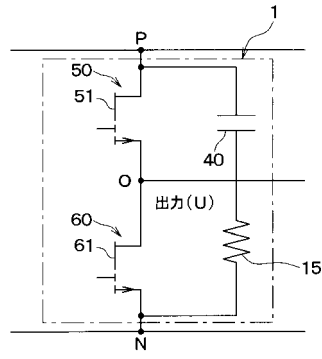
【図 18】



【図 19】



【図 20】



【図 21】

