[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 27/115
H01L 21/8247 H01L 27/10
H01L 29/788 H01L 29/792

[12] 发明专利说明书

[21] ZL 专利号 99800177.5

[45] 授权公告日 2004 年 9 月 29 日

[11] 授权公告号 CN 1169225C

[22] 申请日 1999.1.26 [21] 申请号 99800177.5

[30] 优先权

[32] 1998. 1.26 [33] JP [31] 27747/1998

[32] 1998.10.28 [33] JP [31] 321377/1998

[86] 国际申请 PCT/JP1999/000313 1999.1.26

[87] 国际公布 WO1999/038213 日 1999.7.29

[85] 进入国家阶段日期 1999.10.25

[71] 专利权人 索尼株式会社

地址 日本东京

[72] 发明人 野本和正 乔纳森·维斯特沃特
中越美弥子 堆井节夫 野口隆
森芳文 达拉姆·派尔·古赛恩

审查员 骆素芳

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

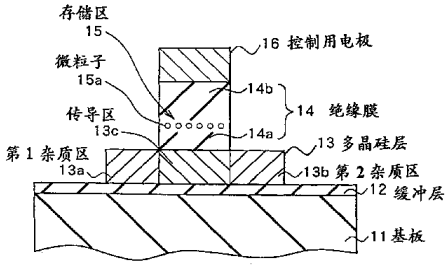
代理人 王永刚

权利要求书 5 页 说明书 28 页 附图 25 页

[54] 发明名称 存储器及其制造方法以及集成电路和半导体装置的制造方法

[57] 摘要

用分散的多个微粒子(点)(15a)构成存储区 15 的同时，使微粒子(15a)的面密度比在隧道绝缘膜(14a)上产生的构造性的孔(针孔)的面密度大。 或者使存储区中的微粒子(15a)的个数为 5 个以上。或者用表面粗糙度在 0.1nm 以上 100nm 以下的多晶硅层(13)形成传导区(13c)的同时，使存储区(15)的微粒子(15a)的个数变得比传导区中的晶粒个数多。 即便是在隧道绝缘膜(14a)中发生了针孔等的缺陷，存储在一部分的微粒子上的电荷漏泄，存储在不存在缺陷的区域内形成的微粒子上的电荷也不会漏泄。 因此，可以长时间地保持信息。



ISSN1008-4274

1、一种存储器，具备下述部分：

由半导体构成的传导区；

设置为与该传导区相邻的第 1 杂质区；

设置为与该第 1 杂质区分开，且与上述传导区相邻的第 2 杂质区；

由分散开来的多个微粒子构成，存储由上述传导区迁移来的电荷的存储区；

设于该存储区和上述传导区之间的电荷可以迁移的隧道绝缘膜；

用来分别控制上述存储区的电荷量和上述传导区的传导率的控制用电极；

设于该控制用电极和上述存储区之间的控制用绝缘膜，

上述存储区中的微粒子的面密度比在上述隧道绝缘膜中产生的构造性针孔的面密度高。

2、权利要求 1 所述的存储器，其特征是：上述传导区、第 1 杂质区和第 2 杂质区分别由非单晶半导体构成。

3、权利要求 2 所述的存储器，其特征是：上述传导区、第 1 杂质区和第 2 杂质区分别由非单晶 $Si_xGe_{1-x}(0<x<1)$构成。

4、权利要求 3 所述的存储器，其特征是：上述传导区、第 1 杂质区和第 2 杂质区分别由多晶 $Si_xGe_{1-x}(0<x<1)$构成。

5、权利要求 3 所述的存储器，其特征是：上述传导区、第 1 杂质区和第 2 杂质区分别由非晶 $Si_xGe_{1-x}(0<x<1)$构成。

6、权利要求 1 所述的存储器，其特征是：具有作为基底部分的绝缘基板，并且，上述传导区、第 1 杂质区和第 2 杂质区分别设于上述绝缘基板的一面上。

7、权利要求 1 所述的存储器，其特征是：具有作为基底部分的绝缘基板，上述控制用电极设于上述绝缘基板的一面上。

8、权利要求 6 所述的存储器，其特征是：上述绝缘基板由石英、玻璃或塑料中的任何一种形成。

9、权利要求 7 所述的存储器，其特征是：在上述绝缘基板和上述传导区、第 1 杂质区和第 2 杂质区之间，作为缓冲层，还分别形成有 SiN_x 膜、SiO_2 膜、或 SiN_x 膜与 SiO_2 膜的叠层膜，或 SiN_kO_l (k、l≠0) 膜。

10、权利要求 1 所述的存储器，其特征是：上述存储区由 Si_yGe_{1-y}(0＜y＜1)微粒子集合体或金属微粒子集合体构成。

11、权利要求 1 所述的存储器，其特征是：上述控制用电极由含有杂质的非多晶硅或金属构成。

12、权利要求 1 所述的存储器，其特征是：上述控制用绝缘膜由 SiO_2、Si_3N_4 或 SiN_kO_l(k、l≠0)构成。

13、权利要求 1 所述的存储器，其特征是：构成上述传导区的材质的膜厚在 0.1 微米以下。

14、权利要求 1 所述的存储器，其特征是：上述存储区内的微粒子的个数在 5 个以上。

15、权利要求 1 所述的存储器，其特征是：采用给上述控制用电极加上比上述第 1 杂质区的电位还高的电位的办法写入信息的同时，采用给上述控制用电极加上比上述第 1 杂质区的电位还低的电位的办法擦除信息，此外采用使上述控制用电极、第 1 杂质区和第 2 杂质区的所有的电极变成同电位或浮置状态的办法保持信息。

16、权利要求 15 所述的存储器，其特征是：用传导区的传导率或电流值相对上述控制用电极的电位的变化，检测因上述信息的写入而产生的上述存储区内的电荷量的变化来进行信息的读出。

17、权利要求 1 所述的存储器，其特征是：采用给上述控制用电极加上比上述第 1 杂质区的电位还低的电位的办法写入信息的同时，采用给上述控制用电极加上比上述第 1 杂质区的电位还高的电位的办法擦除信息，此外采用使上述控制用电极、第 1 杂质区和第 2 杂质区的所有的电极变成同电位或浮置状态的办法保持信息。

18、权利要求 17 所述的存储器，其特征是：用传导区的传导率或电流值相对上述控制用电极的电位的变化，检测因上述信息的写入而

产生的上述存储区内的电荷量的变化来进行信息的读出。

19、一种集成有多个存储器的集成电路，上述各个存储器具备下述部分：

由半导体构成的传导区；

设置为与该传导区相邻的源区；

设置为与该源区分开，且与上述传导区相邻的漏区；

由分散开来的多个微粒子构成，存储由上述传导区迁移来的电荷的存储区；

设于该存储区和上述传导区之间的电荷可以迁移的隧道绝缘膜；

用来分别控制上述存储区的电荷量和上述传导区的传导率的控制用电极；

设于该控制用电极和上述存储区之间的控制用绝缘膜，

上述存储区中的微粒子的面密度比在上述隧道绝缘膜中产生的构造性针孔的面密度高，而且，上述各个存储器的控制用电极都连接到字线上的同时，各个存储器的源漏路径分别连接到位线和源极线之间。

20、一种存储器的制造方法，其特征是具备下述工序：

在由绝缘体构成的基底部分的上边形成由半导体膜构成的传导区的工序；

在上述传导区的上边形成隧道绝缘膜的工序；

形成由分散到上述隧道绝缘膜的上边的多个微粒子构成且该微粒子的面密度比上述隧道绝缘膜的构造性针孔的面密度大的存储区的工序；

在上述存储区的上边形成控制用绝缘膜的工序；

在上述控制用绝缘膜的上边形成控制用电极的工序；

分别形成与上述传导区相邻的第 1 杂质区和与上述第 1 杂质区分开，且与上述传导区相邻的第 2 杂质区的工序。

21、权利要求 20 所述的存储器的制造方法，其特征是：采用使上述传导区的表面暴露于含有氧原子和氮原子两者中的至少一方的电离气体中的办法，形成上述隧道绝缘膜。

22、权利要求21所述的存储器的制造方法，其特征是：在形成了上述隧道绝缘膜之后，还对上述传导区的表面加热。

23、权利要求22所述的存储器的制造方法，其特征是：采用照射能束的办法，加热上述传导区的表面。

24、权利要求20所述的存储器的制造方法，其特征是：用气相淀积法、溅射法或蒸镀法，形成存储区，使得以比1还小的被覆率覆盖隧道绝缘膜的表面。

25、权利要求20所述的存储器的制造方法，其特征是：采用在上述传导区的上边形成过剩地含有半导体元素的非化学计量组成的存储区形成用薄膜，并加热该存储区形成用薄膜的办法，分别形成隧道绝缘膜和存储区。

26、权利要求25所述的存储器的制造方法，其特征是：采用照射能束的办法加热存储区形成用薄膜。

27、权利要求20所述的存储器的制造方法，其特征是还具备下述工序：

在由绝缘体构成的基底部分的上边形成由多晶半导体膜构成的传导区的工序；

由分散到上述隧道绝缘膜的上边的5个以上的微粒子构成的存储区的工序。

28、一种存储器的制造方法，其特征是具备下述工序：

在由绝缘体构成的基底部分的上边形成控制用电极的工序；

在上述控制用电极的上边形成控制用绝缘膜的工序；

在上述控制用绝缘膜的上边，形成由分散开来的多个微粒子构成，且该微粒子的面密度比上述隧道绝缘膜的构造性针孔的面密度还大的存储区的工序；

在上述存储区的上边形成隧道绝缘膜的工序；

在上述隧道绝缘膜的上边形成由半导体构成的传导区的工序；

分别形成与上述传导区相邻的第1杂质区和与上述第1杂质区分开，且与上述传导区相邻的第2杂质区的工序。

29、权利要求28所述的存储器的制造方法，其特征是还具备下述工序：

在上述控制用绝缘膜的上边，形成由分散开来的5个以上的微粒子构成的存储区的工序；

在上述隧道绝缘膜的上边形成由多晶半导体构成的传导区的工序。

存储器及其制造方法以及集成电路和半导体装置的制造方法

技术领域

本发明涉及采用把从传导区迁移过来的电荷存储在存储区内的办法保持信息的存储器及其制造方法，以及使存储器集成化后的集成电路和半导体装置的制造方法，特别是涉及存储区由多个微粒子（量子点）构成的存储器及其制造方法，以及集成电路和半导体装置的制造方法。

技术背景

在以 EEPROM（Electric Ersable-Programable Read Only Memory,电可擦除可编程只读存储器）为代表的非易失性存储器中，通过绝缘膜在单晶硅基板上形成有存储区，结果变成为通过存储以绝缘膜为隧道从传导区迁移到该存储区内的电荷来保持信息。以往，由具有二维性扩展的连续半导体膜形成该存储区。此外，在以往的非易失性存储器中，为了长时间保持在该存储区中存储的电荷，作为传导区和存储区之间的绝缘膜，使用绝缘性优良的硅的热氧化膜。该热氧化膜采用在氧气氛中使单晶硅基板的温度上升到 800～1000℃的高温的办法形成。另外，硅基板在这种程度的温度下，不会变形或溶解。此外，在单晶硅基板上边形成的热氧化膜的绝缘性非常出色，所以可以保持稳定而不会从二维性的连续的存储区漏泄电荷。

如上所述，在以往的存储器中，在传导区和存储区之间使用热氧化膜的情况下，就不得不使基板温度上升到 800～1000℃的高温。但是，在基板不是单晶硅而是玻璃或塑料（可塑性物质）制造的情况下，则不能进行这样的高温热处理。例如，玻璃基板的变形温度为 500℃，此外，塑料基板的变形温度，即便是由有耐热性的材料形成的情况下，顶多也只有 200℃。因此，在基板由玻璃或塑料形成的情况下，传导

区和存储区之间的绝缘膜就不得不在500℃以下的温度下形成。

但是，在500℃以下的温度下形成氧化膜的情况下，在该氧化膜中将发生缺陷即多个构造性的孔（针孔）。为此，存在着下述问题：在具有二维性扩展的存储区内存储的电荷，在短时间内将会向传导区漏泄，不能长时间保持信息。

此外，例如，即便是象硅基板上边的硅氧化膜（SiO_2）那样有高温下的耐热性，氧化膜上边的传导区也是多晶，在其表面上会存在凹凸。存在着下述问题：由于该多晶硅的凹凸，在其上边的绝缘膜中将发生电场集中，二维性的连续的存储区中的电荷，也将从该场所漏掉。

发明的公开

本发明就是有鉴于上述问题而发明的，目的是提供一种可以在玻璃或塑料制造的基板上边在低温下进行制作，同时可以长时间保持信息的存储器及其制造方法，以及集成电路和半导体装置的制造方法。

本发明的存储器的构成为具备下述部分：由半导体构成的传导区；设置为与该传导区相邻的第1杂质区；设置为与该第1杂质区分开，且与传导区相邻的第2杂质区；由分散开来的微粒子构成，存储由传导区迁移来的电荷的存储区；设于该存储区和传导区之间的电荷可以迁移的隧道绝缘膜；用来分别控制存储区的电荷量和传导区的传导率的控制用电极；设于该控制用电极和存储区之间的控制用绝缘膜，且存储区中的微粒子的面密度比在隧道绝缘膜中产生的构造性的孔（针孔）的面密度高。

本发明的另一种存储器的构成为具备下述部分：由半导体构成的传导区；设置为与该传导区相邻的第1杂质区；设置为与该第1杂质区分开，且与传导区相邻的第2杂质区；由分散开来的微粒子构成，存储由传导区迁移来的电荷的存储区；设于该存储区和传导区之间的电荷可以迁移的隧道绝缘膜；用来分别控制存储区的电荷量和传导区的传导率的控制用电极；设于该控制用电极和存储区之间的控制用绝缘膜，且在存储区内的微粒子的个数在5个以上。

本发明的再一种存储器的构成为具备下述部分：由半导体构成的传导区；设置为与该传导区相邻的第 1 杂质区；设置为与该第 1 杂质区分开，且与传导区相邻的第 2 杂质区；由分散开来的微粒子构成，存储由传导区迁移来的电荷的存储区；设于该存储区和传导区之间的电荷可以迁移的隧道绝缘膜；用来分别控制存储区的电荷量和传导区的传导率的控制用电极；设于该控制用电极和存储区之间的控制用绝缘膜，且传导区由表面粗糙度为 0.1nm 以上 100nm 以下的多晶硅膜形成，同时存储区的微粒子的个数比传导区中的晶粒个数多。

本发明的集成电路具备多个存储器，各个存储器的构成为具备下述部分：由半导体构成的传导区；设置为与该传导区相邻的源区；设置为与该源区分开，且与传导区相邻的漏区；由分散开来的多个微粒子构成，存储由传导区迁移来的电荷的存储区；设于该存储区和传导区之间的电荷可以迁移的隧道绝缘膜；用来分别控制存储区的电荷量和传导区的传导率的控制用电极；设于该控制用电极和存储区之间的控制用绝缘膜，且存储区中的微粒子的面密度比在隧道绝缘膜中产生的构造性的孔（针孔）的面密度高，而且，各个存储器的控制用电极都连接到字线上的同时，各个存储器的源漏路径分别连接到位线和源极线之间。

本发明的存储器的制造方法，具备下述工序：在由绝缘体构成的基底部分的上边形成由半导体膜构成的传导区的工序；在传导区的上边形成隧道绝缘膜的工序；形成由分散到隧道绝缘膜的上边的多个微粒子构成且该微粒子的面密度比隧道绝缘膜的构造性的孔（针孔）的面密度大的存储区的工序；在存储区的上边形成控制用绝缘膜的工序；在控制用绝缘膜的上边形成控制用电极的工序；分别形成与传导区相邻的第 1 杂质区和与第 1 杂质区分开，且与传导区相邻的第 2 杂质区的工序。

本发明的另一种存储器的制造方法，具备下述工序：在由绝缘体构成的基底部分的上边形成由半导体膜构成的传导区的工序；在传导区的上边形成隧道绝缘膜的工序；由分散到隧道绝缘膜的上边的 5 个

以上的微粒子构成的存储区的工序；在存储区的上边形成控制用绝缘膜的工序；在控制用绝缘膜的上边形成控制用电极的工序；分别形成与传导区相邻的第 1 杂质区和与第 1 杂质区分开，且与传导区相邻的第 2 杂质区的工序。

本发明的再一种存储器的制造方法，具备下述工序：在由绝缘体构成的基底部分的上边形成由表面粗糙度在 0.1nm 以上 100nm 以下的多晶硅膜构成的传导区的工序；在传导区的上边形成隧道绝缘膜的工序；在隧道绝缘膜的上边形成由比传导区的晶粒个数还多的分散开来的微粒子构成的存储区的工序；在存储区的上边形成控制用绝缘膜的工序；在控制用绝缘膜的上边形成控制用电极的工序；分别形成与传导区相邻的第 1 杂质区和与第 1 杂质区分开，且与传导区相邻的第 2 杂质区的工序。

本发明的存储器的再一种制造方法，具备下述工序：在由绝缘体构成的基底部分的上边形成控制用电极的工序；在控制用电极的上边形成控制用绝缘膜的工序；在控制用绝缘膜的上边，形成由分散开来的多个微粒子构成，且该微粒子的面密度比隧道绝缘膜的构造性的孔（针孔）的面密度还大的存储区的工序；在存储区的上边形成隧道绝缘膜的工序；在隧道绝缘膜的上边形成由半导体构成的传导区的工序；分别形成与传导区相邻的第 1 杂质区和与第 1 杂质区分开，且与传导区相邻的第 2 杂质区的工序。

本发明的存储器的再一种制造方法，具备下述工序：在由绝缘体构成的基底部分的上边形成控制用电极的工序；在控制用电极的上边形成控制用绝缘膜的工序；在控制用绝缘膜的上边，形成由分散开来的 5 个以上的微粒子构成的存储区的工序；在存储区的上边形成隧道绝缘膜的工序；在隧道绝缘膜的上边形成由半导体构成的传导区的工序；分别形成与传导区相邻的第 1 杂质区和与第 1 杂质区分开，且与传导区相邻的第 2 杂质区的工序。

本发明的存储器的再一种制造方法，具备下述工序：在由绝缘体构成的基底部分的上边形成控制用电极的工序；在控制用电极的上边

形成控制用绝缘膜的工序；在控制用绝缘膜的上边，形成由分散开来的多个微粒子构成的存储区的工序；在存储区的上边形成隧道绝缘膜的工序；在隧道绝缘膜的上边形成由半导体构成的传导区的工序；分别形成与传导区相邻的第 1 杂质区和与第 1 杂质区分开，且与传导区相邻的第 2 杂质区的工序，用表面粗糙度 0.1nm 以上 100nm 以下的多晶硅形成传导区的同时，使存储区的晶粒个数比传导区中的微粒子的个数还多。

本发明的半导体装置的制造方法，具备：在基板上边形成了半导体膜之后，在该半导体膜上边，形成过剩地含有半导体元素的非化学计量的组成的存储区形成用薄膜的工序；采用施行加热处理的办法，使半导体的微粒子分散到存储区形成用薄膜中去形成存储区的工序。另外，所谓‘非化学计量组成’，指的是偏离了化学计量组成的成分比的组成，在本发明中，比起化学计量的组成的情况来，指的是过剩地含有半导体那样地偏离了成分比的情况。构成存储区的微粒子是大小处于 1nm～10nm 的范围内的微粒子，作为一个例子，可以举出硅（Si）或锗(Ge)等。

在本发明的存储器及其制造方法中，由于具有存储区内的微粒子的面密度比在隧道绝缘膜中产生的构造性的孔（针孔）的面密度还大的构成，或者存储区内的微粒子的个数在 5 个以上的构成，或者传导区由表面粗糙度为 0.1nm 以上 100nm 以下的多晶硅形成的同时，存储区的微粒子的个数比传导区内的晶粒个数还多的构成，故即便是由于在隧道绝缘膜中存在的针孔等的缺陷而使存储在一部分的微粒子中的电荷漏掉，存储在不存在缺陷的区域上形成的微粒子上的电荷也不会漏泄。为此，可以长时间地存储信息。

此外，在本发明的半导体装置的制造方法中，采用对过剩地含有半导体的非化学计量组成的存储区形成用薄膜施行能束照射等的加热处理的办法，使半导体的微粒子分散到存储区形成用薄膜中去，形成存储区。

附图的简单说明

图 1 的剖面图示出了本发明的实施例 1 的存储器的构成。

图 2 的剖面图示出了本发明的实施例 2 的存储器的构成。

图 3 的电路图用来说明本发明的存储器的集成化方法 1 的一个例子。

图 4 的说明图用来说明本发明的存储器的集成化方法 1 的另一个例子。

图 5 的电路图用来说明本发明的存储器的集成化方法 2。

图 6A 和图 6B 是用来说明实施例 1 的存储器的制造方法 1 的剖面图和平面图。

图 7A 和图 7B 是用来说明图 6A 和图 6B 的后续工序的剖面图和平面图。

图 8A 和图 8B 是用来说明图 7A 和图 7B 的后续工序的剖面图和平面图。

图 9A 和图 9B 是用来说明图 8A 和图 8B 的后续工序的剖面图和平面图。

图 10A 和图 10B 是用来说明图 9A 和图 9B 的后续工序的剖面图和平面图。

图 11A 和图 11B 是用来说明本发明的实施例 1 的存储器的制造方法 2 的剖面图和平面图。

图 12A 和图 12B 是用来说明图 11A 和图 11B 的后续工序的剖面图和平面图。

图 13A 和图 13B 是用来说明图 12A 和图 12B 的后续工序的剖面图和平面图。

图 14A 和图 14B 是用来说明图 13A 和图 13B 的后续工序的剖面图和平面图。

图 15 的特性图示出了实施例 1 的存储器的栅极电压和漏极电流之间的关系。

图 16A 和图 16B 是用来说明本发明的实施例 1 的存储器的第 3 制

造方法的剖面图和平面图。

图 17A 和图 17B 是用来说明图 16A 和图 16B 的后续工序的剖面图和平面图。

图 18A 和图 18B 是用来说明图 17A 和图 17B 的后续工序的剖面图和平面图。

图 19A 和图 19B 是用来说明图 18A 和图 18B 的后续工序的剖面图和平面图。

图 20A 和图 20B 是用来说明图 19A 和图 19B 的后续工序的剖面图和平面图。

图 21A 和图 21B 是用来说明本发明的实施例 2 的存储器的制造工序的剖面图和平面图。

图 22A 和图 22B 是用来说明图 21A 和图 21B 的后续工序的剖面图和平面图。

图 23A 和图 23B 是用来说明图 22A 和图 22B 的后续工序的剖面图和平面图。

图 24A 和图 24B 是用来说明图 23A 和图 23B 的后续工序的剖面图和平面图。

图 25A 和图 25B 是用来说明图 24A 和图 24B 的后续工序的剖面图和平面图。

图 26 的平面图示出了本发明的实施例 3 的存储器的构成。

图 27 是沿图 26 的 η - η 线的剖面图。

图 28 是本发明的实施例 4 的存储装置的剖面图。

图 29 的平面图示出了本发明的实施例 5 的存储装置的构成。

图 30 是沿图 29 的 κ - κ 线的剖面图。

图 31 是由底注式浇口构造的器件构成的存储装置的剖面图。

图 32 的平面图示出了本发明的实施例 6 的存储装置的构成。

图 33 是沿图 32 的 1-1 线的剖面图。

图 34 是由底注式浇口构造的器件构成的存储装置的剖面图。

图 35 是用来说明本发明的实施例 7 的存储装置的制造工序的剖面

图。

图 36 是用来说明图 35 的后续工序的剖面图。

图 37 是用来说明图 36 的后续工序的剖面图。

图 38 是用来说明图 37 的后续工序的剖面图。

图 39 是用来说明图 38 的后续工序的剖面图。

图 40 是用来说明本发明的实施例 8 的存储装置的制造工序的剖面图。

图 41 是用来说明图 40 的后续工序的剖面图。

图 42 是用来说明图 41 的后续工序的剖面图。

图 43 是用来说明图 42 的后续工序的剖面图。

图 44 是用来说明图 43 的后续工序的剖面图。

图 45 是用来说明图 44 的后续工序的剖面图。

图 46 是用来说明本发明的实施例 8 的存储装置的制造工序的剖面图。

图 47 是用来说明图 46 的后续工序的剖面图。

图 48 是用来说明图 47 的后续工序的剖面图。

图 49 是用来说明图 48 的后续工序的剖面图。

图 50 是用来说明图 49 的后续工序的剖面图。

图 51 是用来说明图 50 的后续工序的剖面图。

图 52 是用来说明图 51 的后续工序的剖面图。

图 53A 到图 53C 是用来说明本发明的实验例的每一工序的剖面图。

图 54 是用来说明硅微粒（微粒子）的形成状态的 SEM 照片。

图 55A 到图 55D 是用来说明硅微粒存储器的制造工艺的每一工序的剖面图。

图 56A 和图 56B 是图 55D 的每一后续工序的剖面图。

优选实施例

以下，参照附图详细说明本发明的实施例。

实施例 1

图 1 示出了本发明的实施例 1 的存储器的基本构成。在以下的说明中，作为例子对把电子用作电荷的情况进行说明。在把空穴用作电荷的情况下，把电位的符号反过来考虑即可。

本实施例的存储器的构成，例如，在石英、玻璃、塑料等非硅材料构成的基板 11 的上边形成的缓冲层 12 的上边，具备传导区 13c，和与该传导区 13c 的两侧分别相邻地形成的第 1 杂质区 13a 和第 2 杂质区 13b。缓冲层 12 由 SiO_2 或 Si_3N_4 等的绝缘膜构成。

第 1 杂质区 13a、第 2 杂质区 13b 和传导区 13c 分别由例如膜厚数十 nm 左右的多晶硅层 13 构成。第 1 杂质区 13a 和第 2 杂质区 13b，分别由向多晶硅层 13 中，作为 n 型杂质掺入例如磷（P）等的 V 族元素，或者作为 p 型杂质掺入硼（B）等的 III 族元素构成。另外，这些第 1 杂质区 13a、第 2 杂质区 13b 和缓冲区 13c 只要是单晶半导体以外的半导体（非单晶半导体）即可，例如可以用非晶 $Si_xGe_{1-x}(0 \leqslant x \leqslant 1)$ 或多晶 $Si_xGe_{1-x}(0 \leqslant x \leqslant 1)$构成。

在与传导区 13c 的正上方对应的位置上，设有绝缘膜 14。绝缘膜 14 由隧道绝缘膜 14a 和在该隧道绝缘膜 14a 上边叠层的控制用绝缘膜 14b 构成。这些隧道绝缘膜 14a 和控制用绝缘膜 14b 分别由 SiO_2, Si_3N_4 或 $SiN_kO_l(k, l \neq 0)$等形成。在隧道绝缘膜 14a 和控制用绝缘膜 14b 之间，设有用来保持电荷（在这里为电子）的存储区 15。隧道绝缘膜 14a 的膜厚，借助于量子力学性的隧道效应已变成为可以使电子通过隧道绝缘膜 14a 向存储区 15 迁移的大小（例如，不足 5nm）。

存储区 15 由离散性地配置的多个微粒子（量子点）15a 构成。该微粒子 15a 由 Si_yGe_{1-y} $(0 \leqslant y \leqslant 1)$、$SiFe_2$, II-VI, III-V 族化合物等的半导体粒子，Au、Sb、Sn 等的金属微粒子或 SiN_z $(z \neq 0)$ 等的绝缘体粒子形成。

在本实施例的存储区 15 中，微粒子 15a 的个数（面密度），比在制造过程中在隧道绝缘膜 14a 中产生的构造性的孔（针孔）的面密度大，具体地说，是 5 个以上。通常，多晶硅层 13 的表面上有凹凸，但

在本实施例中，其粗糙度是 0.1nm 以上 100nm 以下的范围，而且，存储区 15 中的微粒子 15a 的个数理想的是要变成为比传导区 13c 中的晶粒个数多。

在绝缘膜 14 的上边，就是说，在以存储区 15 为中心的传导区 13c 的相反一侧的位置上，形成有控制用电极（控制用电极）16。控制用电极 16 由例如铝（Al）等的金属或掺有杂质的低电阻值的多晶硅层构成。用该控制用电极 16 给传导区 13c 和存储区 15 之间加上电场，以控制传导区 13c 的传导率和存储区 15 内的电子个数。控制用电极 16 和存储区 15 之间的控制用绝缘膜 14b 的膜厚，借助于量子力学性的隧道效应，已变成为可以使电子通过隧道绝缘膜 14a 向存储区 15 迁移的大小（例如，不足 5nm）。

其次，分别对具有这样构成的存储器的作用，就是说，信息（数据）的写入法和擦除法以及信息的保持法和读出法进行说明。在以下的说明中，假定第 1 杂质区 13a 已经接地（电位=0V）。

在该存储器中，在第 1 杂质区 13a 和第 2 杂质区 13b 是 n 型的情况下，采用使第 2 杂质区 13b 变成为与第 1 杂质区 13a 同电位（0V），或加上比第 1 杂质区 13a 的电位还高的电位（例如 10V）的同时，对控制用电极 16 加上比第 1 杂质区 13a 的电位还高的电位（例如 20V）的办法，使传导区 13c 的电荷（电子）借助于量子力学性的隧道效应，通过传导区-存储区间的隧道绝缘膜 14a 进行迁移，存储到存储区 15 的分散开来的多个微粒子 15a 上。借此写入信息。

另外，在第 1 杂质区 13a 和第 2 杂质区 13b 是 p 型的情况下，采用使第 2 杂质区 13b 变成为与第 1 杂质区 13a 同电位（0V），或加上比第 1 杂质区 13a 的电位还低的电位（例如-10V）的同时，对控制用电极 16 加上比第 1 杂质区 13a 的电位还低的电位（例如-20V）的办法，使传导区 13c 的电荷（空穴）借助于量子力学性的隧道效应，通过传导区-存储区间的隧道绝缘膜 14a 进行迁移，存储到存储区 15 的分散开来的多个微粒子 15a 上。借此写入信息。这样写入的信息可以采用使所有的电极的电位变成为同电位或悬浮状态的办法进行保持。

如上所述，在本实施例的存储器中，由于存储区 15 由分散的 5 个以上的微粒子构成，故即便是存储在一部分的微粒子 15a 上的电荷因存在于隧道绝缘膜 14a 中的构造性的缺陷而漏泄，在隧道绝缘膜 14a 之内不存在缺陷的区域上形成的微粒子 15a 上所存储的电荷也不会漏泄。这一点，在多晶硅层 13 的表面粗糙度为 0.1nm 以上 100nm 以下的范围内，而且存储区 15 内的微粒子 15a 的个数变得比传导区 3c 中的晶粒个数还多的情况下也是一样的。就是说，即便是电场集中于多晶硅层 13 的凹凸部分中，由于在除此之外的区域中也存在微粒子 15a，故可以长时间保持电荷，而电荷不会漏泄。因此，在本实施例中，借助于低温工艺可以形成隧道绝缘膜，作为基板，可以使用玻璃或塑料等的材质便宜的基板。

此外，所写入的信息，在第 1 杂质区 13a 和第 2 杂质区 13b 是 n 型的情况下，采用使第 2 杂质区 13b 变成为与第 1 杂质区 13a 同电位的同时，对控制用电极 16 加上比第 1 杂质区 13a 的电位还低的电位（例如-20V）的办法，使保持在存储区 15 上的电荷（电子）通过传导区-存储区间的隧道绝缘膜 14a 进行迁移，被抽往传导区 13c，从而被擦除。

另外，在第 1 杂质区 13a 和第 2 杂质区 13b 是 p 型半导体的情况下，采用使第 2 杂质区 13b 变成为与第 1 杂质区 13a 同电位的同时，对控制用电极 16 加上比第 1 杂质区 13a 的电位还高的电位（例如 20V）。借此，使保持在存储区 15 上的电荷（空穴）通过传导区-存储区间的隧道绝缘膜 14a 进行迁移，被抽往传导区 13c，信息被擦除。

此外，所写入的信息，采用测定传导区 13c 对控制用电极 16 的电位或电流值的办法，检测存储区 15 内的电荷量的变化，进行读出。

实施例 2

图 2 示出了本发明的实施例 2 的存储器的构成。该存储器 20，在例如由石英构成的基板 21 的上边，通过由 SiO_2, Si_3N_4 等的绝缘膜构成的缓冲层 22 具备控制用电极（控制用电极）26。

在缓冲层 22 和控制用电极 26 的上边形成有绝缘膜 24。绝缘膜 24

由控制用绝缘膜 24b 和在该控制用绝缘膜 24b 的上边叠层的隧道绝缘膜 24a 构成。在隧道绝缘膜 24a 和控制用绝缘膜 24b 之间，设有由多个离散性地配置的微粒子 25a 构成的存储区 25。在绝缘膜 24 的上边，分别设有传导区 23c 和与该传导区 23a 的两侧相邻地设置的第 1 杂质区 23a 和第 2 杂质区 23b。这些第 1 杂质区 23a、第 2 杂质区 23b 和传导区 23c，在多晶硅层 23 内形成。

本实施例的存储器除与实施例 1 的所谓顶浇浇口（top gate）型存储器相对是底注式浇口型之外，其它的构成和作用（信息的写入法和擦除法以及信息的保持法和读出法）和效果，实质上与实施例 1 是相同的，故免予进行说明。

图 3 和图 4 是用来说明上述存储器的集成化方法 1 的电路构成图。该方法 1，在使各个存储器的栅极电极与字线相连的同时，使源-漏路径分别连接到位线和源极线之间，并使这些存储器多个并联地排列。此外，同样，图 5 示出了用方法 2 使上述存储器集成化的情况下的电路构成。在方法 2 中，在使各个存储器的栅极电极与字线相连的同时，使源-漏路径分别连接到位线和源极线之间，并使这些存储器多个串联地排列。另外，对用这些方法集成化的存储器的作用的说明，将在后边讲述。

实施例 1 的制造方法

其次，参照图 6A、图 6B 到图 10A、图 10B，对上述实施例 1 的存储器的制造方法 1 进行说明。在这里，在各图中，图 B 表示平面图，图 A 表示沿图 B 的 α-α 线的剖面图。

方法 1

首先，如图 6A 和图 6B 所示，在绝缘基板，例如石英、玻璃、塑料等的基板 11 上边，用例如 CVD（Chemical Vapor Deposition，化学汽相淀积）法或溅射法，形成例如 100nm 左右厚度的由 Si_3N_4 层或 SiO_2 层构成的缓冲层 12。然后使基板温度变成 600～700℃，用例如 CVD 法或溅射法，形成了数 10nm 左右膜厚的多晶硅层 13 后，用刻蚀法进

行器件隔离。另外，这时在多晶硅层 13 上，通常会发生由孔 10 构成的缺陷。

接着，如图 7A 和图 7B 所示，用使基板表面暴露于用热氧化法或采用向交流电场中导入氧的办法生成的氧电离气体内进行氧化的方法，使多晶硅层 13（传导区 Ch1）的表面仅仅氧化 10nm 左右的厚度，形成隧道绝缘膜 14a。这时虽然没有画出来，但是在隧道绝缘膜 14a 上，起因于多晶硅层 13 中的孔 10，如前所述，将发生多个孔（针孔）。

其次，如图 8A 和图 8B 所示，用以硅烷、乙硅烷等含有硅原子的气体和氧化锗等含有锗原子的气体为原料的化学汽相淀积法，或者以硅或锗或金属为原料的溅射法，在隧道绝缘膜 14a 上边成膜 $Si_xGe_{1-x}(0 \leqslant x \leqslant 1)$，形成由多个微粒子 15a 构成的存储区 15。这时，微粒子 15a 的个数要使得隧道绝缘膜 14a 的表面的被覆率比 1 小。此外，该微粒子的个数，还要使面密度比在隧道绝缘膜 14a 上产生的缺陷大，其个数定为 5 以上。

其次，如图 9A 和图 9B 所示，用 SiH_4(硅烷)、Si_2H_6(乙硅烷)等含有硅原子的气体和 N_2O(氧化亚氮)、O_2(氧)等含有氧原子的气体进行的化学汽相淀积法，或在 N_2O、O_2 等含有氧原子的气体的电离气体气氛中进行的硅的溅射法，形成膜厚约 100nm 的控制用绝缘膜 14b。接着，用多晶硅或 Al（铝）、Cu（铜）、W（钨）等的金属，在控制用绝缘膜 14b 上边的与传导区 13c（多晶硅层 13）相反的位置上，形成控制用电极（栅极电极）16。然后，以控制用电极 16 为掩模，直到传导区（多晶硅层 13）的表面为止，用使用 CF_4(四氟化碳)和 H_2(氢)的混合气体的 RIE（Reactive Ion Etching，反应性离子刻蚀）进行控制用绝缘膜 14b 的选择刻蚀。

其次，如图 10A 和图 10B 所示，以控制用绝缘膜 16 为掩模进行离子注入，在多晶硅层 13 中形成第 1 杂质区 13a 和第 2 杂质区 13b。离子注入，如果传导电荷为电子，则离子注入 V 族原子，例如磷（P）原子，如果传导电荷为空穴则离子注入 III 族，例如硼（B）原子。或者，如果传导电荷为电子，则采用以控制用电极 16 为掩模，向多晶硅

层 13 照射含有 V 族原子的电离气体（例如 PH_3 的电离气体）的办法，如果传导电荷为空穴，则采用照射含有 III 族原子的电离气体（例如 B_2H_6 的电离气体）的办法，也可以形成第 1 杂质区 13a 和第 2 杂质区 13b。然后，用电炉或准分子激光加热器件，使已注入的杂质激活化。

然后，虽然没有画出来，但要用例如 CVD 法或溅射法在这样形成的器件表面上，形成由 Si_3N_4 层或 SiO_2 层构成的保护膜。

方法 2

其次，参照图 11A、图 11B 到图 14A、图 14B，对上述实施例 1 的存储器的制造方法 2 进行说明。在这里，在各图中，图 B 和图 A 分别表示平面图和沿图 B 的 β-β 线的剖面图。

首先，如图 11A 和图 11B 所示，在石英等的基板 11 的上边，用 CVD 法或溅射法，形成例如膜厚为 100nm 左右的由 Si_3N_4 层或 SiO_2 层构成的缓冲层 12。接着，用等离子体 CVD（Plasma Enhanced Chemical Vapor Deposition, PECVD）法或溅射法，在不使基板 11 产生变形的那种温度下形成了膜厚数 10nm 左右的非晶硅层 13'之后，用刻蚀法进行器件分离。

其次，如图 12A 和图 12B 所示，用等离子体氧化法使非晶硅层 13'的表面氧化，在其上部用 PECVD 法形成由膜厚数 10nm 的 SiO_x 层($x<2$)构成的隧道绝缘膜 14a，然后，采用照射 150～300mJ/cm^2 这种程度的 XeCl 准分子激光的办法，使非晶硅层 13'结晶化，变成为多晶硅层 13。这时，SiO_x 中的过剩的硅析出，形成由多个微粒子 15a 构成的存储区 15。另外，也可以不用由 SiO_x 层($x<2$)构成的隧道绝缘膜 14a，而用（与方法 1 一样）以硅烷、乙硅烷等含有硅原子的气体或以氧化锗等含有锗原子的气体为原料的化学汽相淀积法，或者以硅或锗或金属为原料的溅射法，形成存储区 15，使得被覆率变得比 1 小。

其次，如图 13A 和图 13B 所示，用硅烷、乙硅烷等含有硅原子的气体和 N_2O、O_2 等含有氧原子的气体进行的化学汽相淀积法，或在 N_2O、O_2 等含有氧原子的气体的电离气体气氛中进行的硅的溅射法，形成膜厚约 100nm 的控制用绝缘膜 14b。接着，用多晶硅或 Al、Cu、

W 等的金属，在控制用绝缘膜 14b 上边的与多晶硅层 13 相反的位置上，形成控制用电极 16。然后，以控制用电极 16 为掩模，直到传导区（多晶硅层 13）的表面为止，用使用 CF_4 和 H_2 的混合气体的 RIE 进行控制用绝缘膜 14b 的选择刻蚀。

其次，如图 14A 和图 14B 所示，以控制用绝缘膜 16 为掩模进行离子注入，在多晶硅层 13 中形成第 1 杂质区 13a 和第 2 杂质区 13b。离子注入，与方法 1 一样，如果传导电荷为电子，则离子注入 V 族原子，例如磷（P）原子，如果传导电荷为空穴则离子注入 III 族，例如硼（B）原子。或者，如果传导电荷为电子，则采用以控制用电极 16 为掩模，向多晶硅层 13 照射含有 V 族原子的电离气体（例如 PH_3 的电离气体）的办法，如果传导电荷为空穴，则采用照射含有 III 族原子的电离气体（例如 B_2H_6 的电离气体）的办法，也可以形成第 1 杂质区 13a 和第 2 杂质区 13b。然后，用电炉或准分子激光加热器件，使已注入的杂质激活化。然后，虽然没有画出来，但要用例如 CVD 法或溅射法在这样形成的器件表面上，形成由 Si_3N_4 层或 SiO_2 层构成的保护膜。

图 15 示出了用上述实施例制作的存储器的栅极电压-漏极电流特性（存储效应）。另外，漏极电压为 5V。该存储器用 PECVD 法形成 $SiO_{0.5}$ 层,然后，采用照射能密度为 260mJ/cm^2 的 XeCl 准分子激光的办法，在 $SiO_{0.5}$ 层中形成由硅微粒构成的存储区，接着，借助于 PH_3 的等离子体照射，进行磷（P）的注入，再进行由 XeCl 准分子激光（260mJ/cm^2）施行的退火，使已注入的杂质激活化。

方法 3

其次，参照图 16A 和图 16B 到图 20A 和图 20B，对上述实施例 1 的存储器的制造方法 3 进行说明。在这里，在各个图中，图 B 和图 A 也分别表示平面图和沿图 B 的 γ-γ 线的剖面图。

首先，如图 16A 和图 16B 所示，在石英等的基板 11 上边，用 CVD 法或溅射法，形成例如膜厚 100nm 左右的 Si_3N_4 层或 SiO_2 层构成的缓冲层 12。接着，用 PECVD 法或溅射法，在不使基板 11 变形的那种

程度的温度下，形成了已经掺入了 n 型或 p 型杂质的膜厚数 10nm 左右的非晶硅层之后，用刻蚀法选择除去该非晶硅层，形成第 1 杂质区 13a 和第 2 杂质区 13b。

其次，如图 17A 和图 17B 所示，用 PECVD 法或溅射法，在基板 11 的表面上形成了不含杂质的非晶硅层 13'之后，用刻蚀法，选择除去与将成为传导区 13c 的部分、第 1 杂质区 13a 和第 2 杂质区 13b 对应的区域以外的区域。

其次，如图 18A 和图 18B 所示，在 150～300mJ/cm^2 的范围内向非晶硅层 13'照射 XeCl 准分子激光，使之结晶化，形成多晶硅层 13。

其次，如图 19A 和图 19B 所示，用等离子体氧化法使多晶硅层 13 的表面氧化，在其上部，用 PECVD 法形成由膜厚数 10nm 的 SiO_x 层(x<2)构成的隧道绝缘膜 14a，然后，采用照射 150～300mJ/cm^2 这种程度的 XeCl 准分子激光的办法，使 SiO_x 中的过剩的硅析出，形成由多个微粒子 15a 构成的存储区 15。另外，也可以不用由 SiO_x 层(x<2)构成的隧道绝缘膜 14a，而用（与方法 1 一样）以硅烷、乙硅烷等含有硅原子的气体或以氧化锗等含有锗原子的气体为原料的化学汽相淀积法，或者以硅或锗或金属为原料的溅射法，形成存储区 15，使得被覆率变得比 1 小。

其次，如图 20A 和图 20B 所示，用硅烷、乙硅烷等含有硅原子的气体和 N_2O、O_2 等含有氧原子的气体进行的化学汽相淀积法，或在 N_2O、O_2 等含有氧原子的气体的电离气体气氛中进行的硅的溅射法，形成膜厚约 100nm 的控制用绝缘膜 14b。接着，用多晶硅或 Al、Cu、W 等的金属，在控制用绝缘膜 14b 上边的与多晶硅层 13 相反的位置上，形成控制用电极 16。然后，以控制用电极 16 为掩模，直到传导区（多晶硅层 13）的表面为止，用使用 CF_4 和 H_2 的混合气体的 RIE 进行控制用绝缘膜 14b 的选择刻蚀。

然后，用电炉或准分子激光加热器件，使已注入的杂质激活化。然后，虽然没有画出来，但要用例如 CVD 法或溅射法在这样形成的器件表面上，形成由 Si_3N_4 层或 SiO_2 层构成的保护膜。

实施例 2 的制造方法

其次，参照图 21A 和图 21B 到图 25A 和图 25B，对本发明的实施例 2 的存储器的制造方法进行说明。在这里，在各个图中，图 B 和图 A 也分别表示平面图和沿图 B 的ξ-ξ线的剖面图。

方法 1

首先，如图 21A 和图 21B 所示，在绝缘基板，例如石英、玻璃、塑料等的基板 11 上边，用例如 CVD 法或溅射法，形成厚度约 100nm 左右的由 Si_3N_4 层或 SiN_kO_l（k、l≠0）构成的缓冲层 22。接着，采用用例如电子束蒸镀法形成由 W（钨）、Ta（钽）、Mo（钼）等构成的金属膜，并使之图形化的办法，形成控制用电极 26。

其次，如图 22A 和图 22B 所示，用 CVD 法或溅射法，按下述顺序形成由膜厚约 100nm 的 SiO_2 层构成的控制用绝缘膜 24b，膜厚数 10nm 的 SiO_x 层(x<2)构成的隧道绝缘膜 24a，膜厚约数 10nm 的未添加杂质的非晶硅层 23'。

其次，如图 23A 和图 23B 所示，采用照射 150～300mJ/cm^2 这种程度的 XeCl 准分子激光的办法，使非晶硅层 23'结晶化，形成多晶硅层 23。这时，SiO_x 中的过剩的硅析出，在隧道用绝缘膜 24a 中形成由多个微粒子 25a 构成的存储区 25。

其次，如图 24A 和图 24B 所示，用例如 RIE 选择除去多晶硅层 23 和隧道用绝缘膜 24a 进行器件隔离。

其次，如图 25A 和图 25B 所示，在多晶硅层 23 上边的与控制用电极 26 相反的区域上，形成由光刻胶或 SiO_2 构成的掩模 27。接着，用掩模 27 进行离子注入，在多晶硅层 23 上形成第 1 杂质区 23a 和第 2 杂质区 23b。离子注入如果传导电荷为电子，则离子注入 V 族原子，例如磷（P）原子，如果传导电荷为空穴则离子注入 III 族，例如硼（B）原子。或者，如果传导电荷为电子，则采用用掩模 27，向多晶硅层 13 照射含有 V 族原子的电离气体（例如 PH_3 的电离气体）的办法，如果传导电荷为空穴，则采用照射含有 III 族原子的电离气体（例如 B_2H_6

的电离气体）的办法，也可以形成第 1 杂质区 23a 和第 2 杂质区 23b。然后，用电炉或准分子激光加热器件，使已注入的杂质激活化。然后，虽然没有画出来，但要用例如 CVD 法或溅射法在这样形成的器件表面上，形成由 Si_3N_4 层或 SiO_2 层构成的保护膜。

实施例 3

其次，参照图 26 和图 27，对本发明的实施例 3 的存储器的制造方法进行说明。在本实施例中，示出了使在实施例 1 或实施例 2 中所示的顶浇浇口型的存储器集成化后的存储装置的构成例。图 26 是把图 3 的电路图应用到实际的器件中去的例子的平面图，图 27 是沿图 26 的 η -η 线的剖面图。

在该存储装置中，源极线 S_1、S_2，位线 B_1、B_2，字线 W_1、W_2，分别用已经注入了 Al、Cu 等的金属或杂质的多晶硅层形成。在这里，虽然示出的是 2×2 的存储器阵列，但不言而喻，一般说是 n × m(n, m>1) 的阵列。这一点在以下的实施例中也是一样的。

集成化方法

其次对上述存储器的集成化方法进行说明。

存储器的集成化方法的方法 1，如图 3 或图 4 所示，是使存储器的控制用电极（G）与字线 W_1、W_2…连接，使源-漏路径分别连接到位线与源极线之间的存储器多个并联地排列的方法。向各个存储器的信息写入、擦除和读出，只要如前所述在各个存储器的第 1 杂质区、栅极区和第 2 杂质区中给源极线、位线和字线加上电位即可。

实施例 4

图 28 示出了本发明的实施例 4 的使底注式浇口型存储器集成化后的存储装置的构成例，另外，平面构成与图 26 相同，图 28 也与沿该图 26 的 η -η 线的剖面图构成相对应。每一个器件的制造方法与前述那样，在集成化的情况下也容易搬用，故在此免予对其进行具体的说明。

实施例 5

图 29 和图 30 示出了本发明的实施例 5 的使用顶浇浇口型的存储

器的存储装置的构成例。图 29 是把图 3 的电路图应用到实际的器件中去的例子的平面图，图 30 是沿图 29 的 κ - κ 线的剖面图。源极线 S_1、S_2，位线 B_1、B_2，字线 W_1、W_2，分别用已经注入了 Al、Cu 等的金属或杂质的多晶硅层形成。

另外，图 31 示出了实施例 2 的使底注式浇口型的存储器集成化后的例子。

其次，对于在本实施例的存储装置的多个存储器之内，对于特定的器件，例如对于图 3 的存储器 C_{nm}，进行信息的写入、擦除及信息的保持和读出的情况分别进行具体的说明。另外，在以下的说明中，作为存储器，假定是具有 n 型导电类型的存储器。在作为存储器使用具有 p 型导电类型的存储器的情况下，在以下的说明中，把电位的符号反过来即可。

首先，在对于存储器 C_{nm} 写入信息的情况下，对除源极线 S_m 和字线 W_n 之外的字线 W_1 ~ W_{n-1} 加上 0V，对字线 W_n 加上 V_p（例如 10V），对位线 B_m 加上电位 V_d（例如 5V）。这时，理想的是给源极线 S_i 和位线 B_i（$i \neq m$）仅仅加上 $V_p/2$ 的电压，以便不致因出错而擦除存储器 C_{nm} 周围的其它的存储器中的信息。

其次，在擦除这样写入到存储器 C_{nm} 中的信息的情况下，对除源极线 S_m 和字线 W_n 之外的字线加上 0V，对字线 W_n 加上-V_p（例如-10V），对位线 B_m 加上电位-V_d（例如-5V）。这时，理想的是给除源极线 S_i 和位线 B_i 仅仅加上-$V_p/2$ 的电压，以便不致因出错而擦除存储器 C_{nm} 周围的其它的存储器中的信息。

此外，在保持写入到存储器 C_{nm} 中的信息的情况下，对全部电极的电位都置于同一电位或使其处于浮置态。

在从存储器 C_{nm} 中读出信息的情况下，对所有源极线和除位线 B_m 之外的所有的位线都加上 0V，对除字线 W_n 之外的字线都加上 0V，对字线 W_n 加上电位 V_r（例如 5V），对位线 B_m 加上电位 V_d（例如 5V），测定在位线 B_m 中流动的电流的大小。借助于此，可以进行存储器 C_{nm} 的写入状态的测定，可以进行信息的读出。

图 32 和图 33 示出了本发明的实施例 6 的使用顶浇浇口型的存储器的存储装置的构成例。图 32 和图 33 分别示出了把图 5 的电路图应用到实际的器件中去的例子的平面图和沿图 32 的 I-I 线的剖面图。在本实施例中，源极线 S_1、位线 B_1 和字线 W_1、W_2、W_3、W_4，…W_n，用已经注入了 Al、Cu 等的金属或杂质的多晶硅层形成。

图 34 示出了本发明的实施例 2 的使底注式浇口（bottom gate）型的存储器集成化后的例子，与图 33 一样，与沿图 32 的 I-I 线剖面图对应。

其次，对于本实施例中的存储装置的特定的存储器 M_{nm}（参看图 5），对信息的写入、擦除及信息的保持和读出的情况下的作用进行说明。另外，在以下的说明中，作为存储器假定是具有 n 型的导电性的存储器，对于具有 p 型的导电性的情况下，则省略其说明。

首先，对在写入信息的情况下，使所有的源极线都变成 0V 的同时，给字线 W_m 加上 V_p（例如 10V），给字线 W_m 以外的字线加上 $V_p/2$（例如 5V），给位线 B_n 加上 0V，给位线 B_n 以外的含有已把字线 W_m 连接到栅极上的存储器列的位线，加上 $V_p/2$（例如 5V）。

在擦除已经写入到存储器 M_{nm} 中的信息的情况下，使所有的源极线都变成 0V，给字线 W_m 加上-V_p（例如-10V），给字线 W_m 以外的字线加上 $V_p/2$（例如 5V），给位线 B_n 加上 0V，给位线 B_n 以外的含有已把字线 W_m 连接到栅极上的存储器列的位线，加上-$V_p/2$（例如-5V）。

此外，在保持已经写入到存储器 M_{nm} 中的信息的情况下，使所有的电极的电位变成为同电位或变成为悬浮状态。

在读出信息的情况下，给所有的源极线和除位线 B_n 以外的位线加上 0V，给除字线 W_m 以外的字线加上 0V，给字线 W_m 加上 0V，给位线 B_m 加上 V_d（例如 5V），测定在位线 B_n 中流动的电流的大小。借此可以读出写入到存储器 M_{nm} 中的信息。

实施例 7

其次，参照图 35 到图 38，对在同一基板上边，同时制作实施例 1

（图 1）的存储器和例如控制电路等的外围电路情况下的方法进行说明。

首先，如图 35 所示，在石英、玻璃、塑料等的基板 11 上边，作为缓冲层 12 用 CVD 法或溅射法形成约 100nm 的厚度的 Si_3N_4 层或 SiO_2 层之后，在缓冲层 12 的表面上，用 PECVD 法或溅射法，在不产生基板变形的温度下，形成约数 10nm 的非晶硅层 13'之后，用刻蚀法进行器件隔离。

其次，如图 36 所示，在等离子体氧化法使多晶硅层 13'的表面氧化，形成了隧道绝缘膜 14a 之后，在隧道绝缘膜 14a 的上部，用 PECVD 法形成膜厚数 10nm 的 SiO_x 层($x<2$)。然后，照射 150～300mJ/cm^2 这种程度的 XeCl 准分子激光。借助于此，使 SiO_x 中的过剩的硅析出，形成由多个微粒子 15a 构成的存储区 15。

其次，如图 37 所示，用光刻胶膜 17 覆盖存储器一侧（图的左边一半），用使用 SF_6、CF_4 和 H_2 的混合气体的 RIE 选择除去在外围电路一侧（图的右半边）形成的存储区。然后去掉光刻胶膜 17。

其次，如图 38 所示，用硅烷、乙硅烷等含有硅原子的气体和 N_2O、O_2 等含有氧原子的气体进行的化学汽相淀积法，或在 N_2O、O_2 等含有氧原子的气体的电离气体气氛中进行的硅的溅射法，形成膜厚约 100nm 的控制用绝缘膜 14b。接着，用多晶硅或 Al、Cu、W 等的金属，在控制用绝缘膜 14b 上边，形成控制用电极 16（G_m、G）。然后，以控制用电极 16（G_m、G）为掩模，直到传导区（多晶硅层 13）的表面为止，用使用 CF_4 和 H_2 的混合气体的 RIE 进行控制用绝缘膜 14b 的选择刻蚀。

其次，如图 39 所示，以控制用电极 16（G_m、G）为掩模，如果传导电荷为电子，则离子注入磷等的 V 族原子，如果传导电荷为空穴则离子注入硼等的 III 族原子，形成第 1 杂质区 13a（S_m、S）和第 2 杂质区 13b（D_m、D）。如果传导电荷为电子，则照射 PH_3 等的含有 V 族原子的电离气体，如果传导电荷为空穴则照射 B_2H_6 等的含有 III 族原子的电离气体，形成第 1 杂质区 13a（S_m、S）和第 2 杂质区 13b

（D_m、D）。然后，用电炉或准分子激光加热器件，使已注入的杂质激活化。然后，进行必要的布线，用 CVD 法或溅射法覆盖基板的表面，形成由 Si_3N_4 层或 SiO_2 层构成的保护膜。

实施例 8

其次参照图 40 到图 45，对在同一基板上边，在制作实施例 2（图 2）的存储器的同时制作外围电路的情况下的方法进行说明。

首先，如图 40 所示，在石英等的基板 11 上边，用 CVD 法或溅射法形成约 100nm 的厚度的 Si_3N_4 层或 SiO_2 层构成的缓冲层 12 之后，用电子束蒸镀法或溅射法，形成钨、钽、钼等的膜并使之图形化，形成控制用电极 26（G_m、G）。

其次，如图 41 所示，在 CVD 法或溅射法形成了膜厚约 100nm 的由 SiO_2 构成的控制用绝缘膜 24b 之后，形成膜厚数 10nm 的 $SiO_x(x<2)$ 层 27。

其次，如图 42 所示，用光刻胶膜 28 覆盖存储器一侧（在图中，为左侧），用使用 SF_6、CF_4 和 H_2 的混合气体的 RIE 选择除去在外围电路一侧（在图中，为右侧）形成的 SiO_x 层 27。然后去掉光刻胶膜 28。

其次，如图 43 所示，用等离子体氧化法在 SiO_x 层 27 的表面上形成隧道绝缘膜 24a，然后，用 CVD 法或溅射法或 PECVD 法，在隧道绝缘膜 24a 和控制用绝缘膜 24b 上边，形成膜厚数 10nm 的非晶硅层 23'，其次，如图 44 所示，照射 150～300mJ/cm^2 这种程度的 XeCl 准分子激光。借助于此，使非晶硅层 23'结晶化变化成多晶硅层 23 的同时，形成由多个微粒子 15a 构成的存储区 15。接着，进行用于器件隔离的刻蚀。

接着，如图 45 所示，在与多晶硅层 23 上边的控制用电极 26（G_m、G）对应的区域上用光刻胶膜或 SiO_2 膜形成掩模 29。接着，用掩模 29，如果传导电荷为电子，则离子注入磷等的 V 族原子，如果传导电荷为空穴则离子注入硼等的 III 族原子，分别形成第 1 杂质区 23a（S_m、S）和第 2 杂质区 23b（D_m、D）。或者取代离子注入，也可以使用下述方法：如果传导电荷为电子，则照射 PH_3 等的含有 V 族原子的电离气

体，如果传导电荷为空穴则照射 B_2H_6 等的含有 III 族原子的电离气体，形成第 1 杂质区 23a（S_m、S）和第 2 杂质区 23b（D_m、D）。然后，用电炉或准分子激光加热器件，使已注入的杂质激活化。然后，在形成了必要的布线之后，在存储装置的表面上，用 CVD 法或溅射法形成由 Si_3N_4 层或 SiO_2 层构成的保护膜（图中未画出来）。

实施例 9

其次，参照图 46 到图 51，对具有在半导体基板上边制作的外围电路的上边叠层有实施例 1 的器件这种构造的存储装置的制造方法进行说明。

首先，如图 46 所示，用 LOCOS(Local Oxidation of Silicon,硅的局部氧化)法选择氧化洗净后的硅单晶基板 31 的表面，形成用于进行器件隔离的场氧化膜 32，接着，用热氧化法形成栅极氧化膜 33。

其次，如图 47 所示，用 CVD 法或溅射法，形成由 Al、W、Cu 等的金属构成的控制用电极 34，并以该控制用电极 34 为掩模进行离子注入，形成 n 型的 LDD（Lightly Doped Drain,轻掺杂漏）区域 35a、35b。接着，在控制用电极 34 的侧壁上，形成例如由 SiO_2 构成的栅极侧壁（Side Wall）34a，然后以该栅极侧壁 34a 和控制用电极 34 为掩模进行离子注入，形成 n^{++} 型的源区 36a 和漏区 36b。

其次，如图 48 所示，用 CVD 法或溅射法，用 SiO_2 或 $Si(OC_2H_5)_4$(TEOS)等或者 SOG（Spin On Glass，旋涂玻璃），形成层间绝缘膜 37。然后，用 CMP（Chemical and Mechanical Polishing，化学机械抛光）法，进行层间绝缘膜 37 的表面平坦化。

然后，与前述的方法一样，形成存储器。就是说，如图 49 所示，在层间绝缘膜 37 上边形成隧道绝缘膜 14a，在其上边，形成有多个微粒子 15a 构成的存储区 15。接着，如图 50 所示，形成控制用绝缘膜 14b，在该控制用绝缘膜 14b 上边形成控制用电极 16（G_m）。然后，以控制用电极 16（G_m）为掩模，直到多晶硅层 13 的表面为止对控制用绝缘膜 14b 和隧道绝缘膜 14a 进行刻蚀后，进行离子注入，形成第 1 杂质区 13a（S_m）和第 2 杂质区 13b（D_m）。然后，在形成了必要的布线

之后，用 CVD 法或溅射法，在存储装置的表面上，形成由 Si_3N_4、SiO_2 构成的保护膜（图中未画出来）。

接着，在需要在存储器和外围电路之间进行布线的情况下，如图 51 所示，用使用 CH_4 和 H_2 的混合气体或 C_2H_6 的 RIE，在层间绝缘膜 37 上形成接触孔 38，并用 Al、W、Cu 等的金属形成布线 39。之后，用 CVD 法或溅射法在表面上形成由 Si_3N_4、SiO_2 构成的保护膜（图中未画出来）。

图 52 示出了把上述实施例的存储器形成为叠层构造（在这里为 2 层构造）时的例子。就是说，在半导体基板 41 上边，在形成了由 Si_3N_4、SiO_2 构成的缓冲层 42 之后，制作上述实施例的存储器，然后，用 CVD 法或溅射法，用 SiO_2 或 $Si(OC_2H_5)_4$(TEOS)等或者 SOG(Spin On Glass, 旋涂玻璃），形成层间绝缘膜 43。然后，在用 CMP 法使层间绝缘膜 43 的表面平坦化后，在制作第 2 层的存储器的同时，在层间绝缘膜 43 上形成接触孔 44，并用 Al、W、Cu 等的金属膜形成布线 45。用这样的多层构造，就可以制造容量大的存储装置。

实验例 1

其次，对本发明的具体的实验例进行说明。

首先，如图 53A 所示，在玻璃基板 51 上边，用 PECVD 法形成膜厚 200nm 的 SiO_2 膜 52。此外，也可以不形成 SiO_2 膜而代之以形成 $Si_{1-x}N_x$ (x=0 ~ 4/3)膜。此外，作为基板，除玻璃之外，例如也可以使用聚醚砜（PES, Polyether Sulfone）或聚甲基丙烯酸甲酯（PMMA）、聚对苯二甲酸乙二酯（PET）等的塑料基板，或者也可以是硅晶片。接着，在该 SiO_2 膜上边，用 PECVD 法，形成膜厚 30nm 的 Si 膜 53。另外，该 Si 膜 53 既可以是非晶状态，也可以是微结晶状态。

其次，在该 Si 膜 53 上边，用使用流量 20SCCM 的 SiH_4 气体和流量 20SCCM 的 N_2O 气体的 PECVD 法形成 Si 过剩的非化学计量的组成的 SiO_x(x<2)(硅氮化)膜 54。

其次，向形成了该 SiO_x 膜 54 的玻璃基板 51 的表面，如图 53B 所示，照射脉冲宽度 10 ~ 50nsec，280mJ/cm^2 的激光束 15。作为激光，

可以使用例如 KrF（共振波长 248nm）、ArF（共振波长 193nm）、XeCl（共振波长 308nm）等的准分子激光，在这里使用的是 XeCl 准分子激光。

采用照射该激光的办法，如图 53C 所示，SiO_x 膜 54 分解成化学计量组成的 SiO_2 和 Si。就是说，变成为在 SiO_2 膜 54a 中形成了 Si 的微粒子 54b 的状态。该微粒子 54b 的大小处于 1nm～1 微米的范围。

图 54 示出了照射能束后的 SEM（Scanning Electron Microscope，扫描电镜）照片的结果，可知在黑色区域内存在有明亮得发白的点（微粒）。此外，借助于显微 AES(Auger Elctron Spectroscopy,俄歇电子分光)法，研究被认为是 SiO_2 的暗的区域和被认为是扩散后的 Si 的明亮的区域之间的差别的结果，得知 Si 集中于比暗的区域还亮的区域中。

如上所述，在玻璃基板 51 的上边形成的 Si 膜 53 上边，形成过剩地含有 Si 的 SiO_x 膜 54，接着，对该 SiO_x 膜 54 照射激光束 55 实行加热处理，就可以形成由多个微粒子 54b 构成的存储区。

实验例 2

其次，参照图 55A～图 56B，具体地说明制造存储器的例子。

首先，在玻璃基板 61 上边，用 PECVD 法形成膜厚 200nm 的 SiO_2 膜 62。接着，在该 SiO_2 膜 62 上边形成膜厚 30nm 存储器的隧道用 Si 膜 63。其次，在该 Si 膜 63 上边，用 PECVD 法，形成膜厚 1nm～10nm 的 SiO_2 膜 64，在该 SiO_2 膜 64 上边，用使用流量 20SCCM 的 SiH_4 气体和流量 20SCCM 的 N_2O 气体的 PECVD 法形成 Si 过剩的非化学计量组成的 $SiO_x(x<2)$ 膜 65。

其次，向形成了该 SiO_x 膜 65 的玻璃基板 61 的表面，如图 55B 所示，照射 280mJ/cm^2 的激光束 66。借助于照射该激光束 26，如图 55C 所示，SiO_x 膜 65 分解成 SiO_2 膜 65a 和分散到该 SiO_2 膜 65a 中的 Si 的微粒子 65b。该微粒子 65b 分散后的 SiO_2 膜 65a 将变成浮置栅极。

在形成了微粒子 65b 之后，如图 55D 所示，在 SiO_2 膜 65a 上边，用 PECVD 法形成膜厚 100nm 的 SiO_2 膜 67。接着，在该 SiO_2 膜 67 上边形成由膜厚 100nm 的 Ta（钽）构成的控制栅极 68。就是说，采

用在 SiO_2 膜 67 上边，用例如溅射法形成钽膜，然后，在该钽膜上边形成栅极图形的光刻胶膜，以该光刻胶膜为掩模，进行钽膜的刻蚀，剥离光刻胶膜的办法，形成控制栅极 68。

其次，如图 56A 所示，例如，用使用含有 CF_4 和 H_2 的混合气体的等离子体刻蚀，以控制栅极 68 为掩模，顺次选择除去 SiO_2 膜 67，含有微粒子 65b 的 SiO_2 膜 65a 和 SiO_2 膜 64。接着，以控制栅极 68 为掩模，在 90℃的低温下，用使用 PH_3 的等离子体掺杂法，向 Si 膜 63 中导入 n 型杂质（磷（P））。借助于此，在控制栅极 68 的下边的传导区 63a 的两侧自我整合性地形成第 1 杂质区 63b 和第 2 杂质区 63c。接着，向基板表面照射准分子激光束（波长 308nm），使第 1 杂质区 63b 和第 2 杂质区 63c 中的杂质激活化。

接着，如图 56B 所示，在基板表面上用例如 PECVD 法形成作为保护摸的 Si_3N_4 膜 69。在该 Si_3N_4 膜 69 上形成了源极、栅极和漏极用的接触孔之后，用例如溅射法淀积铝（Al），然后，使之图形化，以分别形成源极电极 70a、栅极电极 70b 和漏极电极 70c。

采用以上的方法，就可以制作具备含有微粒子的浮置栅极（存储区）的非易失性的存储器。另外，在该存储器中，如果在电流在第 1 杂质区 63b 和第 2 杂质区 63c 之间流动的状态下，给栅极电极 70b 加上对传导区 63a 大的正偏压，则在 Si 微粒 65b 上将存储以绝缘膜为隧道的电子，其结果是 I-V 特性将发生变化。此外，如果给栅极电极 60b 加上负偏压，则在 Si 微粒 65b 上存储的电子将以绝缘膜为隧道被放出到传导区 63a，结果是返回到原来的特性中去。如上所述，采用在栅极绝缘膜中形成 Si 微粒 65b 的办法，就可以进行电荷的存储和放出，使之具有存储效应。该构造虽然表现出与具有连续的 Si 浮置栅极的所谓闪速存储器相同的作用，但是，由于是微粒状的浮置栅极，故存储在各个微粒上的电荷通过漏泄而逸散的比率小，从而将变成保持力强的存储装置。

虽然举出了以上的实施例来说明本发明，但是，本发明不受上述实施例的限制。例如，在上述实施例中，虽然对适合于硅微粒存储器

的制造的例子来说明本发明，但是只要是使用硅的微粒子，也可以应用于其它的各种器件的制造中去。例如，作为基板若使用硅基板，则可以应用到具有浮置栅极的闪速存储器中去。

此外，在上述实施例中，虽然说明的是形成硅微粒的例子，但是也可以形成其它的半导体微粒。例如也可以使用作为其它的 IV 族元素的锗（Ge）和作为 IV 族化合物半导体的 $SiFe_2$、SiGe，此外还可以形成 II-VI 族化合物半导体或 III-V 族化合物半导体的微粒，或者金属（Al、Sb、Sn）等的微粒。

作为 II-VI 族化合物半导体的微粒形成例子，可以举出向掺入了 Se 的 ZnO（或 ZnO/ZnSe/ZnO 的叠层构造）照射激光形成 ZnSe 微粒的例子，或不用该例子的 Se 而用 Te(碲)形成 ZnTe 微粒的例子。此外，III-V 族化合物半导体微粒的形成例子，则可以举出向掺入了 Ga 的 SiN_x（或 $Si_3N_4/GaN/Si_3N_4$ 的叠层构造）照射激光，在 Si_3N_4 中形成 GaN 微粒的例子，以及向 AlGaAs/InAs/AlGaAs 的叠层构造照射激光，在 AlGaAs 中形成 InAs 微粒的例子。

如上所述，倘采用本发明的存储器或其制造方法或集成电路，则由于可以用分散开来的多个微粒子（dot）构成存储区的同时，形成下述构成：使存储器中的微粒子的面密度比在隧道绝缘膜中产生的构造性的孔（针孔）的面密度还大，或者使存储区中的微粒子的个数为 5 个以上，或者用表面的粗糙度在 0.1nm 以上 100nm 以下的多晶硅膜形成传导区，同时使存储区的微粒子的个数变成为比传导区中的晶粒个数还多，故可以在玻璃或塑料制的基板上边，在低温下，制造隧道绝缘膜。此外即便是在隧道绝缘膜上发生了针孔等的缺陷，存储在一部分的微粒子上的电荷漏掉，存储在不存在缺陷的区域上形成的微粒子上的电荷也不会漏泄。因此，得以长时间地保持信息。

此外，倘采用本发明的半导体装置的制造方法，由于对过剩地含有半导体的非化学计量组成的存储区形成用薄膜施行激光束照射等的加热处理，故也可以在玻璃或塑料制的基板上边，也可以容易地形成由分散的多个微粒子构成的存储区。

工业上利用的可能性

如上所述，由于本发明的存储器，可以在玻璃或塑料制的基板上边，在低温下，制造隧道绝缘膜，同时可以长时间地保持信息，故在非易失性的存储装置和数据处理装置中使用是合适的。

图 1

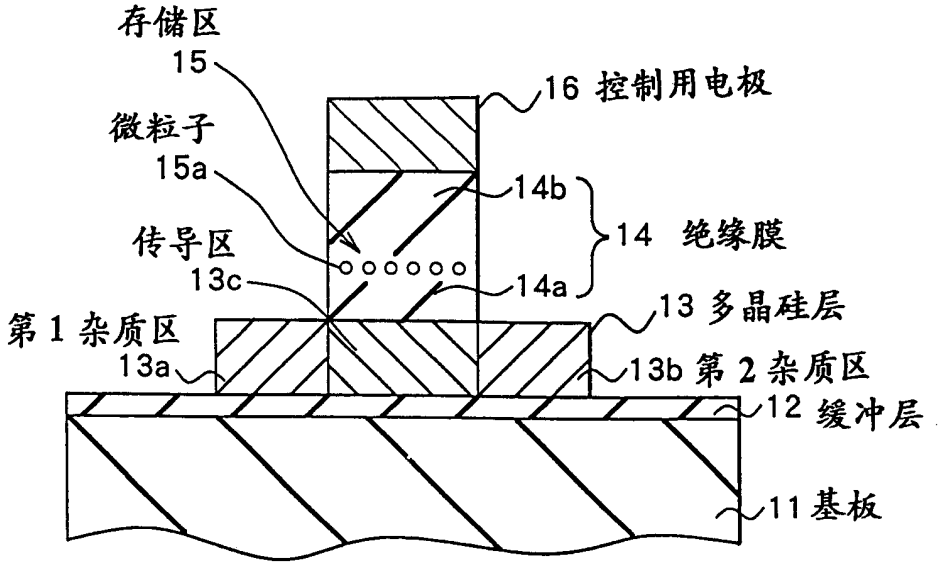

存储区
15
16 控制用电极
微粒子
15a
14b
14 绝缘膜
传导区
13c
14a
13 多晶硅层
第 1 杂质区
13a
13b 第 2 杂质区
12 缓冲层
11 基板

图 2

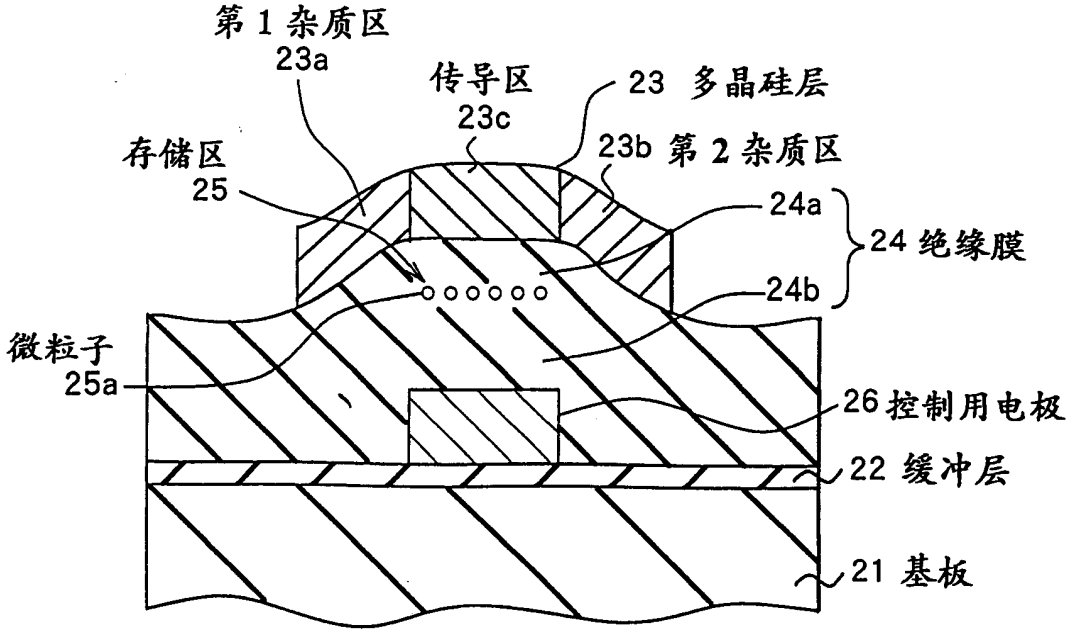

第 1 杂质区
23a
传导区
23c
23 多晶硅层
存储区
25
23b 第 2 杂质区
24a
24 绝缘膜
24b
微粒子
25a
26 控制用电极
22 缓冲层
21 基板

图 3

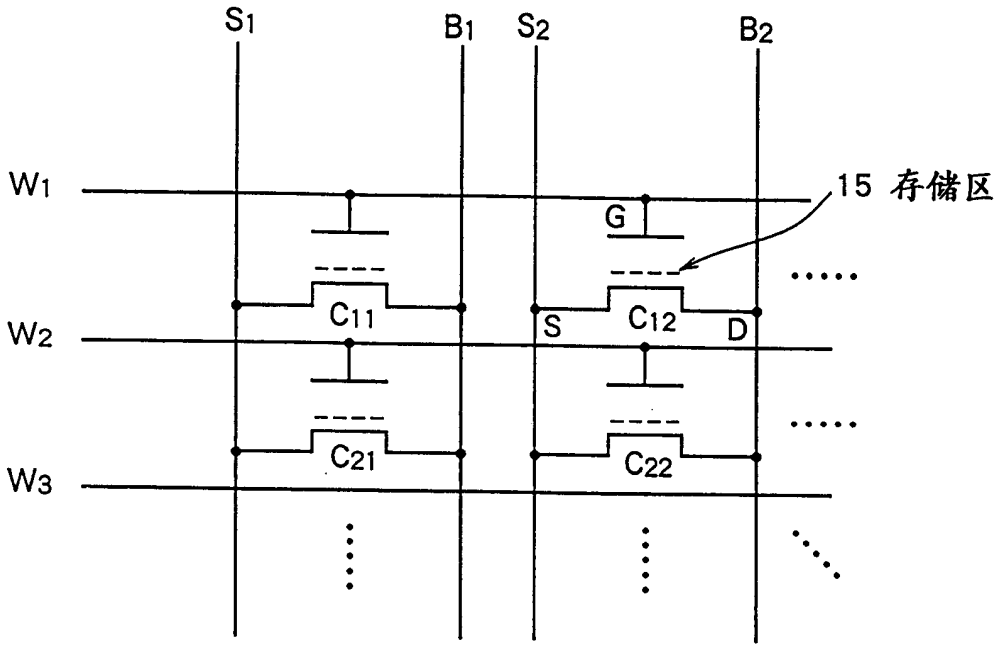

S1
B1
S2
B2
W1
W2
W3
15 存储区
G
C11
C12
S
D
C21
C22

图 4

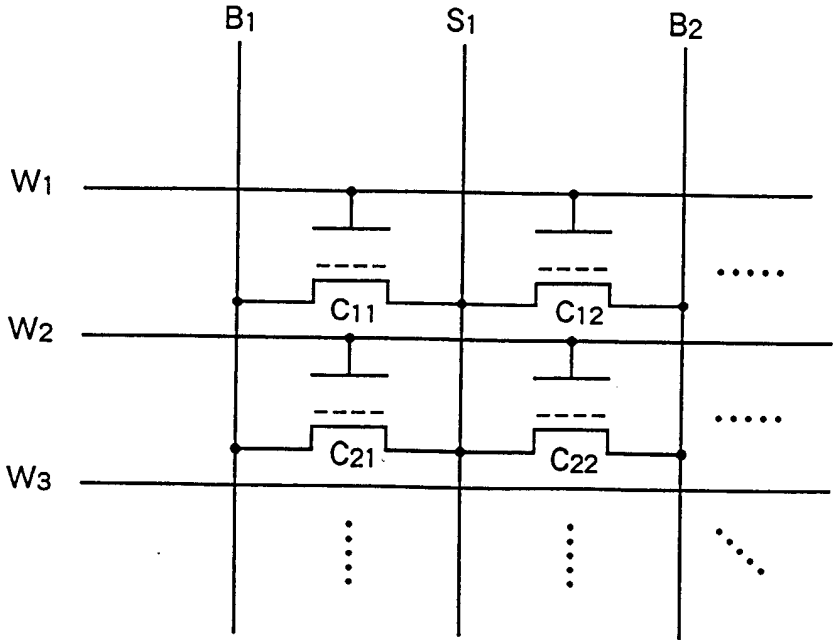

B1
S1
B2
W1
W2
W3
C11
C12
C21
C22

图 5

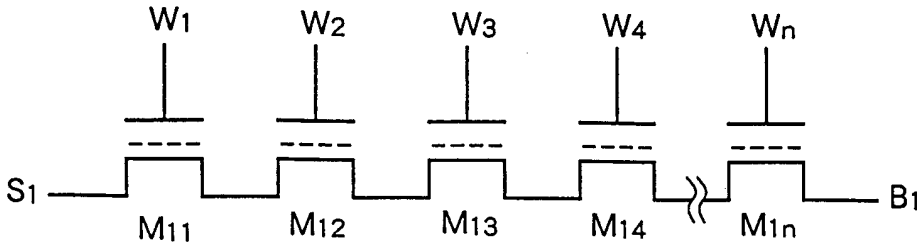


图 6A

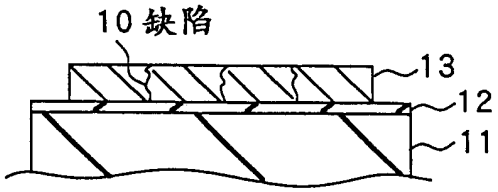


图 6B

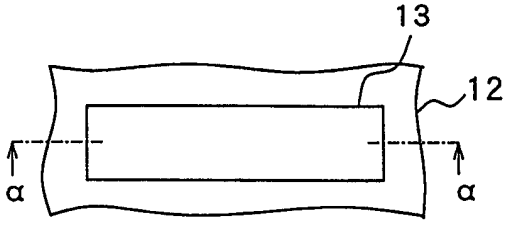


图 7A

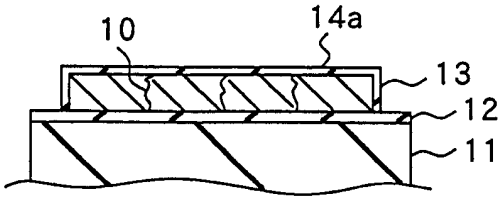


图 7B

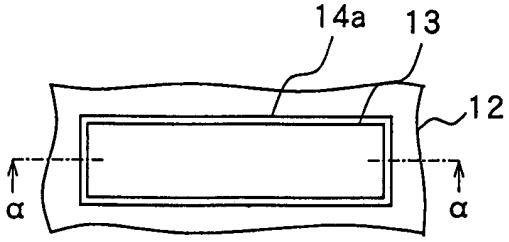


图 8A

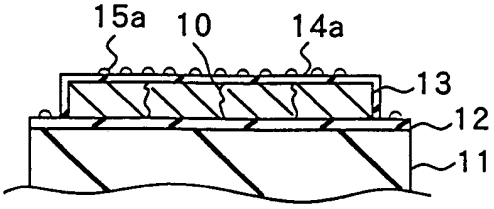


图 8B

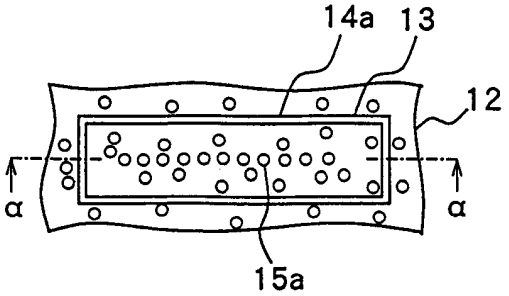


图 9A

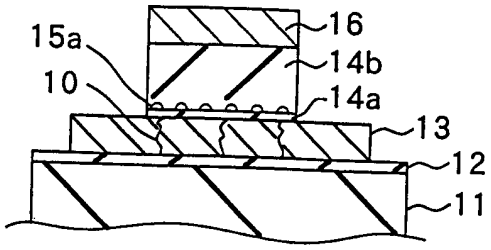


图 9B

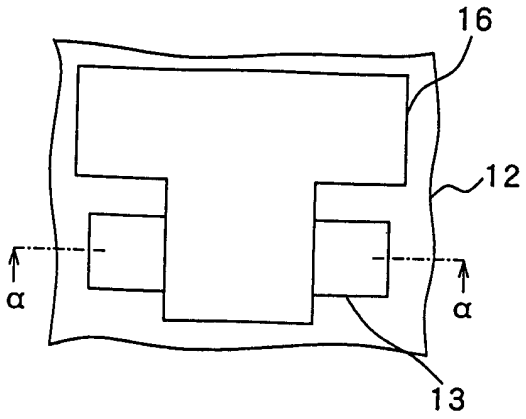


图 10A

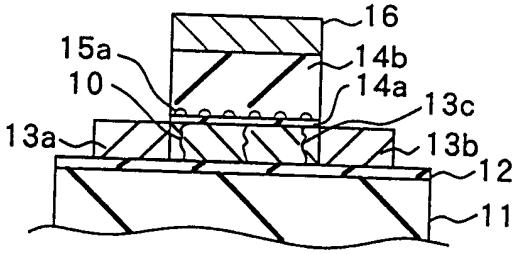


图 10B

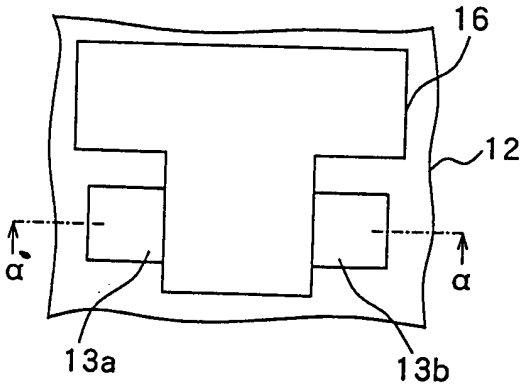


图 11A

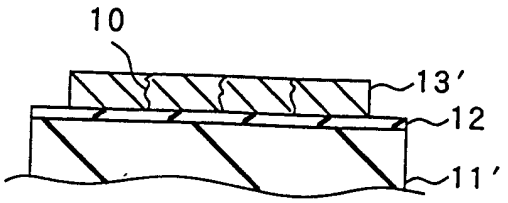


图 11B

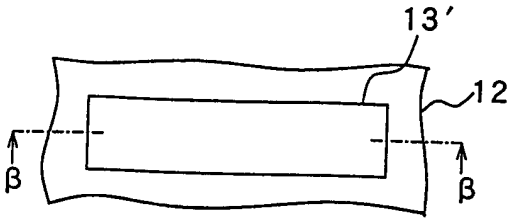


图 12A

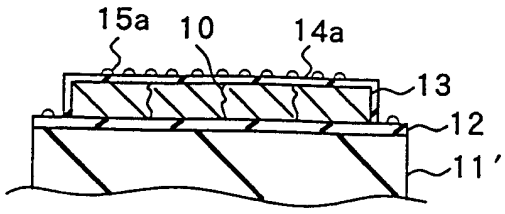


图 12B

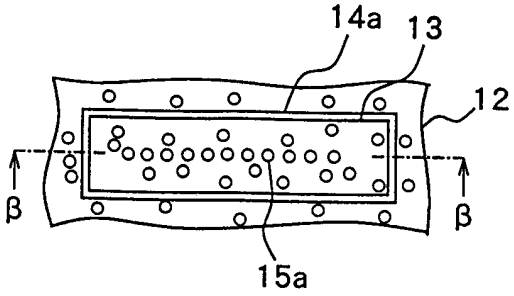


图 13A

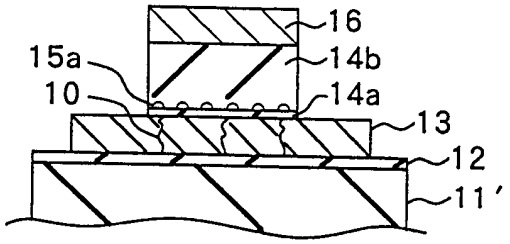


图 13B

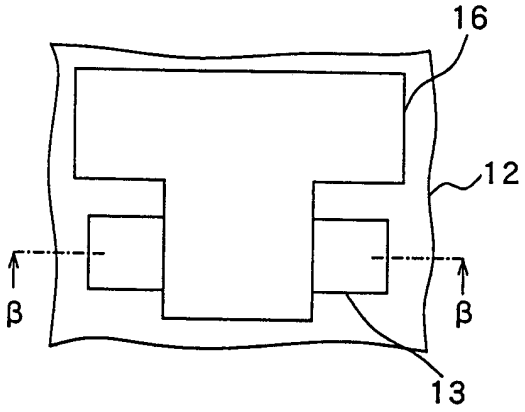


图 14A

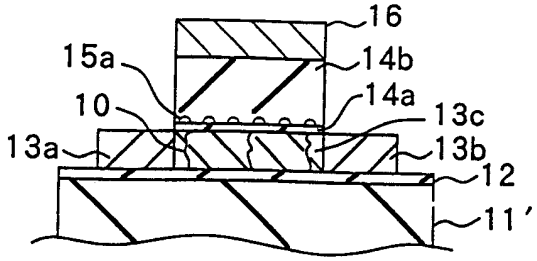


图 14B

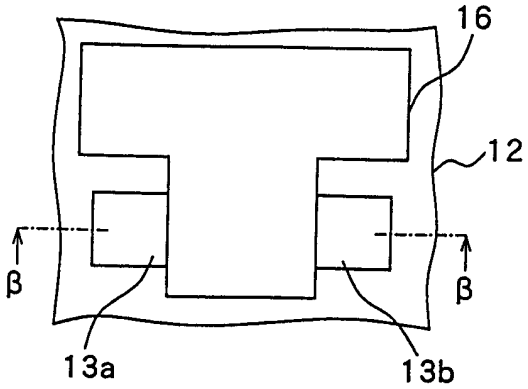


图 15

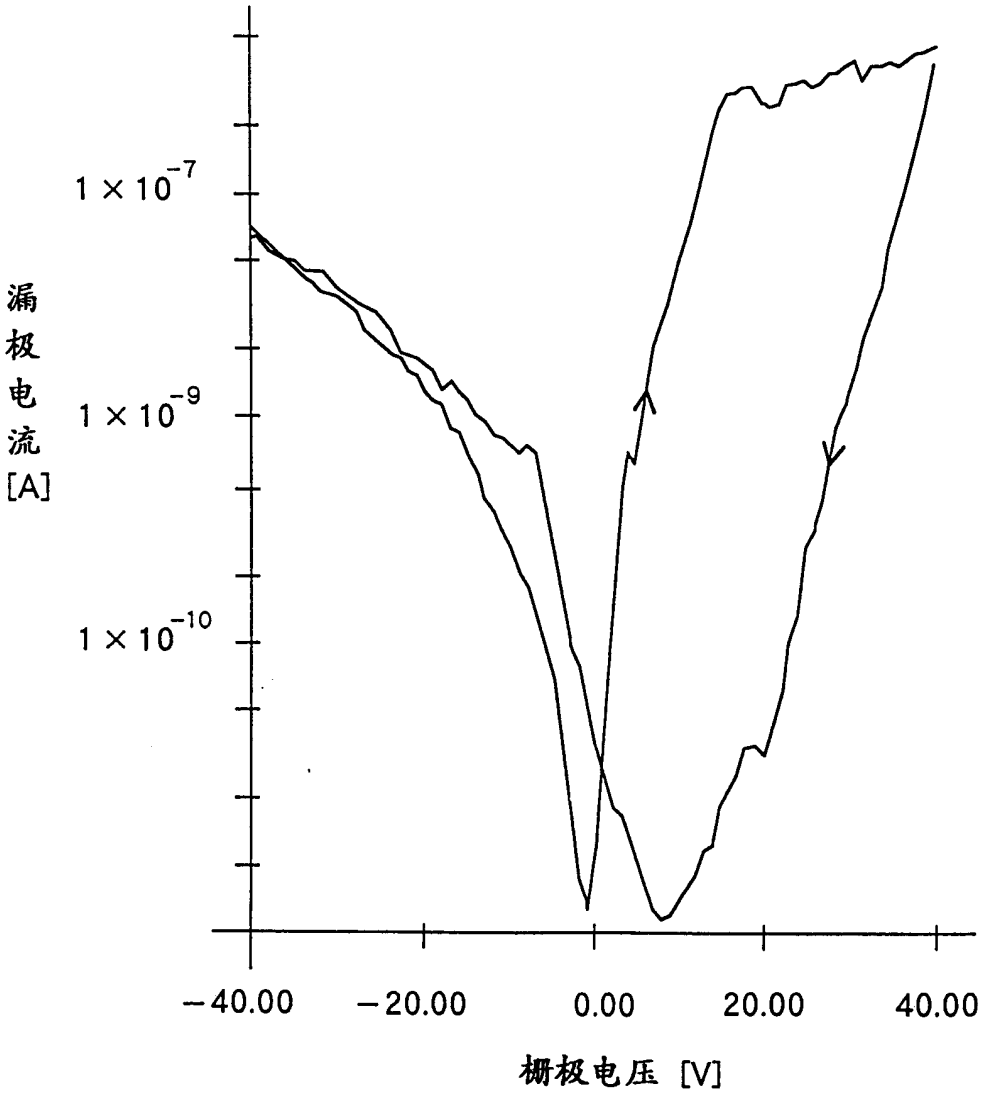


图 16A

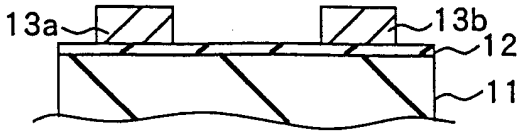


图 16B

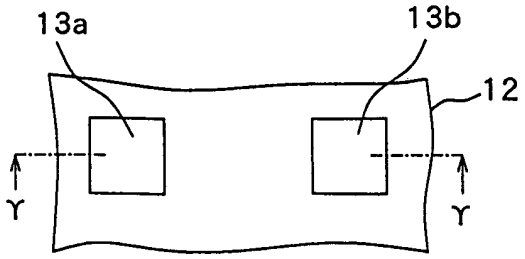


图 17A

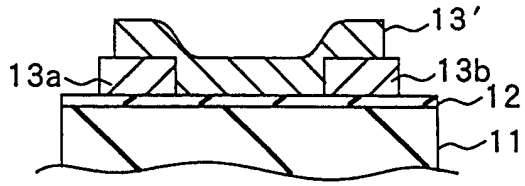


图 17B

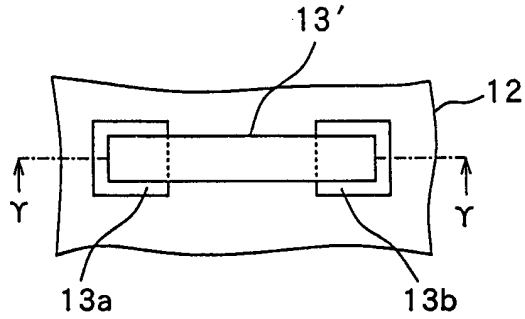


图 18A

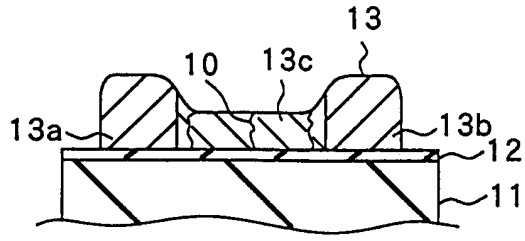


图 18B

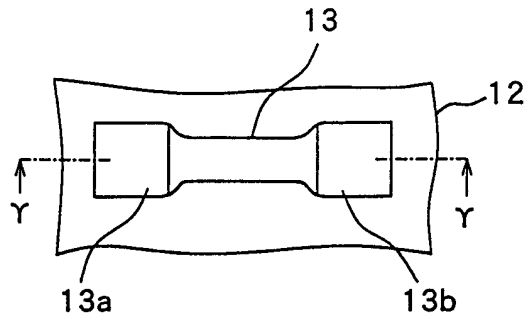


图 19A

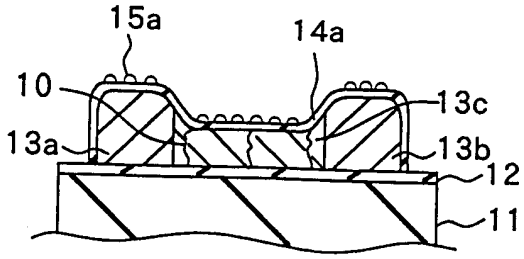


图 19B

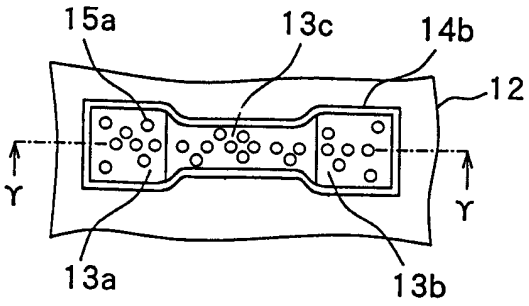


图 20A

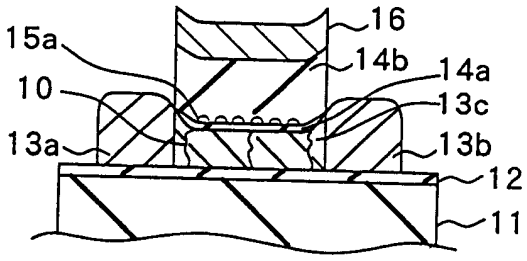


图 20B

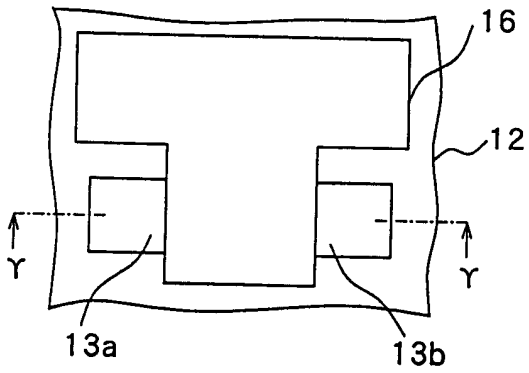


图 21A

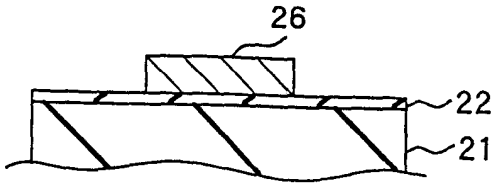


图 21B

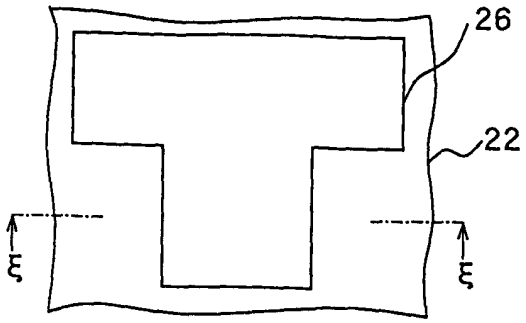


图 22A

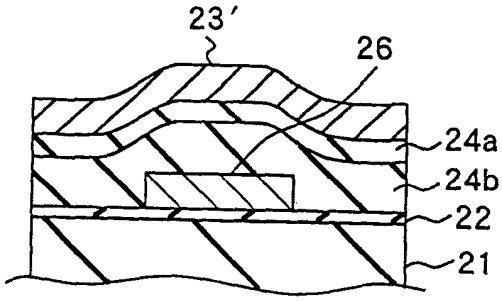


图 22B

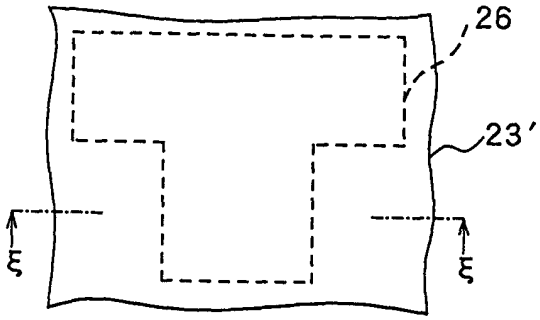


图 23A

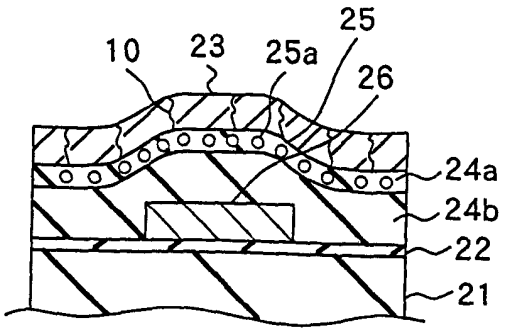


图 23B

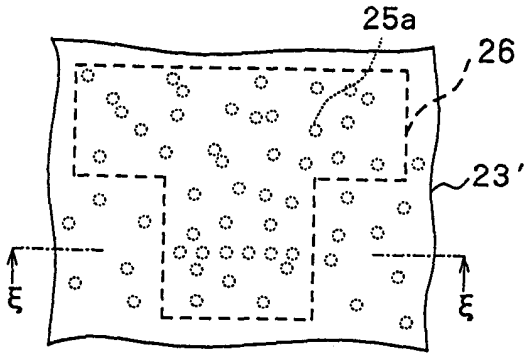


图 24A

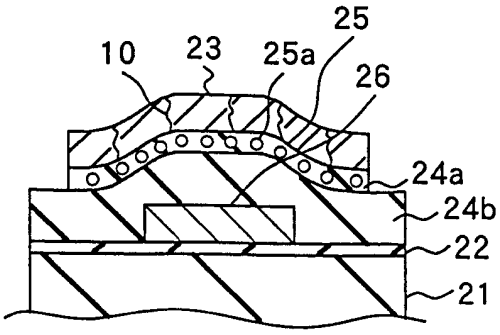


图 24B

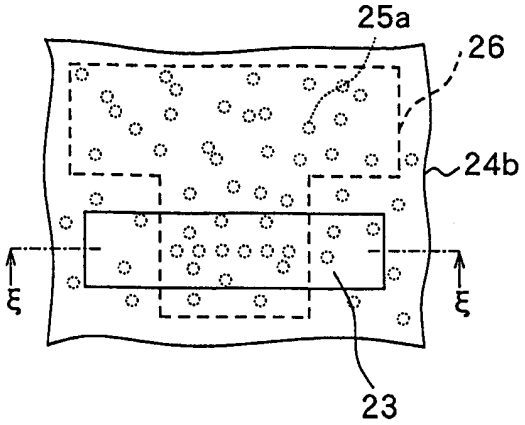


图 25A

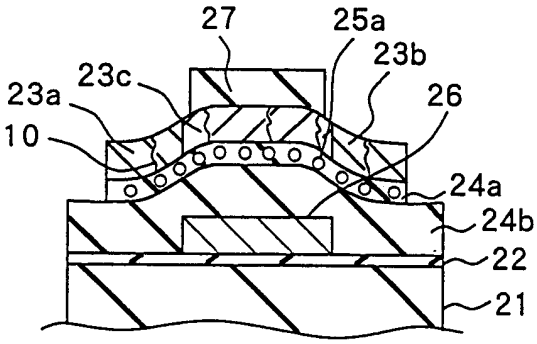


图 25B

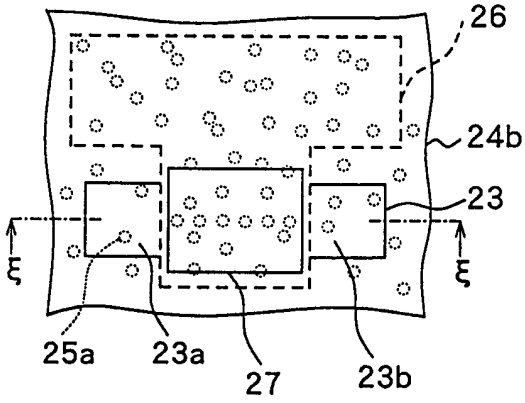


图 26

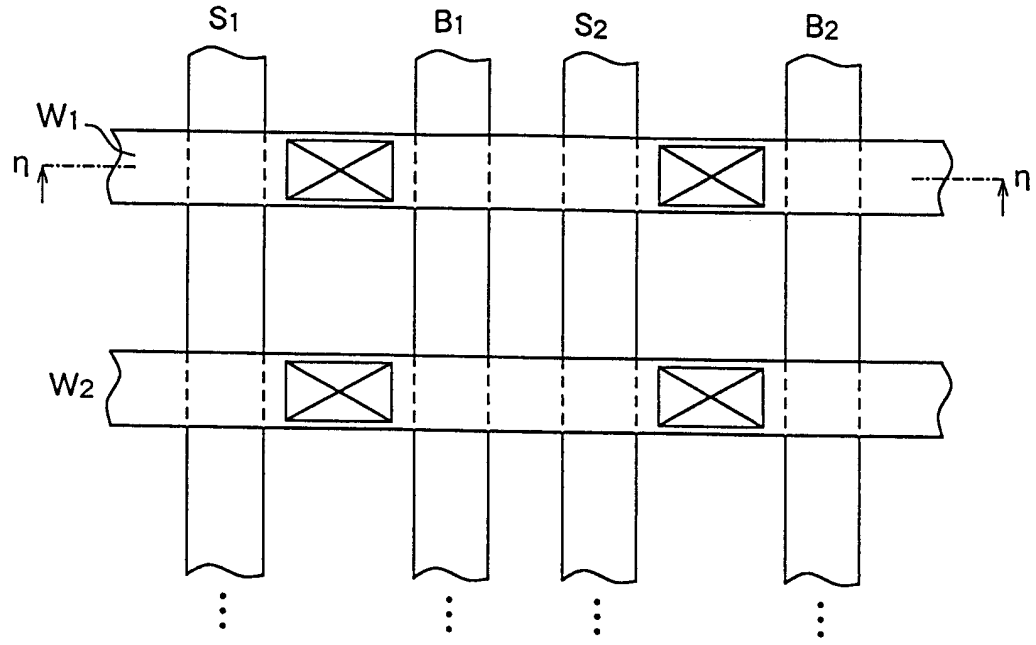

S1
B1
S2
B2
W1
n
n
W2

图 27

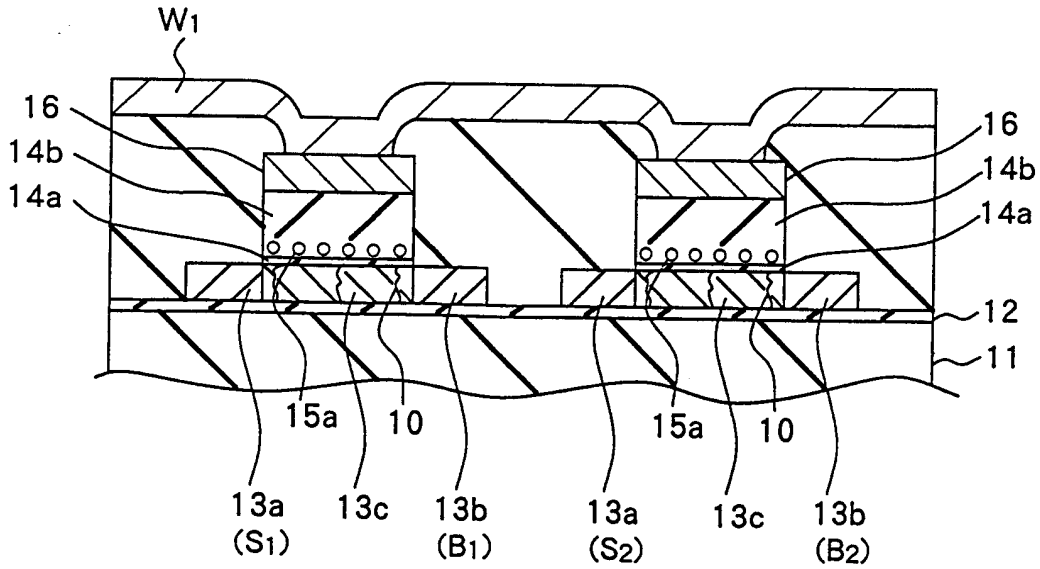

W1
16
14b
14a
16
14b
14a
12
11
15a
10
15a
10
13a
(S1)
13c
13b
(B1)
13a
(S2)
13c
13b
(B2)

图 28

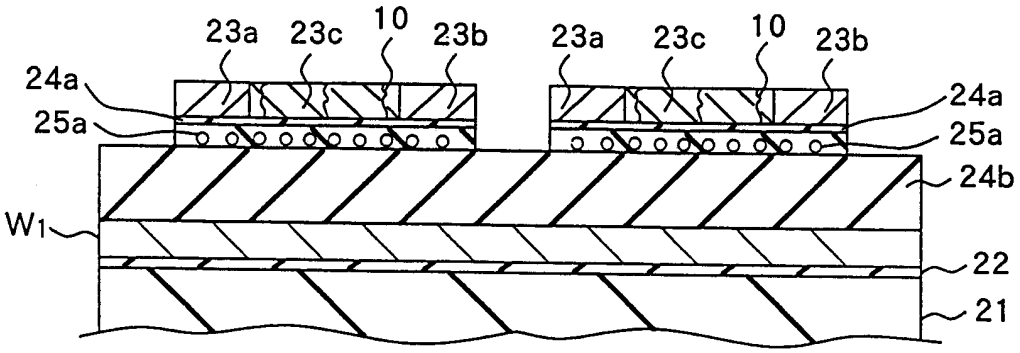

23a
23c
10
23b
23a
23c
10
23b
24a
25a
24a
25a
24b
W1
22
21

图 29

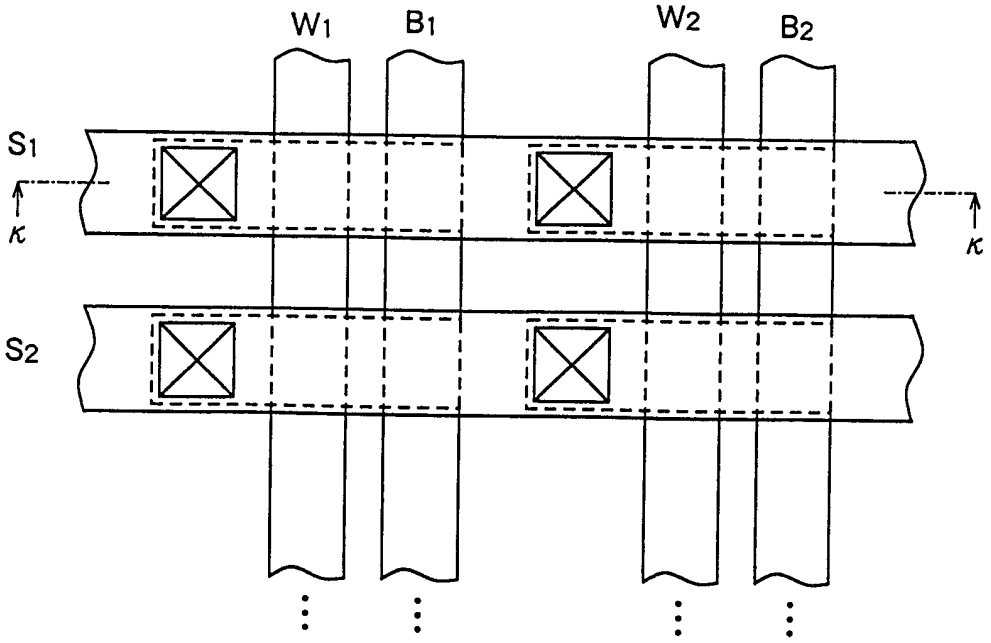

W1
B1
W2
B2
S1
S2
κ
κ

图 30

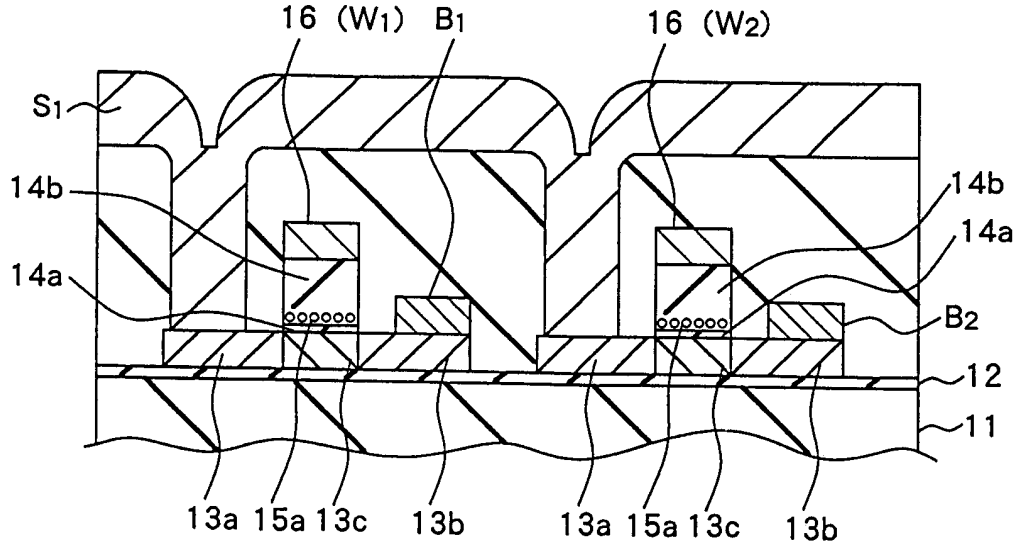

16 (W1)
B1
16 (W2)
S1
14b
14a
14b
14a
B2
12
11
13a
15a
13c
13b
13a
15a
13c
13b

图 31

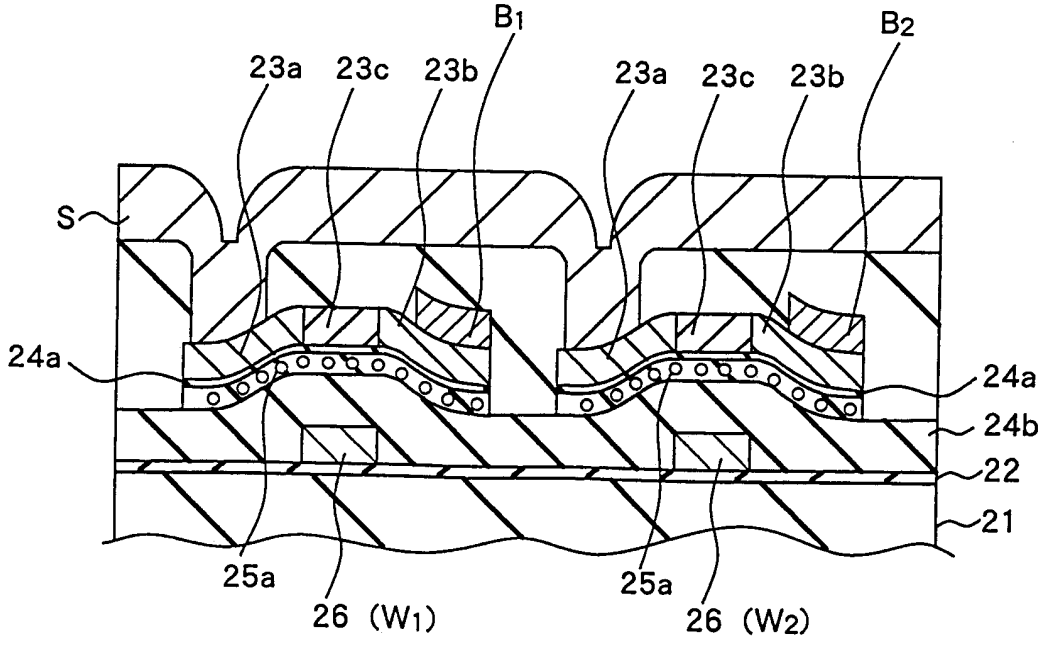

B1
B2
23a
23c
23b
23a
23c
23b
S
24a
24a
24b
22
21
25a
26 (W1)
25a
26 (W2)

图 32

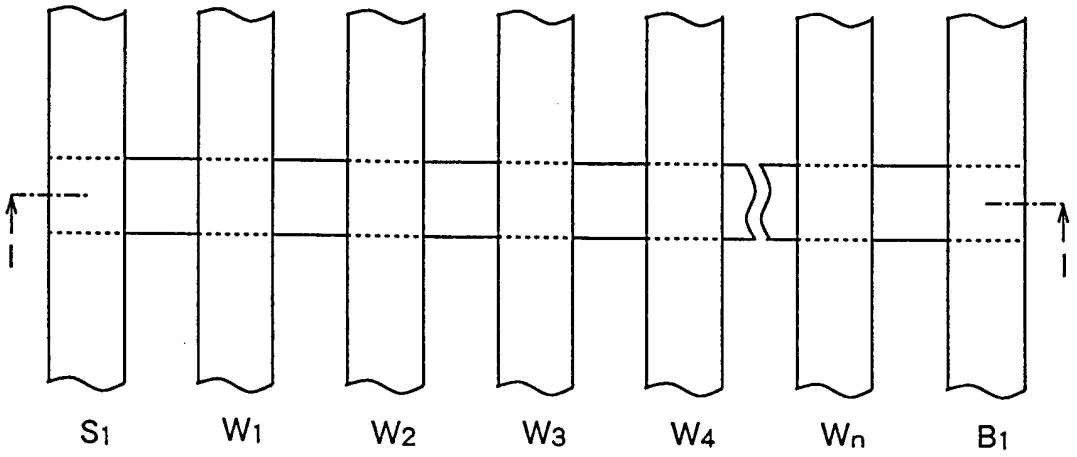

S1
W1
W2
W3
W4
Wn
B1

图 33

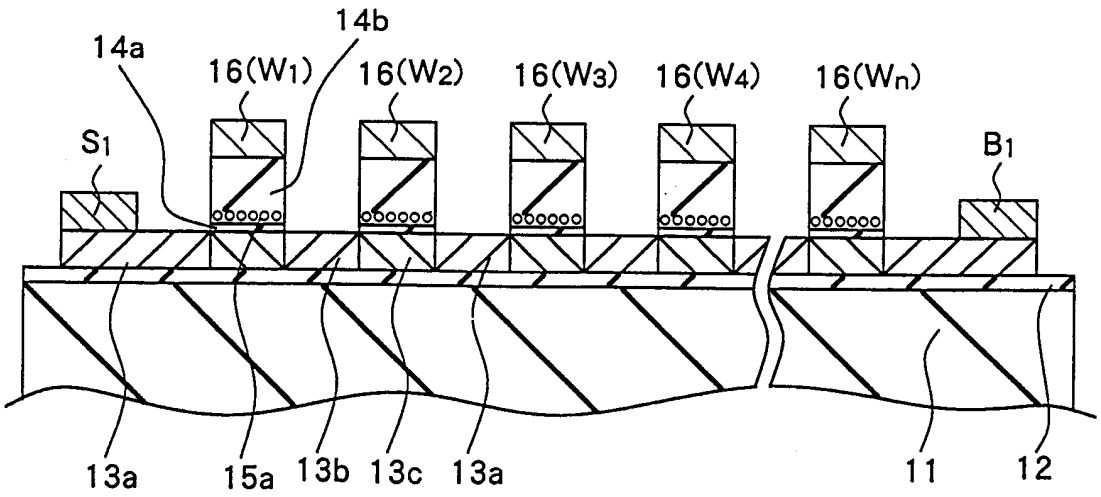

14a
14b
16(W1)
16(W2)
16(W3)
16(W4)
16(Wn)
S1
B1
13a
15a
13b
13c
13a
11
12

图 34

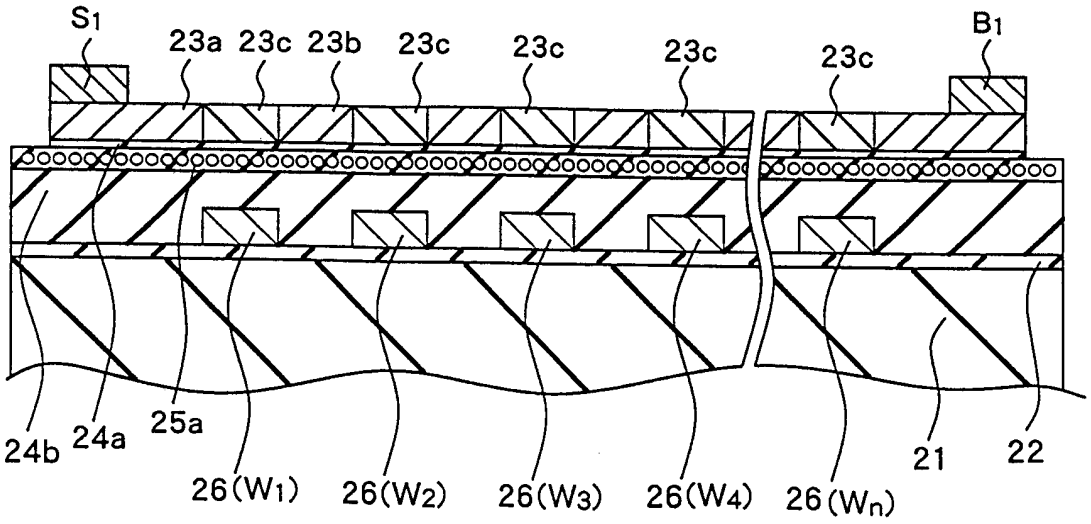

S1
23a
23c
23b
23c
23c
23c
23c
B1
24b
24a
25a
26(W1)
26(W2)
26(W3)
26(W4)
26(Wn)
21
22

图 35

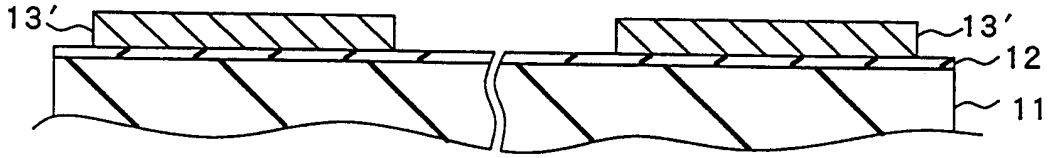

13′
13′
12
11

图 36

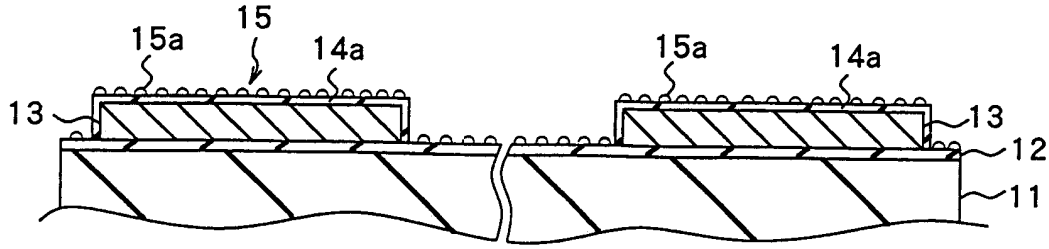

15a
15
14a
15a
14a
13
13
12
11

图 37

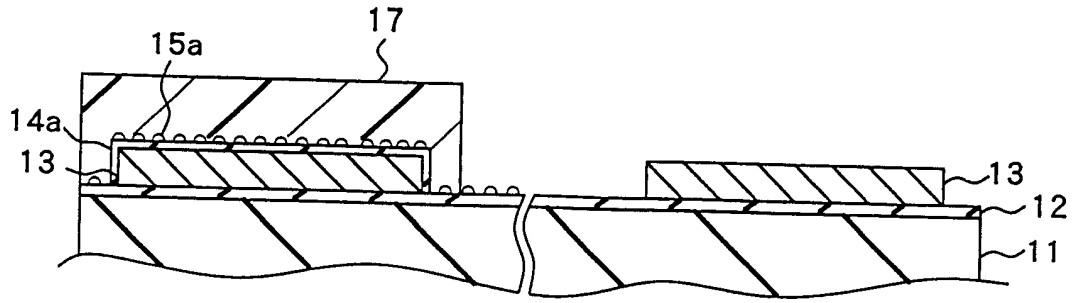

17
15a
14a
13
13
12
11

图 38

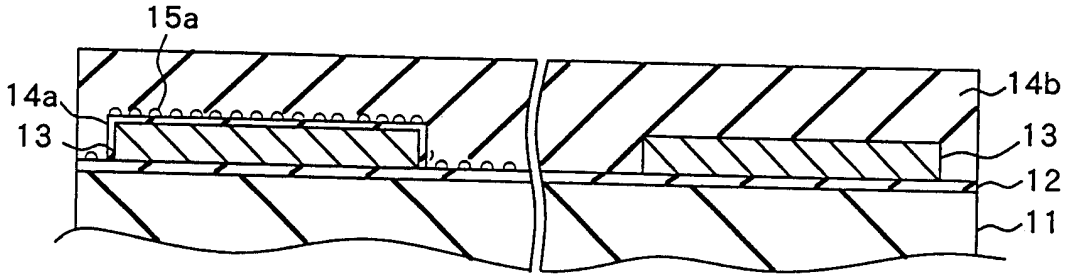

15a
14a
13
14b
13
12
11

图 39

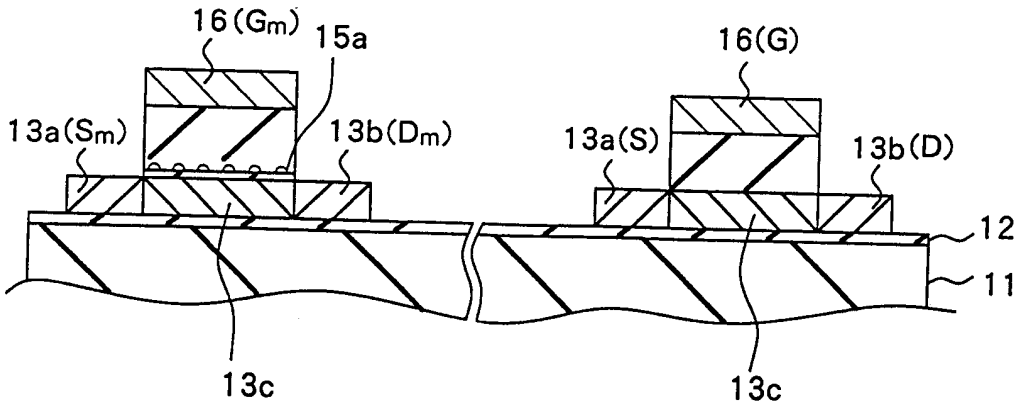

16(Gm)
15a
16(G)
13a(Sm)
13b(Dm)
13a(S)
13b(D)
12
11
13c
13c

图 40

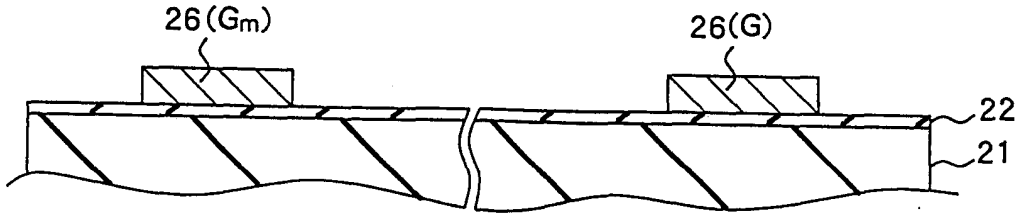


图 41

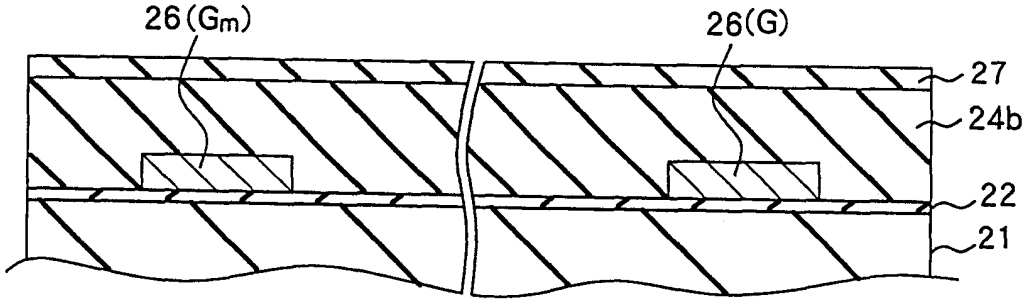


图 42

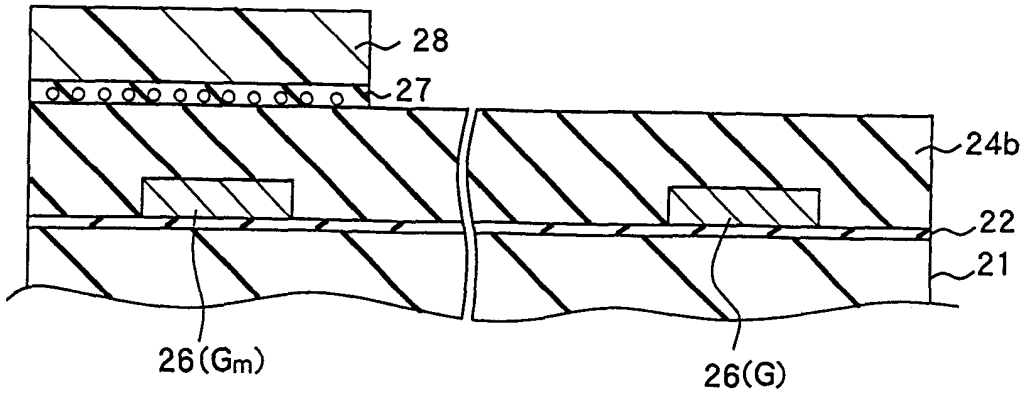


图 43

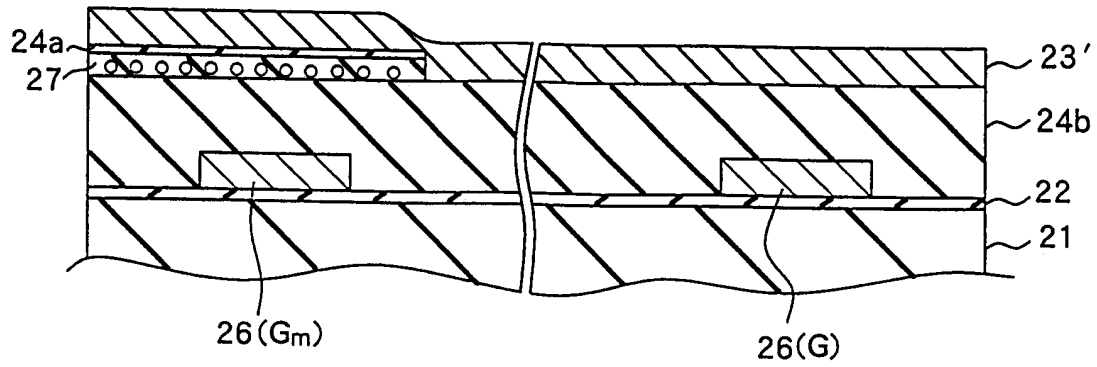

24a
27
23′
24b
22
21
26(Gm)
26(G)

图 44

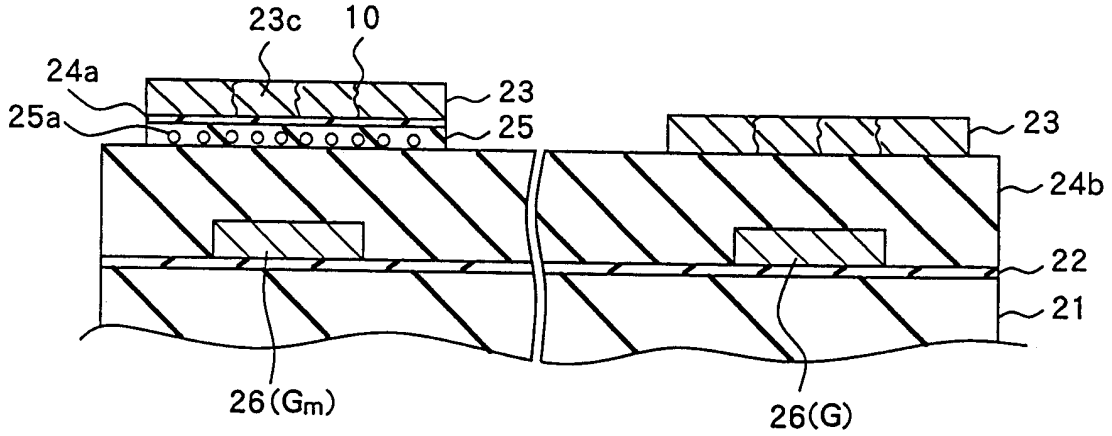

23c
10
24a
25a
23
25
23
24b
22
21
26(Gm)
26(G)

图 45

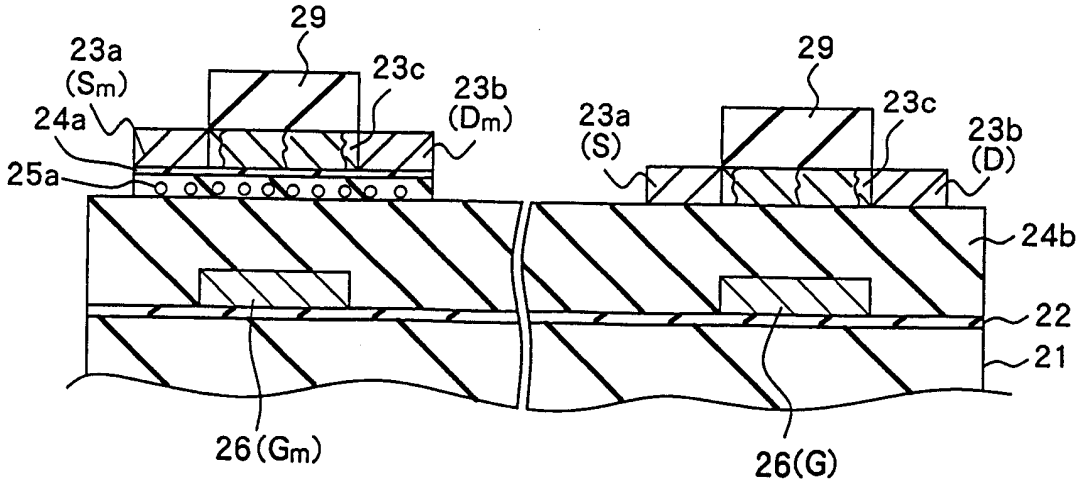

29
23a
(Sm)
23c
23b
(Dm)
24a
25a
29
23a
(S)
23c
23b
(D)
24b
22
21
26(Gm)
26(G)

图 46

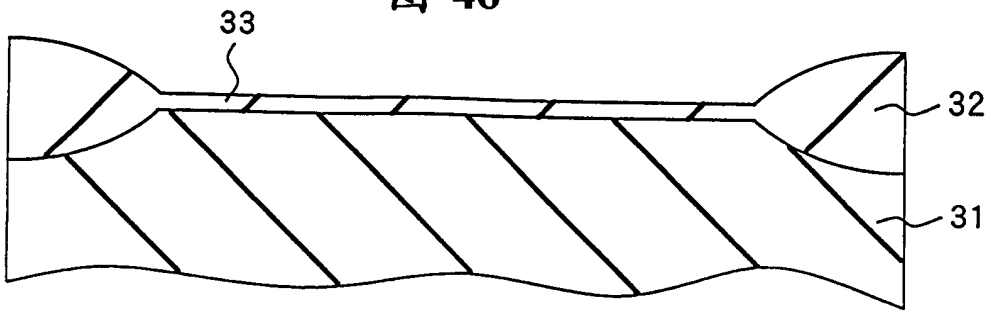

33
32
31

图 47

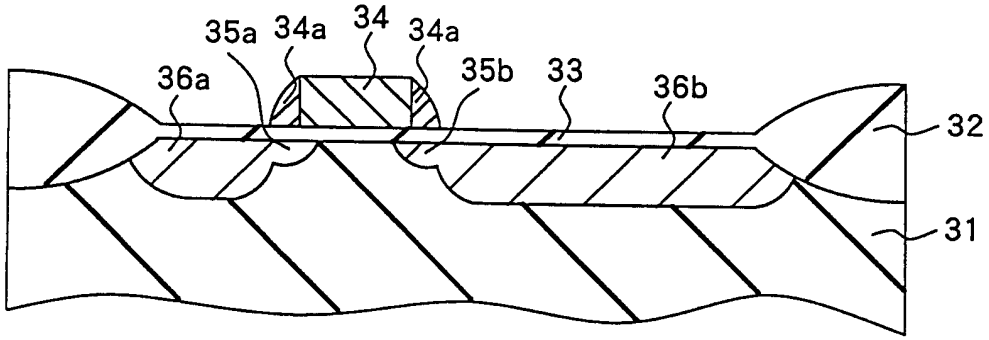

35a
34a
34
34a
36a
35b
33
36b
32
31

图 48

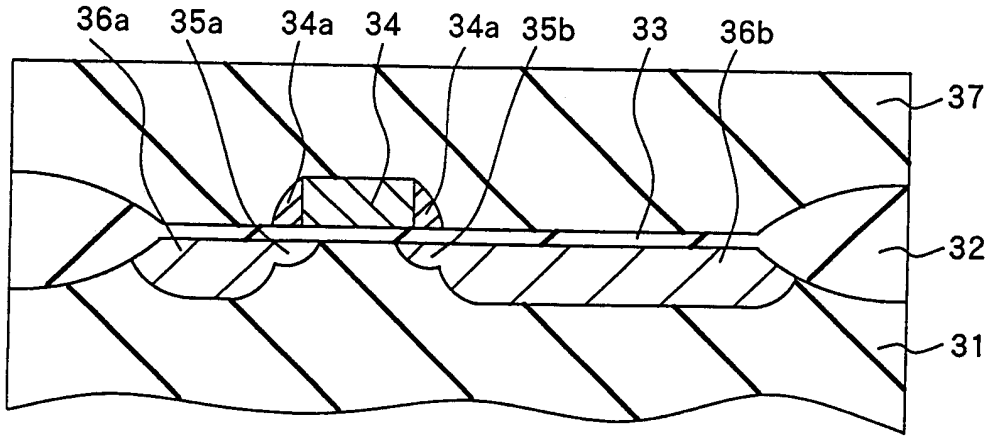

36a
35a
34a
34
34a
35b
33
36b
37
32
31

图 49

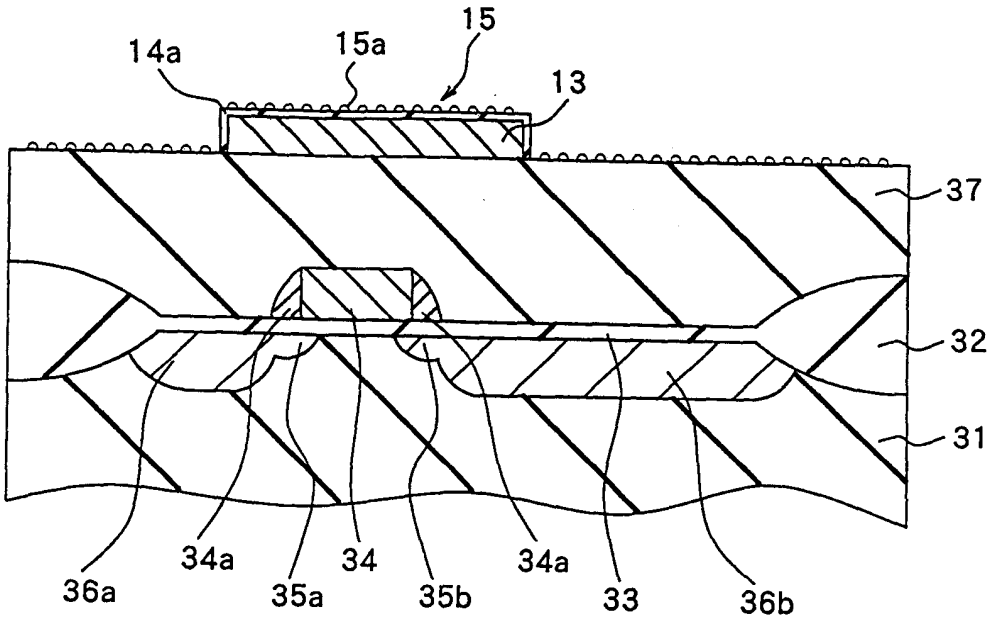

15
14a
15a
13
37
32
31
36a
34a
35a
34
35b
34a
33
36b

图 50

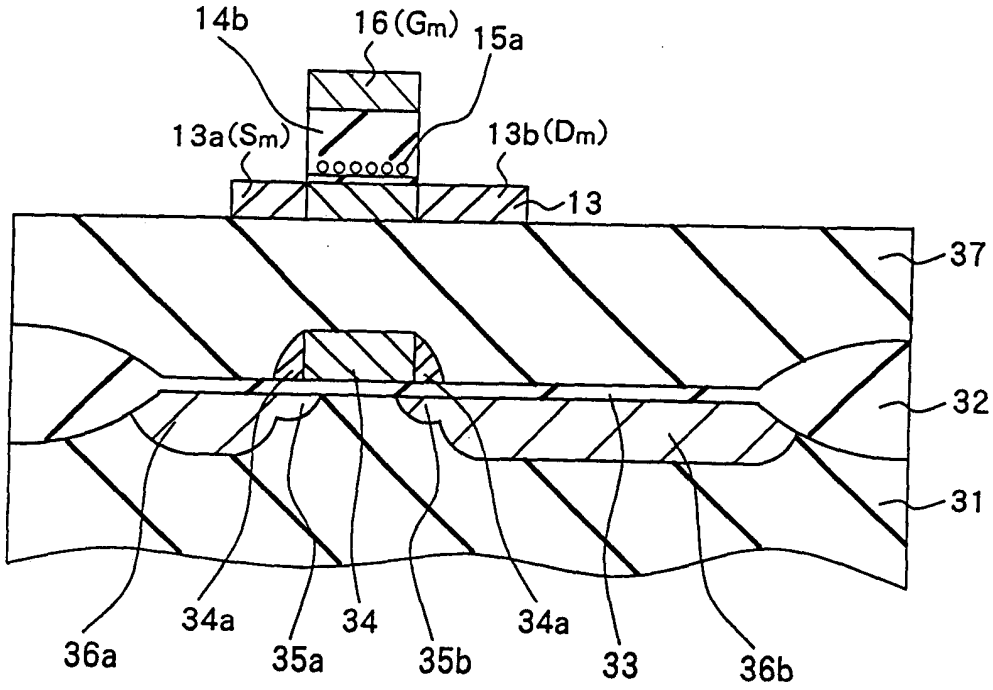

14b
16(Gm)
15a
13a(Sm)
13b(Dm)
13
37
32
31
36a
34a
35a
34
35b
34a
33
36b

图 51

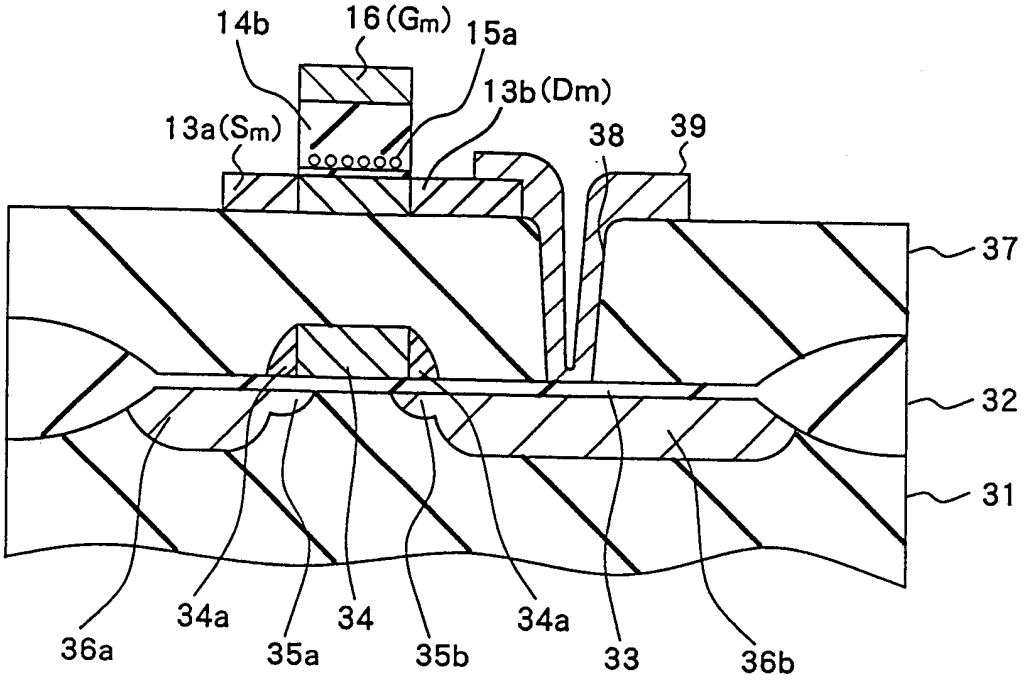

14b
16(Gm)
15a
13b(Dm)
13a(Sm)
38
39
37
32
31
36a
34a
35a
34
35b
34a
33
36b

图 52

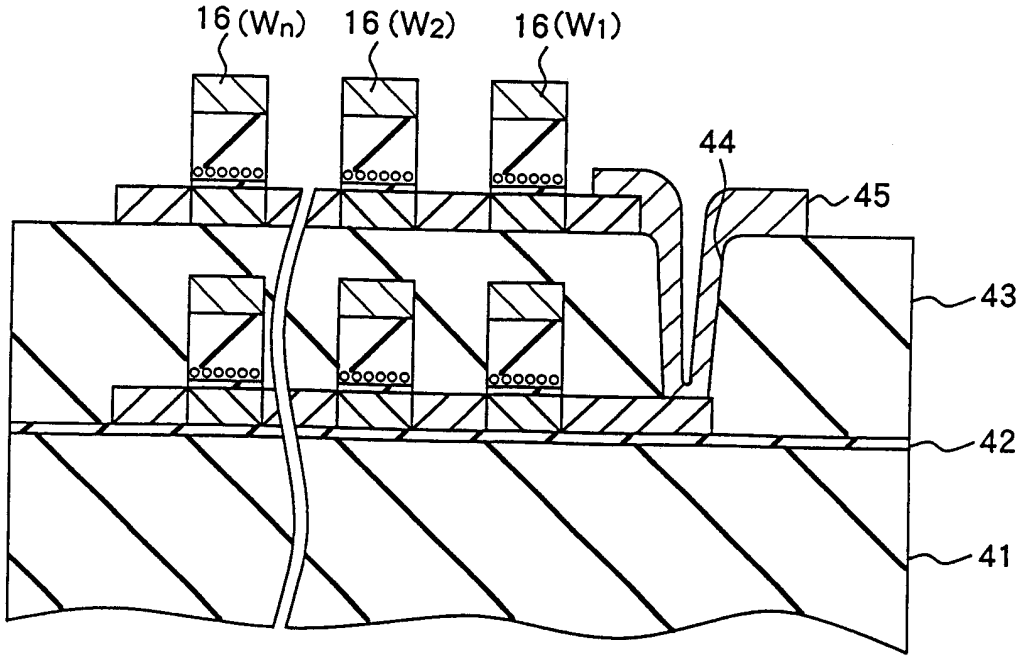

16(Wn)
16(W2)
16(W1)
44
45
43
42
41

图 53A

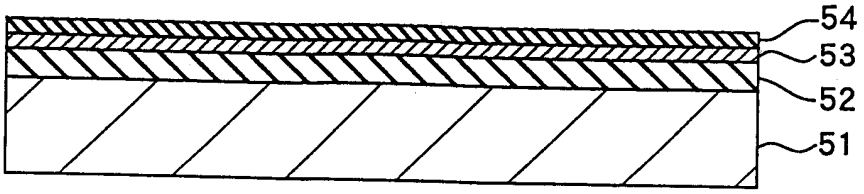


图 53B

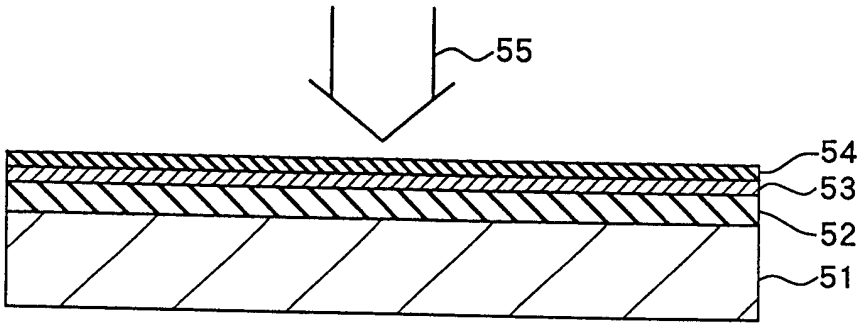


图 53C

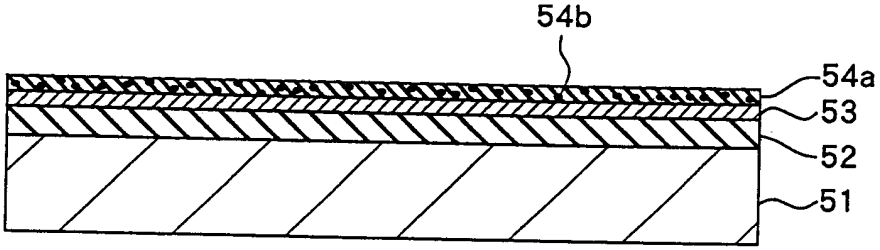


图 54

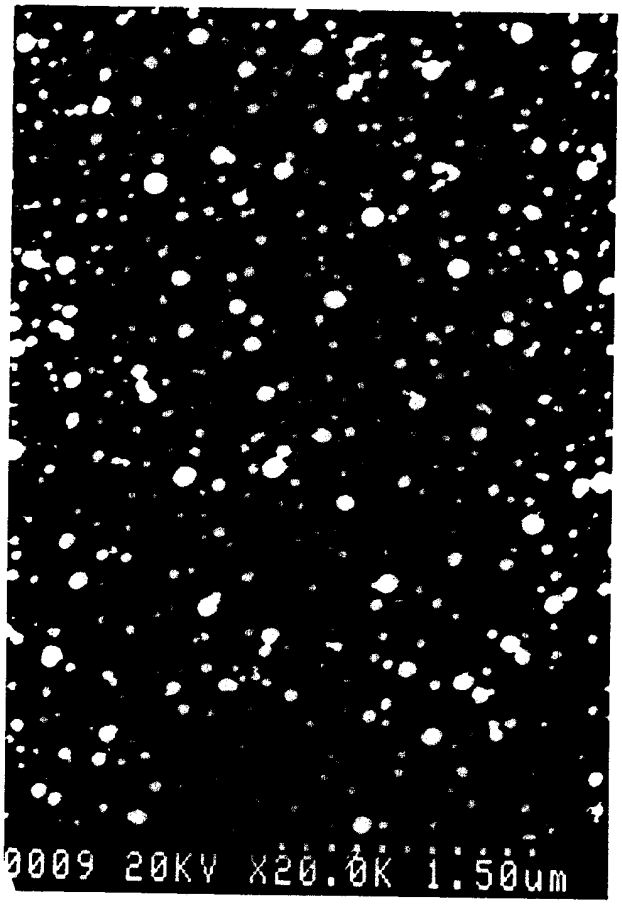


图 55A

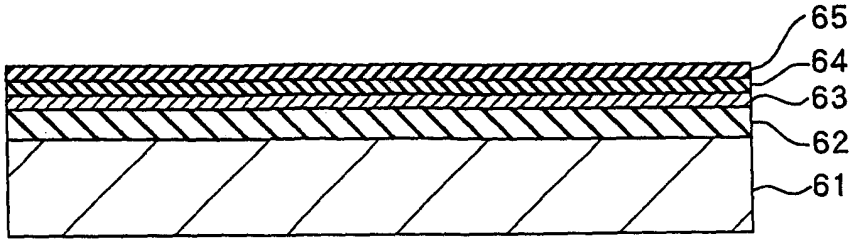


图 55B

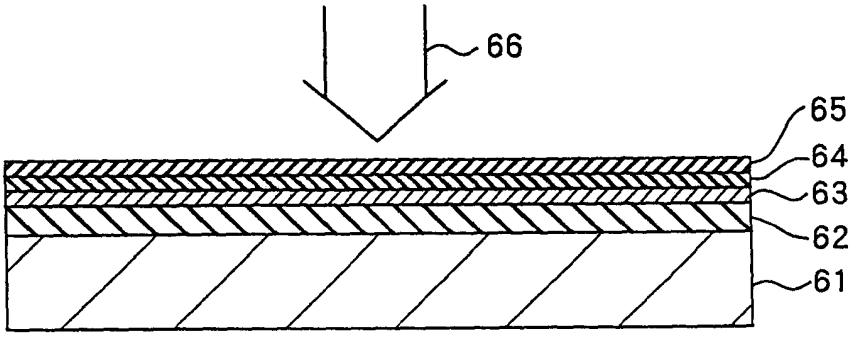


图 55C

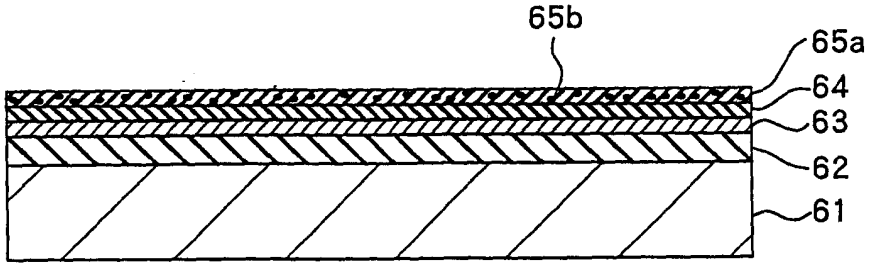


图 55D

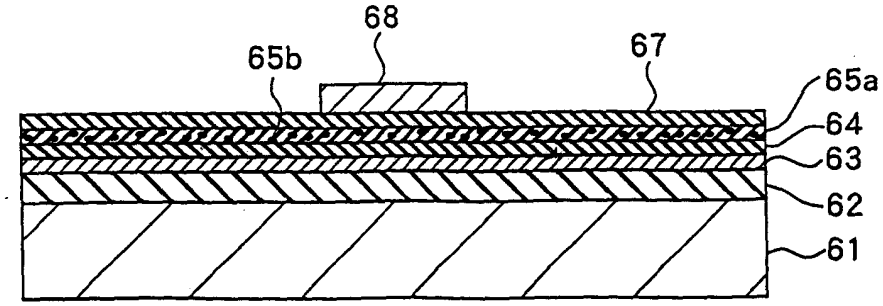


图 56A

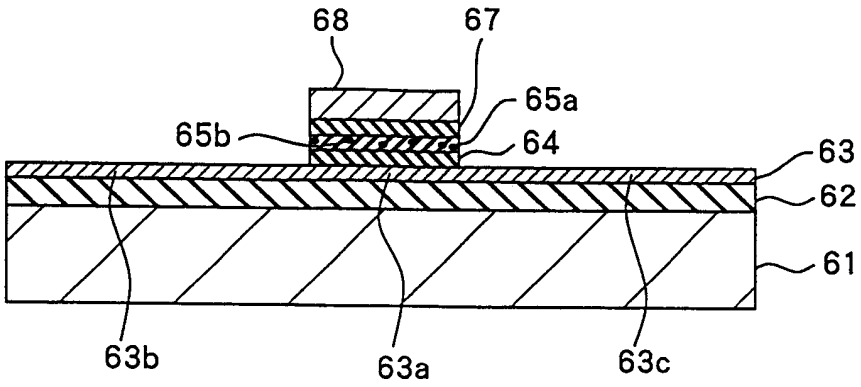
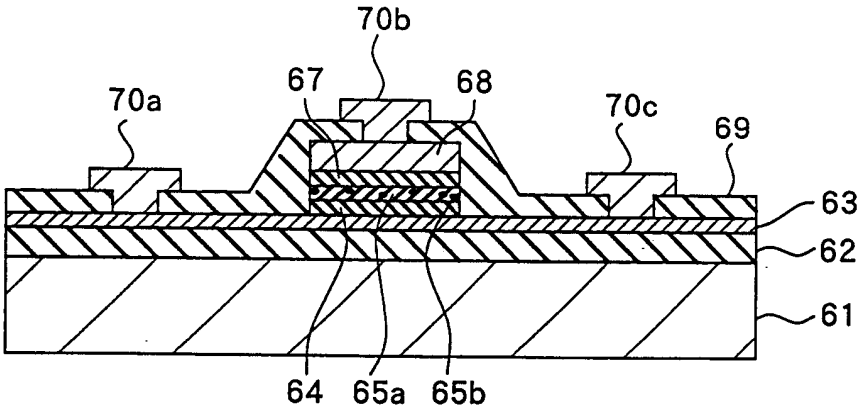

68
67
65a
65b
64
63
62
61
63b
63a
63c

图 56B


70b
67
68
70a
70c
69
63
62
61
64
65a
65b