(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0071860
(43) 공개일자 2009년07월02일

(51) Int. Cl.
G11C 11/4074 (2006.01)
(21) 출원번호 10-2007-0139789
(22) 출원일자 2007년12월28일
심사청구일자 2007년12월28일

(71) 출원인
창원대학교 산학협력단
경남 창원시 사림동 9 창원대학교내
(72) 발명자
김영희
경남 창원시 반림동 현대아파트 112동 1001호
김태훈
경남 함안군 칠원면 구성리 동성아파트 103-402
(74) 대리인
이철희

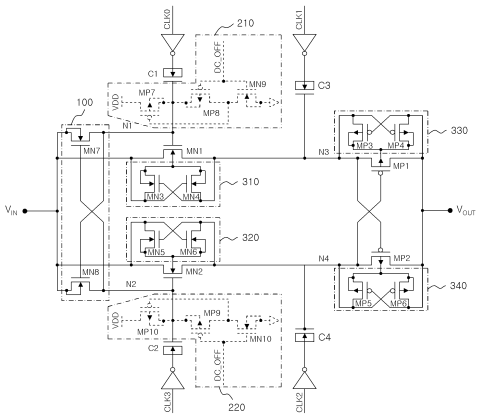
전체 청구항 수 : 총 6 항

(54) 크로스 커플 전하펌프방식의 저전압 ＤＲＡＭ용 고전압발생기

(57) 요 약

본 발명은 고전압 발생기에 관한 것으로서, 더욱 상세하게는 4개의 비중첩 클럭신호가 인가되는 전하펌프단에 각 클럭신호의 주기를 로컬 형태로 구동할 수 있는 인버터를 각각 분산 설치하여 펌핑전류를 증가시키고, 전하전달 스위치를 이루는 각 트랜지스터의 게이트에 프리차지회로를 연결하여 대기모드 진입시 게이트를 전원전압으로 프리차지시켜 소자의 신뢰성을 향상시킨 크로스 커플 전하펌프방식의 저전압 DRAM용 고전압 발생기에 관한 것이다.

대 표 도 - 도2



특허청구의 범위

청구항 1

일정 주기를 갖는 클럭신호에 의해 전하의 전달을 스위칭하는 전하전달스위치와, 상기 전하전달스위치에 연결되어 전하를 펌핑하는 전하펌핑 커패시터가 구비된 크로스 커플 전하펌프방식의 고전압 발생기에 있어서,

상기 전하전달스위치는,

입력단에 일 단자가 연결된 NMOS 전하전달스위치와, 출력단에 일 단자가 연결되고 공통 노드를 통해 상기 NMOS 전하전달스위치에 다른 일 단자가 연결된 커플드 PMOS 전하전달스위치를 포함하며,

입력전압이 인가되는 상기 NMOS 전하전달스위치의 각 게이트에는 대기모드시 각 스위치의 게이트를 전원전압으로 프리차지시키는 프리차지회로가 더 포함되어 구성되는 것을 특징으로 하는 크로스 커플 전하펌프방식의 저전압 DRAM용 고전압 발생기.

청구항 2

제1항에 있어서,

상기 프리차지회로는 상기 NMOS 전하전달스위치를 이루는 각 트랜지스터에 독립적으로 구비된 프리차지부로 구성되고,

상기 각 프리차지부는 전압원에 일 단자가 연결된 제1트랜지스터와, 접지전원에 일 단자가 연결된 제3트랜지스터, 및 상기 제1트랜지스터의 다른 일 단자와 제3트랜지스터의 다른 일 단자 사이에 연결된 제2트랜지스터를 포함하여 구성되며, 상기 제1트랜지스터와 제2트랜지스터의 공통단자는 상기 NMOS 전하전달스위치의 게이트와 전하펌핑 커패시터에 공통으로 연결되는 것을 특징으로 하는 크로스 커플 전하펌프방식의 저전압 DRAM용 고전압 발생기.

청구항 3

제1항 또는 제2항에 있어서,

상기 NMOS 전하전달스위치의 각 게이트에 일 단자가 연결되고 다른 일 단자는 상기 입력단에 연결된 제1 및 제2 제어트랜지스터를 구비하며,

상기 NMOS 전하전달스위치와의 연결노드를 이루는 제1 및 제2제어트랜지스터의 일 단자와 게이트가 “X” 형태로 교차 연결되어, 상기 연결노드의 전압준위가 상기 제1 및 제2제어트랜지스터의 게이트로 인가되는 프리차지 제어회로를 더 포함하는 것을 특징으로 하는 크로스 커플 전하펌프방식의 저전압 DRAM용 고전압 발생기.

청구항 4

제3항에 있어서,

상기 전하전달스위치를 이루는 각 트랜지스터의 양 단자에 연결되어, 몸체전압을 소스노드 전압에 전기적으로 연결하는 벌크 포텐셜 바이어싱 회로로 이루어진 바이어싱부를 더 포함하는 것을 특징으로 하는 크로스 커플 전하펌프방식의 저전압 DRAM용 고전압 발생기.

청구항 5

제1항 또는 제2항에 있어서,

상기 전하펌핑 커패시터에 인가되는 클럭신호는 4개의 비중첩 클럭신호들로 구성된 것을 특징으로 하는 크로스 커플 전하펌프방식의 저전압 DRAM용 고전압 발생기.

청구항 6

제5항에 있어서,

상기 클럭신호가 인가되는 각 전하펌핑 커패시터마다 분산 설치되어 클럭신호를 로컬 형태로 구동하는 클럭 드라이버용 인버터가 더 포함되어 구성되는 것을 특징으로 하는 크로스 커플 전하펌프방식의 저전압 DRAM용 고전

압 발생기.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 고전압 발생기에 관한 것으로서, 더욱 상세하게는 4개의 비중첩 클럭신호가 인가되는 전하펌프단에 각 클럭신호의 오실레이션 주기를 로컬 형태로 구동할 수 있는 인버터를 각각 분산 설치하여 펌핑전류를 증가시키고, 전하전달스위치를 이루는 각 트랜지스터의 게이트에 프리차지회로를 연결하여 대기모드 진입시 게이트를 전원전압으로 프리차지시켜 소자의 신뢰성을 향상시킨 크로스 커플 전하펌프방식의 저전압 DRAM용 고전압 발생기에 관한 것이다.

배 경 기 술

<2> 최근 DRAM의 전원전압(Supply voltage)이 1.8V 또는 1.5V로 감소하고 있는데, 이는 파워소모를 줄이고 소자의 크기가 줄어들면서 생기는 신뢰성 문제를 개선하기 위한 것이라고 볼 수 있다. 전원전압이 감소하면 그에 따라 DRAM 트랜지스터의 문턱전압(Vt)도 감소해야 한다. 그러나 트랜지스터의 문턱전압이 감소할 경우, 낮은 문턱전압 때문에 증가하는 누설전류로 인하여 리프레시(Refresh) 특성에 문제가 발생할 수 있다. 이러한 문제를 해결하기 위해 고전압 발생회로(VPP Generator)가 사용되고 있다. 고전압 발생회로는 선택된 트랜지스터들의 워드라인(Word-line)전압을 증가시켜 DRAM에 사용되는 NMOS트랜지스터의 문턱전압 문제를 해결해준다.

<3> 이러한 고전압 발생회로는 인덕터를 사용하는 PWM(Pulse Width Modulation)방식과 스위치 커패시터(Switched Capacitor)를 사용하는 전하펌프(Charge Pump)방식이 주로 사용되는데, 일반적으로 DRAM에서는 면적 등의 측면에서 장점이 있는 전하펌프방식이 주로 사용된다.

<4> 이와 같이, 스위치 커패시터를 이용하여 공급전압으로부터 그보다 높은 고전압을 생성하도록 전하를 펌핑(pumping)하는 전하펌프는 다시 딕슨(Dickson) 전하펌프방식과 크로스 커플 전하펌프(Cross coupled charge pump)방식으로 나누어질 수 있다.

<5> 상기 딕슨(Dickson) 전하펌프방식은 두 개의 비중첩 클럭과 다이오드, 또는 두 개의 비중첩 클럭과 NMOS 트랜지스터가 연결된 커패시터를 이용하여 구성되며 회로가 간단하고 저면적에 유리하지만, VDD전압이 감소하면서 전압펌프이득(voltage pumping gain)이 현저하게 감소하게 되는 문제점이 있었다. 즉, 하나의 펌프단에서 전압이 펌프될 때 다이오드의 문턱전압 만큼의 전압손실이 발생하기 때문에 VDD전압이 감소할수록 전압펌프이득이 감소하게 되었다.

<6> 이러한 전압펌프이득 감소의 문제로 인해 근래에는 딕슨(Dickson) 전하펌프방식보다 크로스 커플 전하펌프방식이 주로 사용되고 있다. 그리고 종래에는 워드라인을 구동하기 위한 적절한 구동전압인 VPP 전압의 크기가 VDD와 2VDD 내에 있었으나, VDD 전압이 1.8V 이하로 감소하면서 2VDD와 3VDD로 범위가 상승하였다. 이로 인해 기존에 하나의 펌프단(Pumping Stage)에서 두 개 혹은 그 이상의 스테이지로 전하펌프단(Charge pump stage)이 증가해야 하였다.[Favrat, P et al., "A high-efficiency CMOS voltage doubler", IEEE Journal of Solid-State Circuits, vol.33, issue 3, pp.410-416, MAR.1998.], [Seong-Ik Cho et al., "A boosted voltage generator for low-voltage DRAMS", Current Applied Physics, volume 3, issue 6, pp.501-505, DEC. 2003.]

<7> 근래에 주로 사용되는 크로스 커플 전하펌프는 도 4에 도시된 바와 같이, 프리차지 트랜지스터(MN1, MN2)와, 전하전달 트랜지스터(MP1, MP2)와, 두 개의 클럭(CLK1, CLK2)으로 구성된다. 이러한 크로스 커플 전하펌프는 전하전달스위치로 사용되는 크로스 커플 형태의 PMOS 트랜지스터(MP1, MP2)에서 문턱전압의 손실(Threshold voltage loss)없이 전하를 N1, N2 노드에서 V_{OUT}단으로 전달한다.

<8> 상기 두 개의 클럭 CLK1과 CLK2가 반대의 위상을 가지고 스위칭하게 되면, 그와 같은 위상으로 N1, N2 노드가 V_{IN} - $2V_{IN}$로 스위칭하게 된다. 상기 N1 노드가 $2V_{IN}$이 되면 N1 노드는 V_{IN}레벨을 갖게 되므로 MP1 트랜지스터가 문턱전압의 손실 없이 전하를 전달하게 된다.

<9> 그러나 이 회로는 전하손실(Charge Loss)문제가 발생하게 되는 문제점이 있었다. 즉, 전하전달 스위치로 사용되는 MP1, MP2인 PMOS 트랜지스터들의 몸체(Body)가 V_{OUT}단에 연결되어 있기 때문에, 부N1과 N2 노드가 펌핑될 때

몸체전압(Body voltage)이 소스 혹은 드레인 전압보다 낮게 되어 소스(Source) 또는 드레인(Drain)과 몸체(Body) 및 기판으로 연결되는 기생 PNP 트랜지스터가 액티브(Active) 영역에 놓이게 된다. 이로 인해 N1과 N2 노드의 전하가 상기 기생 PNP 트랜지스터를 통해 기판으로 빠져 나가게 되어 전하 손실을 초래하는 래치업(Latch-up)문제가 발생하게 되었다. 또한, 이와 유사한 현상으로 상기 N1과 N2 노드를 프리차지(Precharge) 시키는 프리차지 트랜지스터 MN1, MN2인 NMOS 트랜지스터들의 문턱전압을 상승시키게 되는 문제점이 있었다. 이러한 문제들로 인하여 펌핑효율(Pumping Efficiency)이 떨어지게 되고 파워소모가 증가하게 되는 문제점이 있었다.

<10> 또한, 이러한 종래의 크로스 커플 전하펌프는 이중위상(2-Phase) 전하펌프로서 N1, N2노드가 클럭신호 CLK1과 CLK2에 의해 서로 반대 위상을 갖으면서 프리차지(Precharge)와 펌핑(Pumping)을 반복한다. 이 경우 상기 클럭신호 CLK1과 CLK2가 동시에 하이(High)인 구간과 동시에 로우(Low)인 구간을 갖게 되는데, 동시에 하이일 경우에는 펌핑된 전하가 MN1과 MN2를 통해 V_{IN} 노드로 빠져나가게 되므로 전하손실이 발생하게 되고, 동시에 로우일 경우에는 MP1과 MP2를 통해 V_{OUT}단으로 전달된 전하가 다시 N1, N2 노드로 흘러 역방향 전하가 발생하게 된다. 그에 따라 펌핑효율이 떨어지게 되고 전력소모가 증가하게 되는 문제점이 있었다.

<11> 또한, 대기모드(Stand-by mode) 진입시에 상기 N1과 N2 노드의 펌핑된 전하가 방전하지 못하여 고전압을 유지하기 때문에 소자의 신뢰성을 손상시키는 문제점이 있었다.

발명의 내용

해결 하고자하는 과제

<12> 본 발명이 해결하고자 하는 기술적 과제는, 비중첩하는 4개의 클럭신호에 의해 전하펌프를 구동함으로써 클럭신호들이 동시 하이나 동시 로우와 같은 중첩상태에 놓이는 것을 방지하여 펌핑효율을 향상시킴과 아울러, 각 클럭신호가 인가되는 전하펌프단에 각 클럭신호의 주기를 로컬형태로 구동할 수 있는 클럭 드라이버용 인버터를 분산 설치하여 펌핑전류를 증가시킨 크로스 커플 전하펌프방식의 저전압 DRAM용 고전압 발생기를 제공함에 있다.

<13> 또한, 본 발명은 대기모드시에 전하전달스위치를 이루는 각 트랜지스터의 게이트를 전원전압으로 프리차지할 수 있는 프리차지회로를 각 트랜지스터의 게이트에 연결하여 소자의 신뢰성을 향상시킨 크로스 커플 전하펌프방식의 저전압 DRAM용 고전압 발생기를 제공한다.

과제 해결수단

<14> 상기 기술적 과제를 이루기 위한 본 발명에 따른 크로스 커플 전하펌프방식의 저전압 DRAM용 고전압 발생기는, 일정 주기를 갖는 클럭신호에 의해 전하의 전달을 스위칭하는 전하전달스위치와, 상기 전하전달스위치에 연결되어 전하를 펌핑하는 전하펌핑 커패시터가 구비된 크로스 커플 전하펌프방식의 고전압 발생기에 있어서, 상기 전하전달스위치는 입력단에 일 단자가 연결된 NMOS 전하전달스위치와, 출력단에 일 단자가 연결되고 공통 노드를 통해 상기 NMOS 전하전달스위치에 다른 일 단자가 연결된 커플드 PMOS 전하전달스위치를 포함하며, 입력전압이 인가되는 상기 NMOS 전하전달스위치의 각 게이트에는 대기모드시 각 스위치의 게이트를 전원전압으로 프리차지시키는 프리차지회로가 더 포함되어 구성되는 것을 특징으로 한다.

<15> 또한, 본 발명은, 상기 프리차지회로는 상기 NMOS 전하전달스위치를 이루는 각 트랜지스터에 독립적으로 구비된 프리차지부로 구성되고, 상기 각 프리차지부는 전압원에 일 단자가 연결된 제1트랜지스터와, 접지전원에 일 단자가 연결된 제3트랜지스터, 및 상기 제1트랜지스터의 다른 일 단자와 제3트랜지스터의 다른 일 단자 사이에 연결된 제2트랜지스터를 포함하여 구성되며, 상기 제1트랜지스터와 제2트랜지스터의 공통단자는 상기 NMOS 전하전달스위치의 게이트와 전하펌핑 커패시터에 공통으로 연결되는 것을 특징으로 한다.

<16> 또한, 본 발명은, 상기 NMOS 전하전달스위치의 각 게이트에 일 단자가 연결되고 다른 일 단자는 상기 입력단에 연결된 제1 및 제2제어트랜지스터를 구비하며, 상기 NMOS 전하전달스위치와의 연결노드를 이루는 제1 및 제2제어트랜지스터의 일 단자와 게이트가 “X” 형태로 교차 연결되어, 상기 연결노드의 전압준위가 상기 제1 및 제2제어트랜지스터의 게이트로 인가되는 프리차지 제어회로를 더 포함하는 것을 특징으로 한다.

<17> 또한, 본 발명은, 상기 전하전달스위치를 이루는 각 트랜지스터의 양 단자에 연결되어, 몸체전압을 소스노드 전압에 전기적으로 연결하는 벌크 포텐셜 바이어싱 회로로 이루어진 바이어싱부를 더 포함하는 것을 특징으로 한

다.

<18> 또한, 본 발명은, 상기 전하펌핑 커패시터에 인가되는 클럭신호는 4개의 비중첩 클럭신호들로 구성된 것을 특징으로 한다.

<19> 또한, 본 발명은, 상기 클럭신호가 인가되는 각 전하펌핑 커패시터마다 분산 설치되어 클럭신호를 로컬 형태로 구동하는 클럭 드라이버용 인버터가 더 포함되어 구성되는 것을 특징으로 한다.

효 과

<20> 본 발명은 4개의 비중첩 클럭신호를 이용하여 중첩된 클럭신호에 의해 전달효율이 감소하는 것을 방지하였으며, 각 전하펌프단마다 인버터를 설치하여 전하펌프인 전하펌핑 커패시터를 로컬 형태로 구동함으로써 펌핑전류를 크게 증가시킨 장점이 있다.

<21> 또한, 본 발명은 전하전달스위치의 게이트에 별도의 프리차지회로를 연결하여 대기모드시에도 게이트를 전원전압으로 유지함으로써 소자의 신뢰성을 크게 향상시킨 장점이 있다.

발명의 실시를 위한 구체적인 내용

<22> 이하에서는 본 발명의 구체적인 실시예를 도면을 참조하여 상세히 설명하도록 한다.

<23> 본 발명의 일실시예에 따른 크로스 커플 전하펌프방식의 저전압 DRAM용 고전압 발생기는 도 1에 도시된 바와 같이, PVT(Process-Voltage-Temperature) 변동에 둔감한 기준전압을 발생시키는 밴드갭 기준전압 발생기와, 상기 기준전압을 고전압 발생기에서 출력되는 VPP전압과 비교하여 목표된 값과의 일치여부를 판단하는 VPP레벨 감지기와, 상기 VPP전압이 기준전압과 상이할 경우 전하의 펌핑신호를 생성하는 링 발진기와, 4개의 비중첩 클럭신호의 구동로직을 생성하는 컨트롤 로직부, 및 상기 클럭신호에 의해 구동하여 전하를 펌핑하는 이단(2-Stage) 전하펌프를 포함하여 구성된다.

<24> 이때, 상기 밴드갭 기준전압 발생기에서 발생된 기준전압과 VPP전압을 상기 VPP레벨 감지기에서 비교하고 네거티브 피드백(Negative Feedback)으로 목표하는 VPP전압을 유지하게 된다. 즉, 상기 VPP전압이 목표전압보다 작을 때 상기 링 발진기가 동작하여 상기 전하펌프가 동작을 수행하고, 상기 VPP전압이 목표전압보다 클 때는 상기 링 발진기가 오프(off)되어 전하펌프가 동작을 하지 않게 된다. 그리고 VPP단에 연결된 외장형 커패시터가 상기 전하펌프에서 펌핑된 전하를 저장하게 된다.

<25> 본 발명은 저전압 DRAM용 고전압 발생기를 크로스 커플 전하펌프방식을 이용하여 구성하는데 있으므로, 크로스 커플 전하펌프로 이루어진 새로운 전하펌프를 제외한 다른 요소에 대한 설명은 생략한다.

<26> 본 발명에서 새로이 제안하는 크로스 커플 전하펌프는 도 2에 도시된 바와 같이, 입력단에서 프리차징을 제어하는 프리차지 제어회로(100)와, 대기모드시 전원전압(VDD)으로 프리차지(Precharge)시키는 프리차지회로(210, 220)와, 클럭신호에 의해 전하의 전달을 스위칭하는 복수의 전하전달스위치와, 상기 각 전하전달스위치에 연결된 바이어싱회로와, 전하 펌핑 커패시터, 및 분산 설치된 클럭 드라이버용 인버터를 포함하여 구성된다. 이때, 상기 크로스 커플 전하펌프를 이루는 트랜지스터는 NMOS 트랜지스터와 PMOS 트랜지스터가 특정되어 도시되어 있으나, 각 트랜지스터의 종류가 도시된 내용에 의해 한정되지 않음은 물론이다.

<27> 상기 프리차지 제어회로(100)는 입력단(V_{IN})에 일 단자가 각각 연결된 제1제어트랜지스터(MN7)와 제2제어트랜지스터(MN8)로 구성되며, 상기 제1제어트랜지스터(MN7)의 다른 일 단자는 N1 노드를 통하여 NMOS 전하전달스위치를 이루는 제1스위치(MN1)의 게이트에 연결되고, 상기 제2제어트랜지스터(MN8)의 다른 일 단자는 N2 노드를 통해 NMOS 전하전달스위치를 이루는 제2스위치(MN2)의 게이트에 연결된다. 또한, 상기 제1제어트랜지스터(MN7)의 게이트는 상기 N2 노드에 연결되고 상기 제2제어트랜지스터(MN8)의 게이트는 N1 노드에 연결되어 "X"자 형태로 서로 교차하여, 상기 N1 노드와 N2 노드의 전압준위가 상기 제2제어트랜지스터(MN8)와 제1제어트랜지스터(MN7)의 게이트로 인가되도록 구성된다.

<28> 상기 프리차지회로는 상기 N1 노드와 N2 노드를 전원전압(VDD)으로 각각 프리차지(Precharge) 시키며, 상기 N1 노드를 통해 프리차지 제어회로에 연결된 제1프리차지부(MP7, MP8, MN9)(210)와, 상기 N2 노드를 통해 프리차지 제어회로에 연결된 제2프리차지부(MP9, MP10, MN10)(220)로 구성된다. 이때 상기 제1프리차지부와 제2프리차지부는 대기모드시에 각 전하전달스위치의 게이트를 전원전압(VDD)으로 프리차지시키도록 전하전달스위치인 제1스위치(MN1)와 제2스위치(MN2)의 각 게이트에 연결되어 구성된다. 그에 따라 대기모드시 펌핑된 전하를 방전하지

못하여 고전압을 유지하게 되어 소자의 신뢰성을 떨어뜨리는 것을 방지하게 된다.

<29> 상기 제1프리차지부(210)는 전압원(VDD)에 일 단자가 연결된 제1트랜지스터(MP7)와, 접지전원(GND)에 일 단자가 연결된 제3트랜지스터(MN9), 및 상기 제1트랜지스터(MP7)의 다른 일 단자와 제3트랜지스터(MN9)의 다른 일 단자 사이에 연결된 제2트랜지스터(MP8)가 포함되어 구성된다. 이때, 상기 제1트랜지스터(MP7)와 제2트랜지스터(MP8)의 공통단자는 상기 N1 노드를 거쳐 제1스위치(MN1)의 게이트에 연결되며 제1전하펌핑 커패시터(C1)에도 연결된다. 또한, 상기 제1트랜지스터(MP7)의 게이트는 상기 제2트랜지스터(MP8)와 제3트랜지스터(MN9)의 공통단자에 연결되며, 상기 제2트랜지스터(MP8)와 제3트랜지스터(MN9)의 게이트에는 DC_OFF 신호가 공통으로 인가된다.

<30> 상기 제2프리차지부(220)는 전압원(VDD)에 일 단자가 연결된 제4트랜지스터(MP10)와, 접지전원(GND)에 일 단자가 연결된 제6트랜지스터(MN10), 및 상기 제4트랜지스터(MP10)의 다른 일 단자와 제6트랜지스터(MN10)의 다른 일 단자 사이에 연결된 제5트랜지스터(MP9)가 포함되어 구성된다. 이때, 상기 제4트랜지스터(MP10)와 제5트랜지스터(MP9)의 공통단자는 상기 N2 노드를 거쳐 제2스위치(MN2)의 게이트에 연결되며 제2전하펌핑 커패시터(C2)에도 연결된다. 또한, 상기 제4트랜지스터(MP10)의 게이트는 상기 제5트랜지스터(MP9)와 제6트랜지스터(MN10)의 공통단자에 연결되며, 상기 제5트랜지스터(MP9)와 제6트랜지스터(MN10)의 게이트에는 DC_OFF 신호가 공통으로 인가된다.

<31> 상기 전하전달스위치는 입력단(V_{IN})에 일 단자가 연결된 NMOS 전하전달스위치(MN1, MN2)와, 출력단(V_{OUT})에 일 단자가 연결된 커플드 PMOS 전하전달스위치(MP1, MP2)로 구성된다.

<32> 상기 NMOS 전하전달스위치는 일 단자가 상기 입력단(V_{IN})에 연결되고 다른 일 단자가 N3 노드를 통하여 커플드 PMOS 전하전달스위치를 이루는 제1커플드스위치(MP1)의 일 단자에 연결되며 게이트가 상기 N1 노드를 통하여 제1프리차지부에 연결된 제1스위치(MN1)와, 상기 제1스위치에 상응하는 동일 구조로 상기 입력단(V_{IN})과 제2커플드스위치(MP2)간에 연결되며, 게이트가 상기 N2 노드를 통하여 제2프리차지부에 연결된 제2스위치(MN2)를 포함하여 구성된다.

<33> 상기 커플드 PMOS 전하전달스위치는 일 단자가 상기 N3 노드를 통하여 상기 제1스위치(MN1)에 연결되고 다른 일 단자가 출력단(V_{OUT})에 연결된 제1커플드스위치(MP1)와, 상기 제1커플드스위치에 상응하는 동일 구조로 일 단자가 N4 노드를 통하여 상기 제2스위치(MN2)에 연결되고 다른 일 단자가 출력단(V_{OUT})에 연결된 제2커플드스위치(MP2)를 포함하여 구성된다. 이때, 상기 제1커플드스위치(MP1)의 게이트는 상기 N4 노드에 연결되고 상기 제2커플드스위치치(MP2)의 게이트는 상기 N3 노드에 연결되어 “X”자 형태로 서로 교차하여, 상기 N3 노드와 N4 노드의 전압준위가 상기 제2커플드스위치(MP2)와 제1커플드스위치(MP1)의 게이트에 인가되도록 구성된다.

<34> 상기 바이어싱 회로는 상기 각 전하전달스위치에 연결되어 몸체전압(Body voltage)을 소스노드 전압에 전기적으로 연결함으로써, 몸체 효과에 따른 문턱전압의 증가를 방지하고 전하손실에 의한 래치업(Latch-up) 현상을 방지할 수 있는 벌크 포텐셜 바이어싱(Bulk-Potential Biasing) 회로로 구성된다.

<35> 이러한 바이어싱 회로는 상기 제1스위치(MN1)의 양 단자간에 연결된 제1바이어싱부(MN3, MN4)(310)와, 상기 제2스위치(MN2)의 양 단자간에 연결된 제2바이어싱부(MN5, MN6)(320)와, 상기 제1커플드스위치(MP1)의 양 단자간에 연결된 제3바이어싱부(MP3, MP4)(330)와, 상기 제2커플드스위치(MP2)의 양 단자간에 연결된 제4바이어싱부(MP5, MP6)(340)를 포함하여 구성된다.

<36> 그에 따라, 상기 제1바이어싱부(MN3, MN4)(310)는 하나의 노드가 제1스위치의 일 단자에서 입력단(V_{IN})에 연결되고 다른 하나의 노드는 상기 제1스위치의 다른 일 단자에서 N3 노드에 연결되며, 상기 제2바이어싱부(MN5, MN6)(320)는 하나의 노드가 제2스위치의 일 단자에서 입력단(V_{IN})에 연결되고 다른 하나의 노드는 상기 제2스위치의 다른 일 단자에서 N4 노드에 연결된다.

<37> 또한, 상기 제3바이어싱부(MP3, MP4)(330)는 하나의 노드가 제1커플드스위치의 일 단자에서 상기 N3 노드에 연결되고 다른 하나의 노드는 상기 제1커플드스위치의 다른 일 단자에서 출력단(V_{OUT})에 연결되며, 상기 제4바이어싱부(MP5, MP6)(340)는 하나의 노드가 제2커플드스위치의 일 단자에서 상기 N4 노드에 연결되고 다른 하나의 노드는 상기 제2커플드스위치의 다른 일 단자에서 출력단(V_{OUT})에 연결된다.

<38> 상기 전하펌핑 커패시터는 상기 N1 노드에 일단이 연결되고 제1클럭신호(CLK0)가 인가되는 제1전하펌핑 커패시터(C1)와, 상기 N2 노드에 일단이 연결되고 제4클럭신호(CLK3)가 인가되는 제2전하펌핑 커패시터(C2)와, 상기

N3 노드에 연결되고 제2클럭신호(CLK1)가 인가되는 제3전하펌핑 커패시터(C3)와, 상기 N4 노드에 연결되고 제3클럭신호(CLK2)가 인가되는 제4전하펌핑 커패시터(C4)를 포함하여 구성된다. 이때, 상기 전하펌핑 커패시터는 인가되는 클럭신호의 천이에 따라 연결된 노드를 각각 펌핑하게 된다.

<39> 상기 클럭 드라이버용 인버터는 종래의 컨트롤 로직에서 모든 전하펌프에 대하여 글로벌(Global) 형태로 구동하던 것을 배제하고, 오실레이션(oscillation) 주기를 줄일 수 있도록 로컬(Local) 형태로 구동할 수 있게 전하펌프단인 각 전하펌핑 커패시터 마다 분산 설치된 4개의 인버터를 포함하여 구성된다. 그에 따라 전하펌프의 클럭주기인 오실레이션 주기가 증가하는 것이 방지되어 동일한 전하펌프로 펌핑 전류(Pumping Current)를 증가시킬 수 있게 된다.

<40> 이때, 상기 클럭 드라이버용 인버터를 통하여 입력되는 4개의 클럭신호(CLK0, CLK1, CLK2, CLK3)는 상기 컨트롤 로직부에서 생성된 구동로직에 의해 중첩되지 않는 비중첩 클럭 신호이며, 상기 제1클럭신호(CLK0)와 제3클럭신호(CLK2)는 비중첩되는 시간을 제외하고는 기본적으로 같은 위상을 갖도록 구성된다. 또한 4개의 클럭신호의 스위칭 전압은 0V ~ VDD 인 것이 바람직하다.

<41> 다음에는 이와 같이 구성된 본 발명에 따른 크로스 커플 전하펌프방식의 저전압 DRAM용 고전압 발생기의 동작을 정상상태(Steady state)에서의 각 노드별 전압을 나타내는 도 3의 타이밍도를 참조하여 설명한다.

<42> 이단(2-stage)으로 구성된 크로스 커플 전하펌프는 VDD 전압이 입력전압이고 VPP 전압이 출력전압이다. t1 구간에서 N3 노드가 제3전하펌핑 커패시터(C3)에 의해 2VDD로 펌핑되고 N1 노드가 VDD전압으로 프리차지되어 펌핑된 전하는 출력단(V_{OUT})으로 전달된다. N2 노드는 제2전하펌핑 커패시터(C2)에 의해 2VDD가 되어 N4 노드를 프리차지시키게 된다.

<43> t4 구간은 N1 노드가 2VDD가 되어 N3 노드를 프리차지하고 N4 노드는 제4전하펌핑 커패시터(C4)에 의해 2VDD로 펌핑된다. 이때, N2 노드는 VDD전압이므로 N4 노드에 펌핑된 전하는 출력단(V_{OUT})으로 전달된다. t2, t3, t5, t6 구간은 클럭신호들의 중첩을 피하기 위해 제2클럭신호(CLK1)와 제3클럭신호(CLK2)가 하이(High)에서 로우(Low)상태로 스위칭하기 전에 제1클럭신호(CLK0)와 제4클럭신호(CLK3)가 로우에서 하이상태로 스위칭하도록 구성된다.

<44> 그리고 t1로 표시된 구간동안 N4 노드의 펌핑된 양전하는 제2커플드스위치(MP2)를 통하여 출력단(V_{OUT})으로 전달된다. 따라서 전하 펌핑은 한주기 동안 2번 발생하게 되고 출력전압은 2VDD로 펌핑된 전압을 유지하게 된다.

<45> 또한, 제1스위치(MN1)가 오프(OFF)된 이후 제3전하펌핑 커패시터(C3)에 의해 전하펌핑이 일어나고, 제2스위치(MN2)가 오프(OFF)된 이후에 제4전하펌핑 커패시터(C4)에 의해 전하펌핑이 일어나므로, 펌핑된 양전하가 NMOS 전하전달스위치인 제1 및 제2스위치(MN1, MN2)를 통해 빠져나가는 것을 방지하여 펌핑전류를 증가시키게 된다.

<46> 이와 같이 구성된 본 발명에 따른 크로스 커플 전하펌프방식의 저전압 DRAM용 고전압 발생기의 개선효과를 확인하기 위해, 0.18㎛ Triple-Well CMOS 공정을 이용하여 본 발명에 따른 고전압 발생기를 제작한 후 측정한 펌핑전류(Pumping Current)인 Ipp와, 펌핑효율(Pumping Efficiency), 및 파워효율(Power Efficiency)을 비교한 값을 표 1에 나타냈다.

표 1

<47>

조건	VDD = 1.5V, SS mode, Temp = 60℃	
항목	종래 고전압발생기	본 발명에 따른 고전압발생기
클럭주기(Tosc)	43ns	43ns
펌핑전류(Ipp)	575.2㎂	718.6㎂
펌핑효율	26.88%	28.85%
파워효율	59.13%	63.47%

<48> 이때, 클럭주기(Tosc)는 43ns이고, VDD전압은 1.5V NMOS Slow와 PMOS Slow, 온도는 60℃에서 기존의 전하펌프를 사용한 종래 고전압발생기와, 본 발명에 따른 크로스 커플 전하펌프를 사용한 고전압발생기를 비교하였다. 그 결과 가혹(Worst case simulation)조건에서 본 발명에 따른 크로스 커플 전하펌프를 사용한 고전압 발생기의 펌핑전류(Ipp)와 파워효율이 현저히 향상된 것을 확인할 수 있다.

<49> 이상에서는 본 발명에 대한 기술사상을 첨부 도면과 함께 서술하였지만 이는 본 발명의 바람직한 실시예를 예시

적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 이라면 누구나 본 발명의 기술적 사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방이 가능함은 명백한 사실이다.

도면의 간단한 설명

<50> 도 1은 본 발명에 따른 저전압 DRAM용 고전압 발생기의 블록도,

<51> 도 2는 본 발명에 따른 크로스 커플 전하펌프의 회로구성도,

<52> 도 3은 본 발명에 따른 크로스 커플 전하펌프의 타이밍도,

<53> 도 4는 종래의 크로스 커플 전하펌프의 기본 회로도.

<54> <도면의 주요 부분에 대한 부호의 설명>

<55> 100 - 프리차지 제어회로 210 - 제1프리차지부

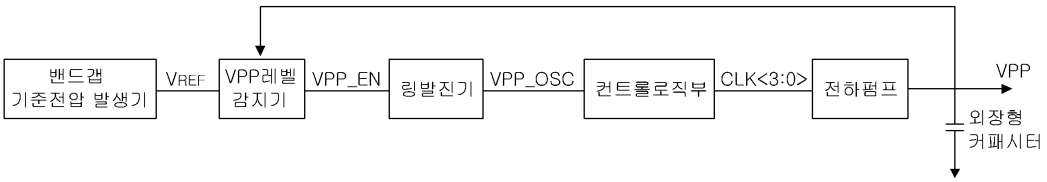
<56> 220 - 제2프리차지부 310 - 제1바이어싱부

<57> 320 - 제2바이어싱부 330 - 제3바이어싱부

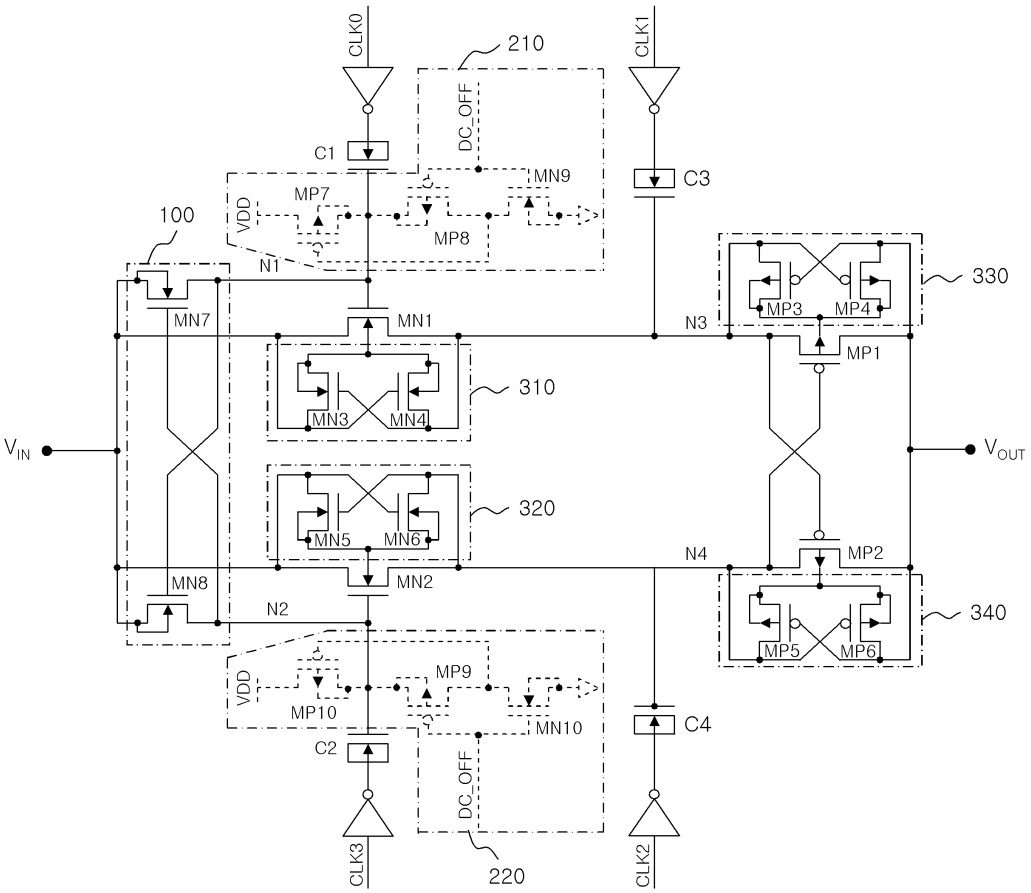
<58> 340 - 제4바이어싱부

도면

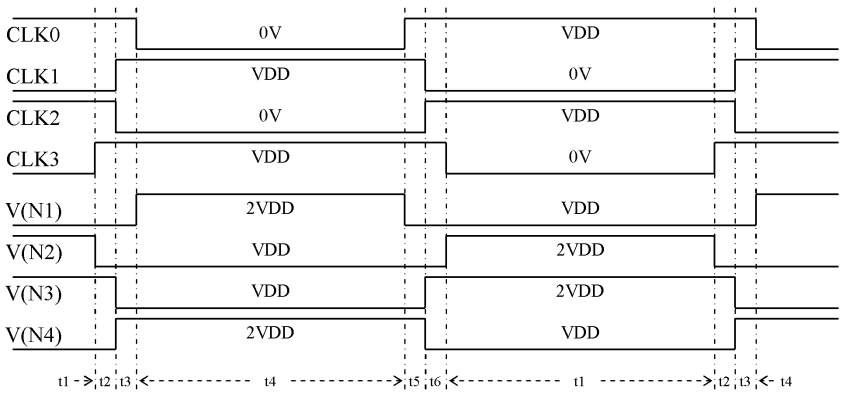
도면1



도면2


CLK0
CLK1
210
DC_OFF
C1
C3
MN9
MP7
VDD
MP8
100
N1
330
MP3
MP4
N3
MN7
MN1
MP1
310
MN3
MN4
V_{IN}
V_{OUT}
320
MN5
MN6
N4
MP2
MN8
MN2
340
MP5
MP6
N2
VDD
MP9
MP10
MN10
C4
C2
DC_OFF
CLK3
220
CLK2

도면3


CLK0
0V
VDD
CLK1
VDD
0V
CLK2
0V
VDD
CLK3
VDD
0V
V(N1)
2VDD
VDD
V(N2)
VDD
2VDD
V(N3)
VDD
2VDD
V(N4)
2VDD
VDD
t1
t2
t3
t4
t5
t6
t1
t2
t3
t4

도면4

