(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 8 月 3 日(03.08.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/130281 A1

(51) 国際特許分類:
H04N 5/367 (2011.01) *H04N 5/3745* (2011.01)
H04N 5/232 (2006.01) *H04N 9/07* (2006.01)

(21) 国際出願番号: PCT/JP2016/052050

(22) 国際出願日: 2016 年 1 月 25 日(25.01.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: オリンパス株式会社(OLYMPUS CORPORATION) [JP/JP]; 〒1510072 東京都渋谷区幡ヶ谷２丁目４３番２号 Tokyo (JP).

(72) 発明者: 山崎 輝彬(YAMASAKI, Teruaki); 〒1510072 東京都渋谷区幡ヶ谷２丁目４３番２号 オリンパス株式会社内 Tokyo (JP). 市川 学(ICHIKAWA, Manabu); 〒1510072 東京都渋谷区幡ヶ谷２丁目４３番２号 オリンパス株式会社内 Tokyo (JP).

(74) 代理人: 特許業務法人酒井国際特許事務所(SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関３丁目８番１号 虎の門三井ビルディング Tokyo (JP).

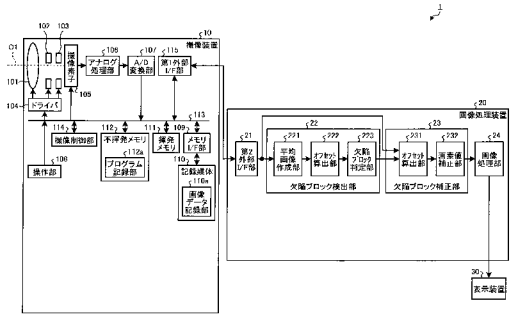
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）
— 補正された請求の範囲及び説明書（条約第 19 条(1)）

(54) **Title**: IMAGE PROCESSING DEVICE, IMAGE PROCESSING METHOD, AND PROGRAM

(54) 発明の名称 : 画像処理装置、画像処理方法およびプログラム



10 Imaging device
20 Image processing device
21 Second external interface unit
22 Defective block detection unit
23 Defective block correction unit
24 Image processing unit
30 Display device
104 Driver
105 Imaging element
106 Analog processing unit
107 A/D conversion unit
108 Operation unit
109 Memory interface unit
110 Recording medium
110a Image data recording unit
111 Volatile memory
112 Nonvolatile memory
112a Program recording unit
114 Imaging control unit
115 First external interface unit
221 Average image creation unit
222, 231 Offset calculation unit
223 Defective block determination unit
232 Pixel value correction unit

(57) **Abstract**: Provided are an image processing device, an image processing method, and a program that enable highly accurate detection and correction of a defective block. An image processing device 20 is provided with: a defective block detection unit 22 which, on the basis of image data, detects an offset component of a pixel value generated in a shared block comprising a plurality of pixels sharing a readout circuit, by using the pixel value of a pixel within the shared block and the pixel value of a pixel outside the shared block; and a defective block correction unit 23 which, on the basis of the offset component detected by the defective block detection unit 22, calculates a correction amount for correcting the pixel value of at least one pixel within the shared block, and which corrects the pixel value of the at least one pixel within the shared block by using the correction amount.

(57) 要約: 高精度に欠陥ブロックを検出して補正することができる画像処理装置、画像処理方法およびプログラムを提供する。画像処理装置２０は、画像データに基づいて、読み出し回路を共有する複数の画素からなる共有ブロック内における画素の画素値と、共有ブロック外における画素の画素値とを用いて、共有ブロック内で生じる画素値のオフセット成分を検出する欠陥ブロック検出部２２と、欠陥ブロック検出部２２が検出したオフセット成分に基づいて、共有ブロック内における少なくとも１つ以上の画素の画素値を補正する補正量を算出し、この補正量を用いて共有ブロック内における少なくとも１つ以上の画素の画素値を補正する欠陥ブロック補正部２３と、を備える。

WO 2017/130281 A1

明　細　書

発明の名称 ： 画像処理装置、画像処理方法およびプログラム

技術分野

[0001] 本発明は、２次元状に配置された複数の画素を有する撮像素子の読み出し回路に起因するノイズを検出して補正する画像処理装置、画像処理方法およびプログラムに関する。

背景技術

[0002] 近年、ＣＭＯＳ（Complementary Metal Oxide Semiconductor）等の撮像素子は、画素および該画素から信号を読み出す読み出し回路の微細化が進んでいる。このような微細化では、感度の低下および様々なノイズの増加が問題となっている。感度の低下に対しては、複数の画素を１つの読み出し回路で共有し、１つの共有ブロックとみなして信号を読み出す共有画素構造を採用して、読み出し回路の面積を削減し、各画素の開口率（受光部の割合）を向上させることによって感度を向上させている。

[0003] 一方、撮像素子で発生するノイズには、暗電流による暗電流ショットノイズおよび読み出し回路での熱雑音等に起因するランダムノイズがある。また、暗電流ショットノイズおよびランダムノイズ以外にも、画素値が常に異常値を示すノイズや画素値が撮像毎に変動する点滅欠陥ノイズ等がある。

[0004] このようなノイズが発生する欠陥画素を検出する技術として、注目画素の画素値と同色の周辺画素の画素値との差分値を求め、その差分値と閾値を用いて注目画素が欠陥画素であるか否かを仮判定後、注目画素が欠陥画素であると仮判定された場合、注目画素周辺の隣接異色画素間の画素値の差分値を求め、その差分値が閾値を超えた隣接異色画素の数が多いほど、注目画素が欠陥である可能性が示す欠陥状態変数を低くすることによって、精度よく欠陥画素を検出する（特許文献１参照）。

先行技術文献

特許文献

[0005] 特許文献1：特開２００６－１４８２３０号公報

発明の概要

発明が解決しようとする課題

[0006] ところで、上述した欠陥画素の中には、読み出し回路に起因するものがある。例えば、この読み出し回路におけるフローティングディフュージョン（以下、「ＦＤ」という）に欠陥が生じた場合、この読み出し回路を介して読み出される各画素の画素値が周囲の画素値より一律に高くなったり、または一律に低くなったりする異常な共有ブロック（以下、「欠陥ブロック」という）が発生する。

[0007] しかしながら、上述した特許文献１では、注目画素における周辺画素を参照するため、欠陥ブロックが隣接したりしている場合、欠陥ブロックに隣接するような形で被写体のエッジ部分が撮像されている場合および欠陥ブロックの周囲に欠陥画素が発生している場合等、注目画素の画素値と周辺画素の画素値との差分値を正確に求めることができず、正しく欠陥ブロックを検出できないという問題点があった。

[0008] 本発明は、上記に鑑みてなされたものであって、高精度に欠陥ブロックを検出して補正することができる画像処理装置、画像処理方法およびプログラムを提供することを目的とする。

課題を解決するための手段

[0009] 上述した課題を解決し、目的を達成するために、本発明に係る画像処理装置は、２次元状に配置され、外部から光を受光し、受光量に応じた信号を生成する複数の画素と、所定の画素数毎に設けられ、前記信号を画素値として読み出す複数の読み出し回路と、を有する撮像素子によって生成された画像データを取得する取得部と、前記取得部が取得した前記画像データに基づいて、前記読み出し回路を共有する複数の画素からなる共有ブロック内における画素の画素値と、前記共有ブロック外における画素の画素値とを用いて、前記共有ブロック内で生じる画素値のオフセット成分を検出する検出部と、前記検出部が検出した前記オフセット成分に基づいて、前記共有ブロック内

における少なくとも１つ以上の画素の画素値を補正する補正量を算出し、該補正量を用いて前記共有ブロック内における少なくとも１つ以上の画素の画素値を補正する補正部と、を備えたことを特徴とする。

[0010] また、本発明に係る画像処理装置は、上記発明において、前記検出部は、前記共有ブロック内における画素の画素値と、前記共有ブロック内における画素に隣接する前記共有ブロック外における画素の画素値との差に基づいて、前記オフセット成分を検出することを特徴とする。

[0011] また、本発明に係る画像処理装置は、上記発明において、前記検出部は、前記共有ブロック内における複数の画素それぞれの画素値と、前記共有ブロック内の各画素の周囲に位置する前記共有ブロック外の画素の画素値との差を算出し、算出した差に基づいて、前記オフセット成分を検出することを特徴とする。

[0012] また、本発明に係る画像処理装置は、上記発明において、前記検出部は、前記共有ブロック内における画素の画素値と、前記共有ブロック内における画素の周囲に位置する前記共有ブロック外における画素の画素値との差に基づいて、前記オフセット成分を検出することを特徴とする。

[0013] また、本発明に係る画像処理装置は、上記発明において、前記検出部は、前記共有ブロック内における画素の画素値と、前記共有ブロック内における画素の周囲に位置する前記共有ブロック外の画素における補正後の画素値との差に基づいて、前記オフセット成分を検出することを特徴とする。

[0014] また、本発明に係る画像処理装置は、上記発明において、前記撮像素子の受光面には、互いに異なる複数の波長帯域の光を透過させるカラーフィルタが配置されており、前記検出部は、前記共有ブロック内における画素の画素値と、前記共有ブロック内における画素と同色の前記共有ブロック外における画素の画素値との差に基づいて、前記オフセット成分を検出することを特徴とする。

[0015] また、本発明に係る画像処理装置は、上記発明において、前記検出部は、前記共有ブロック内における画素の画素値と、前記共有ブロック内における

画素と同色の前記共有ブロック外の画素における補正後の画素値との差に基づいて、前記オフセット成分を検出することを特徴とする。

[0016] また、本発明に係る画像処理装置は、上記発明において、前記検出部は、前記共有ブロック内における画素が欠陥画素のとき、前記共有ブロック内における画素に隣接する画素が欠陥画素であるとき、または前記共有ブロック内における画素に隣接する画素が前記読み出し回路に起因して画素値にノイズが発生する欠陥ブロックであるとき、前記共有ブロック内における画素の画素値と、前記共有ブロック内における画素に隣接する前記共有ブロック外における画素の画素値との差の算出を中止することを特徴とする。

[0017] また、本発明に係る画像処理装置は、上記発明において、前記検出部は、前記取得部が取得した前記画像データに基づいて、前記共有ブロック内における画素の画素値と、前記共有ブロック外における画素の画素値とを用いて、前記オフセット成分を前記共有ブロック毎に算出するオフセット算出部と、前記オフセット算出部が算出した前記オフセット成分に基づいて、注目する前記共有ブロックが前記読み出し回路に起因して画素値にノイズが発生する欠陥ブロックであるか否かを判定する欠陥ブロック判定部と、を有し、前記補正部は、前記欠陥ブロック判定部によって前記欠陥ブロックと判定された前記共有ブロックに対し、前記オフセット算出部が算出した前記オフセット成分に基づいて、前記共有ブロック内における少なくとも１つ以上の画素の画素値を補正する補正量を算出し、該補正量を用いて前記共有ブロック内における少なくとも１つ以上の画素の画素値を補正することを特徴とする。

[0018] また、本発明に係る画像処理装置は、上記発明において、前記オフセット算出部は、前記オフセット成分を算出する場合において、前記共有ブロック内における画素が欠陥画素のとき、前記共有ブロック内における画素に隣接する画素が欠陥画素であるとき、または前記共有ブロック内における画素に隣接する画素が前記欠陥ブロックであるとき、前記オフセット成分の算出を中止することを特徴とする。

[0019] また、本発明に係る画像処理装置は、上記発明において、前記補正部は、

前記取得部が取得した前記画像データより前に算出した前記補正量を用いて前記共有ブロック内の少なくとも１つ以上の画素の画素値を補正することを特徴とする。

[0020] また、本発明に係る画像処理装置は、上記発明において、前記補正部は、前記オフセット成分と、前記取得部が取得した前記画像データより前のフレームにおいて算出された前記オフセット成分とに基づいて、前記補正量を算出することを特徴とする。

[0021] また、本発明に係る画像処理装置は、上記発明において、前記補正部は、前記取得部が取得した前記画像データより前のフレームにおいて算出した前記補正量を用いて、前記取得部が取得した前記画像データの現フレームにおける前記共有ブロック内の少なくとも１つ以上の画素の画素値を補正することを特徴とする。

[0022] また、本発明に係る画像処理装置は、上記発明において、前記補正部は、前記共有ブロック内における各画素の画素値から前記補正量を減算することによって前記共有ブロック内における各画素の画素値を補正することを特徴とする。

[0023] また、本発明に係る画像処理装置は、上記発明において、前記補正部は、前記共有ブロックを含む複数の画素における２つの画素の画素値の差に基づいて、前記共有ブロック内に輝点が発生しているか否かを判定する輝点判定部と、前記輝点判定部によって輝点が発生しないと判定された前記共有ブロックに対し、前記オフセット成分を算出するオフセット算出部と、前記オフセット算出部が算出した前記オフセット成分に基づいて、前記補正量を算出する補正量算出部と、前記補正量算出部が算出した前記補正量に基づいて、前記共有ブロック内の画素の画素値を補正する画素値補正部と、を有することを特徴とする。

[0024] また、本発明に係る画像処理方法は、２次元状に配置され、外部から光を受光し、受光量に応じた信号を生成する複数の画素と、所定の画素数毎に設けられ、前記信号を画素値として読み出す複数の読み出し回路と、を有する

撮像素子によって生成された画像データを取得する取得ステップと、前記取得ステップにおいて取得した前記画像データに基づいて、前記読み出し回路を共有する複数の画素からなる共有ブロック内における画素の画素値と、前記共有ブロック外における画素の画素値とを用いて、前記共有ブロック内で生じる画素値のオフセット成分を検出する検出ステップと、前記検出ステップにおいて検出した前記オフセット成分に基づいて、前記共有ブロック内における少なくとも１つ以上の画素の画素値を補正する補正量を算出し、該補正量を用いて前記共有ブロック内における少なくとも１つ以上の画素の画素値を補正する補正ステップと、を含むことを特徴とする。

[0025] また、本発明に係るプログラムは、２次元状に配置され、外部から光を受光し、受光量に応じた信号を生成する複数の画素と、所定の画素数毎に設けられ、前記信号を画素値として読み出す複数の読み出し回路と、を有する撮像素子によって生成された画像データを取得する取得ステップと、前記取得ステップにおいて取得した前記画像データに基づいて、前記読み出し回路を共有する複数の画素からなる共有ブロック内における画素の画素値と、前記共有ブロック外における画素の画素値とを用いて、前記共有ブロック内で生じる画素値のオフセット成分を検出する検出ステップと、前記検出ステップにおいて検出した前記オフセット成分に基づいて、前記共有ブロック内における少なくとも１つ以上の画素の画素値を補正する補正量を算出し、該補正量を用いて前記共有ブロック内における少なくとも１つ以上の画素の画素値を補正する補正ステップと、を画像処理装置に実行させることを特徴とする。

発明の効果

[0026] 本発明によれば、高精度に欠陥ブロックを検出して補正することができるという効果を奏する。

図面の簡単な説明

[0027] [図1]図１は、本発明の実施の形態１に係る撮像システムの構成を模式的に示すブロック図である。

[図2]図２は、本発明の実施の形態１に係る撮像素子の要部の構成を模式的に示す概略図である。

[図3]図３は、本発明の実施の形態１に係る撮像素子における読み出し回路に起因する傷の発生例を模式的に示す図である。

[図4]図４は、本発明の実施の形態１に係る欠陥ブロック検出部が実行する処理の概要を示すフローチャートである。

[図5]図５は、図４のオフセット算出処理の概要を示すフローチャートである。

[図6A]図６Ａは、本発明の実施の形態１に係るオフセット算出部が算出するオフセット算出の概要を模式的に示す図である。

[図6B]図６Ｂは、本発明の実施の形態１に係るオフセット算出部が算出するオフセット算出の概要を模式的に示す図である。

[図7]図７は、本発明の実施の形態１に係る欠陥ブロック補正部が実行する処理の概要を示すフローチャートである。

[図8]図８は、本発明の実施の形態２に係るオフセット算出処理の概要を示すフローチャートである。

[図9A]図９Ａは、フィルタ処理前の各画素の画素値を模式的に示す図である。

[図9B]図９Ｂは、フィルタ処理後の各画素の画素値を模式的に示す図である。

[図9C]図９Ｃは、本発明の実施の形態２に係るオフセット算出部が算出するオフセット算出の概要を模式的に示す図である。

[図10]図１０は、本発明の実施の形態３に係るオフセット算出処理の概要を示すフローチャートである。

[図11]図１１は、本発明の実施の形態３に係るオフセット算出部が算出するオフセット算出の概要を模式的に示す図である。

[図12]図１２は、本発明の実施の形態４に係る撮像システムの構成を模式的に示すブロック図である。

[図13]図１３は、本発明の実施の形態４に係る欠陥ブロック補正部が実行する処理の概要を示すフローチャートである。

[図14]図１４は、本発明の実施の形態５に係る欠陥ブロック補正部が実行する処理の概要を示すフローチャートである。

発明を実施するための形態

[0028] 以下、図面を参照して、本発明を実施するための形態（以下、「実施の形態」という）について説明する。なお、以下に説明する実施の形態によって本発明が限定されるものではない。さらに、図面の記載において、同一の部分には同一の符号を付して説明する。

[0029] （実施の形態１）

〔撮像システムの構成〕

図１は、本発明の実施の形態１に係る撮像システムの構成を模式的に示すブロック図である。図１に示す撮像システム１は、撮像装置１０と、画像処理装置２０と、表示装置３０と、を備える。

[0030] 〔撮像装置の構成〕

まず、撮像装置１０の構成について説明する。撮像装置１０は、図１に示すように、光学系１０１と、絞り１０２と、シャッタ１０３と、ドライバ１０４と、撮像素子１０５と、アナログ処理部１０６と、Ａ／Ｄ変換部１０７と、操作部１０８と、メモリＩ／Ｆ部１０９と、記録媒体１１０と、揮発メモリ１１１と、不揮発メモリ１１２と、バス１１３と、撮像制御部１１４と、第１外部Ｉ／Ｆ部１１５と、を備える。

[0031] 光学系１０１は、複数のレンズを用いて構成される。光学系１０１は、例えばフォーカスレンズと、ズームレンズと、を用いて構成される。

[0032] 絞り１０２は、光学系１０１が集光した光の入射量を制限することで露出の調整を行う。絞り１０２は、撮像制御部１１４の制御のもと、光学系１０１が集光した光の入射量を制限する。

[0033] シャッタ１０３は、撮像素子１０５の状態を露光状態または遮光状態に設定する。シャッタ１０３は、例えばフォーカルプレーンシャッタ等を用いて

構成される。なお、シャッタ１０３を用いず、撮像素子１０５を制御することで電子的に露光量を制御する所謂電子シャッタを用いるようにしてもよい。

[0034] ドライバ１０４は、後述する撮像制御部１１４の制御のもと、光学系１０１、絞り１０２およびシャッタ１０３を駆動する。例えば、ドライバ１０４は、光学系１０１を光軸Ｏ１に沿って移動させることによって、撮像装置１０のズーム倍率の変更またはピント位置の調整を行う。

[0035] 撮像素子１０５は、後述する撮像制御部１１４の制御のもと、光学系１０１が集光した光を受光して画像データ（電気信号）に変換して出力する。撮像素子１０５は、複数の画素が２次元状に配置されたＣＭＯＳ（Complementary Metal Oxide Semiconductor）等を用いて構成される。なお、本実施の形態１では、別途、異なるカラー光を時分割で照射可能な光源を配置し、撮像素子１０５には、フィルタを配置せず、照射する色を変更しながら順次取り込んだ画像データを使用してカラー画像データを生成する（面順次方式）。また、撮像素子１０５の各画素の前面には、互いに異なる波長帯域の光を透過させるベイヤー配列のＲＧＢフィルタが配置されてもよい。さらに、撮像素子１０５は、ベイヤー配列に限定されず、例えばＦｏｖｉｏｎのような積層型の形式でも勿論かまわない。また、用いるフィルタは、ＲＧＢに限定されず、シアン、イエロー、マゼンダ等の補色フィルタ等任意のフィルタを適用できる。

[0036] ここで、撮像素子１０５の構成について詳細に説明する。図２は、撮像素子１０５の要部の構成を模式的に示す概略図である。なお、図２に示す撮像素子１０５は、画素の開口率向上により感度を向上させるため、複数の画素で読み出し回路を共有している例を示している。なお、図２に示す撮像素子１０５は、水平方向（横方向）に２画素×垂直方向（縦方向）に４画素の８画素に対して、１つの読み出し回路が配置されている。なお、図２においては、水平方向（横方向）に２画素×垂直方向（縦方向）に４画素の８画素に対して、１つの読み出し回路を１グループとする例を説明したが、本実施の

形態１の撮像素子１０５上には、上述した画素および読み出し回路が、水平方向および垂直方向に並んで配置されている。

[0037] 図２に示すように、撮像素子１０５は、露光により光を受光し、光電変換を行うことによって、露光量に対応した電荷を発生する複数の画素１０５ａ（フォトダイオード）と、複数の画素１０５ａの各々に設けられ、撮像制御部１１４の制御に応じて開閉する第１スイッチ１０５ｂと、複数の画素１０５ａの各々から出力された信号（電荷）を垂直方向に転送する垂直転送線１０５ｃと、複数の画素１０５ａの各々から出力された信号を蓄積するＦＤ部１０５ｄ（Floating Diffusion）と、ＦＤ部１０５ｄから出力された信号を増幅するアンプ部１０５ｅと、撮像制御部１１４の制御に応じて開閉する第２スイッチ１０５ｆと、第２スイッチ１０５ｆを制御する制御線１０５ｇと、アンプ部１０５ｅで増幅された電気信号を転送する転送線１０５ｈと、を備える。

[0038] このように構成された撮像素子１０５は、画素１０５ａ（１）～１０５ａ（８）における露光量に対応する信号を画素値として読み出す場合、まず、ＦＤ部１０５ｄをリセット状態にして、撮像制御部１１４が第１スイッチ１０５ｂ（１）のみをオンとすることで、画素１０５ａ（１）に発生した電荷をＦＤ部１０５ｄに転送する。その後、撮像素子１０５は、撮像制御部１１４が第２スイッチ１０５ｆをオンとすることで、ＦＤ部１０５ｄに蓄積された電荷をアンプ部１０５ｅによって増幅させて画素値として読み出す（出力する）。次に、撮像素子１０５は、ＦＤ部１０５ｄをリセット状態にして、撮像制御部１１４が第１スイッチ１０５ｂ（２）のみをオンとすることで、画素１０５ａ（２）に発生した電荷をＦＤ部１０５ｄに転送する。その後、撮像素子１０５は、撮像制御部１１４が第２スイッチ１０５ｆをオンとすることで、ＦＤ部１０５ｄに蓄積された電荷をアンプ部１０５ｅによって増幅させて画素値として読み出す。撮像素子１０５は、このような読み出し動作を順次行うことによって、画素１０５ａ（１）～１０５ａ（８）における露光量に対応する信号を順次画素値として出力することができる。なお、本実

施の形態１では、ＦＤ部１０５ｄ、第２スイッチ１０５ｆ、アンプ部１０５ｅおよび制御線１０５ｇが複数の画素１０５ａの各々から電荷を読み出す読み出し回路として機能する。

[0039] ここで、撮像素子１０５における読み出し回路に起因する傷の発生例について説明する。図３は、撮像素子１０５における読み出し回路に起因する傷の発生例を模式的に示す図である。図３において、図２に示した横方向に２画素×縦方向に４画素の８画素に対して、１つの読み出し回路で信号を読み出す共有画素の場合を示す。また、図３において、細線Ｌ１で形成された正方形Ｐ１が各画素を示し、この白色の正方形Ｐ１が正常画素を示し、黒色の正方形Ｐ２が欠陥画素（正常画素よりも画素値が常に高くなる白傷や常に低くなる黒傷）を示す。さらに、図３において、太線Ｌ２の枠Ｇ１が同じ画素値グループ（共有ブロック）に分類される画素値を出力する画素を示し、斜線が施された画素Ｐ４のグループＧ２が読み出し回路起因の傷によってノイズが発生する欠陥ブロックを示す。即ち、欠陥ブロックとは、読み出し回路におけるに欠陥が生じた場合、この読み出し回路を介して読み出される各画素の画素値が周囲の画素値より一律に高くなったり、または一律に低くなったりする異常な共有ブロックである。図３に示すように、従来の方法では、注目画素の周辺画素を参照する場合において、欠陥ブロックに隣接するような形で、被写体のエッジ部分が撮像されているとき、欠陥ブロックが隣接したりしているとき、および欠陥ブロックの周囲に欠陥画素が発生しているとき等、注目画素の画素値と周辺画素の画素値との差分値を正確に求めることができず、正しく欠陥ブロックを検出や補正できない。

[0040] 図１に戻り、撮像装置１０の構成の説明を続ける。

アナログ処理部１０６は、撮像素子１０５から入力されるアナログ信号に対して、所定のアナログ処理を施してＡ／Ｄ変換部１０７へ出力する。具体的には、アナログ処理部１０６は、撮像素子１０５から入力されるアナログ信号に対して、ノイズ低減処理およびゲインアップ処理等を行う。例えば、アナログ処理部１０６は、アナログ信号に対して、リセットノイズ等を低減

した上で波形整形を行い、さらに目的の明るさとなるようにゲインアップを行う。

[0041] Ａ／Ｄ変換部１０７は、アナログ処理部１０６から入力されるアナログ信号に対して、Ａ／Ｄ変換を行うことによってデジタルの画像データ（以下、「ＲＡＷ画像データ」という）を生成し、バス１１３を介して揮発メモリ１１１に出力する。なお、Ａ／Ｄ変換部１０７は、後述する撮像装置１０の各部に対してＲＡＷ画像データを直接出力するようにしてもよい。なお、上述したアナログ処理部１０６とＡ／Ｄ変換部１０７を撮像素子１０５に設け、撮像素子１０５がデジタルのＲＡＷ画像データを直接出力するようにしても良い。

[0042] 操作部１０８は、撮像装置１０の各種の指示を与える。具体的には、操作部１０８は、撮像装置１０の電源状態をオン状態またはオフ状態に切り替える電源スイッチ、静止画撮影の指示を与えるレリーズスイッチ、撮像装置１０の各種設定を切り替える操作スイッチおよび動画撮影の指示を与える動画スイッチ等を有する。

[0043] 記録媒体１１０は、撮像装置１０の外部から装着されるメモリカードを用いて構成され、メモリＩ／Ｆ部１０９を介して撮像装置１０に着脱自在に装着される。また、記録媒体１１０は、撮像制御部１１４の制御のもと、メモリＩ／Ｆ部１０９を介してプログラムおよび各種情報それぞれを不揮発メモリ１１２に出力してもよい。また、記録媒体１１０は、撮像素子１０５が遮光された状態で撮像した複数の画像データ（例えば１００枚）を記録する。この画像データには、各画素のアドレスと画素値とが対応付けて記録されている。

[0044] 揮発メモリ１１１は、バス１１３を介してＡ／Ｄ変換部１０７から入力される画像データを一時的に記憶する。例えば、揮発メモリ１１１は、アナログ処理部１０６、Ａ／Ｄ変換部１０７およびバス１１３を介して、撮像素子１０５が１フレーム毎に順次出力する画像データを一時的に記憶する。揮発メモリ１１１は、ＳＤＲＡＭ（Synchronous Dynamic Random Access Mem

ory）等を用いて構成される。

[0045] 不揮発メモリ１１２は、撮像装置１０を動作させるための各種プログラム、プログラムの実行中に使用される各種データを記録する。また、不揮発メモリ１１２は、プログラム記録部１１２ａを有する。不揮発メモリ１１２は、Ｆｌａｓｈメモリ等を用いて構成される。

[0046] バス１１３は、撮像装置１０の各構成部位を接続する伝送路等を用いて構成され、撮像装置１０の内部で発生した各種データを撮像装置１０の各構成部位に転送する。

[0047] 撮像制御部１１４は、ＣＰＵ（Central Processing Unit）等を用いて構成され、操作部１０８からの指示信号やレリーズ信号に応じて撮像装置１０を構成する各部に対する指示やデータの転送等を行って撮像装置１０の動作を統括的に制御する。例えば、撮像制御部１１４は、操作部１０８からセカンドレリーズ信号が入力された場合、撮像装置１０における撮影動作を開始する制御を行う。ここで、撮像装置１０における撮影動作とは、撮像素子１０５が出力した画像データに対し、アナログ処理部１０６およびＡ／Ｄ変換部１０７が所定の処理を施す動作をいう。このように処理が施された画像データは、撮像制御部１１４の制御のもと、バス１１３およびメモリＩ／Ｆ部１０９を介して記録媒体１１０に記録される。

[0048] 第１外部Ｉ／Ｆ部１１５は、バス１１３を介して外部の機器から入力される情報を不揮発メモリ１１２または揮発メモリ１１１へ出力する一方、バス１１３を介して外部の機器へ揮発メモリ１１１が記憶する情報、不揮発メモリ１１２が記憶する情報および撮像素子１０５が生成した画像データを出力する。具体的には、第１外部Ｉ／Ｆ部１１５は、バス１１３を介して画像処理装置２０に撮像素子１０５が生成した画像データを出力する。

[0049] 〔画像処理装置の構成〕

次に、画像処理装置２０の構成について説明する。画像処理装置２０は、第２外部Ｉ／Ｆ部２１と、欠陥ブロック検出部２２と、欠陥ブロック補正部２３と、画像処理部２４と、を備える。

[0050] 第２外部Ｉ／Ｆ部２１は、撮像装置１０の第１外部Ｉ／Ｆ部１１５を介して撮像素子１０５によって生成された画像データを取得し、取得した画像データを欠陥ブロック検出部２２および欠陥ブロック補正部２３へ出力する。本実施の形態１では、第２外部Ｉ／Ｆ部２１が取得部として機能する。

[0051] 欠陥ブロック検出部２２は、第２外部Ｉ／Ｆ部２１が取得した画像データに基づいて、読み出し回路を共有する複数の画素からなる共有ブロック内における画素の画素値と、この共有ブロック外における画素の画素値とを用いて、共有ブロック内で生じる画素値のオフセット成分を検出する。具体的には、欠陥ブロック検出部２２は、共有ブロック内における画素の画素値と、この共有ブロック内における画素に隣接する共有ブロック外における画素の画素値との差に基づいて、共有ブロック内で生じる画素値のオフセット成分を検出する。欠陥ブロック検出部２２は、平均画像作成部２２１と、オフセット算出部２２２と、欠陥ブロック判定部２２３と、を有する。なお、本実施の形態１では、欠陥ブロック検出部２２が検出部として機能する。

[0052] 平均画像作成部２２１は、第２外部Ｉ／Ｆ部２１および第１外部Ｉ／Ｆ部１１５を介して、記録媒体１１０の画像データ記録部１１０ａに記録された撮像素子１０５が遮光状態で生成した複数の画像データ（例えば１００枚）を取得し、取得した複数の画像データを用いて平均画像を作成する。

[0053] オフセット算出部２２２は、共有ブロック内における画素の画素値と、この共有ブロック外における画素の画素値とを用いて、共有ブロック内で生じる画素値のオフセット成分を算出する。具体的には、オフセット算出部２２２は、注目するアドレスの共有ブロック内における画素の画素値から、その画素に隣接する注目するアドレスの共有ブロック外における隣接画素の画素値を減算した値を算出することによって、共有ブロック内で生じる画素値のオフセット成分を算出する。

[0054] 欠陥ブロック判定部２２３は、オフセット算出部２２２が算出したオフセット成分に基づいて、注目する共有ブロックが読み出し回路に起因して画素値にノイズが発生する欠陥ブロックであるか否かを判定する。具体的には、

欠陥ブロック判定部２２３は、注目するアドレスの共有ブロックにおけるオフセットレベルの絶対値が所定の閾値より大きいか否かを判定することによって、注目するアドレスの共有ブロックが欠陥ブロックであるか否かを判定する。より具体的には、欠陥ブロック判定部２２３は、注目するアドレスの共有ブロックにおけるオフセットレベルの絶対値が所定の閾値より大きいと判定した場合、この共有ブロックのアドレスを、欠陥ブロックが発生する共有ブロックアドレスとして欠陥ブロック補正部２３へ出力する。

[0055] 欠陥ブロック補正部２３は、欠陥ブロック検出部２２が検出したオフセット成分に基づいて、共有ブロック内における少なくとも１つ以上の画素の画素値を補正する補正量を算出し、この補正量を用いて共有ブロック内における少なくとも１つ以上の画素の画素値を補正する。欠陥ブロック補正部２３は、オフセット算出部２３１と、画素値補正部２３２と、を有する。なお、本実施の形態１では、欠陥ブロック補正部２３が補正部として機能する。また、欠陥ブロック補正部２３は、欠陥ブロック検出部２２が検出したオフセット成分に基づいて、共有ブロック内における全ての画素の画素値を補正する補正量を算出し、この補正量を用いて共有ブロック内の全ての画素の画素値を補正してもよい。もちろん、欠陥ブロック補正部２３は、欠陥ブロック検出部２２が検出したオフセット成分に基づいて、共有ブロック内における複数の画素の画素値を補正する補正量を算出し、この補正量を用いて共有ブロック内における複数の画素の画素値を補正してもよい。

[0056] オフセット算出部２３１は、共有ブロック内における画素の画素値と、この共有ブロック外における画素の画素値とを用いて、共有ブロック内で生じるオフセット成分を検出する。具体的には、オフセット算出部２３１は、注目するアドレスの共有ブロック内における画素の画素値から、その画素に隣接する注目するアドレスの共有ブロック外における隣接画素の画素値を減算した値を算出する。

[0057] 画素値補正部２３２は、オフセット算出部２３１が算出したオフセットレベルを用いて、注目するアドレスの共有ブロック内の各画素の画素値からオ

フセットレベルを一律減算することによって、画素値を補正する。

[0058] 画像処理部２４は、欠陥ブロック補正部２３によって欠陥ブロックである共有ブロック内における画素の画素値が補正された画像データに対して、所定の画像処理を行って表示装置３０へ出力する。ここで、所定の画像処理とは、少なくとも、オプティカルブラック減算処理、ホワイトバランス調整処理、撮像素子がベイヤー配列の場合には画像データの同時化処理、カラーマトリクス演算処理、γ補正処理、色再現処理およびエッジ強調処理、ノイズ低減処理等を含む基本の画像処理を行う。また、画像処理部２４は、予め設定された各画像処理のパラメータに基づいて、自然な画像を再現する画像処理を行う。ここで、各画像処理のパラメータとは、コントラスト、シャープネス、彩度、ホワイトバランスおよび階調の値である。

[0059] 〔表示装置の構成〕

次に、表示装置３０の構成について説明する。表示装置３０は、画像処理装置２０から入力される画像データに対応する画像を表示する。表示装置３０は、液晶または有機ＥＬ（Electro Luminescence）等の表示パネル等を用いて構成される。

[0060] 以上の構成を有する撮像システム１は、画像処理装置２０が撮像素子１０５によって生成された画像データに発生した欠陥ブロックを検出して補正し、表示装置３０が画像処理装置２０によって画像処理が施された画像データに対応する画像を表示する。

[0061] 〔欠陥ブロック検出部の処理〕

次に、欠陥ブロック検出部２２が実行する処理について説明する。図４は、欠陥ブロック検出部２２が実行する処理の概要を示すフローチャートであり、欠陥ブロック検出部２２が実行するメインルーチンのフローチャートである。

[0062] 図４に示すように、まず、平均画像作成部２２１は、第２外部Ｉ／Ｆ部２１および第１外部Ｉ／Ｆ部１１５を介して、記録媒体１１０の画像データ記録部１１０ａに記録された撮像素子１０５が遮光状態で生成した複数の画像

データ（例えば１００枚）を取得し、取得した複数の画像データを用いて平均画像を作成する（ステップＳ１０１）。具体的には、平均画像作成部２２１は、複数の画像データを用いて画素毎に画素値の平均値を算出して平均画像を作成する。なお、平均画像を用いる複数の画像データは、撮像素子１０５が遮光された状態で生成したものである必要はなく、例えば平面を撮像したものであってもよいが、撮像素子１０５が遮光された状態で生成した画像データが好ましい。この場合、撮像素子１０５が遮光された状態で生成した画像データが最もランダムノイズが低く、検出には好ましい。

[0063] 続いて、欠陥ブロック検出部２２は、注目する共有ブロックの垂直方向のアドレスを示すカウンタＳｈｙを初期化（Ｓｈｙ＝０）するとともに（ステップＳ１０２）、注目する共有ブロックの水平方向のアドレスを示すカウンタＳｈｘを初期化（Ｓｈｘ＝０）する（ステップＳ１０３）。ここで、共有ブロックのアドレス（Ｓｈｘ，Ｓｈｙ）は、画像データの左上の共有ブロック（図３に示す太線Ｌ２で囲まれた枠Ｇ１の左上の共有ブロック）を原点（０，０）とし、共有ブロック単位で計数するものとする。

[0064] その後、オフセット算出部２２２は、注目するアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロックにおけるオフセットレベルを算出するオフセット算出処理を実行する（ステップＳ１０４）。なお、オフセット算出処理の詳細は、後述する。

[0065] 続いて、欠陥ブロック判定部２２３は、注目するアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロックにおけるオフセットレベルの絶対値が所定の閾値より大きいか否かを判定（｜オフセットレベル｜＞閾値）する（ステップＳ１０５）。ここで、所定の閾値は、欠陥ブロックが目立ち始めるレベルとすることが好ましく、予め実験等によって設定されていることが好ましい。もちろん、閾値は、たとえば撮像素子の温度等により、適宜変更することができる。欠陥ブロック判定部２２３は、注目するアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロックにおけるオフセットレベルの絶対値が所定の閾値より大きいと判定した場合（ステップＳ１０５：Ｙｅｓ）、この共有ブロックのアドレス（Ｓ

ｈｘ，Ｓｈｙ）を、欠陥ブロックが発生する共有ブロックアドレスとして欠陥ブロック補正部２３へ出力する（ステップＳ１０６）。ステップＳ１０６の後、欠陥ブロック検出部２２は、後述するステップＳ１０７へ移行する。これに対して、欠陥ブロック判定部２２３は、注目するアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロックにおけるオフセットレベルの絶対値が所定の閾値より大きくないと判定した場合（ステップＳ１０５：Ｎｏ）、欠陥ブロック検出部２２は、後述するステップＳ１０７へ移行する。

[0066] ステップＳ１０７において、欠陥ブロック検出部２２は、カウンタＳｈｘをインクリメントする（Ｓｈｘ＝Ｓｈｘ＋１）。

[0067] 続いて、カウンタＳｈｘが水平方向共有ブロック数未満（Ｓｈｘ＜水平方向ブロック数）である場合（ステップＳ１０８：Ｙｅｓ）、欠陥ブロック検出部２２は、上述したステップＳ１０４へ戻る。これに対して、カウンタＳｈｘが水平方向共有ブロック数未満でない場合（ステップＳ１０８：Ｎｏ）、欠陥ブロック検出部２２は、後述するステップＳ１０９へ移行する。

[0068] ステップＳ１０９において、欠陥ブロック検出部２２は、カウンタＳｈｙをインクリメントする（Ｓｈｙ＝Ｓｈｙ＋１）。

[0069] 続いて、カウンタＳｈｙが垂直方向共有ブロック数未満（Ｓｈｙ＜垂直方向ブロック数）である場合（ステップＳ１１０：Ｙｅｓ）、欠陥ブロック検出部２２は、上述したステップＳ１０３へ戻る。これに対して、カウンタＳｈｙが垂直方向共有ブロック数未満でない場合（ステップＳ１１０：Ｎｏ）、欠陥ブロック検出部２２は、本処理を終了する。

[0070] 〔オフセット算出処理の概要〕

次に、図４のステップＳ１０４において説明したオフセット算出処理の詳細について説明する。図５は、オフセット算出処理の概要を示すフローチャートである。

[0071] 図５に示すように、まず、オフセット算出部２２２は、注目するアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロック内における画素の画素値から、その画素に隣接する共有ブロック外における隣接画素の画素値を減算した値を算出す

る（ステップＳ２０１）。ここで、オフセット算出部２２２は、差を逆に求めた場合、後述する欠陥ブロック補正部２３が行う補正処理において加算を行えばよい。また、ステップＳ２０１の処理において、注目するアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロックが画像端である場合、オフセット算出部２２２は、隣接する共有ブロック外の画素が存在する組み合わせのみ上記の差を算出する。

[0072] 図６Ａは、オフセット算出部２２２が算出するオフセット算出の概要を模式的に示す図であり、撮像素子１０５の受光面にカラーフィルタを設置していない場合のオフセット算出の概要を模式的に示す図である。

[0073] 図６Ａに示すように、オフセット算出部２２２は、２×４の共有ブロックの場合、隣接する共有ブロック外の画素との間の差を算出する。具体的には、オフセット算出部２２２は、矢印Ａ１の元の画素ＰＰ１の画素値から矢印Ａ１の先の画素ＰＰ２の画素値を減算する。なお、オフセット算出部２２２は、画像端において、矢印Ａ１の先に画素が存在しない場合、その矢印Ａ１に対応する差を算出しない。

[0074] 図６Ｂは、オフセット算出部２２２が算出するオフセット算出の概要を模式的に示す図であり、撮像素子１０５の受光面にカラーフィルタを配置した場合のオフセット算出の概要を模式的に示す図である。なお、図６Ｂにおいては、ベイヤー配列のカラーフィルタを例に説明するが、これに限定されることなく、補色フィルタ等であっても、同様の処理を行うものとする。

[0075] 図６Ｂに示すように、オフセット算出部２２２は、注目するアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロック内における画素の画素値から、その画素に隣接する共有ブロック外における同色の隣接画素の画素値を減算した値を算出する。ここで、隣接とは、隣り合う画素のみに限定されない。具体的には、オフセット算出部２２２は、矢印Ａ２の元の画素ＰＧ１の画素値から矢印Ａ２の先の画素ＰＧ２の画素値を減算し、矢印Ａ２の元の画素ＰＲ１の画素値から矢印Ａ２の先の画素ＰＲ２の画素値を減算し、矢印Ａ２の元の画素ＰＢ１の画素値から矢印Ａ２の先の画素ＰＢ２の画素値を減算する。この場合、

オフセット算出部２２２は、ベイヤー配列におけるフィルタＧｒが配置されたＧｒ画素（フィルタＲが配置されたＲ画素が配置されている行に位置するＧ画素）およびフィルタＧｂが配置されたＧｂ画素（フィルタＢが配置されたＢ画素が配置されている行に位置するＧ画素）のように、同様の分光感度を有する画素に対して、必ずしも区別する必要はない。例えば、図６Ｂに示す場合、オフセット算出部２２２は、画素ＰＧ１（Ｇｒ画素）の場合、画素ＰＧ２（Ｇｒ画素）の画素値や画素ＰＧ３（Ｇｒ画素）の画素値と比較して差を算出するようにしてもよく、もちろん、斜めに隣接する画素ＰＧ４（Ｇｂ画素）の画素値との差を算出してもよい。即ち、オフセット算出部２２２は、注目するアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロック内における画素の画素値と、注目するアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロック内における画素の周囲に位置する共有ブロック外における画素の画素値との差に基づいて、オフセット成分を検出する。

[0076] 図５に戻り、ステップＳ２０２以降の説明を続ける。

ステップＳ２０２において、オフセット算出部２２２は、オフセットレベルを算出する。具体的には、オフセット算出部２２２は、上述したステップＳ２０１において算出した差の中央値を注目するアドレス（Ｓｈｘ，Ｓｈｙ）における共有ブロックのオフセットレベルとして算出する。なお、オフセット算出部２２２は、中央値以外にも、統計値、例えば最頻値および平均値等に基づいてオフセットレベルとして算出してもよい。オフセット算出部２２２は、中央値を用いた場合において、注目するアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロック内や、その画素に隣接する共有ブロック外の画素に欠陥画素があったとき、その欠陥画素の影響を低減して、オフセットレベルを算出することができる。

[0077] また、図６Ａおよび図６Ｂにおいて、オフセット算出部２２２は、注目するアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロック内において最も外側の全ての画素と、それらに隣接する画素の全ての組み合わせ（矢印全て）で差を算出してもよいし、一部のみ（例えば共有グループの四隅やＧ画素、水平方向の

み等）の差を算出するようにしてもよい。即ち、オフセット算出部２２２が多くの差を求めることによって、ランダムノイズや欠陥画素による影響をより低減することができる。ステップＳ２０２の後、オフセット算出部２２２は、図４のメインルーチンへ戻る。

[0078] このように、欠陥ブロック検出部２２は、共有ブロック毎にオフセットレベルを算出し、この算出したオフセットレベルの絶対値が所定の閾値より大きい共有ブロックの場合、欠陥ブロックが発生していると判定し、この共有ブロックのアドレス（Ｓｈｘ，Ｓｈｙ）を欠陥ブロックとして欠陥ブロック補正部２３へ出力する。

[0079] 〔欠陥ブロック補正部の処理〕

次に、欠陥ブロック補正部２３が実行する処理について説明する。図７は、欠陥ブロック補正部２３が実行する処理の概要を示すフローチャートであり、欠陥ブロック補正部２３が実行するメインルーチンのフローチャートである。

[0080] 図７に示すように、まず、欠陥ブロック補正部２３は、欠陥ブロックが発生する共有ブロックのアドレスが格納された配列のＩｎｄｅｘを示す変数を初期化（Ｉｎｄｅｘ＝０）する（ステップＳ３０１）。

[0081] 続いて、オフセット算出部２３１は、欠陥ブロックが発生する共有ブロックのアドレスが格納された配列のＩｎｄｅｘ番目に格納されたアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロックのオフセットレベルを算出するオフセット算出処理を実行する（ステップＳ３０２）。なお、オフセット算出部２３１が行うオフセット算出処理は、上述した図５において説明したオフセット算出処理と同様のため、説明を省略する。

[0082] その後、画素値補正部２３２は、オフセット算出部２３１が算出したオフセットレベルを用いて、注目するアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロック内の各画素の画素値からオフセットレベルを一律減算することによって、画素値を補正する（ステップＳ３０３）。

[0083] 続いて、欠陥ブロック補正部２３は、Ｉｎｄｅｘをインクリメント（Ｉｎ

ｄｅｘ＝Ｉｎｄｅｘ＋１）する（ステップＳ３０４）。

[0084] その後、Ｉｎｄｅｘが、欠陥ブロックが発生する共有ブロックのアドレス数未満（Ｉｎｄｅｘ＜欠陥ブロックが発生する共有ブロックのアドレス数）である場合（ステップＳ３０５：Ｙｅｓ）、欠陥ブロック補正部２３は、上述したステップＳ３０２へ戻る。これに対して、Ｉｎｄｅｘが、欠陥ブロックが発生する共有ブロックのアドレス数未満でない場合（ステップＳ３０５：Ｎｏ）、欠陥ブロック補正部２３は、本処理を終了する。

[0085] このように、欠陥ブロック補正部２３は、欠陥ブロック検出部２２によって検出された欠陥ブロックが発生する共有ブロックのアドレスに基づいて、第２外部Ｉ／Ｆ部２１から入力された画像データにおける欠陥ブロックが発生する共有ブロックの各画素の画素値を補正して画像処理部２４へ出力する。

[0086] 以上説明した本発明の実施の形態１によれば、欠陥ブロックにおいて一律オフセットされるため、複数の差を用いてオフセットレベルを算出することによって、ランダムノイズや欠陥画素の影響を低減して、欠陥ブロックを検出することができるので、高精度に欠陥ブロックを検出して補正することができる。

[0087] なお、本発明の実施の形態１では、オフセット算出部２３１が欠陥ブロック検出部２２から入力された欠陥ブロックを示すアドレス（Ｓｈｘ，Ｓｈｙ）に基づき対応する共有ブロックのオフセットレベルを算出していたが、このオフセットレベルは、欠陥ブロック検出部２２におけるオフセット算出部２２２においても同様に算出している。この場合において、欠陥ブロック検出部２２は、欠陥ブロックのオフセットレベルが変わらない条件下であるとき、欠陥ブロックが発生する共有ブロックのアドレスと、検出時のオフセットレベル（図５のステップＳ２０２においてオフセット算出部２２２によって算出されたオフセットレベル）と、を対応付けて欠陥ブロック補正部２３へ出力してもよい。この場合、欠陥ブロック補正部２３のオフセット算出部２３１は、図７のステップＳ３０２のオフセット算出処理を省略してもよい

。なお、撮像素子１０５の駆動電圧や温度等によって欠陥ブロック検出部２２が検出したオフセットレベルが異なる可能性があるため、欠陥ブロック補正部２３においても、再度、オフセットレベルを算出するオフセット算出処理を行うことが好ましい。

[0088] （実施の形態２）

次に、本発明の実施の形態２について説明する。本実施の形態２は、上述した実施の形態１に係る撮像システム１と同様の構成を有し、オフセット算出処理が異なる。以下においては、本実施の形態２に係るオフセット算出部が実行するオフセット算出処理について説明する。なお、上述した実施の形態１に係る撮像システム１と同一の構成には同一の符号を付して説明を省略する。

[0089] 〔オフセット算出処理の概要〕

図８は、本実施の形態２に係るオフセット算出処理の概要を示すフローチャートである。なお、本実施の形態２においては、オフセット算出部２２２およびオフセット算出部２３１の各々が同じ処理を行うため、オフセット算出部２２２が実行する場合のオフセット算出処理のみを説明する。

[0090] 図８に示すように、まず、オフセット算出部２２２は、画像データの各画素の画素値に対してフィルタ処理を実行する（ステップＳ４０１）。例えば、図９Ａに示すように、オフセット算出部２２２は、画像データの各画素ＰＰ１の画素値に、フィルタ処理としてメディアンフィルタ処理等（例えば３×３）を実行した各画素ＰＰ１２，ＰＰ２１の画素値で構成された画像データを生成する（図９Ａ→図９Ｂ）。なお、オフセット算出部２２２は、メディアンフィルタ処理以外にも、ローパスフィルタ処理およびバンドパスフィルタ処理等の周知のフィルタ処理を行ってもよい。この場合、オフセット算出部２２２は、アドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロック内外の画素を混在して使用しないよう、それぞれ境界で折り返す処理またはコピー処理等を行うことが好ましい。

[0091] 続いて、オフセット算出部２２２は、フィルタ処理後の隣接画素の画素値

との差を算出する（ステップＳ４０２）。具体的には、オフセット算出部２２２は、フィルタ処理を行っていない状態の注目するアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロック内の各画素の画素値（図９Ａ）と、上述したステップＳ４０１においてフィルタ処理を実行したフィルタ処理結果（図９Ｂを参照）と、を用いて、注目するアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロック内における画素の画素値から、その画素に隣接する共有ブロック外における隣接画素の画素値を減算した値を算出する（図９Ｃを参照）。例えば、図９Ｃに示すように、オフセット算出部２２２は、矢印Ａ３の元の画素ＰＰ１の画素値から矢印Ａ３の先の画素ＰＰ２１の画素値を減算する。

[0092] その後、オフセット算出部２２２は、上述したステップＳ４０２において算出した差の中央値を注目するアドレス（Ｓｈｘ，Ｓｈｙ）における共有ブロックのオフセットレベルとして算出する（ステップＳ４０３）。なお、オフセット算出部２２２は、中央値以外にも、統計値、例えば最頻値および平均値等に基づいてオフセットレベルとして算出してもよい。オフセット算出部２２２は、中央値を用いた場合において、アドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロック内や、その画素に隣接する共有ブロック外の画素に欠陥画素があったとき、その欠陥画素の影響を低減して、オフセットレベルを算出することができる。ステップＳ４０３の後、オフセット算出部２２２は、図４のメインルーチンへ戻る。

[0093] 以上説明した本発明の実施の形態２によれば、フィルタ処理後の画素値を用いることによって、欠陥ブロックの周囲に欠陥画素がある場合、またはランダムノイズが大きい場合であっても、それらの影響を排除して、高精度に欠陥ブロックを検出して補正することができる。

[0094] なお、本発明の実施の形態２では、オフセット算出部２２２が注目するアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロック内におけるフィルタ処理前の画素値と、共有ブロック外をフィルタ処理後の画素値とを用いて隣接画素の画素値との差を算出していたが、共有ブロック内の各画素の画素値に換えて、フィルタ処理後の画素値を用いて隣接画素の画素値との差を算出してもよい。

即ち、オフセット算出部２２２は、フィルタ処理後の注目するアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロック内における各画素の画素値と、その画素に隣接する共有ブロック外の画素の画素値との差をオフセットレベルとして算出してもよい。

[0095] また、本発明の実施の形態２では、撮像素子１０５の各画素の受光面にカラーフィルタを配置していない場合を例に説明したが、カラーフィルタを配置する場合、注目画素と同様の分光感度特性を有する画素（同色の画素）の画素値のみを使用してフィルタ処理を行えばよい。

[0096]（実施の形態３）

次に、本発明の実施の形態３について説明する。本実施の形態３に係る撮像システムは、上述した実施の形態１に係る撮像システム１と同様の構成を有し、オフセット算出処理が異なる。以下においては、本実施の形態３に係るオフセット算出部が実行するオフセット算出処理について説明する。なお、上述した実施の形態１に係る撮像システム１と同一の構成には同一の符号を付して説明を省略する。

[0097] 〔オフセット算出処理の概要〕

図１０は、本実施の形態３に係るオフセット算出処理の概要を示すフローチャートである。なお、本実施の形態３においては、オフセット算出部２２２およびオフセット算出部２３１の各々が同じ処理を行うため、オフセット算出部２２２が実行する場合のオフセット算出処理のみを説明する。

[0098] 図１０に示すように、まず、オフセット算出部２２２は、隣接画素の差を算出する（ステップＳ５０１）。

[0099] 図１１は、オフセット算出部２２２が算出するオフセット算出の概要を模式的に示す図であり、撮像素子１０５の受光面にカラーフィルタを設置していない場合のオフセット算出の概要を模式的に示す図である。図１１において、ハッチングされた画素および塗りつぶした画素は、欠陥画素または欠陥ブロックを示す。即ち、画素Ｐ２が白傷または黒傷による欠陥画素を示し、画素Ｐ４が読み出し回路の起因による傷が発生する画素（欠陥ブロック）を

示し、画素Ｐ５が明部閾値以上の画素を示し、画素Ｐ６が暗部閾値以下の画素を示す。

[0100] 図１１に示すように、オフセット算出部２２２は、注目するアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロック内における画素の画素値から、その画素に隣接する共有ブロック外における隣接画素の画素値を減算した値を算出する。この場合において、オフセット算出部２２２は、２つの画素が欠陥画素または欠陥ブロックのとき、その組み合わせの差を算出しない。具体的には、図１１に示すように、オフセット算出部２２２は、矢印Ａ１０の状態のみ、矢印Ａ１の元の画素ＰＰ１の画素値から矢印Ａ１０の先の画素ＰＰ２の画素値を減算する。

[0101] これに対して、図１１に示すように、オフセット算出部２２２は、共有ブロック外における隣接画素が欠陥画素Ｐ２または欠陥ブロックＰ４の場合および共有ブロック内の画素が欠陥画素Ｐ２の場合、その組み合わせの差を算出しない。さらに、オフセット算出部２２２は、注目するアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロック内における画素が欠陥画素のとき、共有ブロック内における画素に隣接する画素が欠陥画素であるとき、または共有ブロック内における画素に隣接する画素が欠陥ブロックであるとき、共有ブロック内における画素の画素値と、共有ブロック内における画素に隣接する共有ブロック外における画素の画素値との差の算出を算出しない（中止する）。

[0102] また、オフセット算出部２２２は、注目するアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロック内における画素の画素値および、その画素に隣接する共有ブロック外における隣接画素の画素値それぞれが共に暗部閾値以下または明部閾値以上の場合、その組み合わせの差を算出しない。具体的には、図１１に示すように、オフセット算出部２２２は、共有ブロック内における画素Ｐ５の画素値と、その画素に隣接する画素Ｐ５の画素値との差の算出を中止する。

[0103] 図１０に戻り、ステップＳ５０２以降の説明を続ける。

ステップＳ５０２において、オフセット算出部２２２は、オフセットレベ

ルを算出する。具体的には、オフセット算出部２２２は、上述したステップＳ５０１において算出した差の中央値を注目するアドレス（Ｓｈｘ，Ｓｈｙ）のオフセットレベルとして算出する。なお、オフセット算出部２２２は、中央値以外にも、統計値、例えば最頻値および平均値等に基づいてオフセットレベルとして算出してもよい。オフセット算出部２２２は、中央値を用いた場合において、ランダムノイズや被写体等の影響を低減して、オフセットレベルを算出することができる。ステップＳ５０２の後、オフセット算出部２２２は、図４のメインルーチンへ戻る。

[0104] 以上説明した本発明の実施の形態３によれば、欠陥画素や隣接する欠陥ブロックを除外するため、これらの影響を排除して、高精度に欠陥ブロックを検出して補正することができる。

[0105] また、本発明の実施の形態３によれば、暗い画像や明るい画像を除外するため、黒つぶれによりマイナス方向のオフセットを検出できなかったり、白とびによるプラス方向のオフセットを検出できなかったりする場合であっても、高精度に欠陥ブロックを検出して補正することができる。

[0106] （実施の形態４）

次に、本発明の実施の形態４について説明する。本実施の形態４に係る撮像システムは、上述した実施の形態１に係る撮像システム１と構成が異なる。以下においては、本実施の形態４に係る撮像システムの構成について説明する。なお、上述した実施の形態１に係る撮像システム１と同一の構成には同一の符号を付して説明を省略する。

[0107] 〔撮像システムの構成〕

図１２は、本発明の実施の形態４に係る撮像システムの構成を模式的に示すブロック図である。図１２に示す撮像システム１ａは、上述した実施の形態１に係る撮像システム１の画像処理装置２０に換えて、画像処理装置２０ａを備える。

[0108] 〔画像処理装置の構成〕

画像処理装置２０ａの構成について説明する。画像処理装置２０ａは、上

述した実施の形態１に係る画像処理装置２０の欠陥ブロック補正部２３に換えて、欠陥ブロック補正部２３ａを備える。

[0109] 欠陥ブロック補正部２３ａは、輝点判定部２３１ａと、オフセット算出部２３２ａと、補正量算出部２３３ａと、補正量メモリ２３４ａと、画素値補正部２３５ａと、を有する。

[0110] 輝点判定部２３１ａは、欠陥ブロックが発生する共有ブロックのアドレスが格納された配列のＩｎｄｅｘ番目に格納された位置の共有ブロックと、その共有ブロックの周囲（例えば、その共有ブロックと隣接する周囲１画素）の画素内において、上から３番目の画素値であるＰｉｘＴと、下から３番面の画素値であるＰｉｘＢと、を取得し、上から３番目の画素値であるＰｉｘＴから下から３番面の画素値であるＰｉｘＢを減算した画素値の差が閾値未満であるか否かを判定する。なお、輝点判定部２３１ａは、輝点以外にも、被写体の輝度差を検出して判定してもよい。これにより、被写体のグラデーションによる誤検出を防止することができる。

[0111] オフセット算出部２３２ａは、欠陥ブロックが発生する共有ブロックのアドレスが格納された配列のＩｎｄｅｘ番目に格納されたアドレスの共有ブロックのオフセットレベルを算出する画素値のオフセット算出処理を実行してオフセット成分を算出する。

[0112] 補正量算出部２３３ａは、補正量メモリ２３４ａからＩｎｄｅｘ番目の補正量を取得し、取得した補正量と、オフセット算出部２３２ａによって算出されたオフセットレベルとを用いて、補正量を修正する。

[0113] 補正量メモリ２３４ａは、ＲＯＭ（Ｒｅａｄ　Ｏｎｌｙ　Ｍｅｍｏｒｙ）等を用いて構成され、補正量算出部２３３ａが算出した補正量を記憶する。

[0114] 画素値補正部２３５ａは、補正量メモリ２３４ａから補正量を取得し、取得した補正量を用いて、アドレス内の各画素の画素値から補正量を一律減算することによって、画素値を補正する。

[0115] 〔欠陥ブロック補正部の処理〕

次に、欠陥ブロック補正部２３ａが実行する処理について説明する。図１

３は、欠陥ブロック補正部２３ａが実行する処理の概要を示すフローチャートであり、欠陥ブロック補正部２３ａが実行するメインルーチンのフローチャートである。

[0116] 図１３に示すように、まず、欠陥ブロック補正部２３ａは、欠陥ブロックが発生する共有ブロックのアドレスが格納された配列のＩｎｄｅｘを示す変数を初期化（Ｉｎｄｅｘ＝０）する（ステップＳ６０１）。

[0117] 続いて、輝点判定部２３１ａは、欠陥ブロックが発生する共有ブロックのアドレスが格納された配列のＩｎｄｅｘ番目に格納された注目するアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロックと、その共有ブロックの周囲（例えば、その共有ブロックと隣接する周囲１画素、その共有ブロックの周囲に位置しオフセット算出処理に使用する画素。）の画素内において、上から３番目の画素値であるＰｉｘＴと、下から３番面の画素値であるＰｉｘＢと、を取得する（ステップＳ６０２）。なお、ＰｉｘＴを上から３番目、およびＰｉｘＢを下から３番目としているが、必ずしも３番目である必要はない。本実施の形態４では、上述した図３のように周囲に２個の欠陥画素までを想定したため、３番目とした。このため、周囲に想定する欠陥画素の数に応じて適宜変更してもよい。

[0118] その後、輝点判定部２３１ａは、上から３番目の画素値であるＰｉｘＴから下から３番面の画素値であるＰｉｘＢを減算した画素値の差が閾値未満であるか否か（ＰｉｘＴ－ＰｉｘＢ＜閾値）を判定する（ステップＳ６０３）。ここで、閾値は、検出したい最大のオフセットレベルとランダムノイズを考慮し、例えば検出したい最大のオフセットレベルの１．５倍とする。輝点判定部２３１ａが上から３番目の画素値であるＰｉｘＴから下から３番面の画素値であるＰｉｘＢを減算した画素値の差が閾値未満であると判定した場合（ステップＳ６０３：Ｙｅｓ）、欠陥ブロック補正部２３ａは、後述するステップＳ６０４へ移行する。これに対して、輝点判定部２３１ａが上から３番目の画素値であるＰｉｘＴから下から３番面の画素値であるＰｉｘＢを減算した画素値の差が閾値未満でないと判定した場合（ステップＳ６０３：

Ｎｏ）、欠陥ブロック補正部２３ａは、後述するステップＳ６０８へ移行する。

[0119] ステップＳ６０４において、オフセット算出部２３２ａは、欠陥ブロックが発生する共有ブロックのアドレスが格納された配列のＩｎｄｅｘ番目に格納された注目するアドレス（Ｓｈｘ，Ｓｈｙ）の共有ブロックの画素値のオフセットレベルを算出するオフセット算出処理を実行する。なお、オフセット算出部２３２ａが行うオフセット算出処理は、上述した図５、図８および図１０のいずれかで説明したオフセット算出処理と同様のため、説明を省略する。

[0120] 続いて、補正量算出部２３３ａは、補正量メモリ２３４ａからＩｎｄｅｘ番目の補正量を取得する（ステップＳ６０５）。補正量は、予め所定値（例えば０、または欠陥ブロック検出部２２による検出時に検出されたオフセットレベル）で初期化しておくものとする。また、初期化のタイミングとは、撮像システム１ａの電源投入のタイミングや、例えば撮像システム１ａを内視鏡システムによって構成する場合、内視鏡スコープ（撮像装置１０）がプロセッサ（画像処理装置２０ａ）に接続されたタイミングである。

[0121] その後、補正量算出部２３３ａは、ステップＳ６０５において取得した補正量と、ステップＳ６０４においてオフセット算出部２３２ａによって算出されたオフセットレベルとを用いて、補正量を修正する（ステップＳ６０６）。例えば、補正量算出部２３３ａは、例えば係数αを用いて修正した補正量を算出する。具体的には、補正量算出部２３３ａは、$0<\alpha<1$の条件のもと、ステップＳ６０５において取得した補正量をβ、ステップＳ６０４においてオフセット算出部２３２ａによって算出されたオフセットレベルγとするとき、以下の式（１）によって、修正した補正量νを算出する。

$$\nu=\alpha\times\gamma+(1-\alpha)\times\beta \quad \cdots (1)$$

[0122] 続いて、補正量算出部２３３ａは、ステップＳ６０６において修正した補正量を、補正量メモリ２３４ａのＩｎｄｅｘ番目に格納する（ステップＳ６０７）。

[0123] その後、画素値補正部２３５ａは、補正量メモリ２３４ａからＩｎｄｅｘ番目の補正量を取得する（ステップＳ６０８）。

[0124] 続いて、画素値補正部２３２は、ステップＳ６０８において取得した補正量を用いて、注目するアドレス（Ｓｈｘ，Ｓｈｙ）内の各画素の画素値からステップＳ６０８において取得した補正量を一律減算することによって、画素値を補正する（ステップＳ６０９）。

[0125] その後、欠陥ブロック補正部２３ａは、Ｉｎｄｅｘをインクリメント（Ｉｎｄｅｘ＝Ｉｎｄｅｘ＋１）する（ステップＳ６１０）。

[0126] その後、Ｉｎｄｅｘが、欠陥ブロックが発生する共有ブロックのアドレス数未満（Ｉｎｄｅｘ＜欠陥ブロックが発生する共有ブロックのアドレス数）である場合（ステップＳ６１１：Ｙｅｓ）、欠陥ブロック補正部２３ａは、上述したステップＳ６０２へ戻る。これに対して、Ｉｎｄｅｘが、欠陥ブロックが発生する共有ブロックのアドレス数未満でない場合（ステップＳ６１１：Ｎｏ）、欠陥ブロック補正部２３ａは、本処理を終了する。

[0127] 以上説明した本発明の実施の形態４によれば、検出時と補正時において異なるオフセットレベルの欠陥ブロックに対し、画像データから高精度にオフセットレベルを算出することができる。

[0128] また、本発明の実施の形態４によれば、被写体やランダムノイズに応じてオフセットレベルが多少変動した場合であっても、安定した補正量を算出することができるため、高精度に欠陥ブロックを検出して補正することができる。

[0129] なお、本発明の実施の形態４では、画素値補正部２３５ａが修正した補正量を直後の補正に反映して補正していたが、補正への反映を遅延させて補正してもよい。具体的には、補正量算出部２３３ａは、所定フレーム（例えば、数秒分のフレーム数）の補正量の修正と補正量メモリ２３４ａへの格納までを行い、その後、画素値補正部２３５ａは、所定フレームが経過した後に、画素値を補正するようにしてもよい。また、画素値補正部２３５ａは、補正量がある程度収束するまで（例えば、補正量の変化量が所定レベル以下に

なるまで）、補正量の修正と補正量メモリ２３４ａへの格納までを行い、その後、画素値補正部２３５ａは、補正量が収束した後に画素値を補正するようにしてもよい。

[0130]（実施の形態５）

次に、本発明の実施の形態５について説明する。本実施の形態５に係る撮像システムは、上述した実施の形態４に係る撮像システム１ａと同様の構成を有し、欠陥ブロック補正部が実行する処理のみ異なる。以下においては、本実施の形態５に係る欠陥ブロック補正部が実行する処理について説明する。なお、上述した実施の形態４に係る撮像システム１ａと同一の構成には同一の符号を付して説明を省略する。

[0131]〔欠陥ブロック補正部の処理〕

図１４は、本実施の形態５に係る欠陥ブロック補正部２３ａが実行する処理の概要を示すフローチャートであり、欠陥ブロック補正部２３ａが実行するメインルーチンのフローチャートである。図１４において、ステップＳ７０１は、上述した図１３のステップＳ６０１に対応する。

[0132] ステップＳ７０２において、画素値補正部２３５ａは、補正量メモリ２３４ａからＩｎｄｅｘ番目の補正量を取得する。

[0133] 続いて、画素値補正部２３５ａは、ステップＳ７０２において取得した補正量を用いて、注目するアドレス（Ｓｈｘ，Ｓｈｙ）内の各画素の画素値からステップＳ７０２において取得した補正量を一律減算することによって、画素値を補正する（ステップＳ７０３）。画素値補正部２３５ａは、補正した画素値を補正量メモリ２３４ａに格納する。

[0134] ステップＳ７０４～ステップＳ７０９は、上述した図１３のステップＳ６０２～ステップＳ６０７それぞれに対応する。また、ステップＳ７１０～ステップＳ７１１は、上述した図１３のステップＳ６１０～ステップＳ６１１それぞれに対応する。

[0135] なお、ステップＳ７０６において、画素値補正部２３５ａは、注目するアドレス（Ｓｈｘ，Ｓｈｙ）のオフセットを算出する場合において、注目する

アドレス（Ｓｈｘ，Ｓｈｙ）内の各画素の画素値を、ステップＳ７０３において補正される前の画素値を用いる。このとき、画素値補正部２３５ａは、注目するアドレス（Ｓｈｘ，Ｓｈｙ）外の画素の画素値を、ステップＳ６０４同様に、補正される前の画素値を用いてもよいし、補正後の画素値を用いてもよい。これにより、画素値補正部２３５ａは、注目するアドレス（Ｓｈｘ，Ｓｈｙ）外の画素の画素値として補正後の画素値を用いることによって、連結する欠陥ブロック（隣り合う隣接する複数の共有ブロックが欠陥ブロックである状態）の場合において、隣接する欠陥ブロックで発生する欠陥の影響を低減したオフセットの検出を行うことが可能になる。

[0136] 以上説明した本発明の実施の形態５によれば、先に画素値を補正し、算出されたオフセットレベルを補正量に反映するタイミングを遅くすることによって、補正と補正量との算出を並列に行うことができるので、上述した実施の形態４に比して、補正後の画像データの出力タイミングを早くすることができるうえ、高精度に欠陥ブロックを検出して補正することができる。

[0137] また、本発明の実施の形態５によれば、先に画素値を補正することによって、オフセットレベルの算出と補正量の修正を行うために必要となるライン分、補正に必要な画像データを記憶する必要がなくなるため、バッファ容量を削減することができる。その結果、欠陥ブロック補正部２３ａをハードウェアで実現する場合に、ハードウェア規模を削減することができる。

[0138] なお、本実施の形態５では、画素値補正部２３５ａが修正した補正量を次のタイミングで撮像された画像データ（次のフレームの画像データ）の補正に反映して補正していたが、補正への反映を遅延させて補正してもよい。具体的には、補正量算出部２３３ａは、所定フレーム（例えば、数秒分のフレーム数）の補正量の修正と補正量メモリ２３４ａへの格納までを行い、その後、画素値補正部２３５ａは、所定フレームが係止した後に、画素値を補正するようにしてもよい。また、画素値補正部２３５ａは、補正量がある程度収束するまで（例えば、補正量の変化量が所定レベル以下になるまで）、補正量の修正と補正量メモリ２３４ａへの格納までを行い、その後、画素値補

正部２３５ａは、補正量が収束した後に画素値を補正するようにしてもよい。

[0139]（その他の実施の形態）

本発明の実施の形態では、予め欠陥ブロックを判定し、欠陥ブロックが発生する共有ブロック内における画素の画素値を補正していたが、全ての共有ブロックに対して撮影された画像データを用いてリアルタイムにオフセット算出して欠陥ブロックの判定を行うことで、予め欠陥ブロックを判定することなく、欠陥ブロックである共有ブロック内の画素の画素値を補正するようにしてもよい。

[0140] また、本発明の実施の形態では、撮像素子の受光面にカラーフィルタを配置する場合、Ｒフィルタ、ＧフィルタおよびＢフィルタで構成されたベイヤー配列のカラーフィルタであったが、他のカラーフィルタであっても本発明を適用することができる。具体的には、本発明では、上述した実施の形態１～５に係る撮像素子の受光面にベイヤー配列のカラーフィルタに換えて、補色のＣｙ（シアン）フィルタ、ＲフィルタおよびＢフィルタによって構成されたカラーフィルタであってもよい。また、本発明では、Ｒフィルタ、ＢフィルタおよびＧフィルタの配列を変更したカラーフィルタであってもよい。さらに、本発明では、Ｒフィルタ、ＧフィルタおよびＢフィルタそれぞれが斜めに配置されたカラーフィルタであってもよい。さらにまた、本発明では、Ｃｙ（シアン）フィルタ、Ｍｇ（マゼンタ）フィルタおよびＹｅ（イエロー）フィルタを用いた補色フィルタのカラーフィルタであってもよい。本発明では、Ｗフィルタ（無色のホワイトフィルタ）、ＭｇフィルタおよびＧフィルタを用いたカラーフィルタであってもよい。

[0141] また、本発明の実施の形態では、１つの撮像素子に互いに異なる分光透過率を有する複数のカラーフィルタを設けていたが、例えば緑色の波長領域を透過するＧフィルタのみを各画素の受光面または、撮像素子全面に設けた撮像素子と、赤色または青色の波長領域を透過するＲフィルタおよびＢフィルタを市松模様になるように互い違いに各画素の受光面に設けた撮像素子とを

用いる２板式や、Ｒフィルタのみ、Ｇフィルタのみ、Ｂフィルタのみをそれぞれ設けた撮像素子を用いる３板式の撮像装置であっても本発明を適用することができる。この場合、一方の撮像素子におけるＧ画素の補正係数を算出する場合、該Ｇ画素の座標に対応する他方の撮像素子のＲ画素またはＢ画素の画素値を用いることによって本発明の補正量を算出することができる。

[0142] また、本発明の実施の形態では、水平方向に２画素、垂直方向に４画素から構成される共有ブロック（２×４）を例に説明したが、異なる画素数から構成される共有ブロックに対しても適用できる。例えば水平方向に１画素、垂直方向に４画素から構成される共有ブロック（１×４）や水平方向に４画素、垂直方向に４画素から構成される共有ブロック（４×４）に対しても適用することができる。

[0143] また、本発明の実施の形態では、画像処理装置に欠陥ブロック検出部を含む構成としていたが、欠陥ブロック検出部を外部に設け、あらかじめ検出された欠陥ブロックが発生する共有ブロックアドレスを不揮発メモリに記録しておき、画像処理装置が第２外部Ｉ／Ｆ部を経由して不揮発メモリから取得するようにしてもよい。即ち、内視鏡（スコープ）等を製造する工場内で、欠陥ブロックを検出する治具や画像処理装置等を用いて欠陥ブロックが発生する共有ブロックアドレスを検出し、この共有ブロックアドレスを内視鏡の不揮発メモリやスコープＩＤ等に記録しておき、内視鏡が接続される処理装置（プロセッサ）が内視鏡の不揮発メモリからスコープＩＤと合わせて欠陥ブロックが発生する共有ブロックアドレスを取得するようにしてもよい。これにより、処理装置（プロセッサ）は、内視鏡から取得した共有ブロックアドレスに基づいて、欠陥ブロックを補正することができる。即ち、ユーザが内視鏡を使用するときに補正のみを行うような状況下であっても、本発明を適用することができる。

[0144] 本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形や応用が可能なことは勿論である。例えば、本発明の説明に用いた撮像装置以外にも、携帯電話やスマートフォンにおける撮像素子

を備えた携帯機器、ビデオカメラ、内視鏡、監視カメラ、顕微鏡のような光学機器を通して被写体を撮影する撮像装置等、被写体を撮像可能ないずれの機器にも適用できる。

[0145] また、本発明は、表示または記録に用いる画像データ以外の画像データ、例えばＯＢ領域の画像データまたは光学的に設計保証されていないイメージサークル外の領域の画像データ等の画像データであっても適用可能である。

[0146] また、本明細書において、前述の各動作フローチャートの説明において、便宜上「まず」、「次に」、「続いて」、「その後」等を用いて動作を説明しているが、この順で動作を実施することが必須であることを意味するものではない。

[0147] また、上述した実施の形態における画像処理装置による各処理の手法、即ち、各フローチャートに示す処理は、いずれもＣＰＵ等の制御部に実行させることができるプログラムとして記憶させておくこともできる。この他、メモリカード（ＲＯＭカード、ＲＡＭカード等）、磁気ディスク（フロッピーディスク（登録商標）、ハードディスク等）、光ディスク（ＣＤ－ＲＯＭ、ＤＶＤ等）、半導体メモリ等の外部記憶装置の記憶媒体に格納して配布することができる。そして、ＣＰＵ等の制御部は、この外部記憶装置の記憶媒体に記憶されたプログラムを読み込み、この読み込んだプログラムによって動作が制御されることにより、上述した処理を実行することができる。

[0148] また、本発明は、上述した実施の形態および変形例そのままに限定されるものではなく、実施段階では、発明の要旨を逸脱しない範囲内で構成要素を変形して具体化することができる。また、上述した実施の形態に開示されている複数の構成要素を適宜組み合わせることによって、種々の発明を形成することができる。例えば、上述した実施の形態および変形例に記載した全構成要素からいくつかの構成要素を削除してもよい。さらに、各実施の形態および変形例で説明した構成要素を適宜組み合わせてもよい。

[0149] また、明細書または図面において、少なくとも一度、より広義または同義な異なる用語とともに記載された用語は、明細書または図面のいかなる箇所

においても、その異なる用語に置き換えることができる。このように、発明の主旨を逸脱しない範囲内において種々の変形や応用が可能である。

符号の説明

[0150] １，１ａ　撮像システム

１０　撮像装置

２０，２０ａ　画像処理装置

２１　第２外部Ｉ／Ｆ部

２２　欠陥ブロック検出部

２３，２３ａ　欠陥ブロック補正部

２４　画像処理部

３０　表示装置

１０１　光学系

１０２　絞り

１０３　シャッタ

１０４　ドライバ

１０５　撮像素子

１０５ａ　画素

１０５ｂ　第１スイッチ

１０５ｃ　垂直転送線

１０５ｄ　ＦＤ部

１０５ｅ　アンプ部

１０５ｆ　第２スイッチ

１０５ｈ　転送線

１０６　アナログ処理部

１０７　Ａ／Ｄ変換部

１０８　操作部

１０９　メモリＩ／Ｆ部

１１０　記録媒体

１１０ａ　画像データ記録部

１１１　揮発メモリ

１１２　不揮発メモリ

１１２ａ　プログラム記録部

１１３　バス

１１４　撮像制御部

１１５　第１外部Ｉ／Ｆ部

２２１　平均画像作成部

２２２，２３１，２３２ａ　オフセット算出部

２２３　欠陥ブロック判定部

２３１ａ　輝点判定部

２３２，２３５ａ　画素値補正部

２３３ａ　補正量算出部

２３４ａ　補正量メモリ

請求の範囲

[請求項1] ２次元状に配置され、外部から光を受光し、受光量に応じた信号を生成する複数の画素と、所定の画素数毎に設けられ、前記信号を画素値として読み出す複数の読み出し回路と、を有する撮像素子によって生成された画像データを取得する取得部と、

前記取得部が取得した前記画像データに基づいて、前記読み出し回路を共有する複数の画素からなる共有ブロック内における画素の画素値と、前記共有ブロック外における画素の画素値とを用いて、前記共有ブロック内で生じる画素値のオフセット成分を検出する検出部と、

前記検出部が検出した前記オフセット成分に基づいて、前記共有ブロック内における少なくとも１つ以上の画素の画素値を補正する補正量を算出し、該補正量を用いて前記共有ブロック内における少なくとも１つ以上の画素の画素値を補正する補正部と、

を備えたことを特徴とする画像処理装置。

[請求項2] 前記検出部は、前記共有ブロック内における画素の画素値と、前記共有ブロック内における画素に隣接する前記共有ブロック外における画素の画素値との差に基づいて、前記オフセット成分を検出することを特徴とする請求項１に記載の画像処理装置。

[請求項3] 前記検出部は、前記共有ブロック内における複数の画素それぞれの画素値と、前記共有ブロック内の各画素の周囲に位置する前記共有ブロック外の画素の画素値との差を算出し、算出した差に基づいて、前記オフセット成分を検出することを特徴とする請求項２に記載の画像処理装置。

[請求項4] 前記検出部は、前記共有ブロック内における画素の画素値と、前記共有ブロック内における画素の周囲に位置する前記共有ブロック外における画素の画素値との差に基づいて、前記オフセット成分を検出することを特徴とする請求項１に記載の画像処理装置。

[請求項5] 前記検出部は、前記共有ブロック内における画素の画素値と、前記

共有ブロック内における画素の周囲に位置する前記共有ブロック外の画素における補正後の画素値との差に基づいて、前記オフセット成分を検出することを特徴とする請求項１に記載の画像処理装置。

[請求項6] 前記撮像素子の受光面には、互いに異なる複数の波長帯域の光を透過させるカラーフィルタが配置されており、

前記検出部は、前記共有ブロック内における画素の画素値と、前記共有ブロック内における画素と同色の前記共有ブロック外における画素の画素値との差に基づいて、前記オフセット成分を検出することを特徴とする請求項１に記載の画像処理装置。

[請求項7] 前記検出部は、前記共有ブロック内における画素の画素値と、前記共有ブロック内における画素と同色の前記共有ブロック外の画素における補正後の画素値との差に基づいて、前記オフセット成分を検出することを特徴とする請求項６に記載の画像処理装置。

[請求項8] 前記検出部は、前記共有ブロック内における画素が欠陥画素のとき、前記共有ブロック内における画素に隣接する画素が欠陥画素であるとき、または前記共有ブロック内における画素に隣接する画素が前記読み出し回路に起因して画素値にノイズが発生する欠陥ブロックであるとき、前記共有ブロック内における画素の画素値と、前記共有ブロック内における画素に隣接する前記共有ブロック外における画素の画素値との差の算出を中止することを特徴とする請求項２～７のいずれか一つに記載の画像処理装置。

[請求項9] 前記検出部は、

前記取得部が取得した前記画像データに基づいて、前記共有ブロック内における画素の画素値と、前記共有ブロック外における画素の画素値とを用いて、前記オフセット成分を前記共有ブロック毎に算出するオフセット算出部と、

前記オフセット算出部が算出した前記オフセット成分に基づいて、注目する前記共有ブロックが前記読み出し回路に起因して画素値にノ

イズが発生する欠陥ブロックであるか否かを判定する欠陥ブロック判定部と、

を有し、

前記補正部は、前記欠陥ブロック判定部によって前記欠陥ブロックと判定された前記共有ブロックに対し、前記オフセット算出部が算出した前記オフセット成分に基づいて、前記共有ブロック内における少なくとも１つ以上の画素の画素値を補正する補正量を算出し、該補正量を用いて前記共有ブロック内における少なくとも１つ以上の画素の画素値を補正することを特徴とする請求項１～７のいずれか一つに記載の画像処理装置。

[請求項10] 前記オフセット算出部は、前記オフセット成分を算出する場合において、前記共有ブロック内における画素が欠陥画素のとき、前記共有ブロック内における画素に隣接する画素が欠陥画素であるとき、または前記共有ブロック内における画素に隣接する画素が前記欠陥ブロックであるとき、前記オフセット成分の算出を中止することを特徴とする請求項９に記載の画像処理装置。

[請求項11] 前記補正部は、前記取得部が取得した前記画像データより前に算出した前記補正量を用いて前記共有ブロック内の少なくとも１つ以上の画素の画素値を補正することを特徴とする請求項１～１０のいずれか一つに記載の画像処理装置。

[請求項12] 前記補正部は、前記オフセット成分と、前記取得部が取得した前記画像データより前のフレームにおいて算出された前記オフセット成分とに基づいて、前記補正量を算出することを特徴とする請求項１～１１のいずれか一つに記載の画像処理装置。

[請求項13] 前記補正部は、前記取得部が取得した前記画像データより前のフレームにおいて算出した前記補正量を用いて、前記取得部が取得した前記画像データの現フレームにおける前記共有ブロック内の少なくとも１つ以上の画素の画素値を補正することを特徴とする請求項１～１２

のいずれか一つに記載の画像処理装置。

[請求項14] 前記補正部は、前記共有ブロック内における各画素の画素値から前記補正量を減算することによって前記共有ブロック内における各画素の画素値を補正することを特徴とする請求項１～１０のいずれか一つに記載の画像処理装置。

[請求項15] 前記補正部は、

前記共有ブロックを含む複数の画素における２つの画素の画素値の差に基づいて、前記共有ブロック内に輝点が発生しているか否かを判定する輝点判定部と、

前記輝点判定部によって輝点が発生しないと判定された前記共有ブロックに対し、前記オフセット成分を算出するオフセット算出部と、

前記オフセット算出部が算出した前記オフセット成分に基づいて、前記補正量を算出する補正量算出部と、

前記補正量算出部が算出した前記補正量に基づいて、前記共有ブロック内の画素の画素値を補正する画素値補正部と、

を有することを特徴とする請求項１～１４のいずれか一つに記載の画像処理装置。

[請求項16] ２次元状に配置され、外部から光を受光し、受光量に応じた信号を生成する複数の画素と、所定の画素数毎に設けられ、前記信号を画素値として読み出す複数の読み出し回路と、を有する撮像素子によって生成された画像データを取得する取得ステップと、

前記取得ステップにおいて取得した前記画像データに基づいて、前記読み出し回路を共有する複数の画素からなる共有ブロック内における画素の画素値と、前記共有ブロック外における画素の画素値とを用いて、前記共有ブロック内で生じる画素値のオフセット成分を検出する検出ステップと、

前記検出ステップにおいて検出した前記オフセット成分に基づいて、前記共有ブロック内における少なくとも１つ以上の画素の画素値を

補正する補正量を算出し、該補正量を用いて前記共有ブロック内における少なくとも１つ以上の画素の画素値を補正する補正ステップと、

を含むことを特徴とする画像処理方法。

[請求項17] ２次元状に配置され、外部から光を受光し、受光量に応じた信号を生成する複数の画素と、所定の画素数毎に設けられ、前記信号を画素値として読み出す複数の読み出し回路と、を有する撮像素子によって生成された画像データを取得する取得ステップと、

前記取得ステップにおいて取得した前記画像データに基づいて、前記読み出し回路を共有する複数の画素からなる共有ブロック内における画素の画素値と、前記共有ブロック外における画素の画素値とを用いて、前記共有ブロック内で生じる画素値のオフセット成分を検出する検出ステップと、

前記検出ステップにおいて検出した前記オフセット成分に基づいて、前記共有ブロック内における少なくとも１つ以上の画素の画素値を補正する補正量を算出し、該補正量を用いて前記共有ブロック内における少なくとも１つ以上の画素の画素値を補正する補正ステップと、

を画像処理装置に実行させることを特徴とするプログラム。

補正された請求の範囲
[2016年7月26日(26.07.2016)国際事務局受理]

［請求項１］（補正後）　外部から受光した光の受光量に応じた信号を生成する隣接した複数の画素と、前記隣接した複数の画素それぞれに対し、前記信号を画素値として読み出すための共通する１つの読み出し回路と、を含む共有ブロックが２次元状に複数配置された撮像素子によって生成された画像データを取得する取得部と、

前記取得部が取得した前記画像データに基づいて、複数の前記共有ブロックの一つである注目共有ブロック内における画素の画素値と、前記注目共有ブロック外における画素の画素値とを用いて、前記注目共有ブロック内で生じる画素値のオフセット成分を算出するオフセット算出部と、

前記オフセット成分に基づいて、前記注目共有ブロック内における少なくとも１つ以上の画素の画素値を補正する補正量を算出し、該補正量を用いて前記注目共有ブロック内における少なくとも１つ以上の画素の画素値を補正する補正部と、

を備えたことを特徴とする画像処理装置。

［請求項２］（補正後）　前記オフセット算出部は、前記注目共有ブロック内における画素の画素値と、前記注目共有ブロック内における画素に隣接する前記注目共有ブロック外における画素の画素値との差に基づいて、前記オフセット成分を算出することを特徴とする請求項１に記載の画像処理装置。

［請求項３］（補正後）　前記オフセット算出部は、前記注目共有ブロック内における複数の画素それぞれの画素値と、前記注目共有ブロック内の各画素の周囲に位置する前記注目共有ブロック外の画素の画素値との差を算出し、算出した差に基づいて、前記オフセット成分を算出することを特徴とする請求項２に記載の画像処理装置。

［請求項４］（補正後）　前記オフセット算出部は、前記注目共有ブロック内における画素の画素値と、前記注目共有ブロック内における画素の周囲に位置する前記注目共有ブロック外における画素の画素値との差に基づいて、前記オフセット成分を算出することを特徴とする請求項１に記載の画像処理装置。

［請求項５］（補正後）　前記オフセット算出部は、前記注目共有ブロック内にお

ける画素の画素値と、前記注目共有ブロック内における画素の周囲に位置する前記注目共有ブロック外の画素における補正後の画素値との差に基づいて、前記オフセット成分を算出することを特徴とする請求項１に記載の画像処理装置。

［請求項６］（補正後）　前記撮像素子の受光面には、互いに異なる複数の波長帯域の光を透過させるカラーフィルタが配置されており、

前記オフセット算出部は、前記注目共有ブロック内における画素の画素値と、前記注目共有ブロック内における画素と同色の前記注目共有ブロック外における画素の画素値との差に基づいて、前記オフセット成分を算出することを特徴とする請求項１に記載の画像処理装置。

［請求項７］（補正後）　前記オフセット算出部は、前記注目共有ブロック内における画素の画素値と、前記注目共有ブロック内における画素と同色の前記注目共有ブロック外の画素における補正後の画素値との差に基づいて、前記オフセット成分を算出することを特徴とする請求項６に記載の画像処理装置。

［請求項８］（補正後）　前記オフセット算出部は、前記注目共有ブロック内における画素が欠陥画素のとき、前記注目共有ブロック内における画素に隣接する画素が欠陥画素であるとき、または前記注目共有ブロック内における画素に隣接する画素が前記読み出し回路に起因して画素値にノイズが発生する欠陥ブロックであるとき、前記注目共有ブロック内における画素の画素値と、前記注目共有ブロック内における画素に隣接する前記注目共有ブロック外における画素の画素値との差の算出を中止することを特徴とする請求項２～７のいずれか一つに記載の画像処理装置。

［請求項９］（補正後）　前記オフセット算出部が算出した前記オフセット成分に基づいて、前記注目共有ブロックが前記読み出し回路に起因して画素値にノイズが発生する欠陥ブロックであるか否かを判定する欠陥ブロック判定部をさらに有し、

前記補正部は、前記欠陥ブロック判定部によって前記欠陥ブロックと判定された前記注目共有ブロックに対し、前記オフセット算出部が算出した前記オフセット成分に基づいて、前記注目共有ブロック内における少なくとも１つ以上の画素の画素値を補正する補正量を算出し、該補正量を用いて前記注目共有ブロック内における

少なくとも１つ以上の画素の画素値を補正することを特徴とする請求項１～７のいずれか一つに記載の画像処理装置。

［請求項１０］（削除）

［請求項１１］（補正後）　前記補正部は、前記取得部が取得した前記画像データより前に算出した前記補正量を用いて前記注目共有ブロック内の少なくとも１つ以上の画素の画素値を補正することを特徴とする請求項１～９のいずれか一つに記載の画像処理装置。

［請求項１２］（補正後）　前記補正部は、前記オフセット成分と、前記取得部が取得した前記画像データより前のフレームにおいて算出された前記オフセット成分とに基づいて、前記補正量を算出することを特徴とする請求項１～９のいずれか一つに記載の画像処理装置。

［請求項１３］（補正後）　前記補正部は、前記取得部が取得した前記画像データより前のフレームにおいて算出した前記補正量を用いて、前記取得部が取得した前記画像データの現フレームにおける前記注目共有ブロック内の少なくとも１つ以上の画素の画素値を補正することを特徴とする請求項１～９のいずれか一つに記載の画像処理装置。

［請求項１４］（補正後）　前記補正部は、前記注目共有ブロック内における各画素の画素値から前記補正量を減算することによって前記注目共有ブロック内における各画素の画素値を補正することを特徴とする請求項１～９のいずれか一つに記載の画像処理装置。

［請求項１５］（補正後）　前記補正部は、

前記注目共有ブロックを含む複数の画素における２つの画素の画素値の差に基づいて、前記注目共有ブロック内に輝点が発生しているか否かを判定する輝点判定部と、

前記オフセット算出部と、

前記オフセット算出部が算出した前記オフセット成分に基づいて、前記補正量を算出する補正量算出部と、

前記補正量算出部が算出した前記補正量に基づいて、前記注目共有ブロック内の

画素の画素値を補正する画素値補正部と、

を有し、

前記補正部は、前記輝点判定部によって輝点が発生していないと判定された前記注目共有ブロックに対し、前記オフセット成分または前記補正量を算出することを特徴とする請求項１～９のいずれか一つに記載の画像処理装置。

［請求項１６］（補正後）　外部から受光した光の受光量に応じた信号を生成する隣接した複数の画素と、前記隣接した複数の画素それぞれに対し、前記信号を画素値として読み出すための共通する１つの読み出し回路と、を含む共有ブロックが２次元状に複数配置された撮像素子によって生成された画像データを取得する取得ステップと、

前記取得ステップにおいて取得した前記画像データに基づいて、複数の前記共有ブロックの一つである注目共有ブロック内における画素の画素値と、前記注目共有ブロック外における画素の画素値とを用いて、前記注目共有ブロック内で生じる画素値のオフセット成分を算出するオフセット算出ステップと、

前記オフセット成分に基づいて、前記注目共有ブロック内における少なくとも１つ以上の画素の画素値を補正する補正量を算出し、該補正量を用いて前記注目共有ブロック内における少なくとも１つ以上の画素の画素値を補正する補正ステップと、

を含むことを特徴とする画像処理方法。

［請求項１７］（補正後）　外部から受光した光の受光量に応じた信号を生成する隣接した複数の画素と、前記隣接した複数の画素それぞれに対し、前記信号を画素値として読み出すための共通する１つの読み出し回路と、を含む共有ブロックが２次元状に複数配置された撮像素子によって生成された画像データを取得する取得ステップと、

前記取得ステップにおいて取得した前記画像データに基づいて、複数の前記共有ブロックの一つである注目共有ブロック内における画素の画素値と、前記注目共有ブロック外における画素の画素値とを用いて、前記注目共有ブロック内で生じる画素値のオフセット成分を算出するオフセット算出ステップと、

前記オフセット成分に基づいて、前記注目共有ブロック内における少なくとも１つ以上の画素の画素値を補正する補正量を算出し、該補正量を用いて前記注目共有ブロック内における少なくとも１つ以上の画素の画素値を補正する補正ステップと、

を画像処理装置に実行させることを特徴とするプログラム。

［請求項１８］（追加）　前記取得部は、複数の前記共有ブロックの中で前記読み出し回路に起因して画素値にノイズが発生する欠陥ブロックの位置情報を取得し、

前記オフセット算出部は、前記位置情報に含まれる前記共有ブロックに対し、前記オフセット成分を算出し、

前記補正部は、前記オフセット成分に基づいて、前記位置情報に含まれる前記共有ブロックに対し、補正することを特徴とする請求項１に記載の画像処理装置。

条約第19条（1）に基づく説明書

請求項１では、明細書の段落［００３６］に基づいて補正を行った。

請求項２～９では、補正後の請求項１に対応する補正を行った。

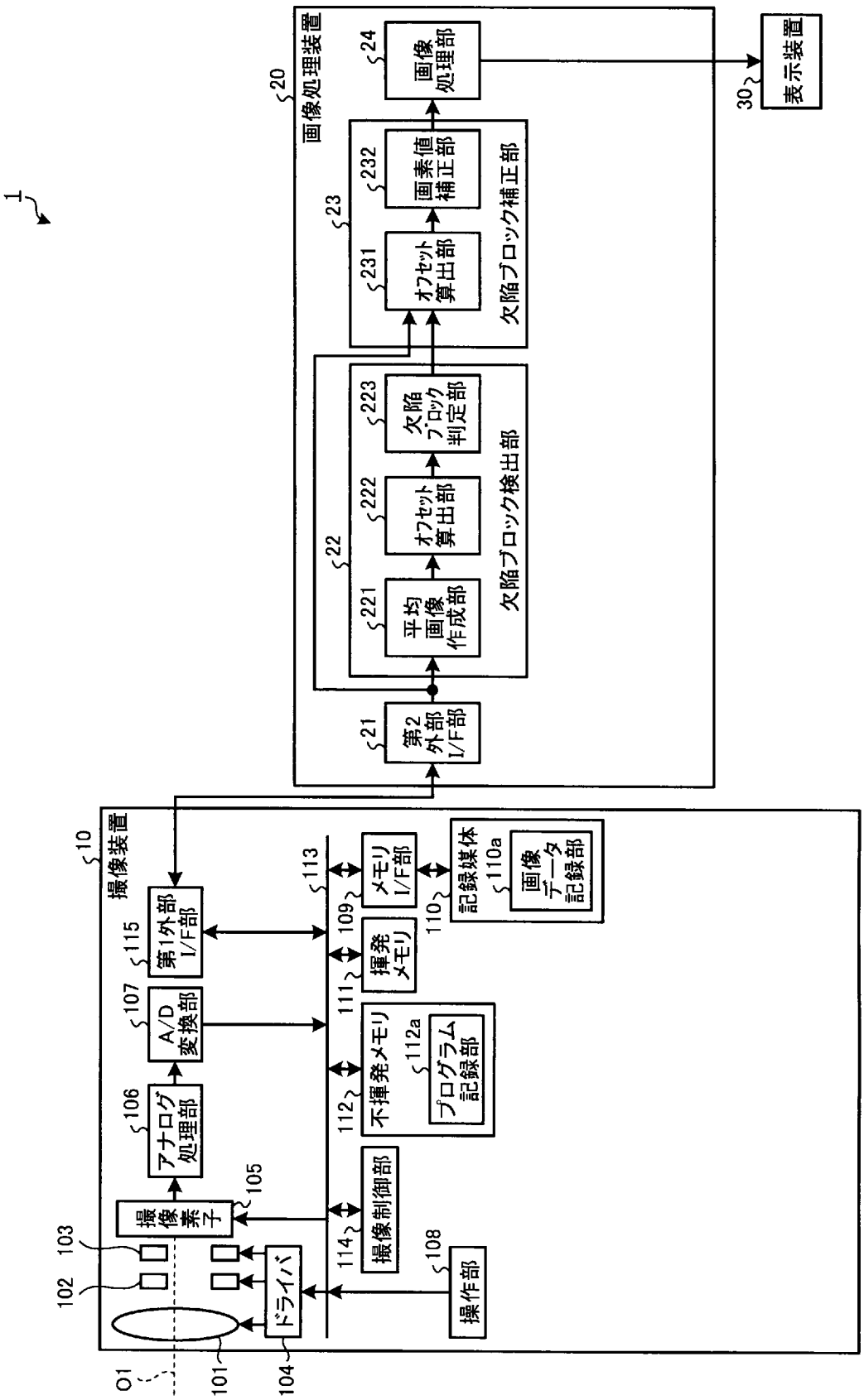
請求項１０は、削除した。

請求項１１～１５は、補正後の請求項１に対応する補正を行った。

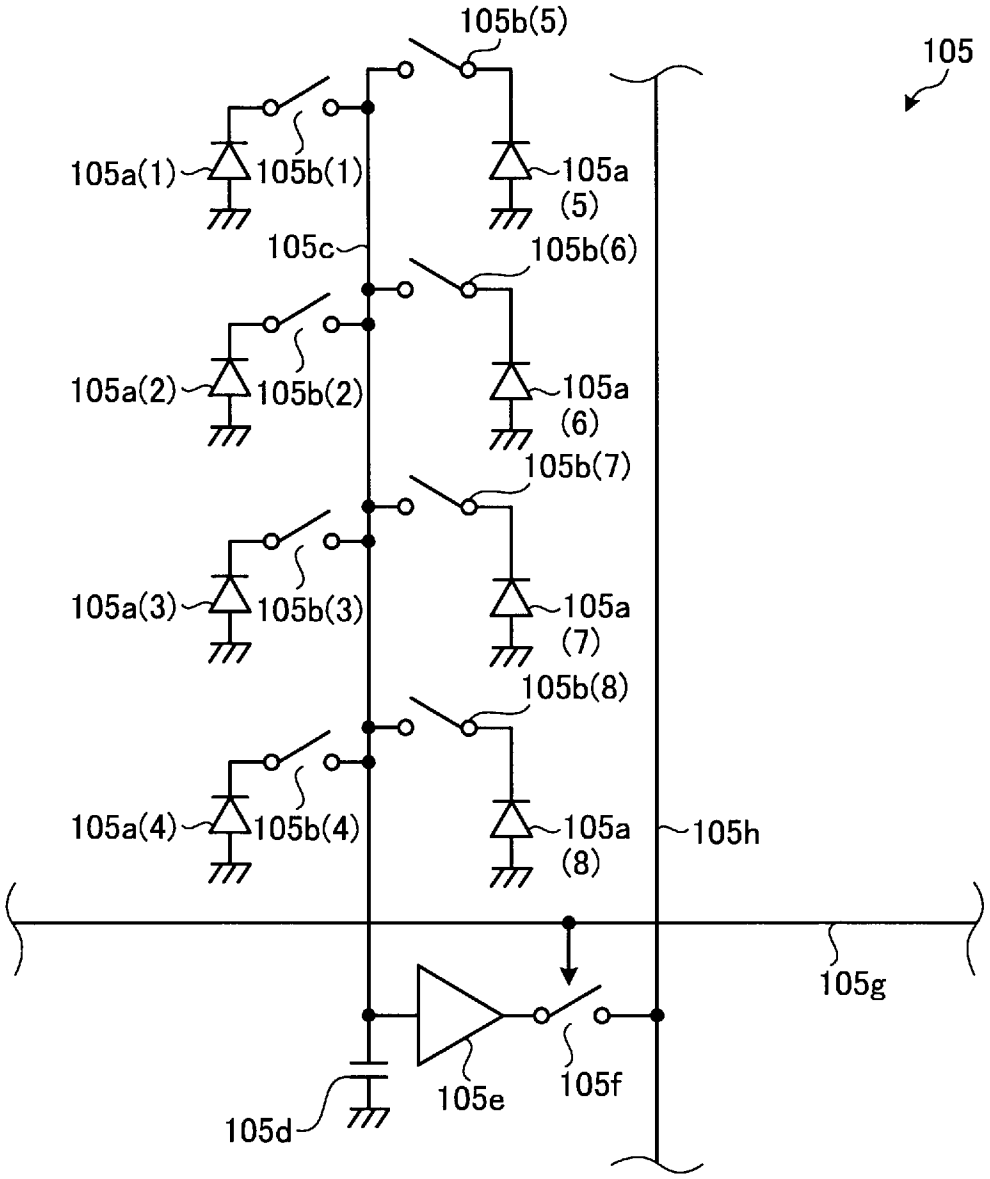
請求項１６，１７では、補正後の請求項１に対応する補正を行った。

請求項１８では、明細書の段落［００５４］および図４等に基づいて新たな従属項を追加する補正を行った。

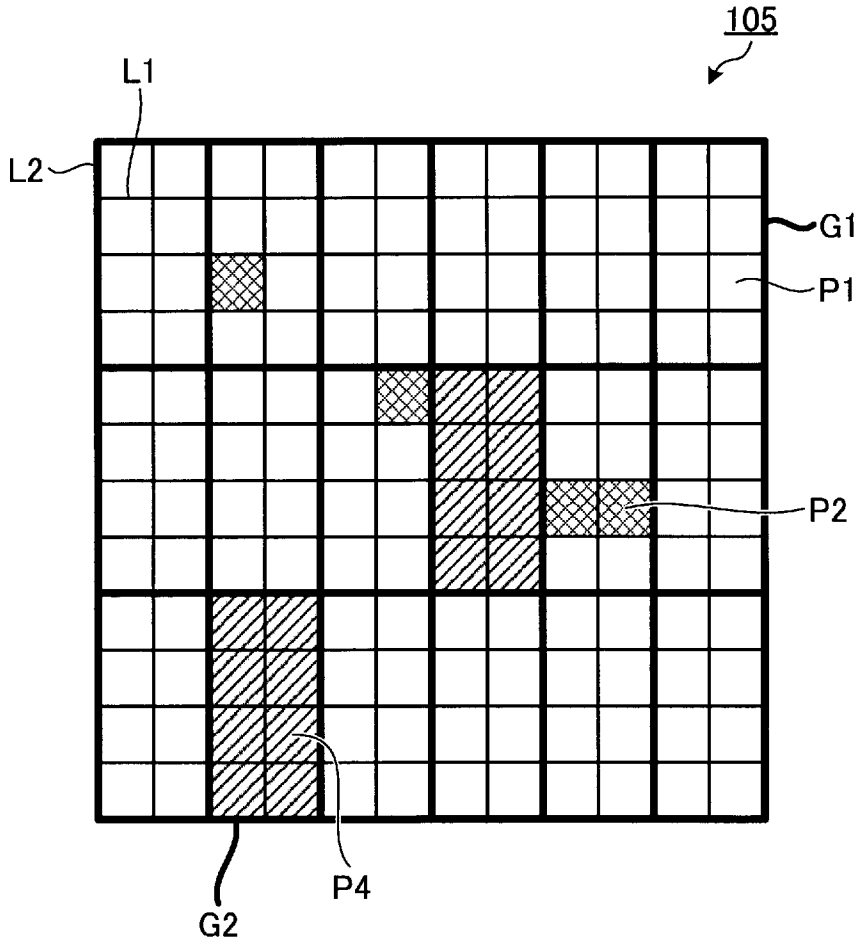
[図1]


1
10
撮像装置
20
画像処理装置
30
表示装置
21
第2外部I/F部
22
欠陥ブロック検出部
221
平均画像作成部
222
オフセット算出部
223
欠陥ブロック判定部
23
欠陥ブロック補正部
231
オフセット算出部
232
画素値補正部
24
画像処理部
101
102
103
104
105
撮像素子
106
アナログ処理部
107
A/D変換部
108
操作部
109
メモリI/F部
110
記録媒体
110a
画像データ記録部
111
揮発メモリ
112
不揮発メモリ
112a
プログラム記録部
113
114
撮像制御部
115
第1外部I/F部
O1
ドライバ

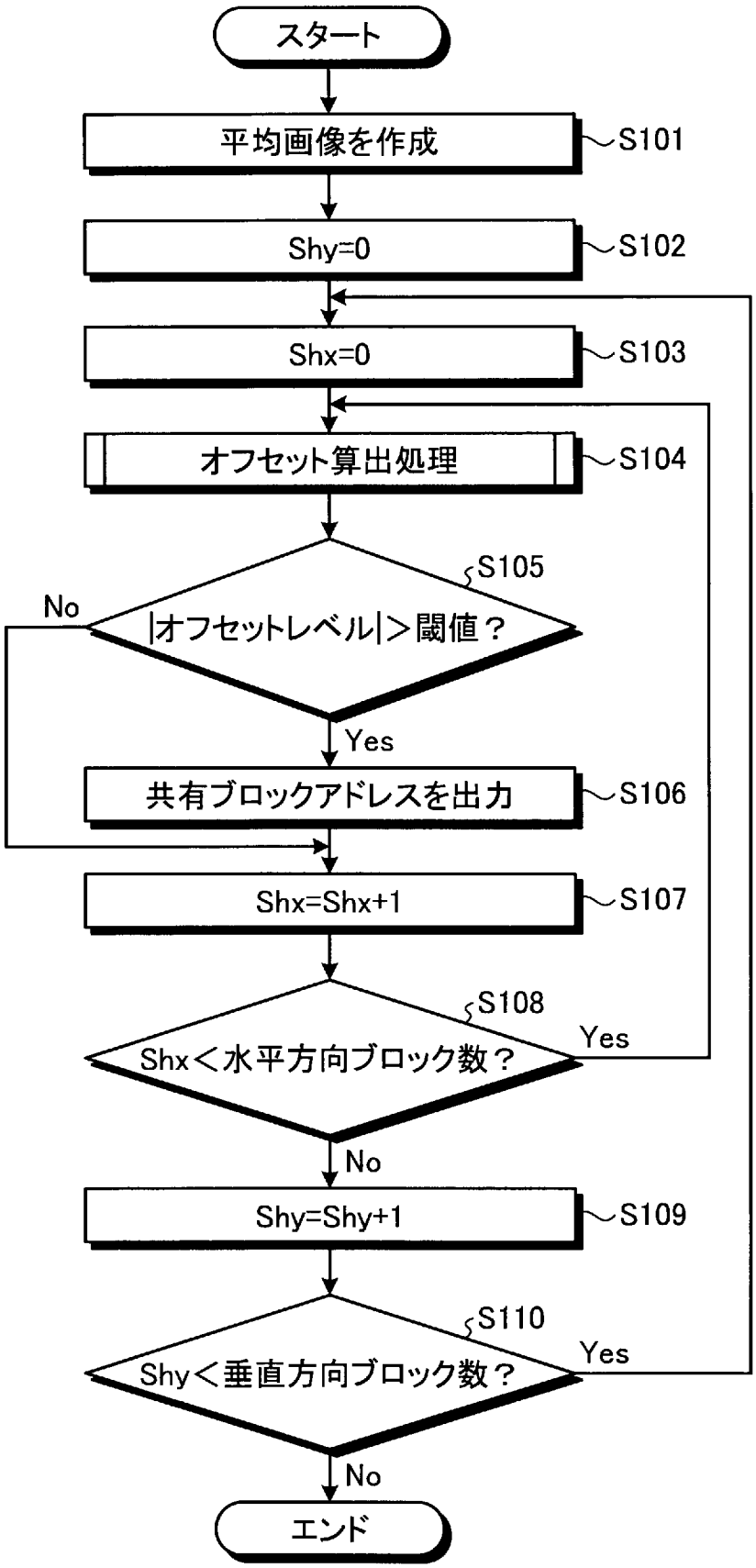
[図2]


105b(5)
105
105a(1)
105b(1)
105a
(5)
105c
105b(6)
105a(2)
105b(2)
105a
(6)
105b(7)
105a(3)
105b(3)
105a
(7)
105b(8)
105a(4)
105b(4)
105a
(8)
105h
105g
105e
105f
105d

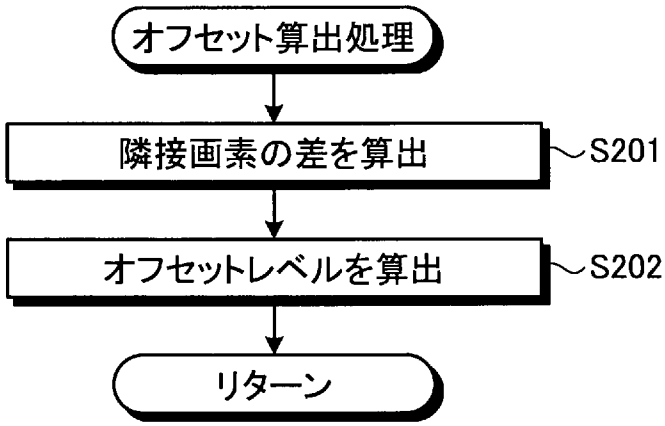
[図3]



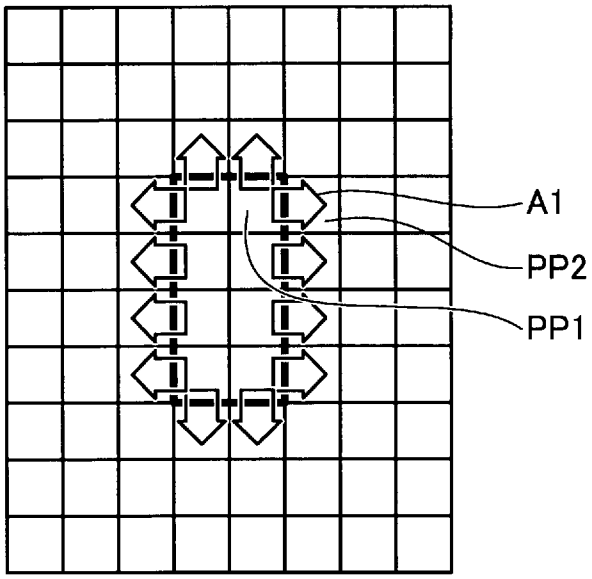
[図4]


スタート
平均画像を作成
S101
Shy=0
S102
Shx=0
S103
オフセット算出処理
S104
S105
No
|オフセットレベル|＞閾値？
Yes
共有ブロックアドレスを出力
S106
Shx=Shx+1
S107
S108
Shx＜水平方向ブロック数？
Yes
No
Shy=Shy+1
S109
S110
Shy＜垂直方向ブロック数？
Yes
No
エンド

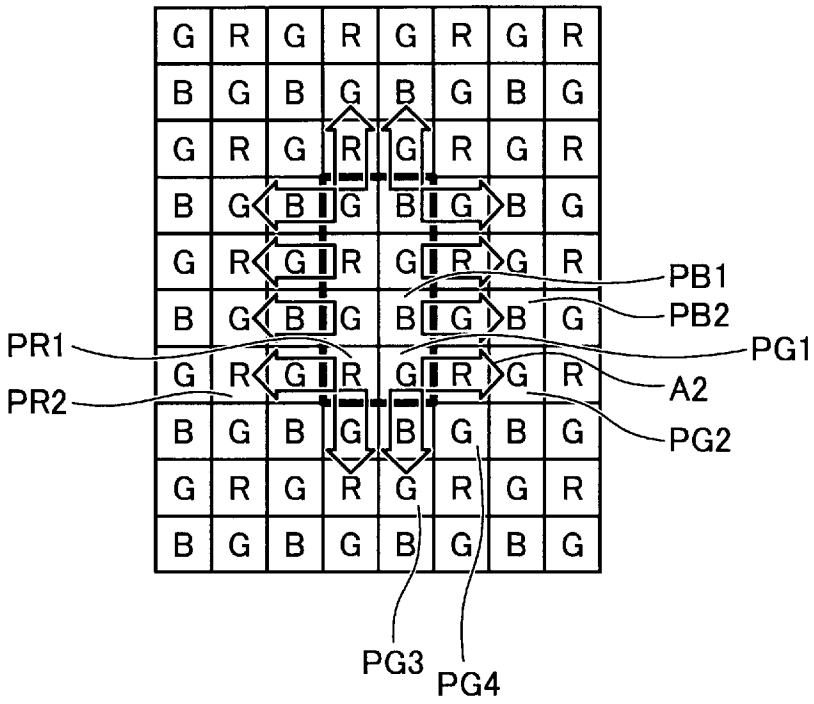
[図5]



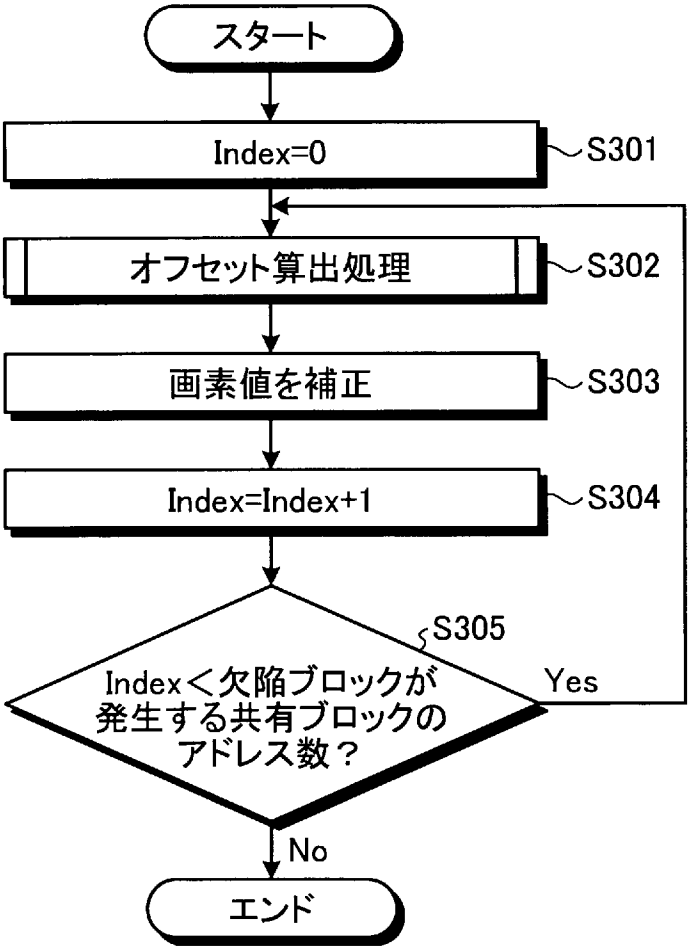
[図6A]



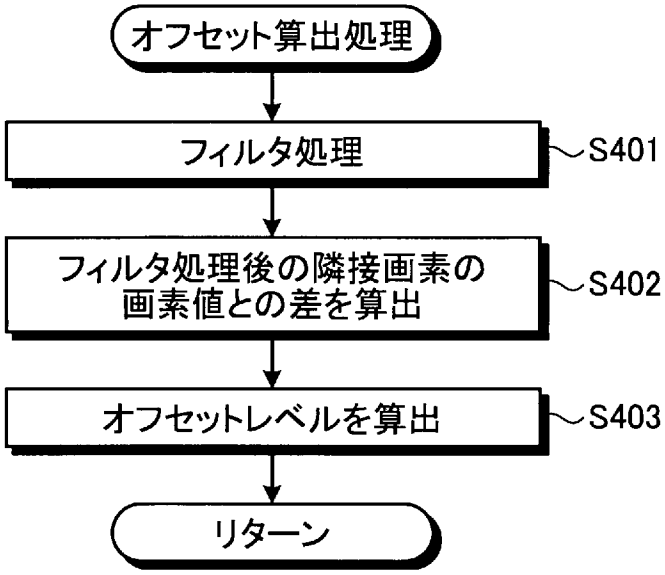
[図6B]



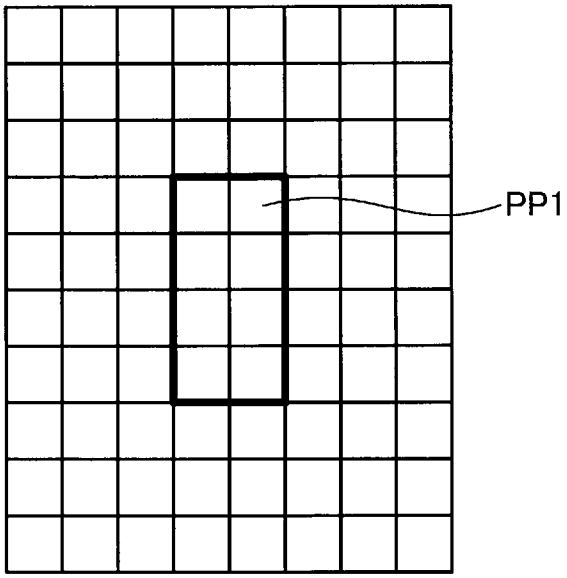
[図7]


スタート
Index=0
S301
オフセット算出処理
S302
画素値を補正
S303
Index=Index+1
S304
S305
Index＜欠陥ブロックが発生する共有ブロックのアドレス数？
Yes
No
エンド

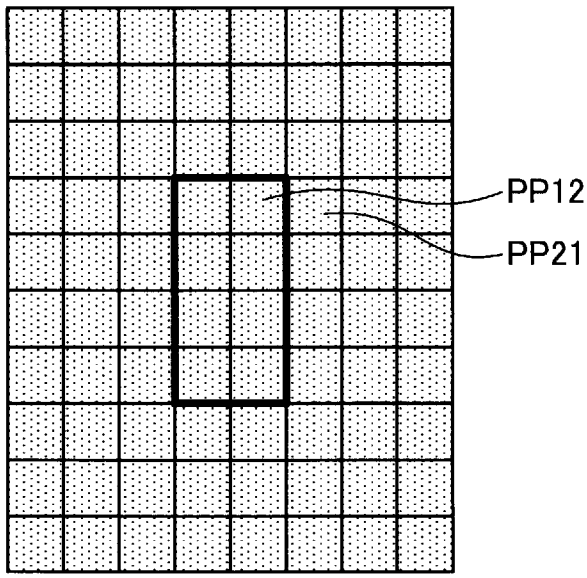
[図8]


オフセット算出処理
フィルタ処理
S401
フィルタ処理後の隣接画素の画素値との差を算出
S402
オフセットレベルを算出
S403
リターン

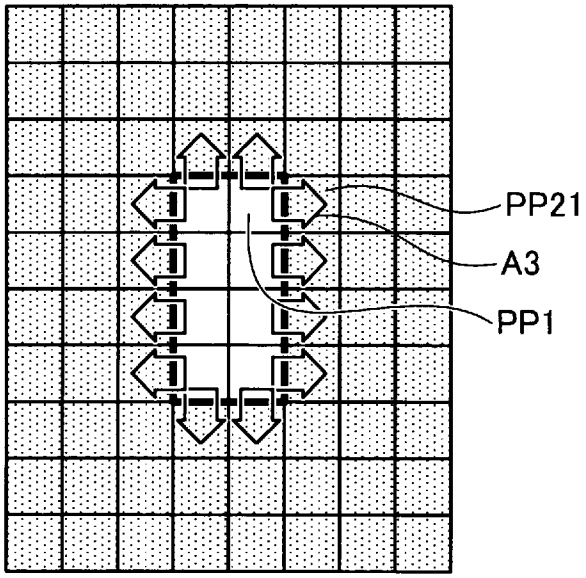
[図9A]



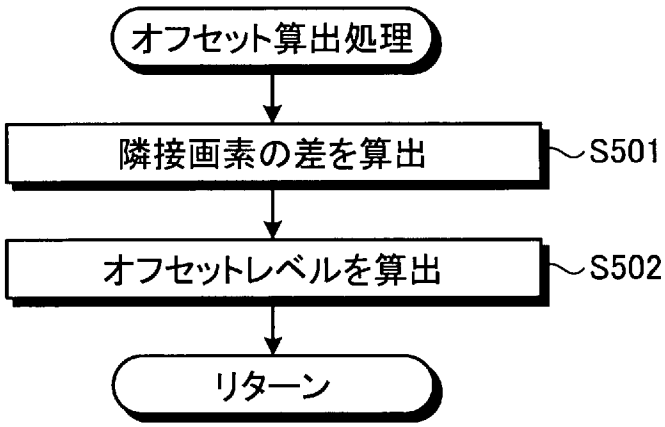
[図9B]



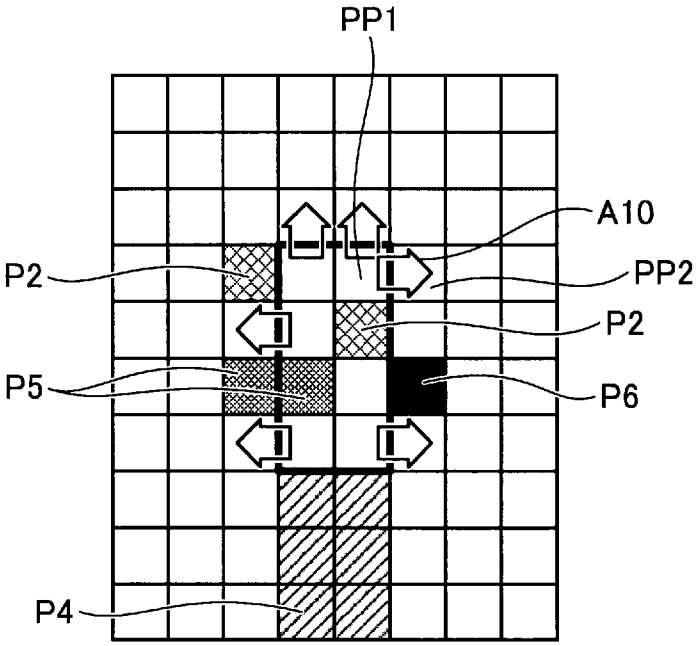
[図9C]



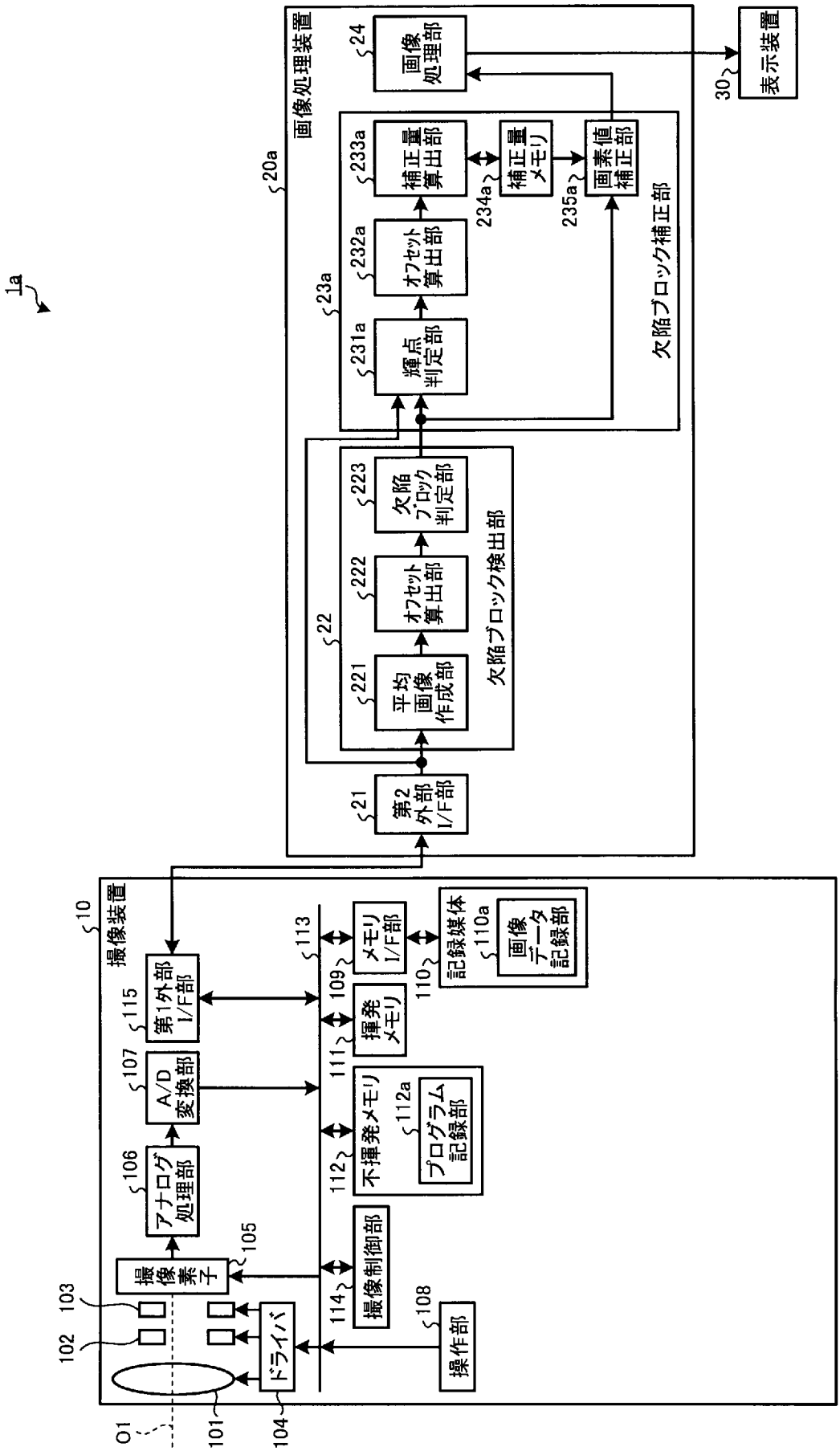
[図10]


オフセット算出処理
隣接画素の差を算出
S501
オフセットレベルを算出
S502
リターン

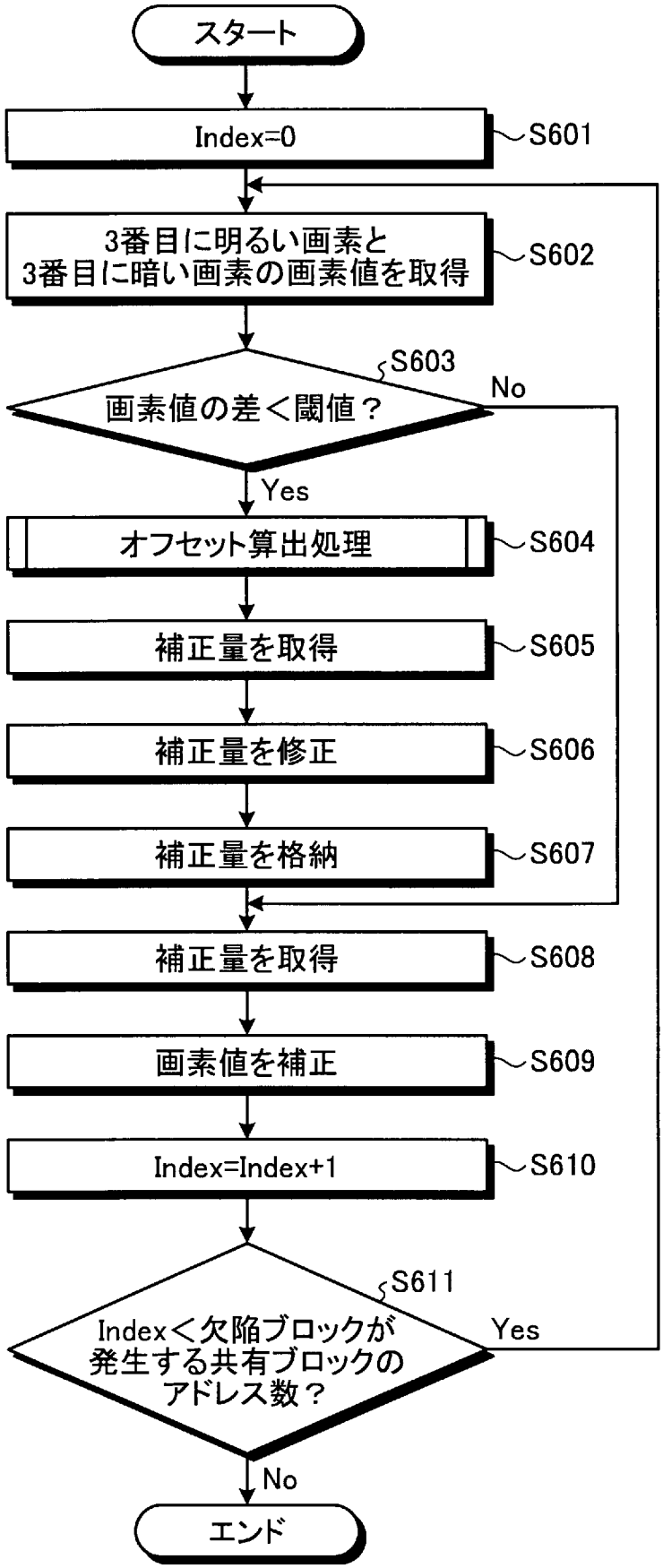
[図11]


PP1
A10
P2
PP2
P2
P5
P6
P4

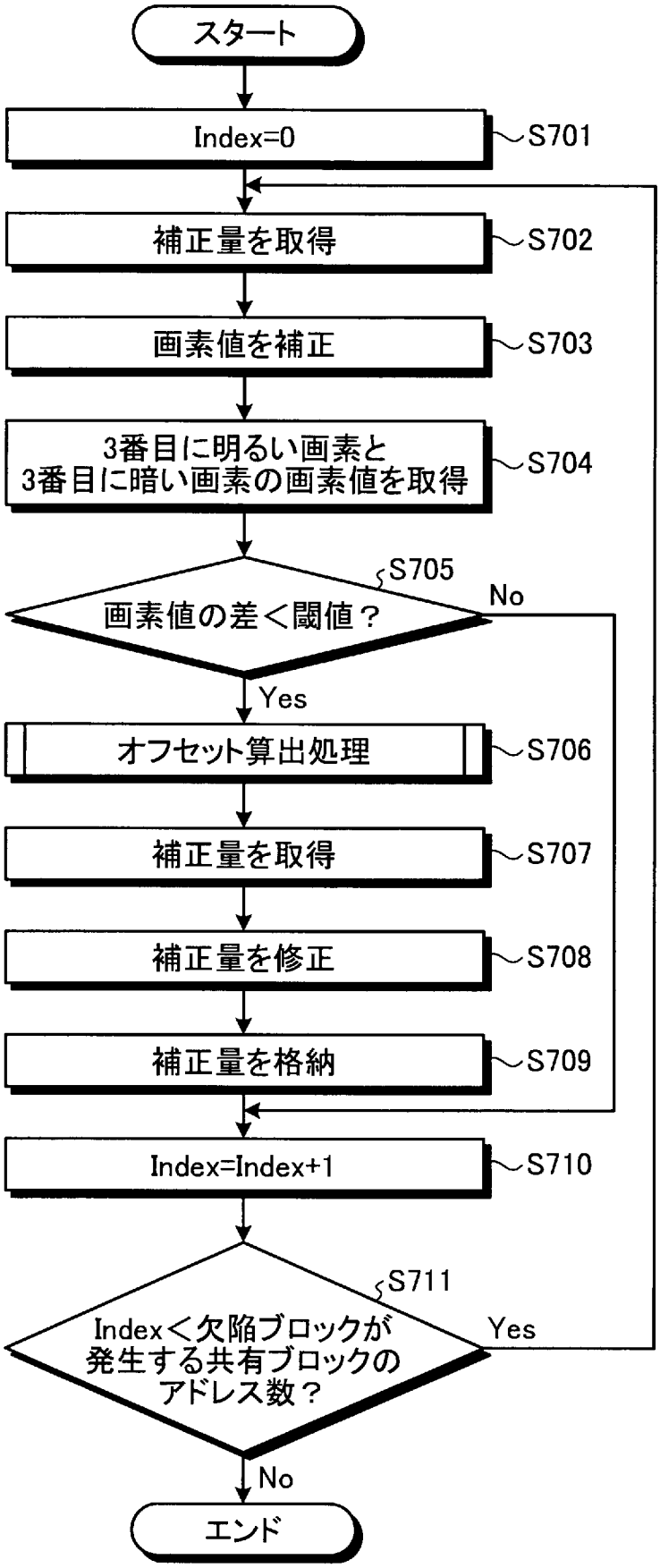
[図12]


1a
画像処理装置
20a
24
画像処理部
30
表示装置
欠陥ブロック補正部
23a
231a
輝点判定部
232a
オフセット算出部
233a
補正量算出部
234a
補正量メモリ
235a
画素値補正部
欠陥ブロック検出部
22
221
平均画像作成部
222
オフセット算出部
223
欠陥ブロック判定部
21
第2外部I/F部
撮像装置
10
115
第1外部I/F部
107
A/D変換部
106
アナログ処理部
105
撮像素子
103
102
101
104
O1
ドライバ
114
撮像制御部
108
操作部
112
不揮発メモリ
112a
プログラム記録部
111
揮発メモリ
109
メモリI/F部
113
110
記録媒体
110a
画像データ記録部

[図13]


スタート
Index=0
S601
3番目に明るい画素と
3番目に暗い画素の画素値を取得
S602
S603
画素値の差＜閾値？
No
Yes
オフセット算出処理
S604
補正量を取得
S605
補正量を修正
S606
補正量を格納
S607
補正量を取得
S608
画素値を補正
S609
Index=Index+1
S610
S611
Index＜欠陥ブロックが
発生する共有ブロックの
アドレス数？
Yes
No
エンド

[図14]


スタート
Index=0
S701
補正量を取得
S702
画素値を補正
S703
3番目に明るい画素と
3番目に暗い画素の画素値を取得
S704
S705
画素値の差＜閾値？
No
Yes
オフセット算出処理
S706
補正量を取得
S707
補正量を修正
S708
補正量を格納
S709
Index=Index+1
S710
S711
Index＜欠陥ブロックが
発生する共有ブロックの
アドレス数？
Yes
No
エンド

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/052050

A. CLASSIFICATION OF SUBJECT MATTER
H04N5/367(2011.01)i, *H04N5/232*(2006.01)i, *H04N5/3745*(2011.01)i, *H04N9/07*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04N5/367, H04N5/232, H04N5/3745, H04N9/07

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-213257 A (Olympus Corp.), 26 November 2015 (26.11.2015), paragraphs [0026], [0046] to [0048]; fig. 1, 3 & WO 2015/166900 A1	1-17
Y	JP 2002-112992 A (Canon Inc.), 16 April 2002 (16.04.2002), paragraphs [0022] to [0023], [0039], [0045] to [0046], [0052] to [0056], [0064], [0067], [0071], [0095]; fig. 1 & EP 1176553 A2 paragraphs [0025] to [0026], [0039], [0045] to [0046], [0050] to [0054], [0061], [0064], [0068]; fig. 1 & US 2002/0012477 A1	1-17

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 March 2016 (11.03.16)	22 March 2016 (22.03.16)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/052050

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-44452 A (Canon Inc.), 01 March 2012 (01.03.2012), paragraphs [0001], [0051] to [0054], [0068], [0080] & WO 2012/023577 A1 paragraphs [0001], [0053] to [0056], [0070], [0082] & US 2013/0128082 A1 & US 2015/0271423 A1	8-10,15

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０５２０５０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/367(2011.01)i, H04N5/232(2006.01)i, H04N5/3745(2011.01)i, H04N9/07(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/367, H04N5/232, H04N5/3745, H04N9/07

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2015-213257 A (オリンパス株式会社) 2015.11.26, 段落[0026], [0046]-[0048], 図 1, 3 & WO 2015/166900 A1	1-17

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１１．０３．２０１６	２２．０３．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｖ　９８４７
鈴木　肇
電話番号　０３－３５８１－１１０１　内線　３５７１

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2002-112992 A (キヤノン株式会社) 2002.04.16, 段落[0022]-[0023], [0039], [0045]-[0046], [0052]-[0056], [0064], [0067], [0071], [0095], 図1 & EP 1176553 A2, 段落[0025]-[0026], [0039], [0045]-[0046], [0050]-[0054], [0061], [0064], [0068], 図1 & US 2002/0012477 A1	1-17
Y	JP 2012-44452 A (キヤノン株式会社) 2012.03.01, 段落[0001], [0051]-[0054], [0068], [0080] & WO 2012/023577 A1, 段落[0001], [0053]-[0056], [0070], [0082] & US 2013/0128082 A1 & US 2015/0271423 A1	8-10,15